

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5346381号

(P5346381)

(45) 発行日 平成25年11月20日(2013.11.20)

(24) 登録日 平成25年8月23日(2013.8.23)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 611A

G09G 3/20 624B

G09G 3/20 621B

G09G 3/20 624D

請求項の数 27 (全 66 頁) 最終頁に続く

(21) 出願番号 特願2011-529840 (P2011-529840)

(86) (22) 出願日 平成22年5月24日(2010.5.24)

(86) 国際出願番号 PCT/JP2010/058744

(87) 国際公開番号 W02011/027600

(87) 国際公開日 平成23年3月10日(2011.3.10)

審査請求日 平成24年2月21日(2012.2.21)

(31) 優先権主張番号 特願2009-206474 (P2009-206474)

(32) 優先日 平成21年9月7日(2009.9.7)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100114476

弁理士 政木 良文

(72) 発明者 山内 祥光

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を經由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第1スイッチ回路と、

前記データ信号線から供給される電圧を、前記所定のスイッチ素子を經由せずに前記内部ノードに転送する第2スイッチ回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第1容量素子の一端に保持すると共に、前記第2スイッチ回路の導通非導通を制御する制御回路と、を備えてなり、

第1端子、第2端子、並びに、前記第1及び第2端子間の導通を制御する制御端子を有する第1～第3トランジスタ素子のうち、前記第1及び第3トランジスタ素子を前記第2スイッチ回路が、前記第2トランジスタ素子を前記制御回路がそれぞれ有し、

前記第2スイッチ回路は、前記第1トランジスタ素子と前記第3トランジスタ素子の直列回路で構成され、

前記制御回路は、前記第2トランジスタ素子と前記第1容量素子の直列回路で構成され、

前記第1及び第2スイッチ回路の各一端が前記データ信号線に接続し、

10

20

前記第 1 及び第 2 スイッチ回路の各他端、及び前記第 2 トランジスタ素子の第 1 端子が前記内部ノードに接続し、

前記第 1 トランジスタ素子の制御端子、前記第 2 トランジスタ素子の第 2 端子、及び前記第 1 容量素子の一端が相互に接続し、

前記第 2 トランジスタ素子の制御端子が第 1 制御線に接続し、

前記第 3 トランジスタ素子の制御端子が第 2 制御線に接続し、

前記第 1 容量素子の他端が、前記第 2 制御線又は第 3 制御線に接続していることを特徴とする画素回路。

【請求項 2】

前記所定のスイッチ素子が、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子で構成され、

前記第 4 トランジスタ素子の制御端子が走査信号線にそれぞれ接続していることを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

前記第 1 スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成であることを特徴とする請求項 1 又は 2 に記載の画素回路。

【請求項 4】

前記第 1 スイッチ回路が、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記所定のスイッチ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記所定のスイッチ素子との直列回路で構成されることを特徴とする請求項 1 又は 2 のいずれか 1 項に記載の画素回路。

【請求項 5】

一端が前記内部ノードに接続し、他端が第 4 制御線又は所定の固定電圧線に接続する第 2 容量素子を更に備えることを特徴とする請求項 1 又は 2 に記載の画素回路。

【請求項 6】

請求項 1 に記載の画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を 1 本ずつ備えており、

同一列に配置される前記画素回路は、前記第 1 スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 2 トランジスタ素子の制御端子が共通の前記第 1 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 3 トランジスタ素子の制御端子が共通の前記第 2 制御線に接続し、

同一行または同一列に配置される前記画素回路は、前記第 1 容量素子の前記他端が共通の前記第 2 制御線又は前記第 3 制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1 ～ 第 3 制御線を各別に駆動する制御線駆動回路を備えていることを特徴とする表示装置。

【請求項 7】

前記第 1 スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成であると共に、前記所定のスイッチ素子は、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子であって、前記第 1 端子が前記内部ノードに、第 2 端子が前記データ信号線に、制御端子が走査信号線にそれぞれ接続する構成であり、

前記行毎に前記走査信号線を 1 本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記所定のスイッチ素子が、第 1 端子、第 2 端子、及び前記両端子間の導通を制御する

10

20

30

40

50

制御端子を有する第 4 トランジスタ素子で構成され、

前記第 1 スイッチ回路が、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成され、

前記行毎に走査信号線と前記第 2 制御線をそれぞれ 1 本ずつ備えており、

前記第 4 トランジスタ素子の制御端子が走査信号線に接続し、

同一行に配置される前記画素回路が、共通の前記走査信号線及び共通の前記第 2 制御線にそれぞれ接続し、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする請求項 6 に記載の表示装置。

10

【請求項 9】

1 つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態にし、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに対して、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする請求項 7 に記載の表示装置。

20

【請求項 10】

前記書き込み動作時に、

前記制御線駆動回路は、前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加することを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

1 つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態にし、

30

前記制御線駆動回路が、前記選択行の前記第 2 制御線に前記第 3 トランジスタ素子を導通状態にする所定の選択用電圧を印加すると共に、前記非選択行の前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態にする所定の非選択用電圧を印加し、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする請求項 8 に記載の表示装置。

【請求項 12】

前記書き込み動作時に、

前記制御線駆動回路は、前記第 1 制御線に前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加することを特徴とする請求項 9 ~ 11 のいずれか 1 項に記載の表示装置。

40

【請求項 13】

前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成である場合において、複数の前記画素回路に対して、前記第 2 スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

50

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態の場合には前記第 2 トランジスタ素子によって前記第 1 容量素子の一端から前記内部ノードに向けての電流が遮断され、第 2 電圧状態の場合には前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 3 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

10

前記データ信号線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、前記第 1 電圧状態の前記画素データの電圧を供給することを特徴とする請求項 7 又は 8 に記載の表示装置。

【請求項 1 4】

前記第 1 容量素子の前記他端が前記第 2 制御線に接続する構成である場合において、複数の前記画素回路に対して、前記第 2 スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

20

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態の場合には前記第 2 トランジスタ素子によって前記第 1 容量素子の一端から前記内部ノードに向けての電流が遮断され、第 2 電圧状態の場合には前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 2 制御線に、所定の電圧振幅の電圧パルスを印加して、前記第 3 トランジスタ素子を導通状態とすると共に、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

30

前記データ信号線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、前記第 1 電圧状態の前記画素データの電圧を供給することを特徴とする請求項 7 又は 8 に記載の表示装置。

【請求項 1 5】

前記セルフリフレッシュ動作終了直後に待機状態に移行して、

前記制御線駆動回路が、前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態にする所定の電圧を印加すると共に、前記第 3 制御線に対する前記電圧パルスの印加を終了することを特徴とする請求項 1 3 に記載の表示装置。

【請求項 1 6】

前記セルフリフレッシュ動作終了直後に待機状態に移行して、

40

前記制御線駆動回路が、前記第 2 制御線に対する前記電圧パルスの印加を終了して、前記第 3 トランジスタ素子を非導通状態にすることを特徴とする請求項 1 4 に記載の表示装置。

【請求項 1 7】

前記セルフリフレッシュ動作を、前記セルフリフレッシュ動作期間より 1 0 倍以上長い前記待機状態を介して繰り返すことを特徴とする請求項 1 5 又は 1 6 に記載の表示装置。

【請求項 1 8】

前記待機状態において、

前記データ信号線駆動回路が、前記データ信号線に前記第 2 電圧状態の電圧を印加することを特徴とする請求項 1 5 又は 1 6 に記載の表示装置。

50

【請求項 19】

前記画素回路は、前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 3 制御線に所定の電圧振幅のパルス印加を行い、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に走査用電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後に、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了した後の所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、その後、前記第 3 制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加すると共に、

前記制御線駆動回路が前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 7 に記載の表示装置。

【請求項 20】

前記画素回路は、前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成であっ

10

20

30

40

50

て、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 2 制御線及び前記第 3 制御線に所定の電圧振幅のパルス印加を行い、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に走査用電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後に、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了した後、前記第 2 制御線及び前記第 3 制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加すると共に、

前記制御線駆動回路が前記第 2 制御線及び前記第 3 制御線に対するパルス印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 7 に記載の表示装置。

【請求項 2 1】

前記画素回路は、前記第 1 容量素子の前記他端が前記第 2 制御線に接続する構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持

10

20

30

40

50

された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 2 制御線に所定の電圧振幅のパルス印加を行い、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に走査用電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後に、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了した後、前記第 2 制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加すると共に、

前記制御線駆動回路が前記第 2 制御線に対するパルス印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 7 に記載の表示装置。

【請求項 22】

前記画素回路は、前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

10

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 3 制御線に所定の電圧振幅のパルス印加を行い、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

20

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に走査用電圧パルス印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後に、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記走査用電圧パルスの印加中、及び同パルス印加終了の所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、その後、前記第 3 制御線へのパルス印加を停止し、

30

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルス印加している間、前記第 1 電圧状態の電圧を印加すると共に、

前記制御線駆動回路が前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 8 に記載の表示装置。

40

【請求項 2 3】

前記画素回路は、前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制

50

御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第4トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第1制御線に、前記内部ノードが保持する2値の画素データの電圧状態が第1電圧状態又は第2電圧状態のいずれであるかに応じて、前記第1容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第2制御線に、前記第3トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記第3制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第2制御線及び前記第3制御線に所定の電圧振幅のパルス印加を行い、前記第1容量素子の一端に対して前記第1容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第1電圧状態の場合には前記第2トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第1トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第2電圧状態の場合には、前記第2トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第1トランジスタ素子を非導通状態とし、

その後に、前記第1制御線に、前記内部ノードの電圧状態に関係なく前記第2トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に走査用電圧パルスを印加して、前記第4トランジスタ素子を一時的に導通状態とした後に、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第2トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を2つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記電圧パルスの印加を終了した後、前記第2制御線及び前記第3制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスを印加している間、前記第1電圧状態の電圧を印加すると共に、

前記制御線駆動回路が前記第2制御線及び前記第3制御線に対するパルス印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に前記第2電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項8に記載の表示装置。

【請求項24】

前記画素回路は、前記第1容量素子の前記他端が前記第2制御線に接続する構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第1スイッチ回路と前記第2スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

10

20

30

40

50

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、
前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 2 制御線に所定の電圧振幅のパルス印加を行い、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に走査用電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後に、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了した後、前記第 2 制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加すると共に、

前記制御線駆動回路が前記第 2 制御線に対するパルス印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 8 に記載の表示装置。

【請求項 25】

前記画素回路は、前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

10

20

30

40

50

前記第 1 制御線に、前記内部ノードが前記第 1 電圧状態または前記第 2 電圧状態のいずれであっても、前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが前記第 1 電圧状態または前記第 2 電圧状態のいずれであっても、前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に走査用電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了した後の所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 7 に記載の表示装置。

【請求項 26】

前記画素回路は、前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが前記第 1 電圧状態または前記第 2 電圧状態のいずれであっても、前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが前記第 1 電圧状態または前記第 2 電圧状態の

10

20

30

40

50

いずれであっても、前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に走査用電圧パルス进行加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記走査用電圧パルス印加時から当該パルス印加終了後までの所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

10

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 8 に記載の表示装置。

【請求項 27】

20

前記画素回路が、一端を前記内部ノードに接続し、他端を固定電圧線に接続する第 2 容量素子を備えている場合において、

前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了した後、前記電圧パルスの印加終了時に生じる前記内部ノードの電圧変動を、前記固定電圧線の電圧を調整することにより、補償することを特徴とする請求項 19 ~ 26 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、画素回路及びこれを備えた表示装置に関し、特にアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

携帯電話や携帯型ゲーム機等の携帯用端末は、その表示手段として液晶表示装置を用いるのが一般的である。また、携帯電話等は、バッテリーで駆動されることから、消費電力の低減が強く要請される。このため、時刻や電池残量といった常時表示を必要とする情報については、反射型サブパネルに表示している。また、最近では、同一メインパネルにて、フルカラー表示による通常表示と反射型での常時表示との両立が要求されるようになってきている。

40

【0003】

図 34 に、一般的なアクティブマトリクス型の液晶表示装置の画素回路の等価回路を示す。また、図 35 に、 $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示す。なお、 m 、 n はいずれも 2 以上の整数である。

【0004】

図 35 に示すように、 m 本のソース線 $SL1$ 、 $SL2$ 、...、 SLm と、 n 本の走査線 $GL1$ 、 $GL2$ 、...、 GLn の各交点に、薄膜トランジスタ (TFT) からなるスイッチ素子を設ける。図 34 では、各ソース線 $SL1$ 、 $SL2$ 、...、 SLm を、ソース線 SL で代表し、同様に、各走査線 $GL1$ 、 $GL2$ 、...、 GLn を代表して GL と符号を付している。

50

【 0 0 0 5 】

図 3 4 に示すように、T F T を介して液晶容量素子 C 1 c と補助容量素子 C s が並列に接続されている。液晶容量素子 C 1 c は画素電極 2 0 と対向電極 8 0 の間に液晶層を設けた積層構造で構成される。対向電極は共通（コモン）電極とも呼ばれる。

【 0 0 0 6 】

なお、図 3 5 では、各画素回路については、簡略的に T F T と画素電極（黒色の矩形部分）だけを表示している。

【 0 0 0 7 】

補助容量素子 C s は、一端（一方の電極）が画素電極 2 0 に、他端（他方の電極）が補助容量線 C S L に接続しており、画素電極 2 0 に保持される画素データの電圧を安定化する。補助容量素子 C s は、T F T においてリーク電流が発生すること、液晶分子の有する誘電率異方性により黒表示と白表示で液晶容量素子 C 1 c の電気容量が変動すること、及び、画素電極と周辺配線間の寄生容量を介して電圧変動が生じること、等に起因して、画素電極に保持する画素データの電圧が変動するのを抑制する効果がある。走査線の電圧を順次制御することで、1 本の走査線に接続する T F T が導通状態となり、走査線単位で各ソース線に供給される画素データの電圧が対応する画素電極に書き込まれる。

【 0 0 0 8 】

フルカラー表示による通常表示では、表示内容が静止画の場合でも、1 フレーム毎に、同じ画素に同じ表示内容が繰り返し書き込まれる。このように、画素電極に保持する画素データの電圧が更新されることで、画素データの電圧変動が最小限に抑制され、高品質な静止画の表示が担保される。

【 0 0 0 9 】

液晶表示装置を駆動するための消費電力は、ソースドライバによるソース線駆動のための消費電力にほぼ支配され、概ね、以下の数 1 に示す関係式によって表される。なお、数 1 において、P は消費電力、f はリフレッシュレート（単位時間当たりの 1 フレーム分のリフレッシュ動作回数）、C はソースドライバによって駆動される負荷容量、V はソースドライバの駆動電圧、n は走査線数、m はソース線数をそれぞれ示す。ここで、リフレッシュ動作とは、表示内容を保持しながらソース線を介して画素電極に対して電圧を印加する動作を指す。

【 0 0 1 0 】

（数 1）

$$P = f \cdot C \cdot V^2 \cdot n \cdot m$$

【 0 0 1 1 】

ところで、常時表示の場合は、表示内容が静止画であることから、必ずしも画素データの電圧を 1 フレーム毎に更新する必要はない。このため、液晶表示装置の消費電力を更に低減するために、この常時表示時のリフレッシュ周波数を下げることが行われている。しかし、リフレッシュ周波数を下げると、T F T のリーク電流の影響により、画素電極に保持されている画素データ電圧が変動する。当該電圧変動が、各画素の表示輝度（液晶の透過率）の変動となり、フリッカとして観測されるようになる。また、各フレーム期間における平均電位も低下するので、十分なコントラストを得られない等の表示品位の低下を招くおそれもある。

【 0 0 1 2 】

ここで、電池残量や時刻表示等の静止画の常時表示において、リフレッシュ周波数の低下により表示品質が低下する問題の解決と低消費電力化とを同時に実現する方法として、例えば、下記特許文献 1 に記載の構成が開示されている。特許文献 1 に開示の構成では、透過型と反射型の両機能による液晶表示が可能であり、更に、反射型による液晶表示が可能な画素領域内の画素回路にはメモリ部を有している。このメモリ部は、反射型液晶の表示部において表示すべき情報を電圧信号として保持している。反射型による液晶表示時には、画素回路がメモリ部内に保持された電圧を読み出すことで、当該電圧に応じた情報を表示する。

10

20

30

40

50

【 0 0 1 3 】

特許文献 1 では、上記メモリ部が S R A M で構成されており、上記電圧信号が静的に保持されるため、リフレッシュ動作が不要となり、表示品質の維持と低消費電力化が同時に実現できる。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 4 】

【 特許文献 1 】 特開 2 0 0 7 - 3 3 4 2 2 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 1 5 】

しかし、携帯電話等で使用される液晶表示装置において、上記のような構成を採用した場合には、通常動作時にアナログ情報としての各画素データの電圧を保持するための補助容量素子に加えて、画素データを記憶するためのメモリ部を画素毎或いは画素群毎に備える必要がある。これにより、液晶表示装置における表示部を構成するアレイ基板（アクティブマトリクス基板）に形成すべき素子数や信号線数が増えるため、透過モードでの開口率が低下する。また、液晶を交流駆動するための極性反転駆動回路を上記メモリ部と共に設ける場合には、更に開口率の低下を招く。このように素子数や信号線数の増加によって開口率が低下すると通常表示モードでの表示画像の輝度が低下する。

【 0 0 1 6 】

20

液晶表示装置では、常時表示による静止画の表示において、画素電極における電圧変動の問題に加えて、画素電極と対向電極間に同一極性の電圧を印加し続けると、液晶層中に含まれる微量のイオン性不純物が画素電極と対向電極のいずれか一方側に集まり、これによって表示画面全体に焼き付きが発生するという問題が生じる。このため、上記リフレッシュ動作に加えて、画素電極と対向電極間に印加する電圧の極性を反転させる極性反転動作が必要となる。

【 0 0 1 7 】

通常表示及び常時表示のいずれの場合も、静止画の表示において、当該極性反転動作では、1 フレーム分の画素データをフレームメモリに記憶しておき、当該画素データに応じた電圧を、対向電極を基準とした極性を都度反転させながら繰り返し書き込む動作を行う。このため、上述のように、外部から走査線とソース線を駆動し、走査線単位で各ソース線に供給される画素データの電圧を各画素電極に書き込む動作が必要となる。

30

【 0 0 1 8 】

従って、低消費電力動作が要求される常時表示において、外部から走査線とソース線を駆動して極性反転動作を行うと、画素電極の電圧振幅が上述のリフレッシュ動作に比べて大きいため、更に大きな電力消費を伴うことになる。

【 0 0 1 9 】

本発明は、上記の問題点に鑑みてなされたもので、その目的は、開口率の低下を招くことなく低消費電力で液晶の劣化及び表示品質の低下を防止できる画素回路及び表示装置を提供する点にある。

40

【 課題を解決するための手段 】

【 0 0 2 0 】

上記の目的を達成すべく、本発明に係る画素回路は、以下のような構成とする点に特徴がある。

【 0 0 2 1 】

まず、本発明に係る画素回路は、
単位表示素子を含む表示素子部と、
前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、
少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素デー

50

タの電圧を前記内部ノードに転送する第1スイッチ回路と、

前記データ信号線から供給される電圧を、前記所定のスイッチ素子を經由せずに前記内部ノードに転送する第2スイッチ回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第1容量素子の一端に保持すると共に、前記第2スイッチ回路の導通非導通を制御する制御回路と、を備えている。

【0022】

この画素回路は、第1端子、第2端子、並びに、前記第1及び第2端子間の導通を制御する制御端子を有する第1～第3トランジスタ素子を備えており、これらのうち、第1及び第3トランジスタ素子を第2スイッチ回路内に、第2トランジスタ素子を制御回路内にそれぞれ備えている。第2スイッチ回路は、第1トランジスタ素子と第3トランジスタ素子の直列回路で構成されており、制御回路は、第2トランジスタ素子と第1容量素子の直列回路で構成されている。

10

【0023】

第1スイッチ回路と第2スイッチ回路は、各一端がいずれもデータ信号線に接続しており、各他端がいずれも内部ノードに接続している。この内部ノードには、第2トランジスタ素子の第1端子も接続している。

【0024】

第1トランジスタ素子の制御端子、第2トランジスタ素子の第2端子、第1容量素子の一端が相互に接続してノードを形成している。また、第2トランジスタ素子の制御端子が第1制御線に接続し、第3トランジスタ素子の制御端子が第2制御線に接続している。更に、第1容量素子の他端、前記ノードを形成しない側の端子が、第2制御線又は第3制御線に接続している。

20

【0025】

この構成に加え、一端が前記内部ノードに接続し、他端が第4制御線又は所定の固定電圧線に接続する第2容量素子を更に備えるものとしても良い。

【0026】

また、前記所定のスイッチ素子は、第1端子、第2端子、並びに前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子で構成され、

前記第4トランジスタ素子の制御端子が走査信号線に接続する構成とするのも好適である。

30

【0027】

また、前記第1スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成とするのも好適である。

【0028】

また、前記第1スイッチ回路が、前記第2スイッチ回路内の前記第3トランジスタ素子と前記所定のスイッチ素子との直列回路、又は前記第2スイッチ回路内の前記第3トランジスタ素子の制御端子に制御端子が接続する第5トランジスタと前記所定のスイッチ素子との直列回路で構成されるのも好適である。

【0029】

40

更に、本発明に係る表示装置は、上記の特徴を有する画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を1本ずつ備えており、

同一列に配置される前記画素回路は、前記第1スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第2トランジスタ素子の制御端子が共通の前記第1制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第3トランジスタ素子の制御端子が共通の前記第2制御線に接続し、

同一行または同一列に配置される前記画素回路は、前記第1容量素子の前記他端が共通

50

の前記第 2 制御線又は前記第 3 制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1 ~ 第 3 制御線を各別に駆動する制御線駆動回路を備えることを特徴とする。

【 0 0 3 0 】

上記構成に加え、前記第 1 スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成であると共に、前記所定のスイッチ素子は、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子であって、前記第 1 端子が前記内部ノードに、第 2 端子が前記データ信号線に、制御端子が走査信号線にそれぞれ接続する構成であり、

前記行毎に前記走査信号線を 1 本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えるものとするのも好適である。

【 0 0 3 1 】

また、前記所定のスイッチ素子が、第 1 端子、第 2 端子、及び前記両端子間の導通を制御する制御端子を有する第 4 トランジスタ素子で構成され、

前記第 1 スイッチ回路が、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成され、

前記行毎に走査信号線と前記第 2 制御線をそれぞれ 1 本ずつ備えており、

前記第 4 トランジスタ素子の制御端子が走査信号線に接続し、

同一行に配置される前記画素回路が、共通の前記走査信号線及び共通の前記第 2 制御線にそれぞれ接続し、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えるものとするのも好適である。

【 0 0 3 2 】

このような構成の下、1つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態にし、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに対して、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加する構成とするのが好適である。

【 0 0 3 3 】

このとき、前記書き込み動作時に、前記制御線駆動回路が前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するものとしても良い。

【 0 0 3 4 】

また、1つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態にし、

前記制御線駆動回路が、前記選択行の前記第 2 制御線に前記第 3 トランジスタ素子を導通状態にする所定の選択用電圧を印加すると共に、前記非選択行の前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態にする所定の非選択用電圧を印加し、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前

10

20

30

40

50

記画素回路に書き込む画素データに対応するデータ電圧を各別に印加する構成とするのも好適である。

【 0 0 3 5 】

なお、この書き込み動作時に、

前記制御線駆動回路は、前記第 1 制御線に前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加するのが好適である。

【 0 0 3 6 】

更に、本発明に係る表示装置は、上記の特徴に加えて、

前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成である場合において、複数の前記画素回路に対して、前記第 2 スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態の場合には前記第 2 トランジスタ素子によって前記第 1 容量素子の一端から前記内部ノードに向けての電流が遮断され、第 2 電圧状態の場合には前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 3 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

前記データ信号線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、前記第 1 電圧状態の前記画素データの電圧を供給することを特徴とする。

【 0 0 3 7 】

なお、前記第 1 容量素子の前記他端が前記第 2 制御線に接続する構成である場合においては、前記第 2 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 3 トランジスタ素子を導通状態とすると共に、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とする。

【 0 0 3 8 】

これに加えて、前記セルフリフレッシュ動作終了直後に待機状態に移行して、

前記制御線駆動回路が、前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態にする所定の電圧を印加すると共に、前記電圧パルスの印加を終了することを別の特徴とする。

【 0 0 3 9 】

更にこのとき、前記セルフリフレッシュ動作を、前記セルフリフレッシュ動作期間より 10 倍以上長い前記待機状態を介して繰り返す構成とするのも好適である。

【 0 0 4 0 】

前記待機状態において、前記制御線駆動回路が、前記データ信号線に固定電圧を印加するのが好適である。この固定電圧を第 2 電圧状態としても良い。

【 0 0 4 1 】

また、上記の特徴に加えて、

前記セルフリフレッシュ動作対象の複数の前記画素回路を 1 又は複数の行単位に区分し、

、

10

20

30

40

50

少なくとも前記第 2 制御線、並びに前記第 1 容量素子の他端に接続する前記第 2 制御線若しくは前記第 3 制御線を、前記区分単位で駆動可能に設け、

前記制御線駆動回路が、前記セルフリフレッシュ動作の対象でない区分に対し、前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは、前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に前記電圧パルスを印加せずに、

前記セルフリフレッシュ動作対象の前記区分を順次切り替えて、前記セルフリフレッシュ動作を前記区分毎に分割して実行する構成とするのも好適である。

【 0 0 4 2 】

また、前記第 1 スイッチ回路が、前記第 4 トランジスタ素子以外のスイッチ素子を含まない構成である場合において、

前記セルフリフレッシュ動作対象の複数の前記画素回路を 1 又は複数の列単位に区分し、

少なくとも前記第 2 制御線、並びに前記第 1 容量素子の他端に接続する前記第 2 制御線若しくは前記第 3 制御線を、前記区分毎に駆動可能に設け、

前記制御線駆動回路が、前記セルフリフレッシュ動作の対象でない区分に対し、前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは、前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に前記電圧パルスを印加せずに、

前記セルフリフレッシュ動作対象の前記区分を順次切り替えて、前記セルフリフレッシュ動作を前記区分毎に分割して実行する構成とするのも好適である。

【 0 0 4 3 】

また、本発明に係る表示装置は、上記特徴に加えて、

前記画素回路は、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を含まず、前記第 1 容量素子の前記他端が前記第 3 制御線に接続する構成である場合において、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 3 制御線に所定の電圧振幅のパルス印加を行い、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノード

10

20

30

40

50

ドの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の走査用電圧パルス印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後に、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

10

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスの印加を終了した後の所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、その後、前記第 3 制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、

前記セルフ極性反転動作の対象である複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記走査用電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加すると共に、

前記制御線駆動回路が前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする。

20

【 0 0 4 4 】

また、別の方法としては、前記セルフ極性反転動作開始前の初期状態設定動作として、前記制御線駆動回路が、前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、前記制御線駆動回路が、前記第 2 制御線及び前記第 3 制御線に所定の電圧振幅の電圧パルスを印加し、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後、前記第 2 制御線及び前記第 3 制御線へのパルス印加を停止し、前記第 2 制御線及び前記第 3 制御線に対するパルス印加を終了する直前の少なくとも一部期間中、前記データ信号線制御回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されるものとしても良い。

30

【 0 0 4 5 】

一方、前記第 1 容量素子が前記第 2 制御線に接続される場合であれば、前記セルフ極性反転動作開始前の初期状態設定動作として、前記制御線駆動回路が、前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記初期状態設定動作後に、前記制御線駆動回路が、前記第 2 制御線に所定の電圧振幅のパルス印加を行い、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後、前記第 2 制御線へのパルス印加を停止し、前記第 2 制御線に対するパルス印加を終了する直前の少なくとも一部期間中、前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されるものとしても良い。

40

【 0 0 4 6 】

なお、上記各構成において、前記画素回路が、前記第 1 スイッチ回路が前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成される場合には、前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記電圧パルス印加時から当該パルス印加終了後までの所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、その後、前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線への

50

パルス印加を停止すれば良い。

【 0 0 4 7 】

このとき、第 1 容量素子が、第 3 制御線に接続される場合に第 2 制御線と第 3 制御線を同一タイミングで駆動するものとしても良い。更に、第 1 容量素子が第 2 制御線に接続される場合にも同様に駆動することが可能である。

【 0 0 4 8 】

また、本発明の表示装置は、

前記画素回路は、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を含まず、且つ前記第 1 容量素子の他端が前記第 3 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、前記第 1 容量素子の一端の電圧値の差によって、前記第 1 トランジスタ素子の第 1 又は第 2 端子の電圧を前記第 2 電圧状態とした場合に、前記内部ノードが前記第 1 電圧状態の場合に前記第 1 トランジスタ素子が導通状態となり、前記内部ノードが前記第 2 電圧状態の場合に前記第 1 トランジスタ素子が非導通状態となる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが前記第 1 電圧状態または前記第 2 電圧状態のいずれであっても、前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に前記第 2 電圧状態の電

10

20

30

40

50

圧を印加する、一連の動作が実行されることを別の特徴とする。

【 0 0 4 9 】

一方、前記画素回路が、前記第 1 容量素子の他端が前記第 3 制御線に接続し、且つ前記第 1 スイッチ回路が前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成される場合であれば、前記初期状態設定動作後に、前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記電圧パルス印加時から当該パルス印加終了後までの所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加するものとすれば良い。

10

【 0 0 5 0 】

更に、上記特徴に加えて、前記画素回路が、一端を前記内部ノードに接続し、他端を固定電圧線に接続する第 2 容量素子を備えている場合において、

前記走査信号線駆動回路が前記電圧パルスの印加を終了した後、前記電圧パルスの印加終了時に生じる前記内部ノードの電圧変動を、前記固定電圧線の電圧を調整することにより、補償する構成とするのも好適である。

【 発明の効果 】

【 0 0 5 1 】

本発明の構成により、通常書き込み動作の他、書き込み動作によることなく表示素子部両端間の電圧の絶対値を直前の書き込み動作時の値に復帰させる動作（セルフリフレッシュ動作）を実行することができる。また、液晶表示装置のように、極性反転動作を必要とする表示装置においては、書き込み動作によることなく表示素子部両端間の電圧の極性を反転させる動作を実行することができる（セルフ極性反転動作）。

20

【 0 0 5 2 】

画素回路が複数配列されている場合において、通常書き込み動作は、一般的に行毎に実行される。このため、最大で、配列された画素回路の行数分だけドライバ回路を駆動させる必要がある。

【 0 0 5 3 】

本発明の画素回路によれば、セルフリフレッシュ動作を行うことで、最大で配置された複数の画素全てに対して同時にリフレッシュ動作を実行することができる。このため、リフレッシュ動作の開始から終了までに必要なドライバ回路の駆動回数を大きく削減することができ、低消費電力を実現できる。

30

【 0 0 5 4 】

そして、画素回路内に S R A M 等のメモリ部を別途備える必要がないため、従来技術のように開口率を大きく低下させるということがない。

【 0 0 5 5 】

更に、本発明の画素回路によれば、セルフ極性反転動作を行うことで、最大で配置された複数の画素全てに対して同時に極性反転動作を実行することができる。通常書き込み動作によって極性反転を行う場合と比較して、極性反転動作の開始から終了までに必要なドライバ回路の駆動回数を大きく削減することができ、低消費電力を実現できる。

40

【 0 0 5 6 】

そして、本発明の画素回路並びに表示装置によれば、上記のセルフリフレッシュ動作、セルフ極性反転動作を適宜組み合わせることができ、これによって、画像表示時における消費電力の低下効果を更に高めることができる。

【 図面の簡単な説明 】

【 0 0 5 7 】

【 図 1 】 本発明の表示装置の概略構成の一例を示すブロック図

【 図 2 】 液晶表示装置の一部断面概略構造図

【 図 3 】 本発明の表示装置の概略構成の一例を示すブロック図

【 図 4 】 本発明の画素回路の基本回路構成を示す回路図

50

【図 5】本発明の画素回路の他の基本回路構成を示す回路図

【図 6】本発明の画素回路の第 1 種類の回路構成例を示す回路図

【図 7】本発明の画素回路の第 1 種類の他の回路構成例を示す回路図

【図 8】本発明の画素回路の第 1 種類の他の回路構成例を示す回路図

【図 9】本発明の画素回路の第 2 種類の回路構成例を示す回路図

【図 10】本発明の画素回路の第 3 種類の回路構成例を示す回路図

【図 11】本発明の画素回路の第 2 種類の他の回路構成例を示す回路図

【図 12】本発明の画素回路の第 2 種類の他の回路構成例を示す回路図

【図 13】本発明の画素回路の第 4 種類の回路構成例を示す回路図

【図 14】本発明の画素回路の第 5 種類の回路構成例を示す回路図

10

【図 15】本発明の画素回路の第 6 種類の回路構成例を示す回路図

【図 16】第 1 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 17】第 4 ~ 第 6 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 18】第 1 種類の画素回路によるセルフ極性反転動作のタイミング図

【図 19】第 4 ~ 第 6 種類の画素回路によるセルフ極性反転動作のタイミング図

【図 20】第 1 種類の画素回路によるセルフ極性反転動作の別のタイミング図

【図 21】第 2 ~ 第 3 種類の画素回路によるセルフ極性反転動作の別のタイミング図

【図 22】第 1 種類の画素回路によるセルフ極性反転動作の別のタイミング図

【図 23】第 1 種類の画素回路によるセルフ極性反転動作の更に別のタイミング図

【図 24】第 2 ~ 第 3 種類の画素回路によるセルフ極性反転動作のタイミング図

20

【図 25】第 4 ~ 第 6 種類の画素回路によるセルフ極性反転動作の別のタイミング図

【図 26】第 1 種類の画素回路による常時表示モード時の書き込み動作のタイミング図

【図 27】第 2 ~ 第 3 種類の画素回路による常時表示モード時の書き込み動作のタイミング図

【図 28】常時表示モードにおける書き込み動作とセルフリフレッシュ動作の実行手順を示すフローチャート

【図 29】常時表示モードにおける書き込み動作とセルフ極性反転動作の実行手順を示すフローチャート

【図 30】常時表示モードにおける書き込み動作、セルフリフレッシュ動作、及びセルフ極性反転動作を組み合わせる場合の実行手順を示すフローチャート

30

【図 31】第 1 種類の画素回路による通常表示モード時の書き込み動作のタイミング図

【図 32】本発明の画素回路の更に別の基本回路構成を示す回路図

【図 33】本発明の画素回路の更に別の基本回路構成を示す回路図

【図 34】一般的なアクティブマトリクス型の液晶表示装置の画素回路の等価回路図

【図 35】 $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示すブロック図

【発明を実施するための形態】

【0058】

本発明の画素回路及び表示装置の各実施形態につき、以下において図面を参照して説明する。なお、図 34 及び図 35 と同一の構成要素については、同一の符号を付している。

40

【0059】

〔第 1 実施形態〕

第 1 実施形態では、本発明の表示装置（以下、単に「表示装置」という）と本発明の画素回路（以下、単に「画素回路」という）の構成について説明する。

【0060】

《表示装置》

図 1 に、表示装置 1 の概略構成を示す。表示装置 1 は、アクティブマトリクス基板 10、対向電極 80、表示制御回路 11、対向電極駆動回路 12、ソースドライバ 13、ゲートドライバ 14、及び後述する種々の信号線を備える。アクティブマトリクス基板 10 上には、画素回路 2 が、行及び列方向にそれぞれ複数配置され、画素回路アレイが形成され

50

ている。

【 0 0 6 1 】

なお、図 1 では、図面が煩雑になるのを避けるため、画素回路 2 はブロック化して表示している。また、アクティブマトリクス基板 1 0 上に各種の信号線が形成されていることを明確化するために、便宜的に、アクティブマトリクス基板 1 0 を対向電極 8 0 の上側に図示している。

【 0 0 6 2 】

本実施形態では、表示装置 1 は、同じ画素回路 2 を用いて、通常表示モードと常時表示モードの 2 つの表示モードで画面表示を行うことができる構成である。通常表示モードは、動画若しくは静止画をフルカラー表示で表示する表示モードで、バックライトを利用した透過型液晶表示を利用する。一方、本実施形態の常時表示モードは、画素回路単位で 2 階調（白黒）表示し、3 つの隣接する画素回路 2 を 3 原色（R，G，B）の各色に割り当てて、8 色を表示する表示モードである。更に、常時表示モードでは、隣接する 3 つの画素回路を更に複数セット組み合わせ、面積階調により表示色の数を増やすことも可能である。なお、本実施形態の常時表示モードは、透過型液晶表示でも反射型液晶表示でも利用可能な技術である。

【 0 0 6 3 】

以下の説明では、便宜的に、1 つの画素回路 2 に対応する最小表示単位を「画素」と呼び、各画素回路に書き込む「画素データ」は、3 原色（R，G，B）によるカラー表示の場合には各色の階調データとなる。3 原色に加えて白黒の輝度データを含めてカラー表示する場合には、当該輝度データも画素データに含まれる。

【 0 0 6 4 】

図 2 は、アクティブマトリクス基板 1 0 と対向電極 8 0 の関係を示す概略断面構造図であり、画素回路 2 の構成要素である表示素子部 2 1（図 4 参照）の構造を示している。アクティブマトリクス基板 1 0 は、光透過性の透明基板であり、例えばガラスやプラスチックからなる。

【 0 0 6 5 】

図 1 に図示したように、アクティブマトリクス基板 1 0 上には各信号線を含む画素回路 2 が形成されている。図 2 では、画素回路 2 の構成要素を代表して画素電極 2 0 を図示している。画素電極 2 0 は、光透過性の透明導電材料、例えば I T O（インジウムスズ酸化物）からなる。

【 0 0 6 6 】

アクティブマトリクス基板 1 0 に対向するように、光透過性の対向基板 8 1 が配置されており、これら両基板の間隙には液晶層 7 5 が保持される。両基板の外表面には偏光板（不図示）が貼り付けられている。

【 0 0 6 7 】

液晶層 7 5 は、両基板の周辺部分においてはシール材 7 4 によって封止されている。対向基板 8 1 には、I T O 等の光透過性の透明導電材料からなる対向電極 8 0 が、画素電極 2 0 と対向するように形成されている。この対向電極 8 0 は、対向基板 8 1 上をほぼ一面に広がるように単一膜として形成されている。ここで、1 つの画素電極 2 0 と対向電極 8 0 とその間に挟持された液晶層 7 5 によって単位液晶表示素子 C 1 c（図 4 参照）が形成される。

【 0 0 6 8 】

また、バックライト装置（不図示）がアクティブマトリクス基板 1 0 の背面側に配置されており、アクティブマトリクス基板 1 0 から対向基板 8 1 に向かう方向に光を放射することができる。

【 0 0 6 9 】

図 1 に示すように、アクティブマトリクス基板 1 0 上には複数の信号線が縦横方向に形成されている。そして、縦方向（列方向）に延伸する m 本のソース線（S L 1，S L 2，...，S L m）と、横方向（行方向）に延伸する n 本のゲート線（G L 1，G L 2，...）

10

20

30

40

50

、 GL_n) が交差する箇所において、画素回路 2 がマトリクス状に複数形成されている。 m, n はいずれも 2 以上の自然数である。また、各ソース線を「ソース線 SL 」で代表し、各ゲート線を「ゲート線 GL 」で代表する。

【0070】

ここで、ソース線 SL が「データ信号線」に対応し、ゲート線 GL が「走査信号線」に対応する。また、ソースドライバ 13 が「データ信号線駆動回路」に対応し、ゲートドライバ 14 が「走査信号線駆動回路」に対応し、対向電極駆動回路 12 が「対向電極電圧供給回路」に対応し、表示制御回路 11 の一部が「制御線駆動回路」に対応する。

【0071】

なお、図 1 では、表示制御回路 11、対向電極駆動回路 12 が、それぞれソースドライバ 13 やゲートドライバ 14 とは別個独立して存在するように図示されているが、これらのドライバ内に表示制御回路 11 や対向電極駆動回路 12 が含まれる構成であっても構わない。

10

【0072】

本実施形態では、画素回路 2 を駆動する信号線として、上述のソース線 SL とゲート線 GL 以外に、リファレンス線 REF 、選択線 SEL 、補助容量線 CSL 、及びブースト線 BST を備える。なお、このブースト線 BST は、選択線 SEL とは別の信号線として備えることもできるし、選択線 SEL と共通化することも可能である。ブースト線 BST と選択線 SEL を共通化することで、アクティブマトリクス基板 10 上に配置すべき信号線の本数を低減でき、各画素の開口率を向上できる。図 3 に、選択線 SEL とブースト線 BST が共通化した場合における表示装置の構成を示す。

20

【0073】

リファレンス線 REF 、選択線 SEL 、ブースト線 BST は、それぞれ「第 1 制御線」、「第 2 制御線」、「第 3 制御線」に対応し、表示制御回路 11 によって駆動される。また、補助容量線 CSL は、「第 4 制御線」又は「固定電圧線」に対応し、一例として表示制御回路 11 によって駆動される。

【0074】

図 1 及び図 3 において、リファレンス線 REF 、選択線 SEL 、及び補助容量線 CSL は、いずれも行方向に延伸するように各行に設けられており、画素回路アレイの周辺部で各行の配線が相互に接続して一本化されているが、各行の配線は個別に駆動され、動作モードに応じて共通の電圧が印加可能に構成されても良い。また、後述する画素回路 2 の回路構成の類型によっては、リファレンス線 REF 、選択線 SEL 、及び、補助容量線 CSL の一部又は全てを、列方向に延伸するように各列に設けることもできる。基本的に、リファレンス線 REF 、選択線 SEL 、及び補助容量線 CSL のそれぞれは、複数の画素回路 2 で共通に使用される構成となっている。なお、ブースト線 BST を選択線 SEL とは別に備える構成の場合には、選択線 SEL と同様に設けられるものとして良い。

30

【0075】

表示制御回路 11 は、後述する通常表示モード及び常時表示モードにおける各書き込み動作と、常時表示モードにおけるセルフリフレッシュ動作及びセルフ極性反転動作を制御する回路である。

40

【0076】

書き込み動作時には、表示制御回路 11 は、外部の信号源から表示すべき画像を表すデータ信号 Dv とタイミング信号 Ct を受け取り、当該信号 Dv, Ct に基づき、画像を画素回路アレイの表示素子部 21 (図 4 参照) に表示させるための信号として、ソースドライバ 13 に与えるデジタル画像信号 DA 及びデータ側タイミング制御信号 Stc と、ゲートドライバ 14 に与える走査側タイミング制御信号 Gtc と、対向電極駆動回路 12 に与える対向電圧制御信号 Sec と、リファレンス線 REF 、選択線 SEL 、補助容量線 CSL 、及びブースト線 BST にそれぞれ印加する各信号電圧を生成する。

【0077】

ソースドライバ 13 は、表示制御回路 11 からの制御により、書き込み動作、セルフリ

50

フレッシュ動作、及びセルフ極性反転動作時に、各ソース線 S_L に対して所定のタイミングで所定の電圧振幅のソース信号を印加する回路である。

【0078】

書き込み動作時、ソースドライバ13は、ディジタル画像信号 DA 及びデータ側タイミング制御信号 Stc に基づき、ディジタル信号 DA の表わす1表示ライン分の画素値に相当する、対向電圧 V_{com} の電圧レベルに適合した電圧をソース信号 $Sc1, Sc2, \dots, Scm$ として1水平期間（「1H期間」ともいう）毎に生成する。当該電圧は、通常表示モードでは多階調のアナログ電圧であり、常時表示モードでは、2階調（2値）の電圧となる。そして、これらのソース信号を、それぞれ対応するソース線 $SL1, SL2, \dots, SLm$ に印加する。

10

【0079】

また、セルフリフレッシュ動作時、及びセルフ極性反転動作時には、ソースドライバ13は、表示制御回路11からの制御により、対象となる画素回路2に接続する全てのソース線 SL に対して、同一のタイミングで同一の電圧印加を行う（詳細は後述する）。

【0080】

ゲートドライバ14は、表示制御回路11からの制御により、書き込み動作、セルフリフレッシュ動作、及びセルフ極性反転動作時に、各ゲート線 GL に対して所定のタイミングで所定の電圧振幅のゲート信号を印加する回路である。なお、このゲートドライバ14は、画素回路2と同様に、アクティブマトリクス基板10上に形成されても構わない。

【0081】

20

書き込み動作時、ゲートドライバ14は、走査側タイミング制御信号 Gtc に基づき、ソース信号 $Sc1, Sc2, \dots, Scm$ を各画素回路2に書き込むために、ディジタル画像信号 DA の各フレーム期間において、ゲート線 $GL1, GL2, \dots, GLn$ をほぼ1水平期間ずつ順次選択する。

【0082】

また、セルフリフレッシュ動作時、及びセルフ極性反転動作時には、ゲートドライバ14は、表示制御回路11からの制御により、対象となる画素回路2に接続する全てのゲート線 GL に、同一のタイミングで同一の電圧印加を行う（詳細は後述する）。

【0083】

対向電極駆動回路12は、対向電極80に対して対向電極配線 CML を介して対向電圧 V_{com} を印加する。本実施形態では、対向電極駆動回路12は、通常表示モード及び常時表示モードにおいて、対向電圧 V_{com} を所定の高レベル（5V）と所定の低レベル（0V）の間で交互に切り換えて出力する。このように、対向電圧 V_{com} を高レベルと低レベルの間で切り換えながら対向電極80を駆動することを「対向AC駆動」と呼ぶ。

30

【0084】

通常表示モードにおける「対向AC駆動」は、1水平期間毎及び1フレーム期間毎に、対向電圧 V_{com} を高レベルと低レベルの間で切り換える。つまり、ある1フレーム期間では、相前後する2つの水平期間で、対向電極80と画素電極20間の電圧極性が変化する。また、同じ1水平期間においても、相前後する2つのフレーム期間では、対向電極80と画素電極20間の電圧極性が変化する。

40

【0085】

一方、常時表示モードでは、1フレーム期間中は、同じ電圧レベルが維持されるが、相前後する2つの書き込み動作で対向電極80と画素電極20間の電圧極性が変化する。

【0086】

対向電極80と画素電極20間に同一極性の電圧を印加し続けると、表示画面の焼き付き（面焼き付き）が発生するため、極性反転動作が必要となるが、「対向AC駆動」を採用することで、極性反転動作における画素電極20に印加する電圧振幅が低減できる。

【0087】

《画素回路》

次に、画素回路2の構成について図4～図15を参照して説明する。図4及び図5に、

50

本発明の画素回路 2 の基本回路構成を示す。画素回路 2 は、全ての回路構成に共通して、単位液晶表示素子 C_{lc} を含む表示素子部 21, 第 1 スイッチ回路 22, 第 2 スイッチ回路 23, 制御回路 24, 及び補助容量素子 C_s を備える構成である。補助容量素子 C_s は「第 2 容量素子」に対応する。

【0088】

なお、図 4 に示す基本回路構成は、後述する第 1 ~ 第 3 類型の基本回路構成を包含した共通の回路構成を示しており、図 5 に示す基本回路構成は、第 4 ~ 第 6 類型の基本回路構成を包含している。単位液晶表示素子 C_{lc} は、図 2 を参照して既に説明したとおりであり、説明は割愛する。

【0089】

10

画素電極 20 は、第 1 スイッチ回路 22、第 2 スイッチ回路 23、及び制御回路 24 の各一端に接続して、内部ノード N_1 を形成している。内部ノード N_1 は、書き込み動作時にソース線 S_L から供給される画素データの電圧を保持する。

【0090】

補助容量素子 C_s は、一端が内部ノード N_1 に、他端が補助容量線 C_{SL} に接続する。この補助容量素子 C_s は、内部ノード N_1 が画素データの電圧を安定的に保持できるように追加的に設けられたものである。

【0091】

第 1 スイッチ回路 22 は、内部ノード N_1 を構成しない側の一端が、ソース線 S_L と接続する。第 1 スイッチ回路 22 は、スイッチ素子として機能するトランジスタ T_4 を備えている。トランジスタ T_4 は、制御端子がゲート線に接続するトランジスタを指し、「第 4 トランジスタ」に対応する。少なくともトランジスタ T_4 のオフ時には、第 1 スイッチ回路 22 は非導通状態となり、ソース線 S_L と内部ノード N_1 間の導通が遮断される。

20

【0092】

第 2 スイッチ回路 23 は、内部ノード N_1 を構成しない側の一端が、ソース線 S_L と接続する。第 2 スイッチ回路 23 は、トランジスタ T_1 とトランジスタ T_3 の直列回路で構成される。なお、トランジスタ T_1 は、制御端子が制御回路 24 の出力ノード N_2 に接続するトランジスタを指し、「第 1 トランジスタ素子」に対応する。また、トランジスタ T_3 は、制御端子が選択線 S_{EL} に接続するトランジスタを指し、「第 3 トランジスタ素子」に対応する。トランジスタ T_1 とトランジスタ T_3 の両方がオン時に、第 2 スイッチ回路 23 は導通状態となり、ソース線 S_L と内部ノード N_1 間が導通状態となる。

30

【0093】

制御回路 24 は、トランジスタ T_2 とブースト容量素子 C_{bst} の直列回路で構成される。トランジスタ T_2 の第 1 端子が内部ノード N_1 に接続し、制御端子がリファレンス線 R_{EF} に接続する。また、トランジスタ T_2 の第 2 端子は、ブースト容量素子 C_{bst} の第 1 端子、及びトランジスタ T_1 の制御端子と接続して出力ノード N_2 を形成する。ブースト容量素子 C_{bst} の第 2 端子は、図 4 に示すようにブースト線 B_{ST} に接続するか、又は図 5 に示すように選択線 S_{EL} に接続する。

【0094】

ところで、内部ノード N_1 には、補助容量素子 C_s の一端、並びに液晶容量素子 C_{lc} の一端が接続されている。符号の煩雑化を避けるべく、補助容量素子の静電容量（「補助容量」と呼ぶ）を C_s 、液晶容量素子の静電容量（「液晶容量」と呼ぶ）を C_{lc} と表す。このとき、内部ノード N_1 に寄生する全容量、すなわち画素データを書き込んで保持すべき画素容量 C_p は、ほぼ液晶容量 C_{lc} と補助容量 C_s の和で表わされる（ $C_p = C_{lc} + C_s$ ）。

40

【0095】

このとき、ブースト容量素子 C_{bst} は、当該素子の静電容量（「ブースト容量」と呼ぶ）を C_{bst} と記載すれば、 $C_{bst} \ll C_p$ が成立するように設定されている。

【0096】

出力ノード N_2 は、トランジスタ T_2 がオン時に、内部ノード N_1 の電圧レベルに応じ

50

た電圧を保持し、トランジスタT2がオフ時には、内部ノードN1の電圧レベルが変化しても当初の保持電圧を維持する。出力ノードN2の保持電圧によって、第2スイッチ回路23のトランジスタT1のオンオフが制御される構成となっている。

【0097】

上記4種類のトランジスタT1～T4は、いずれもアクティブマトリクス基板10上に形成される、多結晶シリコンTFTや非晶質シリコンTFT等の薄膜トランジスタであり、第1及び第2端子の一方がドレイン電極、他方がソース電極、制御端子がゲート電極に相当する。更に、各トランジスタT1～T4は、それぞれ単体のトランジスタ素子で構成されても良いが、オフ時のリーク電流を抑制する要請が高い場合は、複数のトランジスタを直列に接続し、制御端子を共通化して構成されても良い。以下の画素回路2の動作説明では、トランジスタT1～T4が、全てNチャネル型の多結晶シリコンTFTで、閾値電圧が2V程度のものを想定する。

10

【0098】

画素回路2は、後述するように多様な回路構成が可能であるが、これらは以下のようにパターン化することができる。

【0099】

1) 第1スイッチ回路22の構成についてみれば、トランジスタT4だけで構成される場合、トランジスタT4と他のトランジスタ素子の直列回路で構成される場合、の2通りが可能である。なお、後者の場合、直列回路を構成する他のトランジスタ素子としては、第2スイッチ回路23内のトランジスタT3を用いることもできるし、第2スイッチ回路23内のトランジスタT3と制御端子同士が接続している別のトランジスタ素子とすることもできる。

20

【0100】

2) ブースト容量素子Cbstの第2端子(出力ノードN2を形成する端子とは反対側の端子)に接続する信号線についてみれば、ブースト線BSTに接続される場合、選択線SELに接続される場合、の2通りが可能である。後者の場合は、選択線SELがブースト線BSTを兼ねることとなる。なお、前者が図4に対応し、後者が図5に対応することは上述した。

【0101】

3) 第2スイッチ回路23内のトランジスタT3の配置箇所の相違に応じて複数の変形パターンが可能である。

30

【0102】

まず、トランジスタT3の制御端子がブースト線BSTに接続される場合について、画素回路を類型別に整理する。

【0103】

このとき、第1スイッチ回路22がトランジスタT4だけで構成される場合は、図6に示す第1タイプの画素回路2Aが想定される。第1タイプでは、第2スイッチ回路23が、トランジスタT1とトランジスタT3の直列回路で構成され、一例として、トランジスタT1の第1端子が内部ノードN1に接続し、トランジスタT1の第2端子がトランジスタT3の第1端子に接続し、トランジスタT3の第2端子がソース線SLに接続する構成例を示している。しかし、当該直列回路のトランジスタT1とトランジスタT3の配置は入れ替わっても良く、また、2つのトランジスタT3の間にトランジスタT1を挟んだ回路構成でも構わない。当該2つの変形回路構成例を、図7及び図8に示す。

40

【0104】

なお、第2スイッチ回路23が、トランジスタT1とT3の直列回路で構成されていれば、各トランジスタT1とT3の素子数は図6～図8に示すものに限定されない。

【0105】

第1スイッチ回路22がトランジスタT4と他のトランジスタ素子との直列回路で構成される場合は、図9に示す第2タイプの画素回路2B、並びに図10に示す第3タイプの画素回路2Cが想定される。

50

【 0 1 0 6 】

第 2 類型では、第 1 スイッチ回路 2 2 を構成するトランジスタ T 4 以外のトランジスタ素子として、第 2 スイッチ回路 2 3 内のトランジスタを兼用する。すなわち、第 1 スイッチ回路 2 2 が、トランジスタ T 4 とトランジスタ T 3 の直列回路で構成され、第 2 スイッチ回路 2 3 が、トランジスタ T 1 とトランジスタ T 3 の直列回路で構成される。そして、トランジスタ T 3 の第 1 端子が内部ノード N 1 に接続し、トランジスタ T 3 の第 2 端子がトランジスタ T 1 の第 1 端子とトランジスタ T 4 の第 1 端子に接続し、トランジスタ T 4 の第 2 端子がソース線 S L に接続し、トランジスタ T 1 の第 2 端子がソース線 S L に接続する。

【 0 1 0 7 】

更に、第 1 類型の図 7 , 図 8 と同様、第 2 類型においても、第 2 スイッチ回路 2 3 内のトランジスタ T 1 とトランジスタ T 3 の配置を入れ替えても良く、2 つのトランジスタ T 3 の間にトランジスタ T 1 を挟んだ回路構成でも構わない。このような 2 つの変形回路構成例を、図 1 1 及び図 1 2 に示す。

【 0 1 0 8 】

図 1 0 に示す第 3 類型では、第 1 スイッチ回路 2 2 を構成するトランジスタ T 4 以外のトランジスタ素子として、第 2 スイッチ回路 2 3 内のトランジスタ T 3 と制御端子同士が接続するトランジスタ T 5 を用いる。このトランジスタ T 5 は、「第 5 トランジスタ素子」に対応する。トランジスタ T 5 とトランジスタ T 3 の制御端子同士が接続するため、トランジスタ T 5 は、トランジスタ T 3 と同様に選択線 S E L によってオンオフ制御がされる。第 1 スイッチ回路 2 2 を構成するトランジスタ T 4 以外のトランジスタ素子が、選択線 S E L によってオンオフ制御がされるという点で、図 9 に示す第 2 類型の場合と共通する。

【 0 1 0 9 】

なお、第 3 類型の場合において、第 1 スイッチ回路 2 2 内のトランジスタ T 4 と T 5 の配置を入れ換えても構わないし、第 2 スイッチ回路 2 3 内のトランジスタ T 1 と T 3 の配置を入れ換えても良い。また、各スイッチ回路内のトランジスタ素子の数を増やすことも可能である。

【 0 1 1 0 】

更に、これら上述した第 1 ~ 第 3 類型において、ブースト容量素子 C b s t の第 2 端子に選択線 S E L が接続される構成が考えられる。これらを、第 4 ~ 第 6 類型と呼び、代表的な回路構成をそれぞれ図 1 3 ~ 図 1 5 に示す。これら各類型においても、第 1 ~ 第 3 類型と同様の変形回路が可能である。

【 0 1 1 1 】

[第 2 実施形態]

第 2 実施形態では、上述した各第 1 ~ 第 6 類型の回路を代表して、図 6 に示す第 1 類型の画素回路 2 A によるセルフリフレッシュ動作につき、図面を参照して説明する。なお、後述するように、他の類型の画素回路においても、第 1 類型の場合と同様にセルフリフレッシュ動作が実現可能である。

【 0 1 1 2 】

セルフリフレッシュ動作とは、常時表示モードにおける動作で、複数の画素回路 2 に対して、第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 と制御回路 2 4 を所定のシーケンスで作動させ、画素電極 2 0 の電位（これは内部ノード N 1 の電位でもある）を直前の書き込み動作で書き込まれた電位に同時に一括して復元させる動作である。セルフリフレッシュ動作は、上記画素回路 2 A ~ 2 F による本発明に特有の動作であり、従来のように通常の書き込み動作を行って画素電極 2 0 の電位を復元させる「外部リフレッシュ動作」と比較して大幅な低消費電力化を可能とするものである。なお、上記「同時に一括して」の「同時」とは、一連のセルフリフレッシュ動作の時間幅を有する「同時」である。

【 0 1 1 3 】

ところで、従来においては、書き込み動作を行って、画素電極 2 0 と対向電極 8 0 の間

10

20

30

40

50

の印加される液晶電圧 V_{c1} の絶対値を維持しながら極性のみを反転させる動作（外部極性反転動作）が行われていた。この外部極性反転動作が行われると、極性が反転すると共に、液晶電圧 V_{c1} の絶対値も直前の書き込み時の状態に更新される。つまり、極性反転とリフレッシュが同時に行われることとなる。このため、書き込み動作によって、極性を反転させずに液晶電圧 V_{c1} の絶対値のみを更新させる目的でリフレッシュ動作を実行するということは通常はあまり行われないが、以下では、説明の都合上、セルフリフレッシュ動作と比較する観点から、このようなリフレッシュ動作のことを「外部リフレッシュ動作」と呼ぶこととする。

【0114】

なお、外部極性反転動作によってリフレッシュ動作を実行する場合においても、書き込み動作が行われることには変わらない。つまり、この従来方法と比較した場合においても、本実施形態のセルフリフレッシュ動作によって大幅な低消費電力化が可能となるものである。

【0115】

セルフリフレッシュ動作の対象となる画素回路2に接続する全てのゲート線 GL 、ソース線 SL 、選択線 SEL 、リファレンス線 REF 、補助容量線 CSL 、ブースト線 BST 、及び対向電極80には、全て同じタイミングで電圧印加が行われる。そして、同一タイミング下では、全てのゲート線 GL に対して同一電圧が印加され、全てのリファレンス線 REF に対して同一電圧が印加され、全ての補助容量線 CSL に対して同一電圧が印加され、全てのブースト線 BST に対して同一電圧が印加される。これらの電圧印加のタイミ

【0116】

本実施形態の常時表示モードは、画素回路単位で2階調（2値）の画素データを保持するため、画素電極20（内部ノード $N1$ ）に保持されている画素電圧 $V20$ は、第1電圧状態と第2電圧状態の2つの電圧状態を示す。本実施形態では、上述の対向電圧 V_{com} と同様に、第1電圧状態を高レベル（5V）、第2電圧状態を低レベル（0V）として説明する。

【0117】

セルフリフレッシュ動作の実行直前の状態において、画素電極20が高レベル電圧に書き込まれている画素と、低レベル電圧に書き込まれている画素の双方が混在することが想定される。しかしながら、本実施形態のセルフリフレッシュ動作によれば、画素電極20が高低いずれの電圧に書き込まれていても、同一のシーケンスに基づく電圧印加処理を行うことで、全ての画素回路に対するリフレッシュ動作を実行することができる。この内容につき、タイミング図及び回路図を参照して説明する。

【0118】

なお、直前の書き込み動作で内部ノード $N1$ に高レベル電圧が書き込まれており、当該高レベル電圧を復元させる場合を「ケースA」と呼び、直前の書き込み動作で内部ノード $N1$ に低レベル電圧が書き込まれており、当該低レベル電圧を復元させる場合を「ケースB」と呼ぶ。

【0119】

図16に、第1類型のセルフリフレッシュ動作のタイミング図を示す。図16に示すように、セルフリフレッシュ動作は、2つのフェーズ $P1$ 、 $P2$ に分解される。各フェーズの開始時刻をそれぞれ $t1$ 、 $t2$ とする。図16には、セルフリフレッシュ動作の対象となる画素回路2Aに接続する全てのゲート線 GL 、ソース線 SL 、選択線 SEL 、リファレンス線 REF 、補助容量線 CSL 、ブースト線 BST の各電圧波形と、対向電圧 V_{com} の電圧波形を図示している。なお、本実施形態では、画素回路アレイの全画素回路が、セルフリフレッシュ動作の対象とする。

【0120】

更に、図 16 では、ケース A 及びケース B における内部ノード N 1 の画素電圧 V_{20} 、及び出力ノード N 2 の電圧 V_{N2} の各電圧波形、並びにトランジスタ T 1 ~ T 4 の各フェーズにおけるオンオフ状態を表示している。

【0121】

なお、時刻 t_1 より前の時点で、ケース A では高レベル書き込みがなされており、ケース B では低レベル書き込みがなされているとする。

【0122】

書き込み動作が実行された後、時間が経過すると、画素回路内の各トランジスタのリーク電流の発生に伴い、画素電圧 V_{20} は変動する。ケース A の場合、書き込み動作直後においては画素電圧 V_{20} が 5 V であったが、この値は時間が経過することで当初よりも低い値を示す。同様に、ケース B の場合、書き込み動作直後においては画素電圧 V_{20} が 0 V であったが、この値が時間が経過することで当初よりも高い値を示す。時刻 t_1 の時点でケース A の画素電圧 V_{20} が 5 V より少し低く、ケース B の画素電圧 V_{20} が 0 V より少し高い値を示しているのは、このことを表わしている。

【0123】

以下、各フェーズ毎に各線に印加する電圧レベルにつき、説明する。

【0124】

《フェーズ P 1》

時刻 t_1 より開始されるフェーズ P 1 では、ゲート線 G L 1 にトランジスタ T 4 が完全にオフ状態となるような電圧を印加する。ここでは - 5 V とする。

【0125】

また、ソース線 S L には、第 1 電圧状態に対応する電圧 (5 V) を印加する。そして、選択線 S E L には、トランジスタ T 3 が完全にオン状態となるような電圧を印加する。ここでは 8 V とする。

【0126】

対向電極 8 0 に印加する対向電圧 V_{com} 、及び補助容量線 C S L に印加する電圧は、0 V とする。これは 0 V に限る趣旨ではなく、時刻 t_1 より前の時点における電圧値をそのまま維持するものとして良い。

【0127】

リファレンス線 R E F には、内部ノード N 1 の電圧状態が高レベル (ケース A) の場合にはトランジスタ T 2 が非導通状態となり、低レベル (ケース B) の場合にはトランジスタ T 2 が導通状態となるような電圧値を印加する。ここでは 5 V とする。

【0128】

第 5 実施形態で後述するように、書き込み動作時にはトランジスタ T 2 は導通しているため、高レベル書き込みがなされるケース A では、ノード N 1 及び N 2 が高レベル電位 (5 V) となり、低レベル書き込みがなされるケース B では、ノード N 1 及び N 2 が低レベル電位 (0 V) となる。

【0129】

書き込み動作が完了すると、トランジスタ T 2 は非導通状態となるが、ノード N 1 はソース線 S L とは遮断されるため、引き続きノード N 1 及び N 2 の電位は保持される。すなわち、時刻 t_1 の直前におけるノード N 1 及び N 2 の電位は、ケース A ではほぼ 5 V であり、ケース B ではほぼ 0 V である。「ほぼ」というのは、リーク電流が発生したことによる電位の変動を考慮した記載である。

【0130】

そして、時刻 t_1 でリファレンス線 R E F に 5 V を印加すると、ケース A では、ノード N 1 及び N 2 がほぼ 5 V であるため、トランジスタ T 2 のゲート - ソース間電圧 V_{gs} がほぼ 0 V となって閾値電圧の 2 V を下回り、非導通状態となる。これに対し、ケース B では、トランジスタ T 2 のドレイン又はソースを構成するノード N 1 及び N 2 がほぼ 0 V であるため、トランジスタ T 2 のゲート - ソース間電圧 V_{gs} がほぼ 5 V となって閾値電圧の 2 V を上回り、導通状態となる。

【0131】

なお、厳密に言えば、ケースAの場合、トランジスタT2は完全に非導通である必要はなく、少なくともノードN2からN1に向かって導通しないような状態であれば良い。

【0132】

ブースト線BSTには、ノードN1の電圧状態が高レベル(ケースA)の場合にはトランジスタT1が導通状態となり、低レベル(ケースB)の場合にはトランジスタT1が非導通状態となるような高レベル電圧を印加する。

【0133】

ブースト線BSTは、ブースト容量素子Cbstの一端に接続されている。このため、ブースト線BSTに高レベル電圧を印加すると、ブースト容量素子Cbstの他端の電位、すなわち出力ノードN2の電位が突き上げられる。このように、ブースト線BSTに印加する電圧を上昇させることで出力ノードN2の電位を突き上げることを、以下では、「ブースト突き上げ」と呼ぶ。

10

【0134】

上述したように、ケースAの場合、時刻t1においてトランジスタT2が非導通である。このため、ブースト突き上げによるノードN2の電位変動量は、ブースト容量CbstとノードN2に寄生する全容量の比率によって決定する。一例として、この比率を0.7とすると、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極すなわちノードN2は、ほぼ $0.7 \Delta V_{bst}$ だけ上昇することとなる。

【0135】

20

ケースAの場合、時刻t1において画素電圧V20はほぼ5Vを示すため、トランジスタT1のゲート、すなわち出力ノードN2に、画素電圧V20よりも閾値電圧2V以上高い電位を与えればトランジスタT1は導通する。本実施例では、時刻t1においてブースト線BSTに印加する電圧を10Vとする。この場合、出力ノードN2は7V上昇することとなる。時刻t1の直前の時点でノードN2は、ノードN1とほぼ同電位(5V)を示すため、ブースト突き上げによって当該ノードN2は12V程度を示す。よって、トランジスタT1にはゲートとノードN1の間に閾値電圧以上の電位差が生じるため、当該トランジスタT1が導通する。

【0136】

他方、ケースBの場合、時刻t1においてトランジスタT2は導通している。つまり、ケースAとは異なり、出力ノードN2と内部ノードN1が電氣的に接続している。この場合、ブースト突き上げによる出力ノードN2の電位変動量は、ブースト容量Cbst及びノードN2の全寄生容量に加えて、内部ノードN1の全寄生容量の影響を受ける。

30

【0137】

内部ノードN1には、補助容量素子Csの一端、並びに液晶容量素子Clcの一端が接続されており、この内部ノードN1に寄生する全容量Cpは、ほぼ液晶容量Clcと補助容量Csの和で表わされることは上述した通りである。そして、ブースト容量Cbstは液晶容量Cpと比べてはるかに小さい値である。従って、これらの総容量に対するブースト容量の比率は極めて小さく、例えば0.01以下程度の値となる。この場合、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極、すなわち出力ノードN2は、高々 $0.01 \Delta V_{bst}$ 程度しか上昇しない。つまり、ケースBの場合、 $\Delta V_{bst} = 10V$ としても、出力ノードN2の電位VN2はほとんど上昇しないこととなる。

40

【0138】

ケースBの場合、直前の書き込み動作で低レベル書き込みがされているため、出力ノードN2は時刻t1の直前においてはほぼ0Vを示している。従って、時刻t1でブースト突き上げを行っても、トランジスタT1のゲートには同トランジスタを導通させるに十分な電位が与えられない。つまり、ケースAと異なり、トランジスタT1は依然として非導通状態を示す。

【0139】

なお、ケースBの場合、時刻t1の直前における出力ノードN2の電位は、必ずしも0

50

Vである必要はなく、少なくともT 1が導通しないような電位であれば良い。同様にケースAの場合、時刻t 1の直前におけるノードN 1の電位は、必ずしも5 Vである必要はなく、トランジスタT 2が非導通状態の下でブースト突き上げがされることで、トランジスタT 1が導通するような電位であれば良い。

【0140】

ケースAの場合、ブースト突き上げがされることで、トランジスタT 1が導通する。また、選択線SELに高レベル電圧が印加されてトランジスタT 3が導通しているため、第2スイッチ回路23は導通する。よって、ソース線SLに印加された第1電圧状態を示す高レベル電圧が、当該第2スイッチ回路23を介して内部ノードN 1に与えられる。これにより、内部ノードN 1の電位、すなわち画素電圧V 20は第1電圧状態に復帰する。図16において、時刻t 1から少しだけ時間経過した時点で、画素電圧V 20の値が5 Vに復帰しているのは、このことを示している。

10

【0141】

一方、ケースBの場合、ブースト突き上げがされても依然としてトランジスタT 1は導通しないため、第2スイッチ回路23は非導通状態である。よって、ソース線SLに印加された高レベル電圧が、当該第2スイッチ回路23を介してノードN 1に与えられるということはない。つまり、ノードN 1の電位は依然として時刻t 1の時点とほぼ同レベルの値、すなわちほぼ0 Vを示すこととなる。

【0142】

以上のように、フェーズP 1では、第1電圧状態に書き込まれていた画素電圧V 20 (ケースA)のリフレッシュ動作が行われる。

20

【0143】

《フェーズP 2》

時刻t 2より開始されるフェーズP 2では、ゲート線GL, リファレンス線REF, 補助容量線CSLに印加する電圧、並びに対向電圧V comを、フェーズP 1と引き続き同じ値とする。

【0144】

ソース線SLに印加する電圧を第2電圧状態(0 V)に低下させる。

【0145】

選択線SELには、トランジスタT 3が非導通状態となるような電圧を印加する。ここでは- 5 Vとする。これにより、第2スイッチ回路23は非導通となる。

30

【0146】

ブースト線BSTに印加する電圧を、ブースト突き上げを行う前の状態に低下させる。ここでは0 Vとする。ブースト線BSTの電圧が低下することで、ノードN 1の電位は突き下げされる。

【0147】

フェーズP 2においても、ケースBの場合にはトランジスタT 2が導通状態であるこのため、ブースト線BSTの電圧が変化しても、ノードN 2の電位にはほとんど影響しない。すなわち、ほぼ0 Vを維持する。ノードN 1もノードN 2と同電位を示す。

【0148】

40

フェーズP 2では、フェーズP 1よりもはるかに長い時間同一の電圧状態が維持される。この間、ソース線SLには低レベル電圧(0 V)が印加されている。このため、この間のリーク電流の発生により、ケースBの画素電圧V 20は、0 Vに接近する方向に経時的に変化する。つまり、時刻t 1の直前の時点において、ケースBにおける画素電圧V 20の電位が0 Vより高い電位であっても、フェーズP 2の期間にこの電位が0 Vに向かう方向に変化する。

【0149】

一方で、ケースAの場合、フェーズP 1によって画素電圧V 20の電位は5 Vに復帰したが、その後のリーク電流の存在によって、時間経過と共に徐々に減少する。

【0150】

50

以上のように、フェーズ P 2 では、第 2 電圧状態に書き込まれていた画素電圧 V 2 0 (ケース B) を、徐々に 0 V に近づける動作が行われる。いわば第 2 電圧状態に書き込まれていた画素電圧 V 2 0 のリフレッシュ動作が行われる。

【 0 1 5 1 】

その後は、このフェーズ P 1 と P 2 を繰り返すことで、ケース A 及び B の双方の画素電圧 V 2 0 を直前の書き込み状態に復帰させることができる。

【 0 1 5 2 】

従来のように、ソース線 S L を介した電圧印加による書き込みによってリフレッシュ動作を行う場合、ゲート線 G L を 1 本ずつ垂直方向に走査する必要がある。このため、ゲート線 G L に対しゲート線の数 (n) だけ高レベル電圧を印加する必要がある。また、直前の書き込み動作において書き込まれた電位レベルと同一の電位レベルを、各ソース線 S L に印加する必要があるため、ソースドライバ 1 3 を最大 n 回駆動する必要がある。

【 0 1 5 3 】

これに対し、本実施形態によれば、リファレンス線 R E F には一定の電圧を与えておきながら、ソース線 S L 、選択線 S E L 、及びブースト線 B S T に対してはそれぞれ同時に 1 回のパルス電圧を印加し、その後に低レベル電位を維持するのみで、全ての画素に対し、画素電極 2 0 の電位を書き込み動作時の電位状態に復帰することが可能となる。つまり、1 フレーム期間内において、各画素の画素電極 2 0 の電位を復帰させるために、各線に印加する印加電圧を変化させる回数は 1 回で足りる。この間、全てのゲート線 G L には低レベル電圧を印加し続けるのみで良い。

【 0 1 5 4 】

よって、本実施形態のセルフリフレッシュ動作によれば、通常の外部リフレッシュ動作と比べ、ゲート線 G L に対する電圧印加、及びソース線 S L に対する電圧印加の回数を大幅に削減でき、更には、その制御内容も簡素化できる。このため、ゲートドライバ 1 4 及びソースドライバ 1 3 の消費電力量を大きく削減することができる。

【 0 1 5 5 】

本実施形態のセルフリフレッシュ動作をまとめると、以下のようになる。まず、フェーズ P 1 ~ P 2 にかけて第 1 スイッチ回路 2 2 は非導通としておく。そして、フェーズ P 1 では、ケース A の場合には第 2 スイッチ回路 2 3 を導通させて、第 1 電圧状態に対応する高レベル電圧をソース線 S L から内部ノード N 1 に与える一方、ケース B の場合には第 2 スイッチ回路 2 3 を非導通にして前記高レベル電圧を内部ノード N 1 に与えない。フェーズ P 2 では、ケース A , B 共に第 2 スイッチ回路 2 3 を非導通として、ソース線 S L に低レベル電圧を与える。

【 0 1 5 6 】

これを踏まえると、図 1 6 と同じタイミング図を第 2 ~ 第 3 種類の回路にも適用することで、全く同じセルフリフレッシュ動作が実現できることは理解できる。

【 0 1 5 7 】

また、図 1 6 を見れば、選択線 S E L とブースト線 B S T には、同一のタイミングで電圧パルスが印加されていることが分かる。選択線 S E L には、フェーズ P 1 ではトランジスタ T 3 を導通し、フェーズ P 2 では非導通とする電圧を与えれば良い。よって、ブースト線 B S T の印加電圧を、そのまま選択線 S E L に印加することで、第 4 ~ 第 6 種類の画素回路にもセルフリフレッシュ動作が実現できる。このときのタイミング図を図 1 7 に示す。なお、動作内容は第 1 類型と共通するため、説明を割愛する。なお、図 1 7 において、S E L に印加する電圧のうち、低レベル電圧値としては、トランジスタ T 3 のゲートに与えることで、トランジスタ T 3 を完全にオフにできるような範囲内であれば良い。また、高レベル電圧値としては、トランジスタ T 3 のゲートに与えることで、当該トランジスタの一方の端子に + 5 V が印加された状態下でオンにでき、且つケース A の場合に出力ノード N 2 の電位が突き上げられることでトランジスタ T 1 をオンにできるような範囲内であれば良い。

【 0 1 5 8 】

[第 3 実施形態]

第 3 実施形態では、上述した各第 1 ~ 第 6 種類の回路を代表して、図 6 に示す第 1 種類の画素回路 2 A によるセルフ極性反転動作につき、図面を参照して説明する。なお、後述するように、他の種類の画素回路においても、第 1 種類の場合と同様にセルフ極性反転動作が実現可能である。

【 0 1 5 9 】

セルフ極性反転動作とは、常時表示モードにおける動作で、複数の画素回路 2 に対して、第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 と制御回路 2 4 を所定のシーケンスで動作させ、画素電極 2 0 と対向電極 8 0 の間に印加されている液晶電圧 V_{lc} の極性を、その絶対値を保持したまま、同時に一括して反転させる動作である。セルフ極性反転動作は、上記画素回路 2 A ~ 2 F による本発明に特有の動作で、従来の「外部極性反転動作」に対して大幅な低消費電力化を可能とするものである。なお、上記「同時に一括して」の「同時」とは、一連のセルフ極性反転動作の時間幅を有する「同時」である。

【 0 1 6 0 】

セルフ極性反転動作の対象となる画素回路 2 に接続する全てのゲート線 G_L 、ソース線 S_L 、選択線 SEL 、リファレンス線 REF 、補助容量線 CSL 、ブースト線 BST 、及び対向電極 8 0 には、全て同じタイミングで同じ電圧が印加される。この電圧印加のタイミング制御は、図 1 に示す表示制御回路 1 1 によって行われ、個々の電圧印加は、表示制御回路 1 1、対向電極駆動回路 1 2、ソースドライバ 1 3、ゲートドライバ 1 4 によって行われる。

セルフ極性反転動作の対象となる画素回路 2 に接続する全てのゲート線 G_L 、ソース線 S_L 、選択線 SEL 、リファレンス線 REF 、補助容量線 CSL 、ブースト線 BST 、及び対向電極 8 0 には、全て同じタイミングで電圧印加が行われる。そして、同一タイミング下では、全てのゲート線 G_L に対して同一電圧が印加され、全てのリファレンス線 REF に対して同一電圧が印加され、全ての補助容量線 CSL に対して同一電圧が印加され、全てのブースト線 BST に対して同一電圧が印加される。これらの電圧印加のタイミング制御は、表示制御回路 1 1 によって行われ、個々の電圧印加は、表示制御回路 1 1、対向電極駆動回路 1 2、ソースドライバ 1 3、ゲートドライバ 1 4 によって行われる。

【 0 1 6 1 】

ところで、液晶電圧 V_{lc} は、対向電極 8 0 の対抗電圧 V_{com} 、画素電極 2 0 に保持されている画素電圧 V_{20} により、以下の数 2 で表わされる。

【 0 1 6 2 】

(数 2)

$$V_{lc} = V_{20} - V_{com}$$

【 0 1 6 3 】

また、本実施形態の常時表示モードは、第 2 実施形態と同様、画素電圧 V_{20} は、第 1 電圧状態と第 2 電圧状態の 2 つの電圧状態を示し、第 1 電圧状態を高レベル (5 V)、第 2 電圧状態を低レベル (0 V) として説明する。このとき、液晶電圧 V_{lc} は、画素電圧 V_{20} と対向電圧 V_{com} が異なる場合は、+ 5 V または - 5 V となり、画素電圧 V_{20} と対向電圧 V_{com} が同電圧の場合は、0 V となる。

【 0 1 6 4 】

つまり、セルフ極性反転動作によって、液晶電圧 $V_{lc} = + 5 V$ の画素回路 2 は、液晶電圧 $V_{lc} = - 5 V$ となり、液晶電圧 $V_{lc} = - 5 V$ の画素回路 2 は、液晶電圧 $V_{lc} = + 5 V$ となり、液晶電圧 $V_{lc} = 0 V$ の画素回路 2 は、液晶電圧 $V_{lc} = 0 V$ が維持される。

【 0 1 6 5 】

より具体的には、セルフ極性反転動作によって、対向電圧 V_{com} 及び画素電圧 V_{20} が、高レベル (5 V) から低レベル (0 V)、或いは低レベル (0 V) から高レベル (5 V) へ遷移する。以下では、対向電圧 V_{com} が低レベル (0 V) から高レベル (5 V) へ遷移する場合について説明する。そして、この場合に、セルフ極性反転動作前に画素電

極 20 が高レベル状態に書き込まれていた場合を「ケース A」、低レベル状態に書き込まれていた場合を「ケース B」とする。このとき、ケース A では、セルフ極性反転動作によって、画素電圧 V_{20} が高レベルから低レベルと遷移し、ケース B ではと低レベルから高レベルへ遷移する。

【0166】

図 18 に、第 1 類型の画素回路のセルフ極性反転動作のタイミング図を示す。図 18 に示すように、セルフ極性反転動作は、9 つのフェーズ $P_{10} \sim P_{18}$ に分解される。各フェーズの開始時刻をそれぞれ $t_{10}, t_{11}, \dots, t_{18}$ とする。図 18 には、セルフ極性反転動作の対象となる画素回路 2A に接続する全てのゲート線 GL 、ソース線 SL 、選択線 SEL 、リファレンス線 REF 、補助容量線 CSL 、ブースト線 BST の各電圧波形と、対向電圧 V_{com} の電圧波形を図示している。なお、本実施形態では、画素回路アレイの全画素回路が、セルフ極性反転動作の対象とする。

10

【0167】

また、図 18 には、ケース A 及びケース B におけるノード N_1 の画素電圧 V_{20} と出力ノード N_2 の電圧 V_{N2} の各電圧波形、並びにトランジスタ $T_1 \sim T_4$ の各フェーズにおけるオンオフ状態を表示している。

【0168】

《フェーズ P_{10} 》

時刻 t_{10} より開始されるフェーズ P_{10} では、セルフ極性反転動作のための初期状態設定を行う。

20

【0169】

ゲート線 GL には、トランジスタ T_4 が完全にオフ状態となるような電圧を印加する。ここでは $-5V$ とする。また、ソース線 SL には、第 2 電圧状態に対応する電圧 ($0V$) を印加しておく。

【0170】

選択線 SEL には、トランジスタ T_3 が完全にオフ状態となるような電圧を印加する。ここでは $-5V$ とする。また、ブースト線 BST には $0V$ を印加する。

【0171】

対向電極 80 に印加する対向電圧 V_{com} 、及び補助容量線 CSL に印加する電圧は、 $0V$ とする。なお、本実施形態では、補助容量線 CSL に印加する電圧を $0V$ で固定するが、 $0V$ に限定する趣旨ではない。なお、対向電圧 V_{com} は、後のフェーズにおいて極性反転を行うべく $5V$ に変化する。

30

【0172】

リファレンス線 REF には、ノード N_1 の電圧状態が高レベル (ケース A) の場合にはトランジスタ T_2 が非導通状態となり、低レベル (ケース B) の場合にはトランジスタ T_2 が導通状態となるような電圧値を印加する。ここでは $5V$ とする。

【0173】

ところで、トランジスタ T_4 を完全にオフ状態とするためのゲート線 GL に印加する電圧値として、負電圧である $-5V$ を使用する理由は、非導通状態の第 1 スイッチ回路 22 において、液晶電圧 V_{lc} の電圧が維持されたまま、画素電圧 V_{20} が、対向電圧 V_{com} の電圧変化に伴い、負電圧に遷移する可能性があり、当該状態で、非導通状態の第 1 スイッチ回路 22 が不必要に導通状態となるのを防止するためである。なお、常時表示モードでは、ソース線 SL の電圧が第 1 電圧状態 ($5V$) または第 2 電圧状態 ($0V$) であるので、内部ノード N_1 の電圧が負電圧となっても、第 2 スイッチ回路 23 のトランジスタ T_1 が逆バイアスのダイオードとして機能するので、選択線 SEL の電圧を、必ずしもゲート線 GL と同様に負電圧に制御してトランジスタ T_3 をオフ状態とする必要はない。

40

【0174】

《フェーズ P_{11} 》

時刻 t_{11} より開始されるフェーズ P_{11} では、ソース線 SL の印加電圧を、第 1 電圧状態 ($5V$) にシフトする。

50

【 0 1 7 5 】

そして、選択線 S E L には、トランジスタ T 3 が完全にオン状態となるような電圧を印加する。ここでは 8 V とする。

【 0 1 7 6 】

そして、ブースト線 B S T には、ケース A の場合にノード N 2 の電位が突き上げられることで、トランジスタ T 1 が導通状態を示すような高レベル電圧を印加する。ここでは 10 V とする。なお、ケース B の場合には、トランジスタ T 2 が導通しているため、ブースト突き上げによってもノード N 2 の電位がほとんど上昇せず、トランジスタ T 1 は非導通のままである。従って、ケース A では第 2 スイッチ回路 2 3 が導通し、ケース B では第 2 スイッチ回路 2 3 が非導通である。また、両ケースともに第 1 スイッチ回路 2 2 は非導通である。

10

【 0 1 7 7 】

なお、フェーズ P 1 0 の時点で、ケース A におけるノード N 2 の電位が、トランジスタ T 1 を導通可能なレベルである場合には、このブースト線 B S T への高レベル電圧印加動作を必ずしも行う必要はない。この場合については詳細を第 4 実施形態で説明する。

【 0 1 7 8 】

《フェーズ P 1 2 》

時刻 t 1 2 より開始されるフェーズ P 1 2 では、リファレンス線 R E F の電圧を低レベルにし、トランジスタ T 2 をケース A , B によらず非導通とする。これにより、ケース A , B によらず、出力ノード N 2 が内部ノード N 1 から遮断される。ケース A では、フェーズ P 1 1 におけるブースト突き上げによって出力ノード N 2 の電位 V N 2 が高レベルを示しており、他方、ケース B ではブースト突き上げの影響を受けず、出力ノード N 2 の電位 V N 2 は低レベル電位（ほぼ 0 V）を示している。トランジスタ T 2 が非導通とされたことで、ノード N 1 の電位が変化しても、ノード N 2 には前記の電位が保持される。

20

【 0 1 7 9 】

《フェーズ P 1 3 》

時刻 t 1 3 より開始されるフェーズ P 1 3 では、対向電圧 V c o m を高レベル（5 V）へシフトさせる。

【 0 1 8 0 】

これによって対向電極 8 0 の電位が上昇し、液晶容量素子 C 1 c の他方の電極、すなわち画素電極 2 0 の電位も一部上昇する。このときの電位変動量は、ノード N 1 に寄生する全寄生容量に対する液晶容量 C 1 c の比率によって決定される。液晶容量 C 1 c と補助容量 C s は、他の寄生容量に比べて十分大きく、実際には液晶容量 C 1 c と補助容量 C s の総容量に対する液晶容量 C 1 c の比率によって決定される。ここでは、一例としてこの比率を 0 . 2 とする。この場合、対向電極 8 0 の電位変動量を ΔV_{com} とすると、 $0.2 \Delta V_{com}$ だけ画素電極 2 0 の電位が上昇する。いま $\Delta V_{com} = 5 \text{ V}$ であるため、時刻 t 1 3 の時点で、画素電極 2 0 の電位 V 2 0 は、ケース A , B のそれぞれ約 1 V 程度上昇する。

30

【 0 1 8 1 】

しかし、ケース A の場合、第 2 スイッチ回路 2 3 が導通している。このため、5 V から少し電位が上昇しているノード N 1 から、5 V が印加されているソース線 S L に向かう電流が生じる。これにより、時間経過と共に画素電圧 V 2 0 は 5 V に向かって低下する。一方、ケース B の場合には、第 2 スイッチ回路 2 3 が非導通であるため、このような現象は生じない。

40

【 0 1 8 2 】

この結果、フェーズ P 1 3 において、液晶電圧 V 1 c の絶対値は、ケース A の場合最大でほぼ 1 V であり、ケース B の場合はほぼ 4 V となる。ところで、時刻 t 1 0 の直前ににおいて、液晶電圧 V 1 c の絶対値は、ケース A の場合は 5 V であり、ケース B の場合は 0 V であった。つまり、フェーズ P 1 3 では、ケース A , B 共に、時刻 t 1 0 の時点から比べて液晶電圧 V 1 c の絶対値が異なる値となる。このため、理論的には、この時点以後、表

50

示される画像に変化が生じる。しかしながら、最終的に極性反転が完了するまでの期間を短くすることで、当該表示状態の一時的な変化が短時間に抑えられ、人間の視覚には感知できない程度に、液晶電圧 V_{lc} の平均値の変動が極めて微小となる。例えば、各フェーズの期間を 30μ 秒程度に設定した場合は、当該表示状態の一時的な変化は人間の視覚上無視されるため、問題はない。

【0183】

《フェーズP14》

時刻 t_{14} より開始されるフェーズP14では、ゲート線GLに高レベル電圧を印加し、トランジスタT4を導通させる。ここでは8Vとする。フェーズP14により第1スイッチ回路22が導通状態となる。

10

【0184】

ケースAでは、画素電圧 V_{20} は、フェーズP13から引き続き5Vを示す。一方、ケースBでは、フェーズP14によって第1スイッチ回路23が導通するため、この第1スイッチ回路23を介してソース線SLの高レベル電圧が内部ノードN1に与えられ、画素電圧 V_{20} は5Vを示す。すなわち、ケースA、Bによらず、フェーズP13では画素電圧 V_{20} は第1電圧状態となる。

【0185】

《フェーズP15》

時刻 t_{15} より開始されるフェーズP15では、ゲート線GLに再び低レベル電圧を印加し、トランジスタT4を非導通とする。これにより、第1スイッチ回路22が非導通状態となる。一方、第2スイッチ回路23においては、引き続きケースAの場合のみ導通し、ケースBの場合は非導通である。

20

【0186】

このとき、トランジスタT4が完全にオフ状態となることで、トランジスタT4のゲートと内部ノードN1との間の容量結合によって、内部ノードN1の第1電圧状態(5V)が変動する場合には、補助容量線CSLの電圧を調整し、第2容量素子C2を介した容量結合によって、内部ノードN1の当該電圧変動を補償するようにしても良い。

【0187】

《フェーズP16》

時刻 t_{16} より開始されるフェーズP16では、ソース線SLに第2電圧状態に対応する低レベル電圧(0V)を印加する。

30

【0188】

ケースAの場合、第2スイッチ回路23が導通しているため、高レベル電位を示している内部ノードN1から第2スイッチ回路23を介してソース線SLに向かう電流が発生し、ノードN1は第2電圧状態を示すソース線SLと同電位となる。すなわち、画素電圧 V_{20} は0Vに低下する。

【0189】

一方、ケースBの場合には、第2スイッチ回路23が非導通である。また、当然に第1スイッチ回路22も非導通である。よって、ノードN1はソース線SLと電氣的に接続されておらず、ケースAのようにノードN1からソース線SLに向かう電流は生じない。よって、引き続き画素電圧 V_{20} は5Vを保持する。

40

【0190】

この時点で、ケースAの場合には液晶電圧 V_{lc} に-5Vが印加され、ケースBの場合には ± 0 Vが印加される。よって、極性反転が完了し、これ以後、表示される画像が、セルフ極性反転動作の開始直前に表示されていた画像に復帰する。フェーズP17以後は、この V_{lc} の絶対値は変化しないため、表示される画像に変化は生じない。

【0191】

《フェーズP17》

時刻 t_{17} より開始されるフェーズP17では、ブースト線BSTの印加電圧を低レベル電圧(0V)に戻し、選択線SELについても低レベル電圧を印加してトランジスタT

50

3を非導通状態とする。トランジスタT2は非導通状態であるため、ブースト線BSTの電圧低下によって、出力ノードN2の電位も引き下げられる。

【0192】

ケースAの場合、フェーズP16の時点で、出力ノードN2の電位VN2は約10Vである。このため、フェーズP17では7V程度低下して3V程度となる。

【0193】

一方、ケースBの場合、フェーズP16の時点で、出力ノードN2の電位VN2は約0Vである。よって、ケースAと同様に、ここから7V低下した、約-7Vに向かってVN2は低下を始める。しかし、このとき、トランジスタT2のゲート電位が0Vであるため、出力ノードN2の負電位の絶対値がトランジスタT2の閾値電圧Vthより大きくなると、トランジスタT2が内部ノードN1から出力ノードN2に向かう方向に導通する。この結果、出力ノードN2の電位VN2は、その後上昇を開始する。この電位VN2は、トランジスタT2がカットオフする値まで、すなわちゲート電位から閾値電圧Vthを低下させた値まで上昇した後、停止する。本実施例では、トランジスタT2の閾値電圧Vthが2Vであるため、VN2は-2V付近まで上昇した後、停止する。

【0194】

《フェーズP18》

時刻t18より開始されるフェーズP18では、リファレンス線REFの電圧を、フェーズP10の5Vに戻す。

【0195】

ケースAの場合、時刻t18の直前において、トランジスタT2のソースとなる内部ノードN1の電位が0Vであるため、トランジスタT2のゲートとの電位差Vgsが閾値電圧Vth以上となる。このため、トランジスタT2が出力ノードN2から内部ノードN1に向かう方向に導通状態となる。出力ノードN2と比較して内部ノードN1の寄生容量は十分大きいいため、出力ノードN2の電位VN2は内部ノードN1の電位V20に引きつけられ、0Vに向かって低下する。一方、内部ノードN1の電位はほとんど変化せず、依然として0Vを維持する。

【0196】

ケースBの場合も、時刻t18の直前において、トランジスタT2のソースとなる出力ノードN2の電位が-2Vであるため、トランジスタT2のゲートとの電位差Vgsが閾値電圧Vth以上となる。このため、トランジスタT2が内部ノードN1から出力ノードN2に向かって導通状態となる。これにより、出力ノードN2の電位VN2は、トランジスタT2がカットオフする値まで、すなわちゲート電位(5V)から閾値電圧Vthだけ低下させた値まで上昇した後、停止する。本実施形態では、閾値電圧Vthが2Vであるため、VN2の値は3V付近まで上昇した後、停止する。この値は、ケースAにおける時刻t10時のVN2の値に対応している。

【0197】

従来の外部極性反転動作による場合には、ゲート線GLを1本ずつ垂直方向に走査する必要があるため、ゲート線GLに対しゲート線の数(n)だけ高レベル電圧を印加する必要がある、更には、ソースドライバ13においても最大n回の駆動が必要であった。これに対し、本実施形態の方法によれば、フェーズP10~P18に係る各電圧印加ステップを、全ての画素に対して共通に行うことで、対向電圧Vcomを高レベルと低レベルの間で切り換えながら、液晶電圧Vlcの極性を反転させることができる。従って、ゲート線GLに対する電圧印加、及びソース線SLに対する電圧印加の回数を大幅に削減できるため、ゲートドライバ14及びソースドライバ13の消費電力量を大きく削減することができる。

【0198】

なお、図18では、対向電圧Vcomが低レベル(0V)から高レベル(5V)へ遷移する場合について説明したが、高レベル(5V)から低レベル(0V)へ遷移する場合も、その遷移タイミングは同じで、フェーズP13が開始すると(t13)、当該遷移が行

10

20

30

40

50

われる。

【0199】

このとき、極性反転前の時点で、ケースAの場合は液晶電圧 V_{lc} が $\pm 0V$ であり、ケースBの場合は $-5V$ である。そして、ケースAの場合、フェーズP16の時点で画素電圧 V_{20} が第2電圧状態($0V$)となり、液晶電圧 V_{lc} が $\pm 0V$ に復帰する。また、ケースBの場合、フェーズP14において強制的に画素電圧 V_{20} が第1電圧状態となり、液晶電圧 V_{lc} が $+5V$ になる。すなわち、 $-5V$ から $+5V$ に変化しており、極性反転が実行されている。

【0200】

本実施形態のセルフ極性反転動作をまとめると、以下のようになる。

10

【0201】

まず、フェーズP10～P13にかけて第1スイッチ回路22は非導通としておく。フェーズP11では、ブースト突き上げを行うことで、トランジスタT2が非導通であるケースAのみ、トランジスタT1を導通させる。そして、ソース線SLの電圧を第1電圧状態($5V$)とし、ケースAの場合のみ第2スイッチ回路23を導通することで、内部ノードN1を第1電圧状態($5V$)とする。そして、フェーズP12ではケースA、B共にトランジスタT2を非導通とする。そして、フェーズP13で V_{com} の極性を反転させた後、フェーズP14で第1スイッチ回路22を導通させる。これにより、内部ノードN1を両ケース共に第1電圧状態($5V$)とする。

【0202】

20

その後、フェーズP15で第1スイッチ回路22を非導通とした後、フェーズP16でソース線SLの電圧を第2電圧状態($0V$)にする。これにより、第2スイッチ回路23が導通しているケースAの場合のみ、内部ノードN1が第2電圧状態($0V$)となる。ケースBは、この時点で第1スイッチ回路22と第2スイッチ回路23が共に非導通であるため、内部ノードN1は第1電圧状態($5V$)のまま保持される。

【0203】

そして、フェーズP17で、ケースAの第2スイッチ回路23を非導通とし、フェーズP18で、第2トランジスタT2の導通状態をフェーズP10の時点に戻す。

【0204】

これを踏まえると、図18と同じタイミング図を第2～第3種類の回路にも適用することで、全く同じセルフ極性反転動作が実現できることは理解できる。

30

【0205】

また、図18を見れば、選択線SELとブースト線BSTには、同一のタイミングで電圧パルスが印加されていることが分かる。選択線SELには、フェーズP11～P16ではトランジスタT3を導通し、フェーズP17～P18では非導通とする電圧を与えれば良い。よって、図18に示すブースト線BSTの印加電圧を、そのまま選択線SELに印加することで、第4～第6種類の画素回路にもセルフ極性反転動作が実現できる。このときのタイミング図を図19に示す。なお、動作内容は第1類型と共通するため、説明を割愛する。

【0206】

40

なお、本実施形態の方法による場合、フェーズP14で両ケースA、B共に内部ノードN1を第1電圧状態に移行させるため、フェーズP14より前の段階ではソース線SLへの印加電圧を必ずしも第1電圧状態としなくても良い。ただし、図18、図19のタイミング図のように、ブースト線BST及び選択線SELの印加電圧をフェーズP11で高レベルとした場合、この時点でケースAにおいては第2スイッチ回路23が導通する。このため、これ以後においてソース線SLに第2電圧状態($0V$)が印加されている場合、ケースAの内部ノードN1が第1電圧状態($5V$)から第2電圧状態($0V$)に低下してしまう。

【0207】

フェーズP14で再び第1電圧状態($0V$)に強制的に復帰されるため、このような動

50

作を行っても極性反転は正しく実行されるが、上述した方法による場合に比べると、内部ノードN1の電位が大きく変動してしまう。フェーズP11においてブースト線BST及び選択線SELの印加電圧を高レベルとする方法による場合において、セルフ極性反転動作期間中における内部ノードN1の変動を少しでも抑制するためには、このフェーズP11の時点でソース線SLへの印加電圧を第1電圧状態(5V)としておくことが好ましい。

【0208】

また、ブースト線BSTと選択線SELを別々に有する構成の場合、選択線SELの印加電圧は、ケースAのみ第2スイッチ回路23を介して内部ノードN1を第2電圧状態とするフェーズP16のみ高レベル電圧とし、他の期間は低レベル電圧としても良い。この場合のタイミング図の一例を図20に示す(第1種類の画素回路2Aの場合)。この場合は、ブースト線BSTへの高レベル電圧印加と、選択線SELへの高レベル電圧印加のタイミングを変えることができるため、ケースAの場合においてもブースト突き上げ時に第2スイッチ回路23を非導通とさせることが可能である。従って、ソース線SLへの印加電圧をフェーズP14より前の段階で第1電圧状態(0V)としても、ケースAにおける内部ノードN1の電位変動を伴うことはない。

10

【0209】

なお、第2, 第3種類の画素回路の場合には、フェーズP14の時点でトランジスタT3を導通させる必要がある。このため、フェーズP14~P16の間、選択線SELに高レベル電圧を印加するものとすれば良い(図21参照)。

20

【0210】

また、フェーズP13の対向電圧Vcomの反転は、フェーズP14におけるゲート線GLへの高レベル電圧印加の終了前までに行えば良い。リファレンス線REFの印加電圧を立ち下げた時刻t12以後、ゲート線GLの印加電圧を立ち下げる時刻t15より前の間に、対向電圧Vcomを反転することができる。

【0211】

[第4実施形態]

第4実施形態では、第3実施形態とは異なるシーケンスに基づいてセルフ極性反転を行う場合につき図面を参照して説明する。なお、本実施形態でも、第3実施形態と同様、図6に示す第1種類の画素回路2Aを代表して説明する。

30

【0212】

第3実施形態と同様、セルフ極性反転動作の対象となる画素回路2に接続する全てのゲート線GL、ソース線SL、選択線SEL、リファレンス線REF、補助容量線CSL、ブースト線BST、及び対向電極80には、全て同じタイミングで電圧印加が行われる。そして、同一タイミング下では、全てのゲート線GLに対して同一電圧が印加され、全てのリファレンス線REFに対して同一電圧が印加され、全ての補助容量線CSLに対して同一電圧が印加され、全てのブースト線BSTに対して同一電圧が印加される。

【0213】

図22に、本実施形態のセルフ極性反転動作のタイミング図を示す。図22に示すように、セルフ極性反転動作は、8つのフェーズP20~P27に分解される。各フェーズの開始時刻をそれぞれt20, t21, ..., t27とする。図22の表示項目は図18と同様である。なお、第3実施形態と共通する箇所は、適宜説明を割愛する。

40

【0214】

《フェーズP20》

時刻t20より開始されるフェーズP20では、セルフ極性反転動作開始前の初期状態設定動作を行う。

【0215】

ゲート線GL, ソース線SL, 選択線SEL, ブースト線BST, 補助容量線CSLの印加電圧、及び対向電圧Vcomは第3実施形態のフェーズP10と同様にする。

【0216】

50

リファレンス線 R E F には、内部ノード N 1 の電圧状態にかかわらず、トランジスタ T 2 が導通状態となるような電圧値を印加する。必然的に、第 3 実施形態のフェーズ P 1 0 よりも高い電圧となる。ここでは、8 V とする。これにより、ケース A , B の双方において、トランジスタ T 2 は導通状態を示す。

【 0 2 1 7 】

これにより、ケース A , B 双方において、ノード N 1 及び N 2 が同電位を示す。ケース A では両ノードが第 1 電圧状態を示し、ケース B では両ノードが第 2 電圧状態を示す。このとき、トランジスタ T 1 はカットオフ状態を示す。

【 0 2 1 8 】

《フェーズ P 2 1 》

時刻 t 2 1 より開始されるフェーズ P 2 1 では、リファレンス線 R E F を低レベル (0 V) とし、各ケース A , B 双方において、トランジスタ T 2 をオフとする。これにより、両ケース A , B とともに、出力ノード N 2 が内部ノード N 1 から遮断される。

【 0 2 1 9 】

《フェーズ P 2 2 》

時刻 t 2 2 より開始されるフェーズ P 2 2 では、対向電圧 V c o m を高レベル (5 V) ヘシフトさせる。これにより、フェーズ P 1 3 と同様、ケース A , B の双方において、画素電極 2 0 の電位 V 2 0 がそれぞれ約 1 V 程度上昇する。一方、出力ノード N 2 については、トランジスタ T 2 がオフ状態であるため対向電圧 V c o m の上昇の影響を受けず、直前の電位が保持される。なお、このフェーズ P 2 2 が開始される時刻 t 2 2 からフェーズ P 2 5 が開始される t 2 5 の直前までの間、時刻 t 2 0 の時点と比べて液晶電圧 V l c の絶対値が異なる値となるが、この間の時間はごくわずかであるため、その画像変化を視覚的に認識できる程度のものではなく、問題はない。時刻 t 2 5 以後においては、ケース A , B の双方とも、液晶電圧 V l c の絶対値が時刻 t 1 1 の直前と同一の値となる。

【 0 2 2 0 】

《フェーズ P 2 3 》

時刻 t 2 3 より開始されるフェーズ P 2 3 では、ゲート線 G L に高レベル電圧を印加し、トランジスタ T 4 を導通させる。ここでは 8 V とする。これにより、画素回路 2 A において、第 1 スイッチ回路 2 2 が導通する。

【 0 2 2 1 】

そして、ソース線 S L の印加電圧を、第 1 電圧状態 (5 V) にシフトする。これにより、各ケース A , B によらず、内部ノード N 1 の電位 V 2 0 を第 1 電圧状態に移行させる。なお、トランジスタ T 2 が非導通であるため、ノード N 2 の電位 V N 2 は依然としてフェーズ P 2 2 の状態を保持する。

【 0 2 2 2 】

《フェーズ P 2 4 》

時刻 t 2 4 より開始されるフェーズ P 2 4 では、ゲート線 G L に再び低レベル電圧を印加し、トランジスタ T 4 を非導通とする。これにより、第 1 スイッチ回路 2 2 が非導通状態となる。また、ソース線 S L の印加電圧を、第 2 電圧状態 (0 V) にシフトする。第 1 スイッチ回路 2 2 が非導通であるため、内部ノード N 1 の電位はフェーズ P 2 3 の値を保持する。

【 0 2 2 3 】

なお、このとき、トランジスタ T 4 が完全にオフ状態となることで、トランジスタ T 4 のゲートと内部ノード N 1 との間の容量結合によって、内部ノード N 1 の第 1 電圧状態 (5 V) が変動する場合には、補助容量線 C S L の電圧を調整し、第 2 容量素子 C 2 を介した容量結合によって、内部ノード N 1 の当該電圧変動を補償するようにしても良い。

【 0 2 2 4 】

《フェーズ P 2 5 》

時刻 t 2 5 より開始されるフェーズ P 2 5 では、選択線 S E L に、トランジスタ T 3 が完全にオン状態となるような電圧を印加する。ここでは 8 V とする。

【 0 2 2 5 】

このとき、ケース A の場合、出力ノード N 2 の電位 V_{N2} が約 5 V であり、ソース線 S L には 0 V が印加されているため、トランジスタ T 1 がオン状態となる。すなわち、第 2 スイッチ回路 2 3 が導通する。時刻 t_{25} の直前において内部ノード N 1 の電位 V_{20} はほぼ 5 V を示しており、ソース線 S L には 0 V が印加されている。よって、内部ノード N 1 から第 2 スイッチ回路 2 3 を介してソース線 S L に向けて電流が発生する。これにより、内部ノード N 1 の電位 V_{20} が第 2 電圧状態 (0 V) に遷移する。他方、ケース B の場合は、 V_{N2} が約 0 V であるため、トランジスタ T 1 は依然としてオフ状態である。すなわち、第 2 スイッチ回路 2 3 は非導通であり、内部ノード N 1 の電位は 5 V のまま保持される。

10

【 0 2 2 6 】

この時点で、ケース A の場合には液晶電圧 V_{1c} に - 5 V が印加され、ケース B の場合には ± 0 V が印加される。よって、極性反転が完了し、これ以後、表示される画像がセルフ極性反転動作の開始直前に表示されていた画像に復帰する。フェーズ P 2 5 以後は、この V_{1c} の絶対値は変化しないため、表示される画像に変化は生じない。

【 0 2 2 7 】

《フェーズ P 2 6 》

時刻 t_{26} より開始されるフェーズ P 2 6 では、選択線 S E L の印加電圧を低レベル (0 V) に戻し、トランジスタ T 3 を非導通状態とする。これによって、内部ノード N 1 がソース線 S L から電氣的に分離される。

20

【 0 2 2 8 】

《フェーズ P 2 7 》

時刻 t_{27} より開始されるフェーズ P 2 7 では、ケース A , B に関係なく、トランジスタ T 2 が導通するような電圧をリファレンス線 R E F に与える。ここでは 8 V とする。

【 0 2 2 9 】

これにより、ケース A , B の双方において、ノード N 1 と N 2 が電氣的に接続し、これらが同電位となる。内部ノード N 1 の方が出力ノード N 2 よりも寄生容量が大きいいため、出力ノード N 2 の電位が内部ノード N 1 の電位に向けて変化する。すなわち、ケース A ではノード N 2 の電位 V_{20} が第 2 電圧状態 (0 V) となり、ケース B では第 1 電圧状態 (5 V) となる。

30

【 0 2 3 0 】

なお、第 1 種類の画素回路 2 A として、トランジスタ T 1 の一端を直接ソース線 S L に接続した図 7 の構成を採用した場合には、ノード N 2 に 5 V が印加され、ソース線 S L に 0 V が印加されるため、トランジスタ T 1 においてゲート - ソース間に閾値電圧以上の電位差が生じることから、フェーズ P 2 0 において導通する。この状態は、フェーズ P 2 4 まで継続される。フェーズ P 2 5 以後においては、図 6 の画素回路と同様である。

【 0 2 3 1 】

なお、本実施形態の方法において、フェーズ P 2 3 でトランジスタ T 3 がオン状態であっても、この時点でソース線 S L には + 5 V が印加されているため、内部ノード N 1 の電位を第 1 電圧状態にすることができる。これを踏まえれば、選択線 S E L の立ち上がりタイミングを第 3 実施形態と同様に早めることが可能である。以下、この場合につき図 2 3 を参照して説明する。

40

【 0 2 3 2 】

リファレンス線 R E F を 0 V に落とす前に選択線 S E L を 8 V に立ち上げる。そして、この選択線 S E L の立ち上げと共にソース線 S L に 5 V を印加する。このとき、トランジスタ T 3 はオン状態となり、トランジスタ T 1 の端子の内、内部ノード N 1 とは反対側の端子には 5 V が印加される。しかし、ケース B の場合は出力ノード N 2 の電位はほぼ 0 V であるためトランジスタ T 1 はオフ状態であり、ケース A の場合であっても出力ノード N 2 の電位はほぼ 5 V であるため、閾値電圧以上の電圧がゲート - ソース間には与えられることがなく、やはりトランジスタ T 1 はオフ状態である。

50

【 0 2 3 3 】

そして、フェーズ P 2 2 でリファレンス線 R E F を 0 V とし、トランジスタ T 2 をオフ状態とする。その後、上記実施形態と同様、対向電圧 V c o m を高レベルにシフトさせた後（フェーズ P 2 3 ）、ゲート線 G L を高レベルとする（フェーズ P 2 4 ）。この時点ですでにソース線 S L には 5 V が印加されているため、両ケース共に内部ノード N 1 の電位 V 2 0 が第 1 電圧状態となる点は同じである。その後、フェーズ P 2 5 において、ゲート線 G L を低レベルにシフトし、ソース線 S L の印加電圧を第 2 電圧状態にシフトする。

【 0 2 3 4 】

この時点で、選択線 S E L は既に高レベルであるため、図 2 2 のタイミング図におけるフェーズ P 2 5 と同じ電圧状態となる。すなわち、ケース A の場合にのみトランジスタ T 1 が導通し、内部ノード N 1 の電位が第 2 電圧状態に低下する。一方、ケース B の場合には出力ノード N 2 の電位が低いためトランジスタ T 1 は依然として非導通であるため、内部ノード N 1 の電位は引き続き第 1 電圧状態が維持される。

10

【 0 2 3 5 】

その後は、図 2 2 のタイミング図と同じ電圧供給状態とすれば良い。すなわち、フェーズ P 2 6 で選択線 S E L を低レベルにシフトさせてトランジスタ T 3 をオフにした後、フェーズ P 2 7 でリファレンス線 R E F を高レベルにシフトしてトランジスタ T 2 をオンにする。これにより、内部ノード N 1 の電位 V 2 0 が出力ノード N 2 に現れる。

【 0 2 3 6 】

このように、トランジスタ T 4 を介して内部ノード N 1 を第 1 電圧状態とする際に、ソース線 S L を第 1 電圧状態とすることができるため、ゲート線 G L を高レベルにシフトする前段階で選択線 S E L を高レベルにシフトさせることが可能である。

20

【 0 2 3 7 】

また、図 2 2 のタイミング図に示す方法では、フェーズ P 2 3 において第 1 スイッチ回路 2 2 を導通する必要がある。このため、第 1 スイッチ回路 2 2 が、トランジスタ T 4 と他のトランジスタ素子の直列回路で構成された、第 2 ～ 第 3 種類の画素回路の場合は、一部シーケンスを変更する必要がある。なお、第 2 種類と第 3 種類は、共にトランジスタ T 4 と直列に接続された他のトランジスタ素子の導通 / 非導通の制御が、選択線 S E L によってなされる点において共通するため、同一のシーケンスで実現できる。この第 2 ～ 第 3 種類の画素回路 2 B , 2 C に対して本実施形態のセルフ極性反転動作を行うためのタイミング図を、図 2 4 に示す。

30

【 0 2 3 8 】

図 2 2 と異なる点は、フェーズ P 2 3 において、選択線 S E L にも高レベル電圧を印加している点である。これにより、フェーズ P 2 3 でトランジスタ T 3 を導通させる。なお、画素回路 2 C の場合にはトランジスタ T 5 も導通させる。これによって、第 1 スイッチ回路 2 2 が導通状態となり、ノード N 1 とソース線 S L が電氣的に接続する。

【 0 2 3 9 】

その後、フェーズ P 2 5 までは引き続き選択線 S E L に高レベル電圧を印加する。そして、フェーズ P 2 6 で選択線 S E L の印加電圧を低レベルに移行する点は図 2 2 の場合と同じである。

40

【 0 2 4 0 】

本実施形態の場合、フェーズ P 1 4 より前の段階では第 1 スイッチ回路 2 2 及び第 2 スイッチ回路 2 3 は共に非導通であるため、ソース線 S L への印加電圧はこの間は第 1 電圧状態（0 V）でも第 2 電圧状態（5 V）でも構わない。

【 0 2 4 1 】

また、対向電圧 V c o m の反転については、リファレンス線 R E F の印加電圧を立ち上げた時刻 t 1 2 以後、ゲート線 G L の印加電圧を立ち下げる時刻 t 1 5 より前の間に行えば良い点は、第 3 実施形態と同様である。

【 0 2 4 2 】

なお、第 2 ～ 第 3 種類では、第 1 スイッチ回路 2 2 を非導通状態とする場合、図 1 9 に

50

示すように、トランジスタ T 4 が完全にオフ状態となっているので、トランジスタ T 3 をオフにするための選択線 S E L の電圧は、- 5 V でなく 0 V でも良い。

【 0 2 4 3 】

一方、図 2 3 に示す方法の場合、ゲート線 G L を高レベルにシフトさせる際に選択線 S E L に 5 V が印加されている。従って、図 2 3 と全く同様の電圧印加方法によって、第 2 ~ 第 3 類型でもセルフ極性反転動作を実行することが可能であることが分かる。タイミング図は図 2 3 と同じであるため割愛する。

【 0 2 4 4 】

ところで、図 2 2 のタイミング図に示す方法の場合、第 3 実施形態と異なり、ブースト線 B S T に高レベル電圧を印加していない。そして、フェーズ P 2 5 では、選択線 S E L に高レベル電圧を印加してトランジスタ T 3 を導通させた上で、ケース A の場合には第 2 スイッチ回路 2 3 を導通し、ケース B の場合には第 2 スイッチ回路 2 3 を非導通とする必要がある。

【 0 2 4 5 】

しかし、第 4 ~ 第 6 類型の画素回路 2 D ~ 2 F のように、選択線 S E L がブースト線 B S T を兼ねている場合、フェーズ P 2 5 ではトランジスタ T 2 がオフ状態であるため、選択線 S E L に高レベル電圧が印加されることで、内部ノード N 2 の電位が突き上げられる。これにより、ケース A のみならず、ケース B の場合もトランジスタ T 1 が導通してしまう。従って、図 2 2 のタイミング図に示す方法は、これら第 4 ~ 第 6 類型の画素回路には採用できない。

【 0 2 4 6 】

一方で、図 2 3 に示した方法を利用する場合には、第 4 類型の画素回路 2 D (図 1 3 参照) に対してセルフ極性反転を行うことが可能である。

【 0 2 4 7 】

すなわち、フェーズ P 2 0 でリファレンス線 R E F に 8 V を印加してトランジスタ T 2 を導通させた後、フェーズ P 2 1 で選択線 S E L に高レベル電圧を印加すると共にソース線 S L に 5 V を印加する。第 4 類型の画素回路 2 D は、選択線 S E L が第 1 容量素子 C b s t の一端に接続されているが、ケース A , B の双方共にトランジスタ T 2 が導通しているため、選択線 S E L の電圧レベルが上昇しても出力ノード N 2 の電位はほとんど上昇しない。また、このとき、トランジスタ T 3 はオン状態となり、トランジスタ T 1 の端子の内、内部ノード N 1 とは反対側の端子には 5 V が印加される。しかし、ケース B の場合は出力ノード N 2 の電位はほぼ 0 V であるためトランジスタ T 1 はオフ状態であり、ケース A の場合であっても出力ノード N 2 の電位はほぼ 5 V であるため、閾値電圧以上の電圧がゲート - ソース間には与えられることがなく、やはりトランジスタ T 1 はオフ状態である。

【 0 2 4 8 】

そして、フェーズ P 2 2 でリファレンス線 R E F を 0 V とし、トランジスタ T 2 をオフ状態とする。その後、対向電圧 V c o m を高レベルにシフトさせた後 (フェーズ P 2 3) 、ゲート線 G L を高レベルとする (フェーズ P 2 4) 。この時点で、既にソース線 S L には 5 V が印加されているため、両ケース共に内部ノード N 1 の電位 V 2 0 が第 1 電圧状態となる。その後、フェーズ P 2 5 において、ゲート線 G L を低レベルにシフトし、ソース線 S L の印加電圧を第 2 電圧状態にシフトする。

【 0 2 4 9 】

この時点で、選択線 S E L は既に高レベルであるため、ケース A の場合にのみトランジスタ T 1 が導通し、内部ノード N 1 の電位が第 2 電圧状態に低下する。一方、ケース B の場合には出力ノード N 2 の電位が低いためトランジスタ T 1 は依然として非導通であるため、内部ノード N 1 の電位は引き続き第 1 電圧状態が維持される。

【 0 2 5 0 】

その後、リファレンス線 R E F を高レベルにし、フェーズ P 2 6 でリファレンス線 R E F を高レベルにシフトしてトランジスタ T 2 をオンにする。これにより、内部ノード N 1

10

20

30

40

50

の電位 V_{20} が出力ノード N_2 に現れる。

【0251】

フェーズ P_{26} でトランジスタ T_2 をオンにした後、フェーズ P_{27} で選択線 SEL を低レベルにシフトさせる。このようにすることで、ノード N_2 への電位変動の影響はほとんどない。このような手順で電圧印加を行うことで、セルフ極性反転動作が実行される。このタイミング図を図 25 に示す。

【0252】

そして、この図 25 を見れば、ゲート線 GL を高レベルにシフトさせる際に選択線 SEL に $5V$ が印加されている。従って、図 25 と全く同様の電圧印加方法によって、第 5 ~ 第 6 類型でもセルフ極性反転動作を実行することが可能であることが分かる。タイミング図は図 25 と同じであるため割愛する。

10

【0253】

[第 5 実施形態]

第 5 実施形態では、常時表示モードにおける書き込み動作につき、各類型毎に図面を参照して説明する。

【0254】

常時表示モードにおける書き込み動作では、1 フレーム分の画素データを水平方向（行方向）の表示ライン毎に分割し、1 水平期間毎に、各列のソース線 SL に 1 表示ライン分の各画素データに対応した 2 値の電圧、すなわち高レベル電圧（ $5V$ ）又は低レベル電圧（ $0V$ ）を印加する。そして、選択された表示ライン（選択行）のゲート線 GL に選択行電圧 $8V$ を印加して、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 22 を導通状態にして、各列のソース線 SL の電圧を、選択行の各画素回路 2 の内部ノード N_1 に転送する。

20

【0255】

選択された表示ライン以外（非選択行）のゲート線 GL には、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 22 を非導通状態にするため、非選択行電圧 - $5V$ を印加する。なお、以下に説明する書き込み動作における各信号線の電圧印加のタイミング制御は、表示制御回路 11 によって行われ、個々の電圧印加は、表示制御回路 11、対向電極駆動回路 12、ソースドライバ 13、ゲートドライバ 14 によって行われる。

【0256】

《 第 1 類型 》

図 26 に、第 1 類型の画素回路 2A を使用した書き込み動作のタイミング図を示す。図 26 では、1 フレーム期間における 2 本のゲート線 GL_1 、 GL_2 、2 本のソース線 SL_1 、 SL_2 、選択線 SEL 、リファレンス線 REF 、補助容量線 CSL 、ブースト線 BST の各電圧波形と、対向電圧 V_{com} の電圧波形を図示している。更に、図 26 では、2 つの画素回路 2A の内部ノード N_1 の画素電圧 V_{20} の各電圧波形を合わせて表示している。2 つの画素回路 2A の一方は、ゲート線 GL_1 とソース線 SL_1 で選択される画素回路 2A (a) で、他方は、ゲート線 GL_1 とソース線 SL_2 で選択される画素回路 2A (b) で、図中の画素電圧 V_{20} の後ろに、それぞれ (a) と (b) を付して区別している。

40

【0257】

1 フレーム期間は、ゲート線 GL の本数分の水平期間に分割され、各水平期間に選択されるゲート線 $GL_1 \sim GL_n$ が順番に割り当てられている。図 26 では、最初の 2 水平期間における 2 本のゲート線 GL_1 、 GL_2 の電圧変化を図示している。第 1 水平期間では、ゲート線 GL_1 に選択行電圧 $8V$ が、ゲート線 GL_2 に非選択行電圧 - $5V$ が印加され、第 2 水平期間では、ゲート線 GL_2 に選択行電圧 $8V$ が、ゲート線 GL_1 に非選択行電圧 - $5V$ が印加され、それ以後の水平期間では、両ゲート線 GL_1 、 GL_2 に非選択行電圧 - $5V$ が印加される。

【0258】

各列のソース線 SL には、水平期間毎に対応する表示ラインの画素データに対応した電

50

圧(5V, 0V)が印加されている。図26では、各ソース線SLを代表して2本のソース線SL1, SL2を図示している。なお、図26に示す例では、画素電圧V20の変化を説明するため、最初の1水平期間の2本のソース線SL1, SL2の電圧を5Vと0Vに分けて設定している。

【0259】

第1タイプの画素回路2Aは、第1スイッチ回路22がトランジスタT4だけで構成されているので、第1スイッチ回路22の導通非導通の制御は、トランジスタT4だけのオンオフ制御で十分である。また、第2スイッチ回路23は、書き込み動作では導通状態にする必要がなく、非選択行の画素回路2Aで第2スイッチ回路23が導通状態となるのを防止するために、1フレーム期間の間、全ての画素回路2Aに接続する選択線SELに非選択用電圧0V(-5Vでも良い)を印加する。なお、ブースト線BSTにも選択線SELと同一の電圧を印加する。

10

【0260】

また、リファレンス線REFには、1フレーム期間の間、トランジスタT2を内部ノードN1の電圧状態に関係なく常時オン状態とするために、高レベルの電圧(5V)より閾値電圧(2V程度)以上高い8Vを印加する。これにより、出力ノードN2と内部ノードN1が電氣的に接続され、内部ノードN1に接続する補助容量素子Csを画素電圧V20の保持に利用することができ、画素電圧V20の安定化に資する。また、補助容量線CSLは所定の固定電圧(例えば、0V)に固定する。対向電圧Vcomは、上述した対向AC駆動がなされるが、1フレーム期間の間は0V又は5Vに固定される。図26では、対向電圧Vcomは0Vに固定されている。

20

【0261】

《第2, 第3類型》

第1スイッチ回路22がトランジスタT4と他のトランジスタ(T3, T5)の直列回路で構成された第2~第3タイプの画素回路2B, 2Cの場合には、書き込み時にこれらのトランジスタT3, T5を導通させる必要がある点で、第1類型と異なるシーケンスとなる。

【0262】

図27に、第2~第3タイプの画素回路2B, 2Cを使用した書き込み動作のタイミング図を示す。図27では、2本の選択線SEL1, SEL2を図示している点以外は、図26と図示している項目は共通する。

30

【0263】

ゲート線GL(GL1, GL2)、及び、ソース線SL(SL1, SL2)の電圧印加タイミング及び電圧振幅は、図26と全く同じである。

【0264】

画素回路2B, 2Cでは、第1スイッチ回路22が、トランジスタT4と、トランジスタT3又はT5との直列回路で構成されているので、第1スイッチ回路22の導通/非導通を制御するに際しては、トランジスタT4のオンオフ制御に加え、トランジスタT3又はT5のオンオフ制御が必要となる。なお、画素回路2CにおけるトランジスタT5は、トランジスタT3と制御端子同士が接続しているため、実際には、トランジスタT3とT4のオンオフ制御が必要となる。

40

【0265】

従って、第2~第3類型では、全ての選択線SELを一括して制御するのではなく、ゲート線GLと同様に、行単位に個別に制御する。つまり、選択線SELは行毎に1本ずつ、ゲート線GL1~GLnと同数設けられ、ゲート線GL1~GLnと同様に順番に選択される。

【0266】

図27では、最初の2水平期間における2本の選択線SEL1, SEL2の電圧変化を図示している。第1水平期間では、選択線SEL1に選択用電圧8Vが、選択線SEL2に非選択用電圧-5Vが印加され、第2水平期間では、選択線SEL2に選択用電圧8V

50

が、選択線SEL1に非選択用電圧-5Vが印加され、それ以後の水平期間では、両選択線SEL1, SEL2に非選択用電圧-5Vが印加される。

【0267】

リファレンス線REF、補助容量線CSL、ブースト線BSTへの印加電圧、並びに対向電圧Vcomについては、図26に示す第1類型と同じである。なお、非選択行において、第1スイッチ回路22を非導通状態とする場合、トランジスタT4が完全にオフ状態となっているので、トランジスタT3をオフにするための選択線SELの非選択用電圧は、-5Vでなく0Vでも良い。

【0268】

また、第1～第3類型では、ブースト線BSTと選択線SELがそれぞれ別個の信号線として形成されているため、それぞれの線に異なる電圧を印加するものとしたが、両者に同じ電圧を印加しても良い。より具体的には、選択線SELに0Vを印加しても構わないし、逆にブースト線BSTに負電圧を印加しても構わない。出力ノードN2に比べて内部ノードN1の総寄生容量が大きいいため、ブースト線BSTに負電圧を印加してもノードN1への電位変動の影響は無視できるためである。

【0269】

《第4類型》

第4タイプの画素回路2Dは、第1タイプの画素回路2Aに対して、ブースト線BSTが選択線SELと兼用された構成である。第1類型では選択線SEL及びブースト線BSTに電圧変化を与えていないので、ブースト線BSTを除いた状態で第1類型と全く同じシーケンスにより、第4タイプの画素2Dに対して書き込み動作を行うことができる。なお、このとき、選択線SELに対して0Vを印加する構成としても構わない。

【0270】

《第5～第6類型》

第5～第6タイプの画素回路2E, 2Fは、第2～第3タイプの画素回路2B, 2Cに対して、ブースト線BSTが選択線SELと兼用された構成である。

【0271】

第2～第3類型では、選択行毎にゲート線GLと選択線SELに高レベル電圧を印加することで、選択時に第1スイッチ回路を導通させた。ところが、第5～第6タイプの画素回路の場合、この方法によれば、理論的には選択線SELに高レベル電圧が印加された際にノードN2の電位が突き上げられてしまう。

【0272】

しかし、リファレンス線REFにはトランジスタT2がオン状態を示すような高電圧が印加されているため、ノードN1とN2は電氣的に接続している。上述したように、内部ノードN1の寄生容量は出力ノードN2の寄生容量に比べてはるかに大きいいため、選択線SELに高レベル電圧が印加されてもノードN1の電位はほとんど上昇しない。結果的に、第2～第3類型と全く同じシーケンスにより、書き込み動作が実現できる。

【0273】

[第6実施形態]

第6実施形態では、常時表示モードにおけるセルフリフレッシュ動作と書き込み動作の関係について説明する。

【0274】

常時表示モードでは、1フレーム分の画像データに対して書き込み動作を実行した後、一定期間は書き込み動作を行わずに、直前に行われた書き込み動作によって得られる表示内容を維持させる。

【0275】

書き込み動作によって、ソース線SLを介して各画素内の画素電極20に電圧が与えられる。その後、ゲート線GLが低レベルとなり、トランジスタT4が非導通状態となる。しかし、直前の書き込み動作によって画素電極20に蓄積された電荷の存在により画素電極20の電位が保持される。すなわち、画素電極20と対向電極80との間には電圧V1

10

20

30

40

50

cが維持される。これにより、書き込み動作が完了した後においても、液晶容量C1c両端に対して画像データの表示に必要な電圧が印加された状態が継続する。

【0276】

対向電極80の電位が固定されている場合、液晶電圧V1cは画素電極20の電位に依存する。この電位は、画素回路2内のトランジスタのリーク電流の発生に伴って、時間経過と共に変動する。例えば、ソース線SLの電位が内部ノードN1の電位より低い場合には、内部ノードN1からソース線SLに向かうリーク電流が生じ、画素電圧V20は経時的に減少する。逆に、ソース線SLの電位が内部ノードN1の電位より高い場合には、ソース線SLから内部ノードN1に向かうリーク電流が生じ、画素電極20の電位が経時的に増加する。つまり、外部からの書き込み動作を行うことなく時間が経過すると、液晶電圧V1cが徐々に変化していき、この結果、表示画像も変化してしまう。

10

【0277】

通常表示モードの場合、静止画像であっても1フレーム毎に全ての画素回路2に対して書き込み動作を実行する。従って、画素電極20に蓄積された電荷量は1フレーム期間だけ維持できれば良い。高々1フレーム期間内における画素電極20の電位変動量はごくわずかであるため、この間の電位変動は、表示される画像データに対して視覚的に確認できる程度の影響を与えるものではない。このため、通常表示モードでは、画素電極20の電位変動はあまり問題とはならない。

【0278】

これに対し、常時表示モードでは、1フレーム毎に書き込み動作を実行する構成ではない。従って、対向電極80の電位が固定されている間、場合によって数フレームにわたって画素電極20の電位を保持する必要がある。しかし、数フレーム期間にわたって書き込み動作を行わずに放置しておく、と、前述したリーク電流の発生によって画素電極20の電位は断続的に変動する。この結果、表示される画像データが、視覚的に確認できる程度に変化するおそれもある。

20

【0279】

このような現象が生じるのを避けるべく、常時表示モードでは、図28のフローチャートに示す要領で、セルフ極性反転動作と書き込み動作を組み合わせることで、画素電極の電位変動を抑制しながらも大幅な電力消費の低減を図る。

【0280】

まず、常時表示モードにおける1フレーム分の画素データの書き込み動作を、第5実施形態で上述した要領で実行する(ステップ#1)。

30

【0281】

ステップ#1の書き込み動作後、第2実施形態で上述した要領によりセルフリフレッシュ動作を実行する(ステップ#2)。セルフリフレッシュ動作は、パルス電圧を印加するフェーズP1と、待機するフェーズP2で実現される。

【0282】

ここで、セルフリフレッシュ動作期間のフェーズP2の期間中に、新たな画素データの書き込み動作(データ書き換え)、外部リフレッシュ動作、又は外部極性反転動作の要求を受け取ると(ステップ#3のYES)、ステップ#1に戻り、新たな画素データまたは従前の画素データの書き込み動作を実行する。上記フェーズP2の期間中に、当該要求を受け取らない場合(ステップ#3のNO)は、ステップ#2に戻り再びセルフリフレッシュ動作を実行する。これにより、リーク電流の影響による表示画像の変化を抑制することができる。

40

【0283】

セルフリフレッシュ動作を行わずに、書き込み動作によってリフレッシュ動作を行うとすると、上述の数1に示す関係式で表わされる消費電力となるが、同じリフレッシュレートでセルフリフレッシュ動作を繰り返す場合は、全てのソース線電圧の駆動回数が1回であるため、数1中の変数nが1となり、表示解像度(画素数)としてVGAを想定すると、 $m = 1920$ 、 $n = 480$ であるので、480分の1程度の消費電力の低減が期待さ

50

れる。

【 0 2 8 4 】

本実施形態において、セルフリフレッシュ動作と、外部リフレッシュ動作又は外部極性反転動作を併用する理由は、仮に、当初正常に動作していた画素回路 2 であっても、経年変化により、第 2 スイッチ回路 2 3 または制御回路 2 4 に不具合が生じ、書き込み動作は支障なく実施できるが、セルフリフレッシュ動作を正常に実行できない状態が、一部の画素回路 2 に発生する場合に対処するためである。つまり、セルフリフレッシュ動作だけに依存すると、当該一部の画素回路 2 の表示に劣化が現れ、それが固定されるが、外部極性反転動作を併用することで、当該表示欠陥の固定化を防止することができる。

【 0 2 8 5 】

[第 7 実施形態]

第 7 実施形態では、常時表示モードにおけるセルフ極性反転動作と書き込み動作の関係について説明する。

【 0 2 8 6 】

常時表示モードでは、書き込み動作は、1 フレーム毎には実行せず、所定数のフレーム期間を経過して、間欠的に書き込み動作が実行される。その間、全ての画素回路 2 A は非選択状態となって、全てのゲート線 G L には、非選択行電圧 - 5 V が印加され、全ての選択線 S E L にも非選択用電圧 - 5 V が印加され、第 1 スイッチ回路 2 2 及び第 2 スイッチ回路 2 3 は、共に非導通状態となり、内部ノード N 1 はソース線 S L と電氣的に分離される。

【 0 2 8 7 】

しかしながら、上述したように、内部ノード N 1 に接続するトランジスタ T 4 等のオフ時のリーク電流により、内部ノード N 1 の画素電圧 V 2 0 は緩やかに変化する。従って、書き込み動作を停止しているフレーム期間の間隔が長くなると、液晶電圧 V 1 c の変動によって表示画像に変化が生じる。当該変化が視覚上の許容限度を超える前に、再書き込み動作を行う必要がある。同じ表示画像に対して、再書き込み動作を行う場合は、対向電圧 V c o m の電圧値を高レベル (5 V) と低レベル (0 V) の間で反転させ、ソース線 S L に印加する電圧も、高レベル (5 V) と低レベル (0 V) の間で反転させることで、同じ画素データを再書き込みできる。これは、従来の外部の画素メモリを使用する極性反転動作である「外部極性反転動作」に相当する。

【 0 2 8 8 】

上述の外部極性反転動作は、書き込み動作と全く同じで、1 フレーム分の画素データをゲート線の本数分の水平期間に分割して書き込むことになるため、各列のソース線 S L を最大 1 水平期間毎に変化させる必要が生じ、大きな電力消費を伴う。このため、本実施形態では、常時表示モードにおいて、図 2 9 のフローチャートに示す要領で、セルフ極性反転動作と書き込み動作を組み合わせて実行することで、大幅な電力消費の低減を図る。

【 0 2 8 9 】

初めに、常時表示モードにおける 1 フレーム分の画素データの書き込み動作を、第 5 実施形態で上述した要領で実行する (ステップ # 1 1) 。

【 0 2 9 0 】

ステップ # 1 1 の書き込み動作後、所定数のフレーム期間分に相当する待機期間の経過後、常時表示モードにおける 1 フレーム分の画素回路 2 に対して、セルフ極性反転動作を、第 3 ~ 第 4 実施形態で上述した要領で一括して実行する (ステップ # 1 2) 。この結果、上記待機期間の経過中に、図 2 6 ~ 図 2 7 に示すように、画素電圧 V 2 0 の微小な電圧変動が生じ、これに伴い、液晶電圧 V 1 c にも同様の電圧変動が生じていたものが初期化され、画素電圧 V 2 0 は書き込み動作直後の電圧状態に復帰し、液晶電圧 V 1 c も、書き込み動作直後の電圧値と同じ絶対値で極性が反転した状態となる。従って、セルフ極性反転動作によって、液晶電圧 V 1 c のリフレッシュ動作と極性反転動作が同時に実現される。

【 0 2 9 1 】

ステップ# 12のセルフ極性反転動作後、上記待機期間の経過中に、新たな画素データの書き込み動作（データ書き換え）、或いは、「外部極性反転動作」の要求を外部から受け取ると（ステップ# 13のYES）、ステップ# 11に戻り、新たな画素データまたは従前の画素データの書き込み動作を実行する。上記待機期間の経過中に、当該要求を受け取らない場合（ステップ# 13のNO）は、上記待機期間の経過後に、ステップ# 12に戻り、セルフ極性反転動作を再度実行する。これにより、上記待機期間が経過する毎に、セルフ極性反転動作が繰り返し実行されるため、液晶電圧 V_{lc} のリフレッシュ動作と極性反転動作が行われ、液晶表示素子の劣化及び表示品質の低下を防止できる。

【0292】

セルフ極性反転動作によって消費電力が低減できる理由、並びにセルフ極性反転動作だけでなく外部極性反転動作と併用する理由は、第6実施形態におけるセルフリフレッシュ動作を用いた場合の理由と同じであるため省略する。

【0293】

[第8実施形態]

第8実施形態では、常時表示モードにおけるセルフリフレッシュ動作及びセルフ極性反転動作と書き込み動作の関係について説明する。第6及び第7実施形態で上述したように、セルフリフレッシュ動作、セルフ極性反転動作は、それぞれ消費電力を低減させる効果があった。本実施形態では、常時表示モードにおいて、図30のフローチャートに示す要領で、セルフリフレッシュ動作、セルフ極性反転動作と書き込み動作を組み合わせることで、更に大幅な電力消費の低減を図る。

【0294】

まず、常時表示モードにおける1フレーム分の画素データの書き込み動作を、第5実施形態で上述した要領で実行する（ステップ# 21）。

【0295】

ステップ# 21の書き込み動作後、セルフリフレッシュ動作を、第2実施形態で上述した要領により実行する（ステップ# 22）。

【0296】

次に、このセルフリフレッシュ動作が、直前に書き込み動作が行われてから何回目の動作であるかを検出する。言い換えれば、直前に書き込み動作が行われてから、何フレーム分セルフリフレッシュ動作を実行したかをカウントする。このカウント値が、所定の臨界フレーム数以下であれば（ステップ# 23でNO）、引き続きステップ# 22に戻りセルフリフレッシュ動作を実行する。一方、臨界フレーム数を超過していれば（ステップ# 23でYES）、第3～第4実施形態で上述した要領によりセルフ極性反転動作を実行する（ステップ# 24）。

【0297】

ステップ# 24のセルフ極性反転動作後、新たな画素データの書き込み動作（データ書き換え）、或いは、「外部極性反転動作」の要求を外部から受け取ると（ステップ# 25のYES）、ステップ# 21に戻り、新たな画素データまたは従前の画素データの書き込み動作を実行する。一方、当該要求を受け取らない場合（ステップ# 25のNO）は、ステップ# 22に戻り、セルフリフレッシュ動作を再度実行する。これにより、セルフリフレッシュ動作とセルフ極性反転動作が繰り返し実行されるため、液晶電圧 V_{lc} のリフレッシュ動作と極性反転動作が行われ、液晶表示素子の劣化及び表示品質の低下を防止できる

【0298】

なお、図30のフローチャートに代えて、図28のフローチャートと図29のフローチャートを適宜組み合わせることにより、セルフリフレッシュ動作とセルフ極性反転動作を組み合わせる構成としても構わない。

【0299】

[第9実施形態]

第9実施形態では、通常表示モードにおける書き込み動作につき、各類型毎に図面を参

10

20

30

40

50

照して説明する。

【0300】

通常表示モードにおける書き込み動作では、1フレーム分の画素データを水平方向（行方向）の表示ライン毎に分割し、1水平期間毎に、各列のソース線SLに1表示ライン分の各画素データに対応した多階調のアナログ電圧を印加すると共に、選択された表示ライン（選択行）のゲート線GLに選択行電圧8Vを印加して、当該選択行の全ての画素回路2の第1スイッチ回路22を導通状態にして、各列のソース線SLの電圧を、選択行の各画素回路2の内部ノードN1に転送する動作である。選択された表示ライン以外（非選択行）のゲート線GLには、当該選択行の全ての画素回路2の第1スイッチ回路22を非導通状態にするため、非選択行電圧-5Vを印加する。

10

【0301】

以下に説明する書き込み動作における各信号線の電圧印加のタイミング制御は、図1に示す表示制御回路11によって行われ、個々の電圧印加は、表示制御回路11、対向電極駆動回路12、ソースドライバ13、ゲートドライバ14によって行われる。

【0302】

《第1類型》

図31に、第1類型の画素回路2Aを使用した書き込み動作のタイミング図を示す。図31では、1フレーム期間における2本のゲート線GL1、GL2、2本のソース線SL1、SL2、選択線SEL、リファレンス線REF、補助容量線CSL、及びブースト線BSTの各電圧波形と、対向電圧Vcomの電圧波形を図示している。

20

【0303】

1フレーム期間は、ゲート線GLの本数分の水平期間に分割され、各水平期間に選択されるゲート線GL1～GLnが順番に割り当てられている。図31では、最初の2水平期間における2本のゲート線GL1、GL2の電圧変化を図示している。第1水平期間では、ゲート線GL1に選択行電圧8Vが、ゲート線GL2に非選択行電圧-5Vがそれぞれ印加され、第2水平期間では、ゲート線GL2に選択行電圧8Vが、ゲート線GL1に非選択行電圧-5Vがそれぞれ印加され、それ以後の水平期間では、両ゲート線GL1、GL2には非選択行電圧-5Vが印加される。

【0304】

各列のソース線SLには、水平期間毎に対応する表示ラインの画素データに対応した多階調のアナログ電圧が印加されている。なお、通常表示モードではアナログ表示ラインの画素データに対応した多階調のアナログ電圧が印加され、印加電圧が一義的には特定されないため、図31では斜線により塗りつぶすことでこれを表現している。なお、図31では、各ソース線SL1、SL2、……SLmを代表して2本のソース線SL1、SL2を図示している。

30

【0305】

対向電圧Vcomは、1水平期間毎に変化するため（対向AC駆動）、当該アナログ電圧は、同じ水平期間中の対向電圧Vcomに対応した電圧値となっている。つまり、対向電圧Vcomが5Vか0Vかによって、数2で与えられる液晶電圧Vlcの絶対値は変わらず極性のみが変わるように、ソース線SLに印加されるアナログ電圧が設定される。

40

【0306】

第1及び第4類型の画素回路は、第1スイッチ回路22がトランジスタT4だけで構成されているので、第1スイッチ回路22の導通非導通の制御は、トランジスタT4だけのオンオフ制御で十分である。また、第2スイッチ回路23は、書き込み動作では導通状態にする必要がなく、非選択行の画素回路2Aで第2スイッチ回路23が導通状態となるのを防止するために、1フレーム期間の間、全ての画素回路2Aに接続する選択線SELに非選択用電圧-5Vを印加する。この非選択用電圧は負電圧に限られるものではなく、0Vでも良い。

【0307】

また、リファレンス線REFには、1フレーム期間の間、トランジスタT2を内部ノー

50

ド N 1 の電圧状態に関係なく常時オン状態とする電圧を印加する。この電圧値は、多階調のアナログ電圧としてソース線 S L から与えられる電圧値の中での最大値よりも、トランジスタ T 2 の閾値電圧以上高い電圧であれば良い。図 3 1 では、前記最大値を 5 V とし、閾値電圧を 2 V とし、それらの和よりも大きい 8 V を印加している。

【 0 3 0 8 】

対向電圧 V_{com} は 1 水平期間毎に対向 A C 駆動されるため、補助容量線 C S L は、対向電圧 V_{com} と同電圧となるように駆動される。これは、画素電極 2 0 が、対向電極 8 0 と液晶層を介して容量結合していると共に、補助容量素子 C s を介して補助容量線 C S L と容量結合しているため、仮に補助容量素子 C s の電圧を固定してしまうと、数 2 において V_{com} だけが変動してしまい、これによって非選択行の画素回路 2 の液晶電圧 V_{lc} の変動を誘発するためである。このため、全ての補助容量線 C S L を対向電圧 V_{com} と同電圧に駆動することで、対向電極 8 0 と画素電極 2 0 の電圧が同じ電圧方向に変化させ、対向 A C 駆動の影響を相殺している。

【 0 3 0 9 】

《第 2 , 第 3 類型》

第 1 スイッチ回路 2 2 がトランジスタ T 4 と他のトランジスタ (T 3 , T 5) の直列回路で構成された第 2 ~ 第 3 類型の画素回路 2 B , 2 C の場合には、書き込み時にこれらのトランジスタ T 3 , T 5 を導通させる必要がある点で、第 1 類型と異なるシーケンスとなる。

【 0 3 1 0 】

第 2 類型の画素回路 2 B の場合、第 1 スイッチ回路 2 2 がトランジスタ T 4 と T 3 の直列回路で構成されているので、第 1 スイッチ回路 2 2 の導通非導通の制御は、トランジスタ T 4 のオンオフ制御に加え、トランジスタ T 3 のオンオフ制御が必要となる。また、第 3 類型の画素回路 2 C の場合は、第 1 スイッチ回路 2 2 がトランジスタ T 4 と T 5 の直列回路で構成されているが、トランジスタ T 5 は T 3 とゲート同士が接続されているため、やはり第 2 類型の画素回路 2 B と同様、トランジスタ T 4 のオンオフ制御に加え、トランジスタ T 3 のオンオフ制御が必要となる。

【 0 3 1 1 】

従って、これらの画素回路では、第 1 類型とは異なり、全ての選択線 S E L を一括して制御するのではなく、ゲート線 G L と同様に、行単位に個別に制御する。つまり、選択線 S E L は行毎に 1 本ずつ、ゲート線 G L 1 ~ G L n と同数設けられ、ゲート線 G L 1 ~ G L n と同様に順番に選択される。

【 0 3 1 2 】

より具体的には、第 1 水平期間では、ゲート線 G L 1 と同一行の選択線 S E L 1 に選択用電圧 8 V を、ゲート線 G L 2 と同一行の選択線 S E L 2 に非選択用電圧 - 5 V を印加する。第 2 水平期間では、選択線 S E L 2 に選択用電圧 8 V を、選択線 S E L 1 に非選択用電圧 - 5 V を印加する。それ以後の水平期間では、両選択線 S E L 1 及び S E L 2 に非選択用電圧 - 5 V を印加する。リファレンス線 R E F , 補助容量線 C S L , 及びブースト線 B S T への印加電圧、及び、対向電圧 V_{com} については、図 3 1 に示す第 1 類型のタイミング図と同じである。また、選択線に印加する非選択用電圧は、第 1 類型と同様に負電圧に限らず、0 V でも良い。

【 0 3 1 3 】

《第 4 類型》

第 4 類型の画素 2 D は、第 1 類型の画素 2 A に対して、ブースト線 B S T が選択線 S E L と兼用された構成である。第 1 類型では選択線 S E L 及びブースト線 B S T に電圧変化を与えていないので、ブースト線 B S T を除いた状態で第 1 類型と全く同じシーケンスにより、第 4 類型の画素 2 D に対して書き込み動作を行うことができる。なお、このとき、選択線 S E L に対して 0 V を印加する構成としても構わない。

【 0 3 1 4 】

《第 5 ~ 第 6 類型》

第 5 ～ 第 6 類型の画素回路 2 E , 2 F は、第 2 ～ 第 3 類型の画素回路 2 B , 2 C に対して、ブースト線 B S T が選択線 S E L と兼用された構成である。

【 0 3 1 5 】

第 2 ～ 第 3 類型では、選択行毎にゲート線 G L と選択線 S E L に高レベル電圧を印加することで、選択時に第 1 スイッチ回路 2 2 を導通させた。ところが、第 5 ～ 第 6 類型の画素回路の場合、この方法によれば、理論的には選択線 S E L に高レベル電圧が印加された際に出力ノード N 2 の電位が突き上げられてしまう。

【 0 3 1 6 】

しかし、リファレンス線 R E F にはトランジスタ T 2 がオン状態を示すような高電圧が印加されているため、ノード N 1 と N 2 は電氣的に接続している。上述したように、内部ノード N 1 の寄生容量は出力ノード N 2 に比べてはるかに大きいため、選択線 S E L に高レベル電圧が印加されても内部ノード N 1 の電位はほとんど上昇しない。結果的に、第 2 ～ 第 3 類型と全く同じシーケンスにより、書き込み動作が実現できる。

【 0 3 1 7 】

なお、通常表示モードにおける書き込み動作において、1 水平期間毎に各表示ラインの極性を反転させる方法として、上述の「対向 A C 駆動」以外に、対向電圧 V c o m として所定の固定電圧を対向電極 8 0 に印加する方法がある。この方法によれば、画素電極 2 0 に印加される電圧は、対向電圧 V c o m を基準として正電圧となる場合と負電圧となる場合が 1 水平期間毎に交替する。

【 0 3 1 8 】

この場合、当該画素電圧を、ソース線 S L を介して直接書き込む方法と、対向電圧 V c o m を中心とした電圧範囲の電圧を書き込んだ後に、補助容量素子 C s を用いた容量結合により、対向電圧 V c o m を基準として正電圧または負電圧のいずれか一方となるように電圧調整する方法もある。この場合、補助容量線 C S L は対向電圧 V c o m とは同電圧に駆動せずに、行単位で個別にパルス駆動することになる。

【 0 3 1 9 】

以上のように、通常表示モードにおける書き込み動作については、選択線 S E L 、リファレンス線 R E F 、ブースト線 B S T の制御を、上述の要領で行えば、第 1 ～ 第 6 類型の回路構成の画素回路 2 A ～ 2 F は、種々の書き込み方法に適用可能である。

【 0 3 2 0 】

また、本実施形態では、通常表示モードにおける書き込み動作において、1 水平期間毎に各表示ラインの極性を反転させる方法を採用したが、これは、1 フレーム単位で極性反転した場合に発生する以下に示す不都合を解消するためである。なお、このような不都合を解消する方法としては、列毎に極性反転駆動する方法や、行及び列方向同時に画素単位で極性反転駆動する方法もある。

【 0 3 2 1 】

あるフレーム F 1 で全ての画素において正極性の液晶電圧 V l c を印加し、次のフレーム F 2 で全ての画素において負極性の液晶電圧 V l c を印加した場合を想定する。液晶層 7 5 に対して同一絶対値の電圧が印加された場合であっても、正極性が負極性によって光の透過率に微少な差異が生じる場合がある。高画質の静止画を表示している場合、この微少な差異の存在が、フレーム F 1 とフレーム F 2 で表示態様に微細な変化を生む可能性がある。また、動画表示時においても、フレーム間で同一内容の表示内容となるべき表示領域内において、その表示態様に微細な変化を生む可能性がある。高画質の静止画や動画の表示時には、このような微細な変化でも視覚的に認識することができる場合が想定される。

【 0 3 2 2 】

そして、通常表示モードは、このような高画質の静止画や動画を表示するモードであるため、上述のような微細な変化が視覚的に認識される可能性がある。このような現象を回避すべく、本実施形態では、同一フレーム内において表示ライン毎に極性を反転させている。これにより、同一フレーム内でも表示ライン間で異なる極性の液晶電圧 V l c が印加

10

20

30

40

50

されているため、液晶電圧 V_{lc} の極性に基づく表示画像データへの影響を抑制できる。

【0323】

[別実施形態]

以下、別実施形態につき説明する。

【0324】

1 第1～第4種類の画素回路2A～2Dに関しては、通常表示モード及び常時表示モードの書き込み動作時において、リファレンス線REFに低レベル電圧を与え、トランジスタT2をオフ状態としても良い。このようにすることで、内部ノードN1と出力ノードN2が電氣的に分離される結果、画素電極20の電位が書き込み動作前の出力ノードN2の電圧の影響を受けなくなる。これにより、画素電極20の電圧は、ソース線SLの印加電圧を正しく反映し、画像データを誤差なく表示することができる。

10

【0325】

ただし、上述したように、ノードN1の総寄生容量は、ノードN2に比べて遙かに大きく、ノードN2の初期状態の電位が画素電極20の電位に影響を与えることはほとんどないため、トランジスタT2は常時オン状態にしておいて良い。

【0326】

更に言えば、第5～第6種類の画素回路2D～2Fの場合、選択線SELがブースト線BSTを兼ねる構成の場合は、選択線SELの変動に伴ってノードN2が大きく変動する。このため、非選択行の画素回路において、選択線SELに高レベル電圧が印加されることで第3スイッチ回路23が導通し、ソース線SLから当該第3スイッチ回路23を介して電圧が印加されてしまう可能性がある。このため、これらの画素回路については、書き込み時にトランジスタT2を常時オンさせておくことが必要となる。

20

【0327】

2 上記実施形態では、セルフ極性反転動作は、1フレーム単位で全ての画素回路を対象として実施する場合を説明したが、例えば、1フレームを一定数の行からなる複数の行グループに分割し、当該行グループ単位で実行するようにしても良い。例えば、セルフ極性反転動作を偶数行の画素回路に対して実行し、次のセルフ極性反転動作を奇数行の画素回路に対して実行することを順次繰り返しても良い。このように偶数行と奇数行を分離してセルフ極性反転動作を行うことで、セルフ極性反転動作により微小な表示誤差が生じる場合であっても、偶数行毎或いは奇数行毎にこの微小な誤差が分散され、表示画像への影響を更に小さくすることができる。同様に、1フレームを一定数の列からなる複数の列グループに分割し、当該列グループ単位で実行するようにしても良い。

30

【0328】

3 上記実施形態では、アクティブマトリクス基板10上に構成される全ての画素回路2に対し、第2スイッチ回路23と制御回路24を備える構成とした。これに対し、アクティブマトリクス基板10上において、透過液晶表示を行う透過画素部と反射液晶表示を行う反射画素部の2種類の画素部を備える構成の場合には、反射画素部の画素回路にのみ第2スイッチ回路23と制御回路24を備え、透過表示部の画素回路には第2スイッチ回路23と制御回路24を備えない構成としても良い。

【0329】

この場合、通常表示モード時には透過画素部によって画像表示がなされ、常時表示モード時には反射画素部によって画像表示がなされることとなる。このように構成することで、アクティブマトリクス基板10全体に形成される素子数を削減することができる。

40

【0330】

4 上記実施形態では、各画素回路2は、補助容量素子Csを備える構成であったが、補助容量素子Csを備えない構成であっても良い。ただし、内部ノードN1の電位をより安定化させ、表示画像の確実な安定化を図るためには、この補助容量素子Csを備える方が好ましい。

【0331】

5 上記実施形態では、各画素回路2の表示素子部21は、単位液晶表示素子C1

50

cだけで構成される場合を想定したが、図32に示すように、内部ノードN1と画素電極20の間にアナログアンプAmp（電圧増幅器）を備える構成としても良い。図32では一例として、アナログアンプAmpの電源用ラインとして、補助容量線CSLと電源線Vccが入力される構成とした。

【0332】

この場合、内部ノードN1に与えられた電圧は、アナログアンプAmpによって設定された増幅率 η によって増幅され、増幅後の電圧が画素電極20に供給される。よって、内部ノードN1の微小な電圧変化を表示画像に反映することができる構成である。

【0333】

なお、この構成の場合、常時表示モードのセルフ極性反転動作では、内部ノードN1の電圧が、増幅率 η によって増幅され画素電極20に供給されるため、ソース線SLに印加する第1及び第2電圧状態の電圧差を調整することで、画素電極20に供給される第1及び第2電圧状態の電圧を、対向電圧Vcomの高レベル及び低レベルの電圧に一致させることができる。

【0334】

6 上記実施形態では、画素回路2内のトランジスタT1～T4を、Nチャネル型の多結晶シリコンTFTを想定したが、Pチャネル型のTFTを使用した構成や、非晶質シリコンTFTを使用した構成とすることも可能である。Pチャネル型のTFTを使用する構成の表示装置においても、電源電圧及び既述の動作条件として示された電圧値の正負を反転させる、ケースAとケースBにおける印加電圧を逆転させる、常時表示モードにおける書き込み動作において、第1電圧状態（5V）及び第2電圧状態（0V）とあるのを、第1電圧状態（0V）及び第2電圧状態（5V）に置き換える、等により上記各実施形態と同様に画素回路2を動作させることが可能であり、同様の効果が得られる。

【0335】

7 上記実施形態では、常時表示モードにおける画素電圧V20及び対向電圧Vcomの第1及び第2電圧状態の電圧値として、0Vと5Vを想定し、各信号線に印加する電圧値も、それに応じて、-5V, 0V, 5V, 8Vと設定したが、これらの電圧値は、使用する液晶素子及びトランジスタ素子の特性（閾値電圧等）に応じて、適宜変更可能である。

【0336】

8 上記実施形態では、液晶表示装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、画素データを保持するための画素容量Cpに対応する容量を有し、当該容量に保持される電圧に基づき画像を表示する表示装置であれば、本発明を適用することができる。

【0337】

例えば、画素容量に相当する容量に画素データに相当する電圧を保持させて画像表示する有機EL（Electroluminescence）表示装置の場合、特にセルフリフレッシュ動作に関して本発明を適用することができる。図33は、このような有機EL表示装置の画素回路の一例を示す回路図である。この画素回路では、画素データとして補助容量Csに保持された電圧が、TFTで構成された駆動用トランジスタTdVのゲート端子に与えられ、その電圧に応じた電流が駆動用トランジスタTdVを介して発光素子OLEDに流れる。従って、この補助容量Csが上記各実施形態における画素容量Cpに相当する。

【0338】

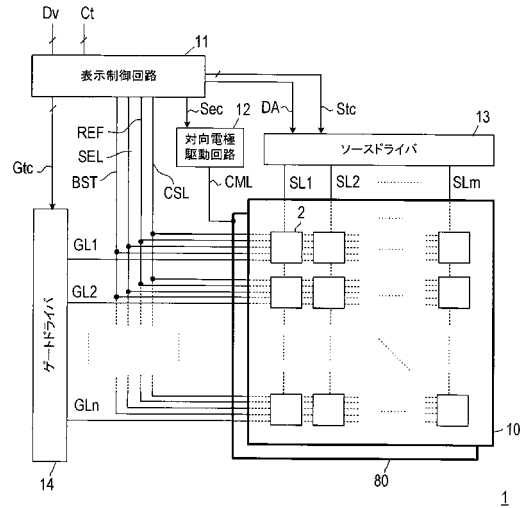
なお、図33に示す画素回路においては、電極間に電圧を印加することで光の透過率を制御することで画像表示を行うという液晶表示装置とは異なり、素子を流れる電流によって素子そのものが発光することで画像表示を行う。このため、発光素子の整流性ゆえ、当該素子の両端に印加される電圧の極性を反転させるということができず、更にはそのような必要性もない。このため、図33の画素回路においては、第3～第4実施形態で説明したようなセルフ極性反転動作を行うことはできない。

【符号の説明】

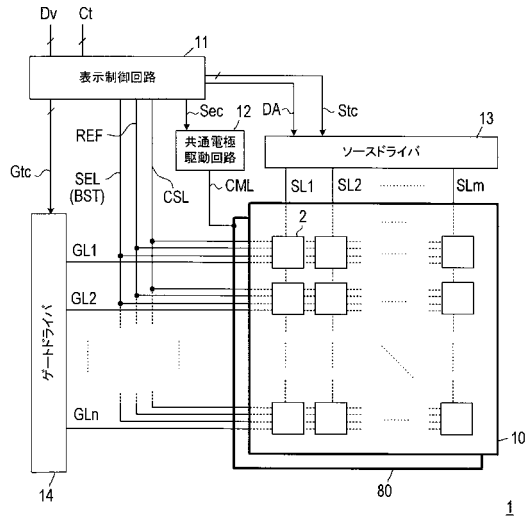
【 0 3 3 9 】

1 :	液晶表示装置	
2 :	画素回路	
2 A , 2 B , 2 C , 2 D , 2 E , 2 F :	画素回路	
1 0 :	アクティブマトリクス基板	
1 1 :	表示制御回路	
1 2 :	対向電極駆動回路	
1 3 :	ソースドライバ	
1 4 :	ゲートドライバ	
2 0 :	画素電極	10
2 1 :	表示素子部	
2 2 :	第 1 スイッチ回路	
2 3 :	第 2 スイッチ回路	
2 4 :	制御回路	
7 4 :	シール材	
7 5 :	液晶層	
8 0 :	対向電極	
8 1 :	対向基板	
A m p :	アナログアンプ	
B S T :	ブースト線	20
C b s t :	ブースト容量素子	
C l c :	液晶表示素子	
C M L :	対向電極配線	
C S L :	補助容量線	
C s :	補助容量素子	
C t :	タイミング信号	
D A :	デジタル画像信号	
D v :	データ信号	
G L (G L 1 , G L 2 , ... , G L n) :	ゲート線	
G t c :	走査側タイミング制御信号	30
N 1 :	内部ノード	
N 2 :	出力ノード	
O L E D :	発光素子	
P 1 , P 2 :	フェーズ	
P 1 0 , P 1 1 , ... , P 1 8 :	フェーズ	
P 2 0 , P 2 1 , ... , P 2 7 :	フェーズ	
R E F :	リファレンス線	
S c 1 , S c 2 , ... , S c m :	ソース信号	
S E L :	選択線	
S L (S L 1 , S L 2 , ... , S L m) :	ソース線	40
S t c :	データ側タイミング制御信号	
T 1 , T 2 , T 3 , T 4 , T 5 :	トランジスタ	
T d v :	駆動用トランジスタ	
V 2 0 :	画素電極電位、内部ノード電位	
V c o m :	対向電圧	
V l c :	液晶電圧	
V N 2 :	出力ノード電位	

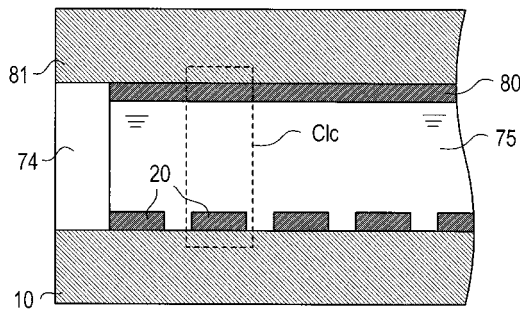
【図 1】



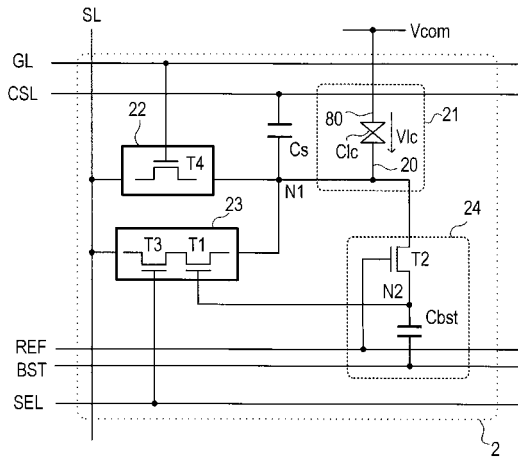
【図 3】



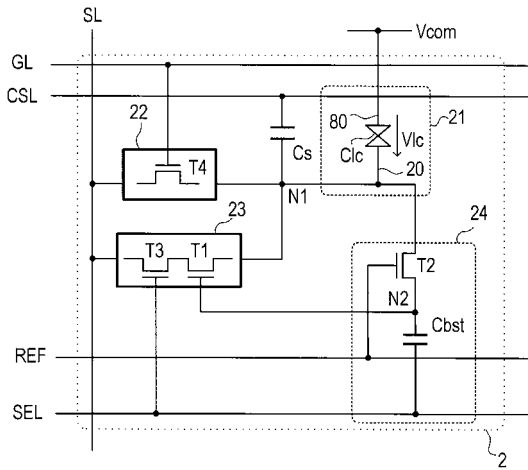
【図 2】



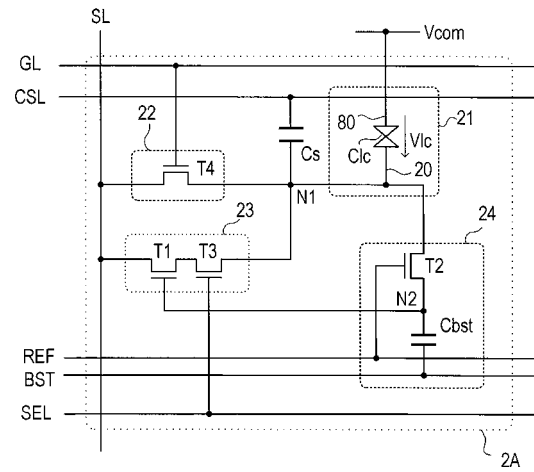
【図 4】



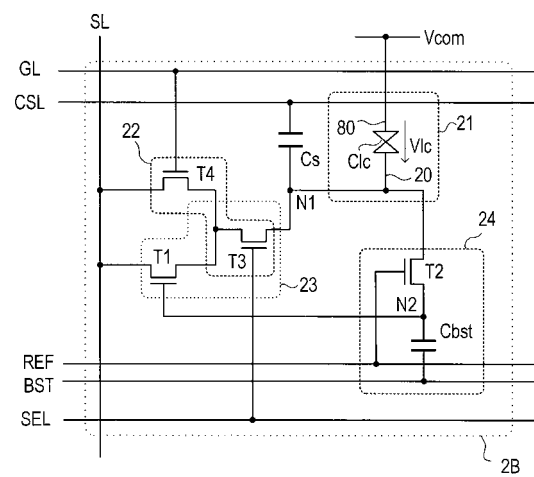
【図 5】



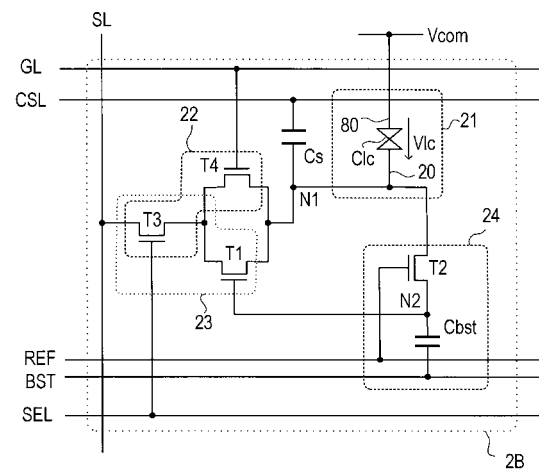
【圖 7】



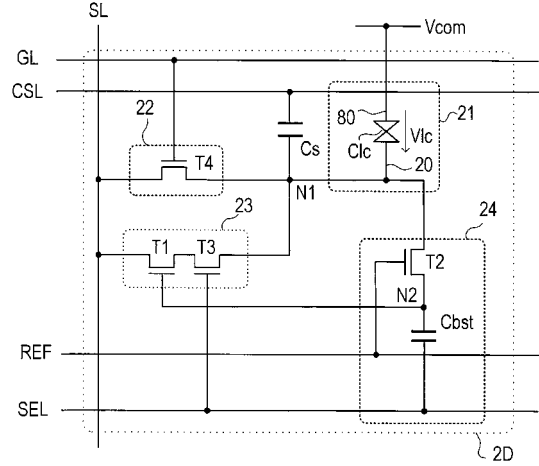
【圖 9】



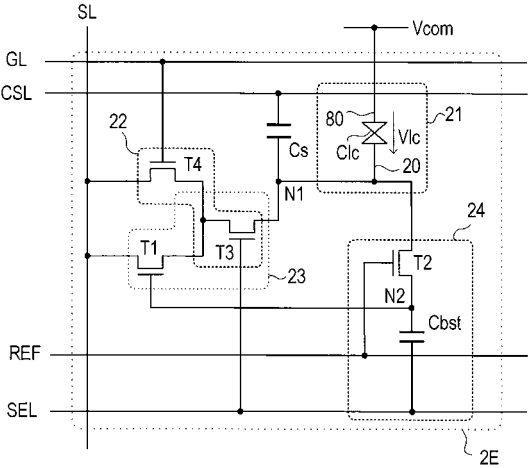
【 図 1 1 】



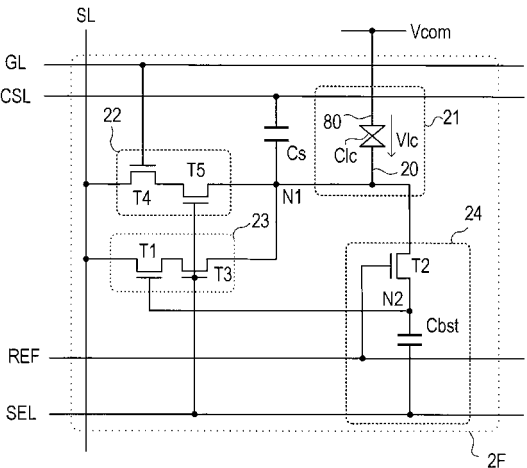
【 図 1 3 】



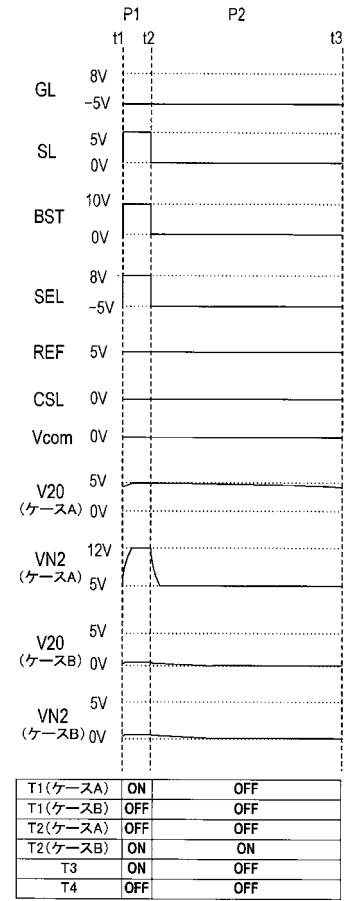
【 図 1 4 】



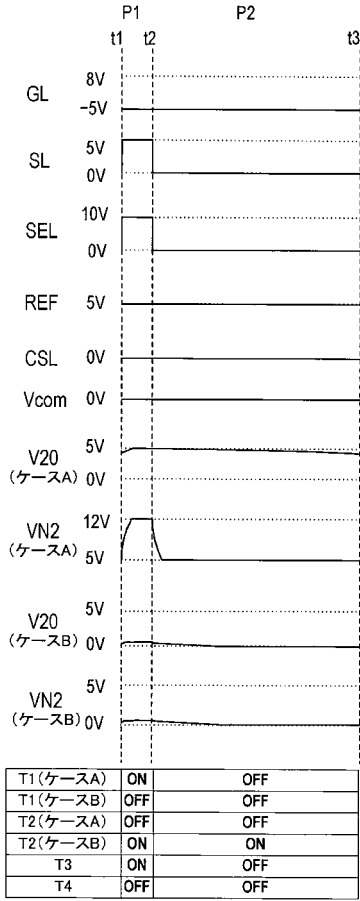
【 図 1 5 】



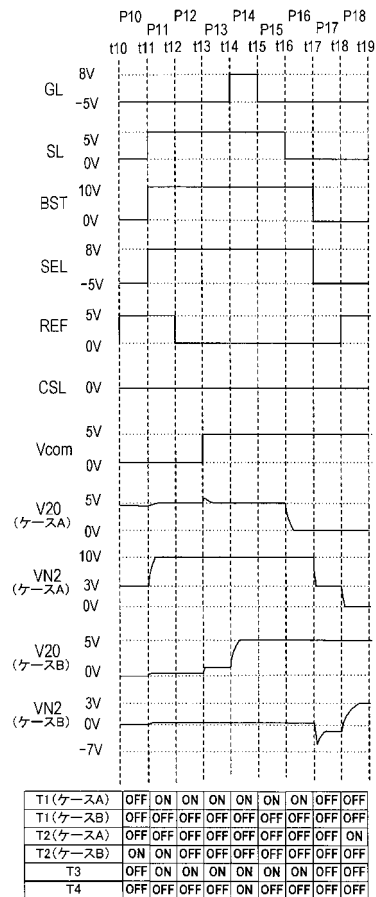
【 図 1 6 】



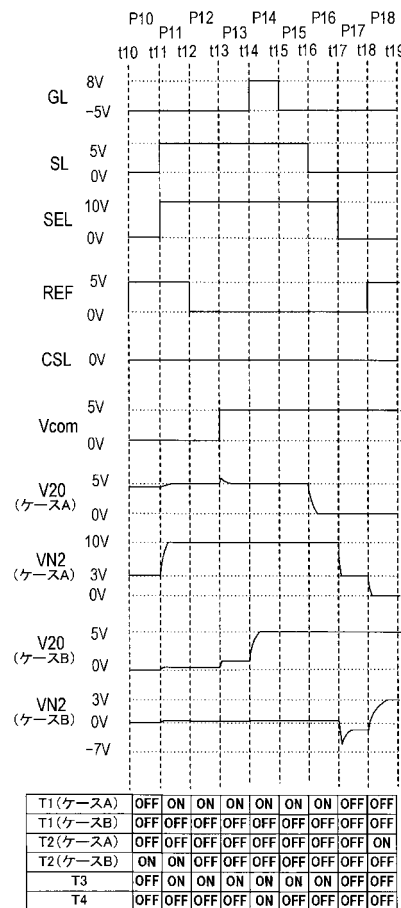
【 図 1 7 】



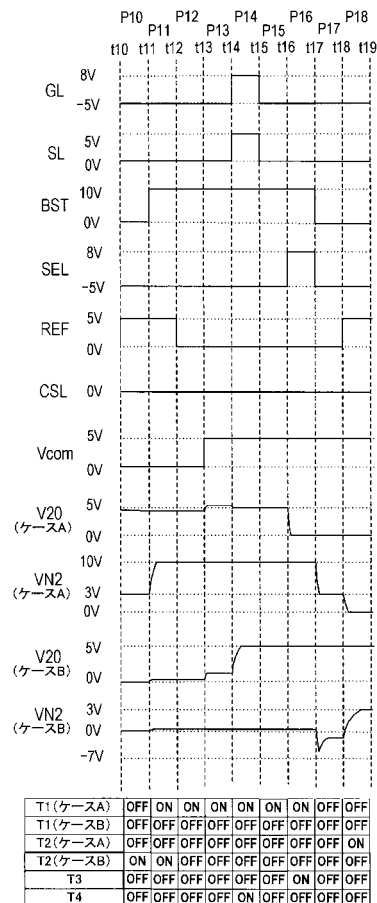
【図 18】



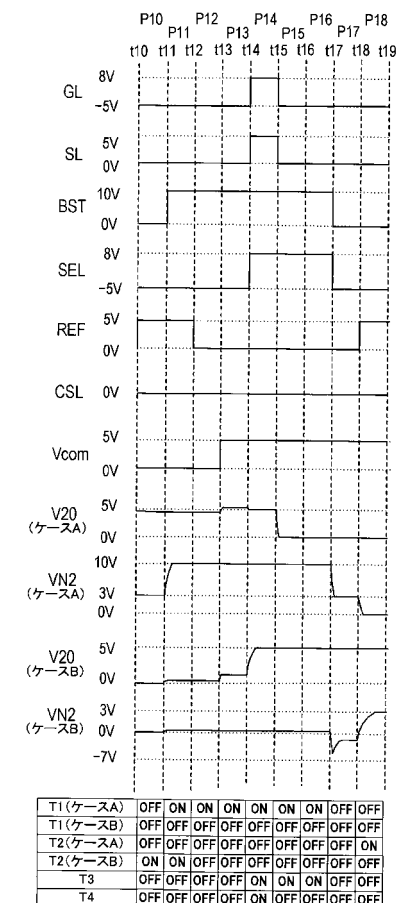
【図 19】



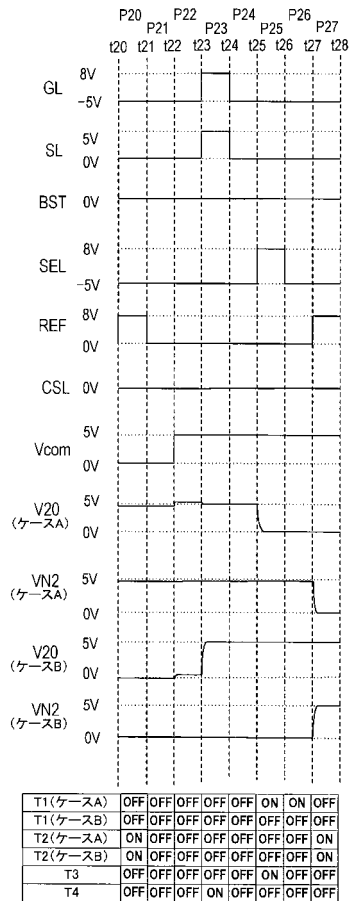
【図 20】



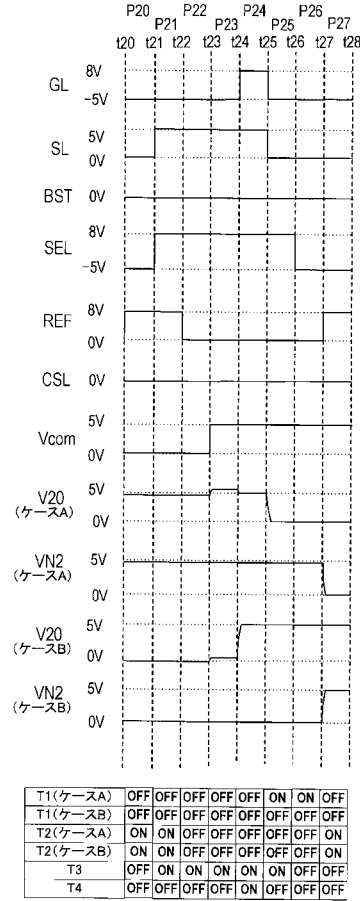
【図 21】



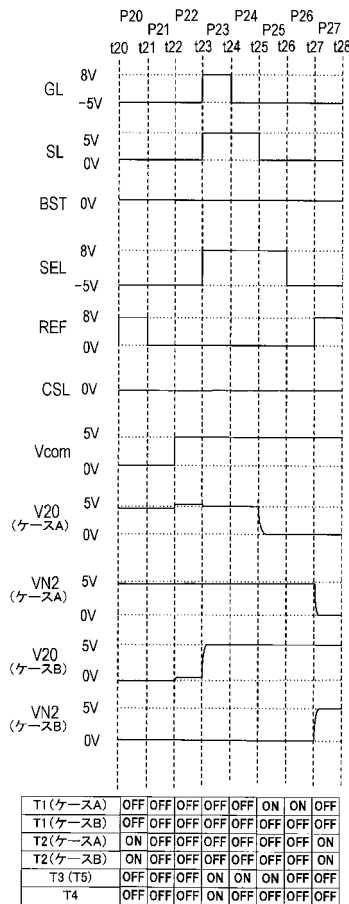
【図 2 2】



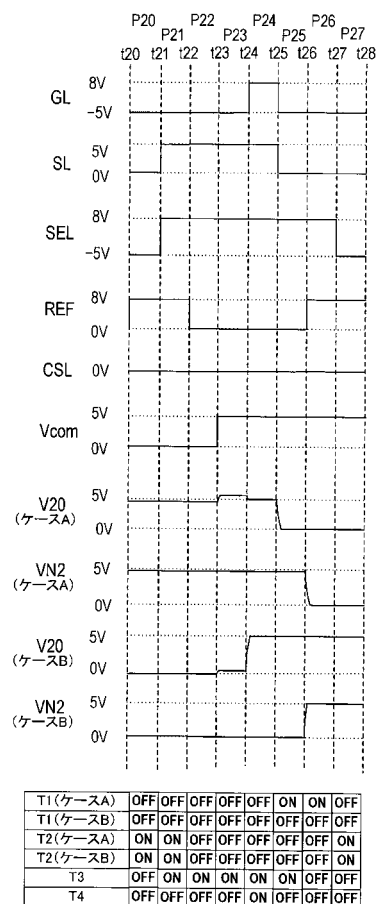
【図 2 3】



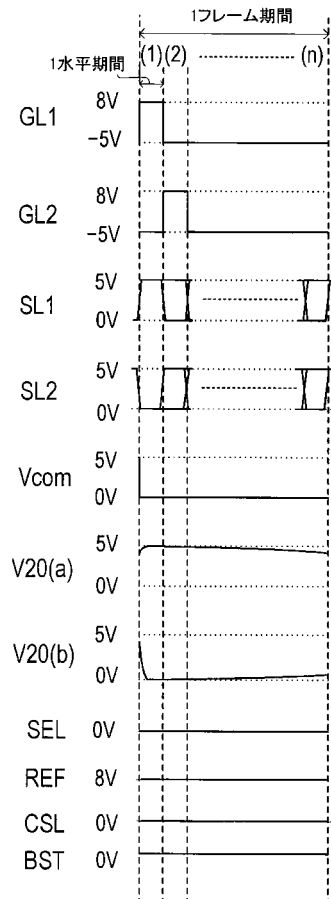
【図 2 4】



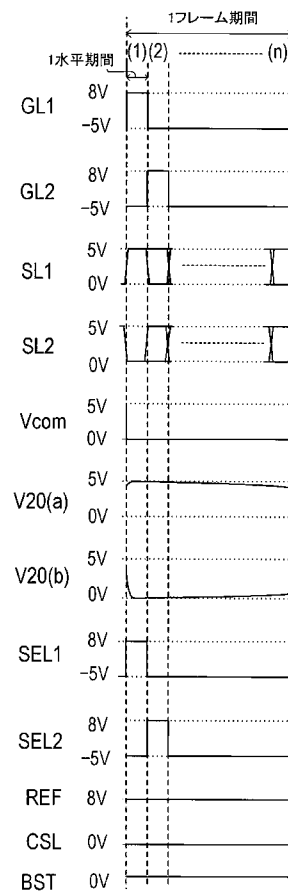
【図 2 5】



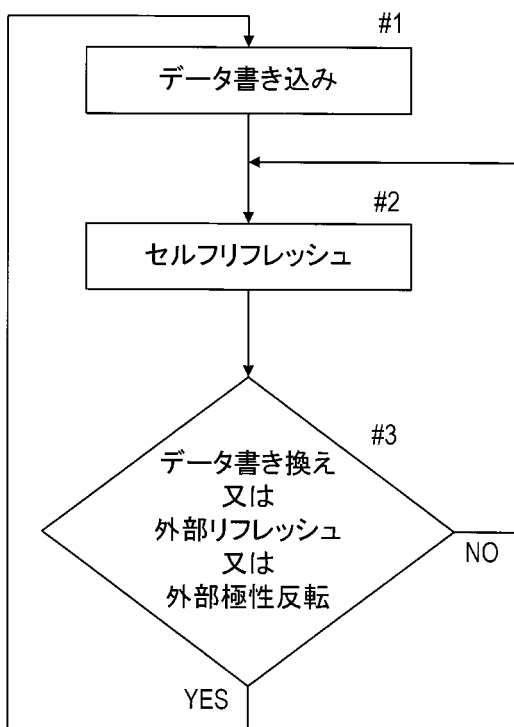
【図 26】



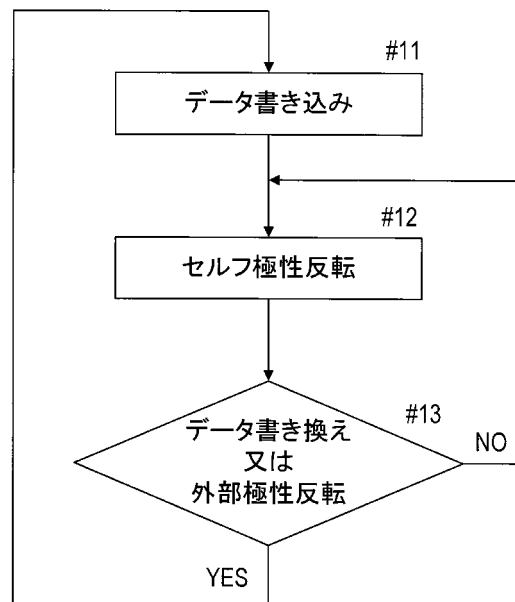
【図 27】



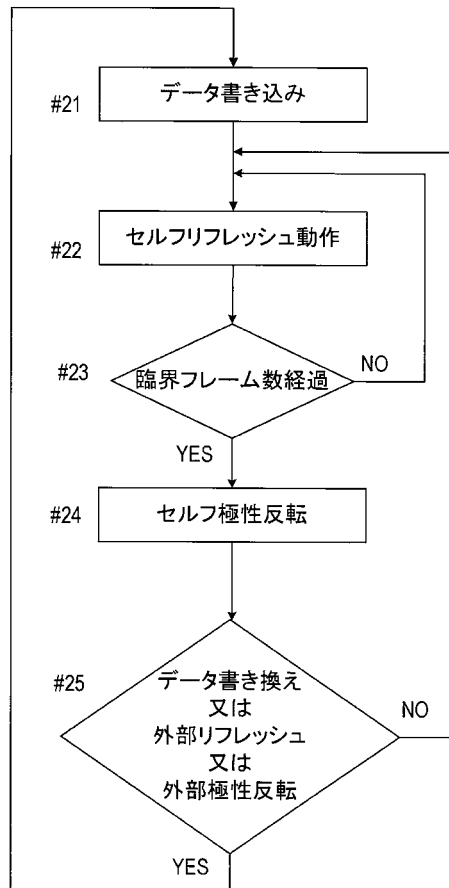
【図 28】



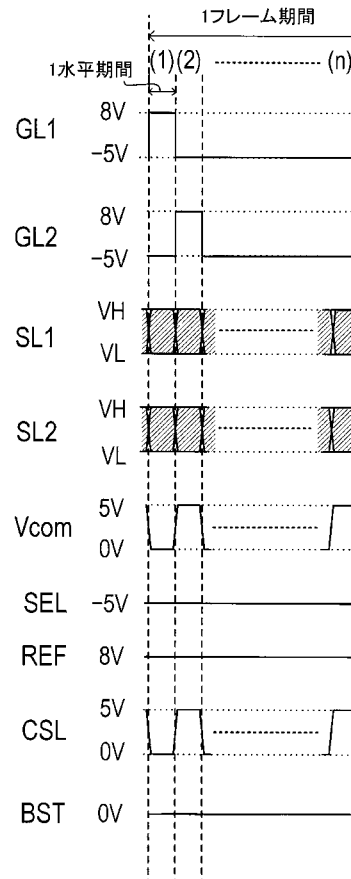
【図 29】



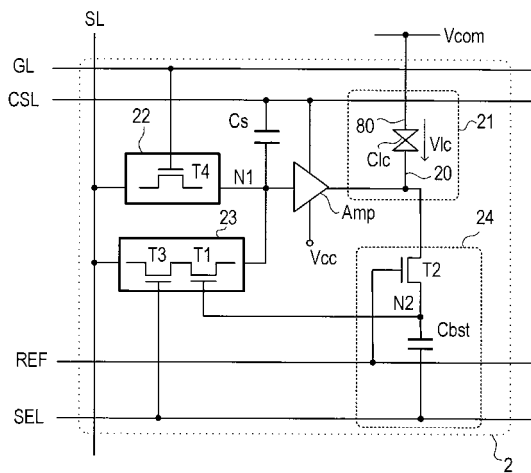
【図 3 0】



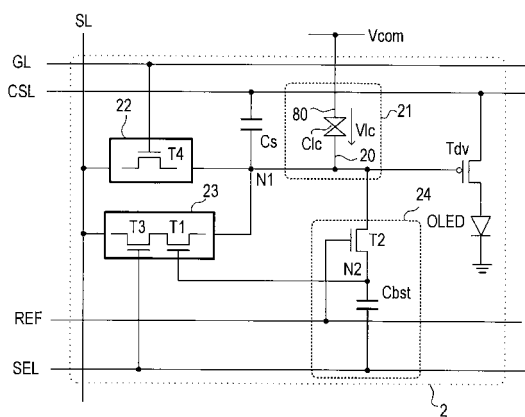
【図 3 1】



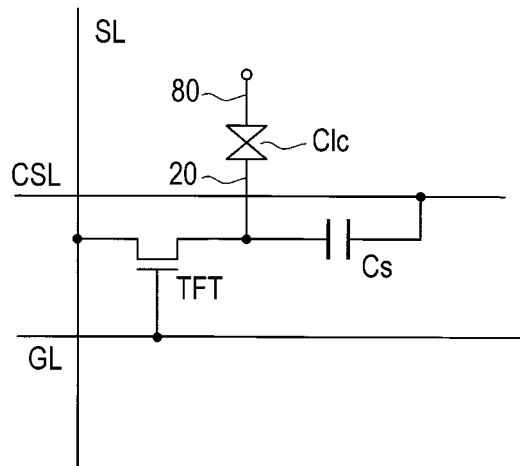
【図 3 2】



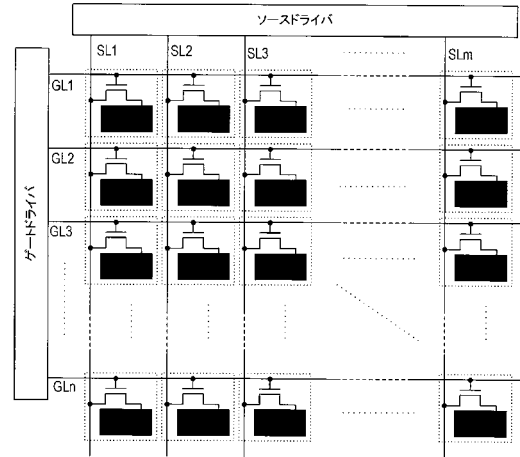
【図 3 3】



【図 34】



【図 35】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 2 1 K
G 0 9 G	3/20	6 2 2 R
G 0 9 G	3/20	6 2 3 U
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5

(56)参考文献 特開 2 0 0 6 - 3 4 3 5 6 3 (J P , A)

特開 2 0 0 4 - 2 1 2 9 2 4 (J P , A)

特開 2 0 0 5 - 0 1 8 0 8 8 (J P , A)

特開平 0 4 - 0 6 0 5 8 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

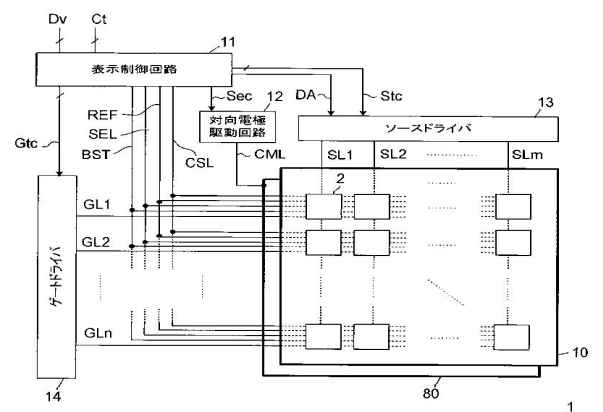
G 0 2 F 1 / 1 3 3

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP5346381B2	公开(公告)日	2013-11-20
申请号	JP2011529840	申请日	2010-05-24
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	山内祥光		
发明人	山内 祥光		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3659 G02F1/13624 G09G2300/0852		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.624.B G09G3/20.621.B G09G3/20.624.D G09G3/20.624.E G09G3/20.621.K G09G3/20.622.R G09G3/20.623.U G02F1/133.550 G02F1/133.525		
审查员(译)	中村直之		
优先权	2009206474 2009-09-07 JP		
其他公开文献	JPWO2011027600A1		
外部链接	Espacenet		

摘要(译)

本发明提供一种显示装置，其能够在不降低开口率的情况下实现功耗的降低。液晶电容元件（Clc）通过夹在像素电极（20）和对电极（80）之间而形成。将对电压（Vcom）施加到对电极（80）。像素电极（20），第一开关电路（22）的一端，第二开关电路（23）的一端和第二晶体管（T2）的第一端子形成内部节点N1。第一开关电路（22）和第二开关电路（23）将另一端连接到源极线（SL）。第二开关电路（23）由晶体管（T1）和晶体管（T3）的串联电路形成，并且包括晶体管（T1）的控制端子，晶体管（T2）的第二端子和升压电容元件（Cbst）。一端形成输出节点（N2）。升压电容元件（Csbst）的另一端连接到升压线（BST），晶体管（T2）的控制端子连接到参考线（REF），并且晶体管（T3）的控制端子连接到选择线（SEL）。

【 図 1 】



【 図 2 】