

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5346380号
(P5346380)

(45) 発行日 平成25年11月20日 (2013.11.20)

(24) 登録日 平成25年8月23日 (2013.8.23)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 641C

G09G 3/20 624B

G09G 3/20 611J

G09G 3/20 621A

請求項の数 34 (全 91 頁) 最終頁に続く

(21) 出願番号 特願2011-529839 (P2011-529839)

(86) (22) 出願日 平成22年5月24日 (2010.5.24)

(86) 国際出願番号 PCT/JP2010/058743

(87) 国際公開番号 W02011/027599

(87) 国際公開日 平成23年3月10日 (2011.3.10)

審査請求日 平成24年2月21日 (2012.2.21)

(31) 優先権主張番号 特願2009-206473 (P2009-206473)

(32) 優先日 平成21年9月7日 (2009.9.7)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100114476

弁理士 政木 良文

(72) 発明者 山内 祥光

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を經由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第1スイッチ回路と、

所定の電圧供給線に供給される電圧を、前記所定のスイッチ素子を經由せずに前記内部ノードに転送する第2スイッチ回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第1容量素子の一端に保持すると共に、前記第2スイッチ回路の導通非導通を制御する制御回路と、を備えてなり、

第1端子、第2端子、並びに、前記第1及び第2端子間の導通を制御する制御端子を有する第1～第3トランジスタ素子のうち、前記第1及び第3トランジスタ素子を前記第2スイッチ回路が、前記第2トランジスタ素子を前記制御回路がそれぞれ有し、

前記第2スイッチ回路は、前記第1トランジスタ素子と前記第3トランジスタ素子の直列回路で構成され、

前記制御回路は、前記第2トランジスタ素子と前記第1容量素子の直列回路で構成され、

前記第1スイッチ回路の一端が前記データ信号線に接続し、

10

20

前記第 2 スイッチ回路の一端が前記電圧供給線に接続し、
前記第 1 及び第 2 スイッチ回路の各他端、及び前記第 2 トランジスタ素子の第 1 端子が前記内部ノードに接続し、
前記第 1 トランジスタ素子の制御端子、前記第 2 トランジスタ素子の第 2 端子、及び前記第 1 容量素子の一端が相互に接続し、
前記第 2 トランジスタ素子の制御端子が第 1 制御線に接続し、
前記第 3 トランジスタ素子の制御端子が第 2 制御線に接続し、
前記第 1 容量素子の他端が、前記第 2 制御線又は第 3 制御線に接続していることを特徴とする画素回路。

【請求項 2】

10

前記第 1 制御線が、前記電圧供給線として兼用されることを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

一端が前記内部ノードに接続し、他端が第 4 制御線又は所定の固定電圧線に接続する第 2 容量素子を更に備えることを特徴とする請求項 1 に記載の画素回路。

【請求項 4】

一端が前記内部ノードに接続し、他端が第 4 制御線に接続する第 2 容量素子を更に備え、
前記第 4 制御線が、前記電圧供給線として兼用されることを特徴とする請求項 1 に記載の画素回路。

20

【請求項 5】

前記所定のスイッチ素子が、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子で構成され、

前記第 4 トランジスタ素子の制御端子が走査信号線にそれぞれ接続していることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の画素回路。

【請求項 6】

前記第 1 スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成であることを特徴とする請求項 5 に記載の画素回路。

【請求項 7】

前記第 1 スイッチ回路が、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記所定のスイッチ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記所定のスイッチ素子との直列回路で構成されることを特徴とする請求項 5 に記載の画素回路。

30

【請求項 8】

請求項 1 に記載の画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を 1 本ずつ備えており、

同一列に配置される前記画素回路は、前記第 1 スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 2 トランジスタ素子の制御端子が共通の前記第 1 制御線に接続し、

40

同一行又は同一列に配置される前記画素回路は、前記第 3 トランジスタ素子の制御端子が共通の前記第 2 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 1 容量素子の前記他端が共通の前記第 2 制御線又は前記第 3 制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1 及び第 2 制御線を各別に駆動する制御線駆動回路を備え、

前記第 1 制御線が前記電圧供給線として兼用される場合、又は前記電圧供給線が独立した配線である場合は、前記制御線駆動回路が前記電圧供給線を駆動し、

前記第 1 容量素子の他端が前記第 3 制御線に接続する場合は、前記制御線駆動回路が前

50

記第 3 制御線を駆動することを特徴とする表示装置。

【請求項 9】

前記電圧供給線が独立した配線である場合において、

同一行又は同一列に配置される前記画素回路は、前記第 2 スイッチ回路の一端が共通の前記電圧供給線と接続していることを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

前記第 1 スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成であると共に、前記所定のスイッチ素子は、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子であって、前記第 1 端子が前記内部ノードに、第 2 端子が前記データ信号線に、制御端子が走査信号線にそれぞれ接続する構成であり、

10

前記行毎に前記走査信号線を 1 本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする請求項 8 又は 9 に記載の表示装置。

【請求項 11】

前記所定のスイッチ素子が、第 1 端子、第 2 端子、及び前記両端子間の導通を制御する制御端子を有する第 4 トランジスタ素子で構成され、

前記第 1 スイッチ回路が、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成され、

20

前記行毎に走査信号線と前記第 2 制御線をそれぞれ 1 本ずつ備えており、

前記第 4 トランジスタ素子の制御端子が走査信号線に接続し、

同一行に配置される前記画素回路が、共通の前記走査信号線及び共通の前記第 2 制御線にそれぞれ接続し、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする請求項 8 又は 9 に記載の表示装置。

【請求項 12】

1 つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

30

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態にし、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに対して、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする請求項 10 に記載の表示装置。

【請求項 13】

前記書き込み動作時に、

40

前記制御線駆動回路は、前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加することを特徴とする請求項 12 に記載の表示装置。

【請求項 14】

前記書き込み動作時に、

前記制御線駆動回路は、前記第 1 制御線に前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加することを特徴とする請求項 12 に記載の表示装置。

【請求項 15】

前記書き込み動作時に、

前記制御線駆動回路が、前記第 1 制御線に前記第 2 トランジスタ素子を前記内部ノードの電圧状態にかかわらず導通状態とする所定の電圧を印加すると共に、前記電圧供給線に

50

前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とすることを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 6】

1 つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態にし、

前記制御線駆動回路が、前記選択行の前記第 2 制御線に前記第 3 トランジスタ素子を導通状態にする所定の選択用電圧を印加すると共に、前記非選択行の前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態にする所定の非選択用電圧を印加し、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 7】

前記書き込み動作時に、

前記制御線駆動回路は、前記第 1 制御線に前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加することを特徴とする請求項 1 6 に記載の表示装置。

【請求項 1 8】

前記電圧供給線が独立した配線である場合において、

1 つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、前記選択行の前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の選択用電圧を印加し、前記第 1 制御線に前記第 2 トランジスタ素子を前記内部ノードの電圧状態にかかわらず導通状態とする所定の電圧を印加し、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 9】

複数の前記画素回路に対して、前記第 2 スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態の場合には前記第 2 トランジスタ素子によって前記第 1 容量素子の一端から前記内部ノードに向けての電流が遮断され、第 2 電圧状態の場合には前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノ

10

20

30

40

50

ードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記電圧供給線に、前記第 1 電圧状態の前記画素データの電圧を供給することを特徴とする請求項 10 に記載の表示装置。

【請求項 20】

前記セルフリフレッシュ動作終了直後に待機状態に移行して、

前記制御線駆動回路が、前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態にする所定の電圧を印加すると共に、前記電圧パルスの印加を終了することを特徴とする請求項 19 に記載の表示装置。

10

【請求項 21】

前記待機状態において、

前記制御線駆動回路が、前記データ信号線に前記第 2 電圧状態の電圧を印加することを特徴とする請求項 20 に記載の表示装置。

【請求項 22】

前記セルフリフレッシュ動作を、前記セルフリフレッシュ動作期間より 10 倍以上長い前記待機状態を介して繰り返すことを特徴とする請求項 20 に記載の表示装置。

【請求項 23】

前記第 1 スイッチ回路が、前記第 4 トランジスタ素子以外のスイッチ素子を含まない構成である場合において、

20

前記セルフリフレッシュ動作対象の複数の前記画素回路を 1 又は複数の列単位に区分し、

少なくとも前記第 2 制御線、並びに前記第 1 容量素子の他端に接続する前記第 2 制御線若しくは前記第 3 制御線を、前記区分毎に駆動可能に設け、

前記制御線駆動回路が、前記セルフリフレッシュ動作の対象でない区分に対し、前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に前記電圧パルスを印加せず、

前記セルフリフレッシュ動作対象の前記区分を順次切り替えて、前記セルフリフレッシュ動作を前記区分毎に分割して実行することを特徴とする請求項 19 項に記載の表示装置。

30

【請求項 24】

前記画素回路は、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を含まず、且つ前記第 1 容量素子の他端が前記第 3 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

40

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加

50

するか、或いは、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の初期電圧を印加し、
前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の電圧振幅の電圧パルス
を印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による
電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジ
スタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素
子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第
2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジ
スタ素子を非導通状態とし、

10

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トラ
ンジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画
素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記
第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、
前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加
している電圧を 2 つの電圧状態間で変化させ、

20

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加
を終了した後の所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とす
る所定の電圧を印加し、その後、前記第 1 容量素子の他端に接続する前記第 3 制御線へ
のパルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に
接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パル
スを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態
とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動
作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧
を印加する、一連の動作が実行されることを特徴とする請求項 10 に記載の表示装置。

30

【請求項 25】

前記第 1 制御線が、前記電圧供給線として兼用される場合において、

前記初期状態設定動作後に、前記制御線駆動回路が、前記第 1 制御線に、前記内部ノ
ードの電圧状態に関係なく、前記第 2 トランジスタ素子を非導通状態とする前記所定の電圧
として、前記第 2 電圧状態の電圧を印加することを特徴とする請求項 24 に記載の表示装
置。

【請求項 26】

前記画素回路は、一端が前記内部ノードに接続し、他端が第 4 制御線に接続する第 2 容
量素子を備えており、

40

前記第 4 制御線が前記電圧供給線として兼用される場合において、

前記制御線駆動回路が、前記セルフ極性反転動作の期間中、前記第 2 電圧状態の電圧を
前記第 4 制御線に印加し続けることを特徴とする請求項 24 に記載の表示装置。

【請求項 27】

前記画素回路は、前記電圧供給線が前記第 1 ~ 第 3 制御線と兼用されることなく独立し
た配線であり、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を
含まず、且つ前記第 1 容量素子の他端が前記第 3 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持
された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介し

50

て接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 2 制御線及び前記第 3 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とすると共に、前記第 3 トランジスタ素子を導通状態とし

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間経過後、前記第 2 制御線及び前記第 3 制御線への電圧パルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする電圧パルスの印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 10 に記載の表示装置。

【請求項 28】

前記画素回路は、前記電圧供給線が前記第 1 ～ 第 2 制御線と兼用されることなく独立した配線であり、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を含まず、且つ前記第 1 容量素子の他端が前記第 2 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介し

10

20

30

40

50

て接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第1スイッチ回路と前記第2スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第4トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第1制御線に、前記内部ノードが保持する2値の画素データの電圧状態が第1電圧状態又は第2電圧状態のいずれであるかに応じて、前記第1容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第2制御線に前記第3トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは、前記電圧供給線に前記第1トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第2スイッチ回路を非導通状態とし、

前記第2制御線及び前記電圧供給線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第2制御線に所定の電圧振幅の電圧パルスを印加して、前記第1容量素子の一端に対して前記第1容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第1電圧状態の場合には前記第2トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第1トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第2電圧状態の場合には、前記第2トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第1トランジスタ素子を非導通状態とし、

その後、前記第1制御線に、前記内部ノードの電圧状態に関係なく前記第2トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第4トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第2トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を2つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間経過後、前記第2制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第1電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第2制御線に対し前記第3トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第2電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項10に記載の表示装置。

【請求項29】

前記画素回路は、前記電圧供給線が前記第1～第3制御線と兼用されることなく独立した配線であり、且つ前記第1スイッチ回路が前記第3トランジスタ素子と前記第4トランジスタ素子との直列回路、又は前記第2スイッチ回路内の前記第3トランジスタ素子の制御端子に制御端子が接続する第5トランジスタと前記第4トランジスタ素子との直列回路で構成され、且つ前記第1容量素子の他端が前記第3制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介し

10

20

30

40

50

て接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 3 制御線及び前記電圧供給線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の電圧振幅の電圧パルス
を印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による
電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジ
スタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素
子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第
2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジ
スタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記電圧パルス印加時から当該パルス印加終了後までの所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、その後、前記第 1 容量素子の他端に接続する前記第 3 制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、

前記走査信号線駆動回路によって前記電圧パルスを印加され、前記データ信号線に前記第 1 電圧状態の電圧が印加されている間、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 1 電圧状態の電圧を印加した後、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 11 に記載の表示装置。

【請求項 30】

前記画素回路は、前記電圧供給線が前記第 1 ～ 第 3 制御線と兼用されことなく独立し

10

20

30

40

50

た配線であり、且つ前記第 1 スイッチ回路が前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成され、且つ前記第 1 容量素子の他端が前記第 3 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 3 制御線及び前記電圧供給線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 2 制御線及び前記第 3 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間経過後、前記第 2 制御線及び前記第 3 制御線への電圧パルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、

前記走査信号線駆動回路によって前記電圧パルスを印加され、前記データ信号線に前記第 1 電圧状態の電圧が印加されている間、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 1 電圧状態の電圧を印加した後、前記

10

20

30

40

50

第2制御線及び前記第3制御線への前記電圧パルスの印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第2電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項1に記載の表示装置。

【請求項31】

前記画素回路は、前記電圧供給線が前記第1～第2制御線と兼用されることなく独立した配線であり、且つ前記第1スイッチ回路が前記第3トランジスタ素子と前記第4トランジスタ素子との直列回路、又は前記第2スイッチ回路内の前記第3トランジスタ素子の制御端子に制御端子が接続する第5トランジスタと前記第4トランジスタ素子との直列回路で構成され、且つ前記第1容量素子の他端が前記第2制御線に接続される構成であって、

10

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第1スイッチ回路と前記第2スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第4トランジスタ素子を非導通状態とし、

20

前記制御線駆動回路が、

前記第1制御線に、前記内部ノードが保持する2値の画素データの電圧状態が第1電圧状態又は第2電圧状態のいずれであるかに応じて、前記第1容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第2制御線に、前記第3トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記電圧供給線に前記第1トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第2スイッチ回路を非導通状態とし、

前記初期状態設定動作後に、

前記制御線駆動回路が、

30

前記第1容量素子の他端に接続する前記第2制御線に所定の電圧振幅の電圧パルスを印加して、前記第1容量素子の一端に対して前記第1容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第1電圧状態の場合には前記第2トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第1トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第2電圧状態の場合には、前記第2トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第1トランジスタ素子を非導通状態とし、

その後に、前記第1制御線に、前記内部ノードの電圧状態に関係なく前記第2トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第4トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

40

前記対向電極電圧供給回路が、前記第2トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を2つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間経過後、前記第2制御線への電圧パルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第1電圧状態の電圧を印加し、

50

前記制御線駆動回路が、

前記走査信号線駆動回路によって前記電圧パルスを印加され、前記データ信号線に前記第 1 電圧状態の電圧が印加されている間、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 1 電圧状態の電圧を印加した後、前記第 2 制御線への前記電圧パルスの印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 1 1 に記載の表示装置。

【請求項 3 2】

前記画素回路は、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を含まず、且つ前記第 1 容量素子の他端が前記第 3 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、前記第 1 容量素子の一端の電圧値の差によって、前記第 1 トランジスタ素子の第 1 又は第 2 端子の電圧を前記第 2 電圧状態とした場合に、前記内部ノードが前記第 1 電圧状態の場合に前記第 1 トランジスタ素子が導通状態となり、前記内部ノードが前記第 2 電圧状態の場合に前記第 1 トランジスタ素子が非導通状態となる所定の電圧を印加し、

前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは、前記電圧供給線が独立した配線である場合において、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが前記第 1 電圧状態または前記第 2 電圧状態のいずれであっても、前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パル

10

20

30

40

50

スを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 10 に記載の表示装置。

【請求項 33】

前記画素回路は、前記電圧供給線が前記第 1 ～ 第 3 制御線と兼用されることなく独立した配線であり、前記第 1 容量素子の他端が前記第 3 制御線に接続し、且つ前記第 1 スイッチ回路が前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成され、

10

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

20

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の初期電圧を印加し、

30

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルス印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

40

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記電圧パルス印加時から当該パルス印加終了した所定期間経過後までの間、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする請求項 11 に記載の表示装置。

50

【請求項 3 4】

前記画素回路は、一端を前記内部ノードに接続し、他端を固定電圧線に接続する第 2 容量素子を備えている場合において、

前記走査信号線駆動回路が前記電圧パルスの印加を終了した後、前記電圧パルスの印加終了時に生じる前記内部ノードの電圧変動を、前記固定電圧線の電圧を調整することにより、補償することを特徴とする請求項 2 4 ~ 3 3 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、画素回路及びこれを備えた表示装置に関し、特にアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

携帯電話や携帯型ゲーム機等の携帯用端末は、その表示手段として液晶表示装置を用いるのが一般的である。また、携帯電話等は、バッテリーで駆動されることから、消費電力の低減が強く要請される。このため、時刻や電池残量といった常時表示を必要とする情報については、反射型サブパネルに表示している。また、最近では、同一メインパネルにて、フルカラー表示による通常表示と反射型での常時表示との両立が要求されるようになってきている。

20

【0003】

図 4 9 に、一般的なアクティブマトリクス型の液晶表示装置の画素回路の等価回路を示す。また、図 5 0 に、 $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示す。なお、 m 、 n はいずれも 2 以上の整数である。

【0004】

図 5 0 に示すように、 m 本のソース線 $SL1$ 、 $SL2$ 、...、 SLm と、 n 本の走査線 $GL1$ 、 $GL2$ 、...、 GLn の各交点に、薄膜トランジスタ (TFT) からなるスイッチ素子を設ける。図 4 9 では、各ソース線 $SL1$ 、 $SL2$ 、...、 SLm を、ソース線 SL で代表し、同様に、各走査線 $GL1$ 、 $GL2$ 、...、 GLn を代表して GL と符号を付している。

30

【0005】

図 4 9 に示すように、TFT を介して液晶容量素子 $C1c$ と補助容量素子 Cs が並列に接続されている。液晶容量素子 $C1c$ は画素電極 20 と対向電極 80 の間に液晶層を設けた積層構造で構成される。対向電極は共通 (コモン) 電極とも呼ばれる。

【0006】

なお、図 5 0 では、各画素回路については、簡略的に TFT と画素電極 (黒色の矩形部分) だけを表示している。

【0007】

補助容量素子 Cs は、一端 (一方の電極) が画素電極 20 に、他端 (他方の電極) が補助容量線 CSL に接続しており、画素電極 20 に保持される画素データの電圧を安定化する。補助容量素子 Cs は、TFT においてリーク電流が発生すること、液晶分子の有する誘電率異方性により黒表示と白表示で液晶容量素子 $C1c$ の電気容量が変動すること、及び、画素電極と周辺配線間の寄生容量を介して電圧変動が生じること、等に起因して、画素電極に保持する画素データの電圧が変動するのを抑制する効果がある。走査線の電圧を順次制御することで、1 本の走査線に接続する TFT が導通状態となり、走査線単位で各ソース線に供給される画素データの電圧が対応する画素電極に書き込まれる。

40

【0008】

フルカラー表示による通常表示では、表示内容が静止画の場合でも、1 フレーム毎に、同じ画素に同じ表示内容が繰り返し書き込まれる。このように、画素電極に保持する画素

50

データの電圧が更新されることで、画素データの電圧変動が最小限に抑制され、高品質な静止画の表示が担保される。

【 0 0 0 9 】

液晶表示装置を駆動するための消費電力は、ソースドライバによるソース線駆動のための消費電力にほぼ支配され、概ね、以下の数 1 に示す関係式によって表される。なお、数 1 において、 P は消費電力、 f はリフレッシュレート（単位時間当たりの 1 フレーム分のリフレッシュ動作回数）、 C はソースドライバによって駆動される負荷容量、 V はソースドライバの駆動電圧、 n は走査線数、 m はソース線数をそれぞれ示す。ここで、リフレッシュ動作とは、表示内容を保持しながらソース線を介して画素電極に対して電圧を印加する動作を指す。

10

【 0 0 1 0 】

（数 1）

$$P = f \cdot C \cdot V^2 \cdot n \cdot m$$

【 0 0 1 1 】

ところで、常時表示の場合は、表示内容が静止画であることから、必ずしも画素データの電圧を 1 フレーム毎に更新する必要はない。このため、液晶表示装置の消費電力を更に低減するために、この常時表示時のリフレッシュ周波数を下げることが行われている。しかし、リフレッシュ周波数を下げると、TFT のリーク電流により、画素電極に保持されている画素データ電圧が変動する。当該電圧変動が、各画素の表示輝度（液晶の透過率）の変動となり、フリッカとして観測されるようになる。また、各フレーム期間における平均電位も低下するので、十分なコントラストを得られない等の表示品位の低下を招くおそれもある。

20

【 0 0 1 2 】

ここで、電池残量や時刻表示等の静止画の常時表示において、リフレッシュ周波数の低下により表示品質が低下する問題の解決と低消費電力化とを同時に実現する方法として、例えば、下記特許文献 1 に記載の構成が開示されている。特許文献 1 に開示の構成では、透過型と反射型の両機能による液晶表示が可能であり、更に、反射型による液晶表示が可能な画素領域内の画素回路にはメモリ部を有している。このメモリ部は、反射型液晶の表示部において表示すべき情報を電圧信号として保持している。反射型による液晶表示時には、画素回路がメモリ部内に保持された電圧を読み出すことで、当該電圧に応じた情報を表示する。

30

【 0 0 1 3 】

特許文献 1 では、上記メモリ部が S R A M で構成されており、上記電圧信号が静的に保持されるため、リフレッシュ動作が不要となり、表示品質の維持と低消費電力化が同時に実現できる。

【先行技術文献】

【特許文献】

【 0 0 1 4 】

【特許文献 1】特開 2 0 0 7 - 3 3 4 2 2 4 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【 0 0 1 5 】

しかし、携帯電話等で使用される液晶表示装置において、上記のような構成を採用した場合には、通常動作時にアナログ情報としての各画素データの電圧を保持するための補助容量素子に加えて、画素データを記憶するためのメモリ部を画素毎或いは画素群毎に備える必要がある。これにより、液晶表示装置における表示部を構成するアレイ基板（アクティブマトリクス基板）に形成すべき素子数や信号線数が増えるため、透過モードでの開口率が低下する。また、液晶を交流駆動するための極性反転駆動回路を上記メモリ部と共に設ける場合には、更に開口率の低下を招く。このように素子数や信号線数の増加によって開口率が低下すると通常表示モードでの表示画像の輝度が低下する。

50

【 0 0 1 6 】

液晶表示装置では、常時表示による静止画の表示において、画素電極における電圧変動の問題に加えて、画素電極と対向電極間に同一極性の電圧を印加し続けると、液晶層中に含まれる微量のイオン性不純物が画素電極と対向電極のいずれか一方側に集まり、これによって表示画面全体に焼き付きが発生するという問題が生じる。このため、上記リフレッシュ動作に加えて、画素電極と対向電極間に印加する電圧の極性を反転させる極性反転動作が必要となる。

【 0 0 1 7 】

通常表示及び常時表示のいずれの場合も、静止画の表示において、当該極性反転動作では、1フレーム分の画素データをフレームメモリに記憶しておき、当該画素データに応じた電圧を、対向電極を基準とした極性を都度反転させながら繰り返し書き込む動作を行う。このため、上述のように、外部から走査線とソース線を駆動し、走査線単位で各ソース線に供給される画素データの電圧を各画素電極に書き込む動作が必要となる。

10

【 0 0 1 8 】

従って、低消費電力動作が要求される常時表示において、外部から走査線とソース線を駆動して極性反転動作を行うと、画素電極の電圧振幅が上述のリフレッシュ動作に比べて大きいため、更に大きな電力消費を伴うことになる。

【 0 0 1 9 】

本発明は、上記の問題点に鑑みてなされたもので、その目的は、開口率の低下を招くことなく低消費電力で液晶の劣化及び表示品質の低下を防止できる画素回路及び表示装置を提供する点にある。

20

【課題を解決するための手段】

【 0 0 2 0 】

上記の目的を達成すべく、本発明に係る画素回路は、以下のような構成とする点に特徴がある。

【 0 0 2 1 】

まず、本発明に係る画素回路は、

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

30

少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第1スイッチ回路と、

前記データ信号線から供給される電圧を、前記所定のスイッチ素子を経由せずに前記内部ノードに転送する第2スイッチ回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第1容量素子の一端に保持すると共に、前記第2スイッチ回路の導通非導通を制御する制御回路と、を備えている。

【 0 0 2 2 】

この画素回路は、第1端子、第2端子、並びに、前記第1及び第2端子間の導通を制御する制御端子を有する第1～第3トランジスタ素子を備えており、これらのうち、第1及び第3トランジスタ素子を第2スイッチ回路内に、第2トランジスタ素子を制御回路内にそれぞれ備えている。第2スイッチ回路は、第1トランジスタ素子と第3トランジスタ素子の直列回路で構成されており、制御回路は、第2トランジスタ素子と第1容量素子の直列回路で構成されている。

40

【 0 0 2 3 】

第1スイッチ回路は、一端をデータ信号線に接続し、第2スイッチ回路は、一端を電圧供給線に接続する。これらの両スイッチ回路は、各他端をいずれも内部ノードに接続する。この内部ノードには、第2トランジスタ素子の第1端子も接続している。

【 0 0 2 4 】

第1トランジスタ素子の制御端子、第2トランジスタ素子の第2端子、第1容量素子の

50

一端が相互に接続してノード（出力ノード）を形成している。また、第2トランジスタ素子の制御端子が第1制御線に接続し、第3トランジスタ素子の制御端子が第2制御線に接続している。更に、第1容量素子の他端、前記ノードを形成しない側の端子が、第2制御線又は第3制御線に接続している。

【0025】

電圧供給線は、独立した信号線とすることもできるし、第1制御線によって兼ねることもできる。

【0026】

この構成に加え、一端が前記内部ノードに接続し、他端が第4制御線又は所定の固定電圧線に接続する第2容量素子を更に備えるものとしても良い。このとき、第4制御線が電圧供給線を兼ねることもできる。

10

【0027】

また、前記所定のスイッチ素子は、第1端子、第2端子、並びに前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子で構成され、

前記第4トランジスタ素子は、第1端子が前記内部ノードに、第2端子が前記データ信号線又は前記第3トランジスタ素子の第1端子に、制御端子が走査信号線にそれぞれ接続する構成とするのも好適である。

【0028】

また、前記第1スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成とするのも好適である。

20

【0029】

また、前記第1スイッチ回路が、前記第2スイッチ回路内の前記第3トランジスタ素子と前記所定のスイッチ素子との直列回路、又は前記第2スイッチ回路内の前記第3トランジスタ素子の制御端子に制御端子が接続する第5トランジスタと前記所定のスイッチ素子との直列回路で構成されるのも好適である。

【0030】

更に、本発明に係る表示装置は、上記の特徴を有する画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を1本ずつ備えており、

同一列に配置される前記画素回路は、前記第1スイッチ回路の一端が共通の前記データ信号線に接続し、

30

同一行又は同一列に配置される前記画素回路は、前記第2トランジスタ素子の制御端子が共通の前記第1制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第3トランジスタ素子の制御端子が共通の前記第2制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第1容量素子の前記他端が共通の前記第2制御線又は前記第3制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第1及び第2制御線を各別に駆動する制御線駆動回路を備え、

前記第1制御線が前記電圧供給線として兼用される場合、又は前記電圧供給線が独立した配線である場合は、前記制御線駆動回路が前記電圧供給線を駆動し、

40

前記第1容量素子の他端が前記第3制御線に接続する場合は、前記制御線駆動回路が前記第3制御線を駆動することを特徴とする。

【0031】

また、画素回路において、一端が前記内部ノードに接続し、他端が第4制御線に接続する第2容量素子を更に備える場合、この第4制御線についても前記制御線駆動回路が駆動するものとして良い。

【0032】

上記構成に加え、前記電圧供給線が独立した配線である場合において、

同一行又は同一列に配置される前記画素回路は、前記第2スイッチ回路の一端が共通の

50

前記電圧供給線と接続する構成とするのも好適である。

【 0 0 3 3 】

ここで、前記所定のスイッチ素子が、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子で構成され、

前記第 4 トランジスタ素子の制御端子が走査信号線にそれぞれ接続する構成とするのが好適である。

【 0 0 3 4 】

前記第 1 スイッチ回路は、前記所定のスイッチ素子以外のスイッチ素子を含まない構成としても良いし、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記所定のスイッチ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記所定のスイッチ素子との直列回路で構成されるものとしても良い。

【 0 0 3 5 】

本発明の表示装置は、上記の特徴を有した画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を 1 本ずつ備えており、

同一列に配置される前記画素回路は、前記第 1 スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 2 トランジスタ素子の制御端子が共通の前記第 1 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 3 トランジスタ素子の制御端子が共通の前記第 2 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 1 容量素子の前記他端が共通の前記第 2 制御線又は前記第 3 制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1 及び第 2 制御線を各別に駆動する制御線駆動回路を備え、

前記第 1 制御線が前記電圧供給線として兼用される場合、又は前記電圧供給線が独立した配線である場合は、前記制御線駆動回路が前記電圧供給線を駆動し、

前記第 1 容量素子の他端が前記第 3 制御線に接続する場合は、前記制御線駆動回路が前記第 3 制御線を駆動することを特徴とする。

【 0 0 3 6 】

このとき、前記電圧供給線が独立した配線である場合、同一行又は同一列に配置される前記画素回路は、前記第 2 スイッチ回路の一端が共通の前記電圧供給線に接続するものとして良い。

【 0 0 3 7 】

また、上記の特徴に加えて、前記第 1 スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成であると共に、前記所定のスイッチ素子は、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子であって、前記第 1 端子が前記内部ノードに、第 2 端子が前記データ信号線に、制御端子が走査信号線にそれぞれ接続する構成である場合、

前記行毎に前記走査信号線を 1 本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続し、前記走査信号線を各別に駆動する走査信号線駆動回路を備える構成とするのが好適である。

【 0 0 3 8 】

一方、前記所定のスイッチ素子が、第 1 端子、第 2 端子、及び前記両端子間の導通を制御する制御端子を有する第 4 トランジスタ素子で構成されると共に、前記第 1 スイッチ回路が、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成される場合、

前記行毎に走査信号線と前記第 2 制御線をそれぞれ 1 本ずつ備えており、
前記第 4 トランジスタ素子の制御端子が走査信号線に接続し、
同一行に配置される前記画素回路が、共通の前記走査信号線及び共通の前記第 2 制御線にそれぞれ接続し、
前記走査信号線を各別に駆動する走査信号線駆動回路を備える構成とするのが好適である。

【 0 0 3 9 】

また、本発明の表示装置は、1 つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態にし、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに対して、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする。

【 0 0 4 0 】

この書き込み動作時に、前記制御線駆動回路は、前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するのも好適である。

【 0 0 4 1 】

また、この書き込み動作時に、前記制御線駆動回路は、前記第 1 制御線に前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加するのも好適である。

【 0 0 4 2 】

また、この書き込み動作時に、

前記制御線駆動回路が、前記第 1 制御線に前記第 2 トランジスタ素子を前記内部ノードの電圧状態にかかわらず導通状態とする所定の電圧を印加すると共に、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とするのも好適である。

【 0 0 4 3 】

また、本発明の表示装置は、

前記第 1 スイッチ回路が、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成される場合、

1 つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第 4 トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第 4 トランジスタ素子を非導通状態にし、

前記制御線駆動回路が、前記選択行の前記第 2 制御線に前記第 3 トランジスタ素子を導通状態にする所定の選択用電圧を印加すると共に、前記非選択行の前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態にする所定の非選択用電圧を印加し、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする。

【 0 0 4 4 】

また、この書き込み動作時に、前記制御線駆動回路は、前記第 1 制御線に前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加するのも好適である。

【 0 0 4 5 】

また、本発明の表示装置は、

前記電圧供給線が独立した配線である場合において、

1つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第4トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第4トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、前記選択行の前記第2制御線に前記第3トランジスタ素子を導通状態とする所定の選択用電圧を印加し、前記第1制御線に前記第2トランジスタ素子を前記内部ノードの電圧状態にかかわらず導通状態とする所定の電圧を印加し、前記電圧供給線に前記第1トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第2スイッチ回路を非導通状態とし、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする。

【0046】

この書き込み動作時に、前記制御線駆動回路は、前記第1制御線に前記第2トランジスタ素子を導通状態とする所定の電圧を印加するのが好適である。

【0047】

更に、本発明の表示装置は、

複数の前記画素回路に対して、前記第2スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第4トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第1制御線に、前記内部ノードが保持する2値の画素データの電圧状態が第1電圧状態の場合には前記第2トランジスタ素子によって前記第1容量素子の一端から前記内部ノードに向けての電流が遮断され、第2電圧状態の場合には前記第2トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第2制御線に、前記第3トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第1容量素子の他端に接続する前記第2制御線又は前記第3制御線に所定の電圧振幅の電圧パルスを印加して、前記第1容量素子の一端に対して前記第1容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第1電圧状態の場合には前記電圧変化が抑制されずに前記第1トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第2電圧状態の場合には前記電圧変化が抑制されて前記第1トランジスタ素子を非導通状態とし、

前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記電圧供給線に、前記第1電圧状態の前記画素データの電圧を供給することを特徴とする。

【0048】

上記の構成において、セルフリフレッシュ動作終了直後に待機状態に移行して、

前記制御線駆動回路が、前記第2制御線に、前記第3トランジスタ素子を非導通状態にする所定の電圧を印加すると共に、前記電圧パルスの印加を終了するものとするのも好適である。

【0049】

このとき、前記セルフリフレッシュ動作を、前記セルフリフレッシュ動作期間より10倍以上長い前記待機状態を介して繰り返すものとするのが好適である。

【0050】

また、前記待機状態において、

前記制御線駆動回路が、前記データ信号線に固定電圧を印加する構成とするのが好適で

10

20

30

40

50

ある。このとき、前記固定電圧として、前記第 2 電圧状態の電圧を印加するものとすることができる。

【 0 0 5 1 】

また、画素回路を構成する前記第 1 スイッチ回路が、前記第 4 トランジスタ素子以外のスイッチ素子を含まない構成である場合において、

前記セルフリフレッシュ動作対象の複数の前記画素回路を 1 又は複数の列単位に区分し、

少なくとも前記第 2 制御線、並びに前記第 1 容量素子の他端に接続する前記第 2 制御線若しくは前記第 3 制御線を、前記区分毎に駆動可能に設け、

前記制御線駆動回路が、前記セルフリフレッシュ動作の対象でない区分に対し、前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するするか、或いは、前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に前記電圧パルス

10

を印加せずに、前記セルフリフレッシュ動作対象の前記区分を順次切り替えて、前記セルフリフレッシュ動作を前記区分毎に分割して実行するものとしても構わない。

【 0 0 5 2 】

更に、本発明の表示装置は、

前記画素回路が、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を含まず、且つ前記第 1 容量素子の他端が前記第 3 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

20

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

30

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは、前記電圧供給線が独立した配線である場合において、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に所定の初期電圧を印加し、

40

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トラ

50

ンジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルス印加して、前記第4トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第2トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を2つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間中、前記第2制御線に前記第3トランジスタ素子を導通状態とする所定の電圧を印加し、その後に、前記第1容量素子の他端に接続する前記第2制御線又は前記第3制御線へのパルス印加を停止し、

10

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第1電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第2制御線に対し前記第3トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第2電圧状態の電圧を印加する、一連の動作が実行されることを特徴とする。

【0053】

このとき、前記第1制御線が、前記電圧供給線として兼用される場合には、

20

前記初期状態設定動作後に、前記制御線駆動回路が、前記第1制御線に、前記内部ノードの電圧状態に関係なく、前記第2トランジスタ素子を非導通状態とする前記所定の電圧として、前記第2電圧状態の電圧を印加するものとしても構わない。

【0054】

更に、前記画素回路が、一端が前記内部ノードに接続し、他端が第4制御線に接続する第2容量素子を備えている場合において、前記第4制御線が前記電圧供給線として兼用される場合、

前記制御線駆動回路が、前記セルフ極性反転動作の期間中、前記第2電圧状態の電圧を前記第4制御線に印加し続けるものとしても構わない。

【0055】

30

また、本発明の表示装置は、

前記画素回路は、前記電圧供給線が独立した配線であり、前記第1スイッチ回路が前記第4トランジスタ素子以外のスイッチ素子を含まず、且つ前記第1容量素子の他端が前記第3制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第1スイッチ回路と前記第2スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

40

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第4トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第1制御線に、前記内部ノードが保持する2値の画素データの電圧状態が第1電圧状態又は第2電圧状態のいずれであるかに応じて、前記第1容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第2制御線に前記第3トランジスタ素子を非導通状態とする所定の電圧を印加

50

するか、或いは、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 2 制御線及び前記第 3 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とすると共に、前記第 3 トランジスタ素子を導通状態とし

10

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

20

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間経過後、前記第 2 制御線及び前記第 3 制御線への電圧パルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする電圧パルスの印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを別の特徴とする。

30

【 0 0 5 6 】

また、本発明の表示装置は、

前記画素回路は、前記電圧供給線が独立した配線であり、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を含まず、且つ前記第 1 容量素子の他端が前記第 2 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

40

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

50

前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 2 制御線に所定の初期電圧を印加し、
前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 2 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間経過後、前記第 2 制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを別の特徴とする。

【 0 0 5 7 】

また、本発明の表示装置は、

前記画素回路は、前記電圧供給線が独立した配線であり、且つ前記第 1 スイッチ回路が前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成され、且つ前記第 1 容量素子の他端が前記第 3 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値

10

20

30

40

50

に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 3 制御線及び前記電圧供給線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の電圧振幅の電圧パルス
を印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による
電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジ
スタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素
子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第
2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジ
スタ素子を非導通状態とし、

10

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、
前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加
している電圧を 2 つの電圧状態間で変化させ、

20

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記電圧パルス印加時
から当該パルス印加終了後までの所定期間中、前記第 2 制御線に前記第 3 トランジスタ素
子を導通状態とする所定の電圧を印加し、その後、前記第 1 容量素子の他端に接続する
前記第 3 制御線へのパルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に
接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パル
スを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、

30

前記走査信号線駆動回路によって前記電圧パルスを印加され、前記データ信号線に
前記第 1 電圧状態の電圧が印加されている間、前記セルフ極性反転動作対象の複数の前記
画素回路に接続する全部の前記電圧供給線に前記第 1 電圧状態の電圧を印加した後、前記
第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了す
る直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接
続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行さ
れることを別の特徴とする。

【 0 0 5 8 】

また、本発明の表示装置は、

前記画素回路は、前記電圧供給線が独立した配線であり、且つ前記第 1 スイッチ回路が
前記第 3 トランジスタ素子と前記第 4 トランジスタ素子との直列回路、又は前記第 2 スイ
ッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジス
タと前記第 4 トランジスタ素子との直列回路で構成され、且つ前記第 1 容量素子の他端が
前記第 3 制御線に接続される構成であって、

40

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持
された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介し
て接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制

50

御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第4トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第1制御線に、前記内部ノードが保持する2値の画素データの電圧状態が第1電圧状態又は第2電圧状態のいずれであるかに応じて、前記第1容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第2制御線に、前記第3トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記電圧供給線に前記第1トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第2スイッチ回路を非導通状態とし、

前記第3制御線及び前記電圧供給線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第2制御線及び前記第3制御線に所定の電圧振幅の電圧パルスを印加して、前記第1容量素子の一端に対して前記第1容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第1電圧状態の場合には前記第2トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第1トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第2電圧状態の場合には、前記第2トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第1トランジスタ素子を非導通状態とし、

その後、前記第1制御線に、前記内部ノードの電圧状態に関係なく前記第2トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第4トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第2トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を2つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間経過後、前記第2制御線及び前記第3制御線への電圧パルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第1電圧状態の電圧を印加し、

前記制御線駆動回路が、

前記走査信号線駆動回路によって前記電圧パルスを印加され、前記データ信号線に前記第1電圧状態の電圧が印加されている間、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第1電圧状態の電圧を印加した後、前記第2制御線及び前記第3制御線への前記電圧パルスの印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第2電圧状態の電圧を印加する、一連の動作が実行されることを別の特徴とする。

【0059】

また、本発明の表示装置は、

前記画素回路は、前記電圧供給線が独立した配線であり、且つ前記第1スイッチ回路が前記第3トランジスタ素子と前記第4トランジスタ素子との直列回路、又は前記第2スイッチ回路内の前記第3トランジスタ素子の制御端子に制御端子が接続する第5トランジスタと前記第4トランジスタ素子との直列回路で構成され、且つ前記第1容量素子の他端が

10

20

30

40

50

前記第 2 制御線に接続される構成であって、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に所定の電圧振幅の電圧パルスを印加して、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与え、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記第 2 トランジスタ素子が非導通状態になることで前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には、前記第 2 トランジスタ素子が導通状態になることで前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

その後、前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間経過後、前記第 2 制御線への電圧パルス印加を停止し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、

前記走査信号線駆動回路によって前記電圧パルスを印加され、前記データ信号線に前記第 1 電圧状態の電圧が印加されている間、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 1 電圧状態の電圧を印加した後、前記第 2 制御線への前記電圧パルスの印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを別の特徴とする。

【 0 0 6 0 】

また、本発明の表示装置は、

10

20

30

40

50

前記画素回路は、前記第 1 スイッチ回路が前記第 4 トランジスタ素子以外のスイッチ素子を含まず、且つ前記第 1 容量素子の他端が前記第 3 制御線に接続される構成であって、前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

10

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、前記第 1 容量素子の一端の電圧値の差によって、前記第 1 トランジスタ素子の第 1 又は第 2 端子の電圧を前記第 2 電圧状態とした場合に、前記内部ノードが前記第 1 電圧状態の場合に前記第 1 トランジスタ素子が導通状態となり、前記内部ノードが前記第 2 電圧状態の場合に前記第 1 トランジスタ素子が非導通状態となる所定の電圧を印加し、

20

前記第 2 制御線に前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは、前記電圧供給線が独立した配線である場合において、前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の初期電圧を印加し、前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが前記第 1 電圧状態または前記第 2 電圧状態のいずれであっても、前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

30

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルスを印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路が前記電圧パルスの印加を終了した後の所定期間中、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

40

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを別の特徴とする。

【 0 0 6 1 】

また、本発明の表示装置は、

前記画素回路は、前記電圧供給線が独立した配線であり、前記第 1 容量素子の他端が前記第 3 制御線に接続し、且つ前記第 1 スイッチ回路が前記第 3 トランジスタ素子と前記第

50

4 トランジスタ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記第 4 トランジスタ素子との直列回路で構成され、

前記単位表示素子が、画素電極、対向電極、並びに前記画素電極と前記対向電極に挟持された液晶層からなる液晶表示素子で構成されており、

前記表示素子部において、前記内部ノードが前記画素電極に直接又は電圧増幅器を介して接続し、

前記対向電極に電圧を供給する対向電極電圧供給回路を備え、

複数の前記画素回路に対して、前記第 1 スイッチ回路と前記第 2 スイッチ回路と前記制御回路を作動させ、前記画素電極と前記対向電極の間に印加されている電圧の極性を同時に反転させるセルフ極性反転動作において、

前記セルフ極性反転動作開始前の初期状態設定動作として、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して、前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態又は第 2 電圧状態のいずれであるかに応じて、前記第 1 容量素子の一端の電圧値に差が生じる所定の電圧を印加し、

前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するか、或いは前記電圧供給線に前記第 1 トランジスタ素子を非導通状態とする所定の電圧を印加して、前記第 2 スイッチ回路を非導通状態とし、

前記第 1 容量素子の他端に接続する前記第 3 制御線に所定の初期電圧を印加し、

前記初期状態設定動作後に、

前記制御線駆動回路が、

前記第 1 制御線に、前記内部ノードの電圧状態に関係なく前記第 2 トランジスタ素子を非導通状態とする所定の電圧を印加し、

前記走査信号線駆動回路が、その後に、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記走査信号線に所定の電圧振幅の電圧パルス印加して、前記第 4 トランジスタ素子を一時的に導通状態とした後、非導通状態に戻し、

前記対向電極電圧供給回路が、前記第 2 トランジスタ素子が非導通状態となった後、前記走査信号線駆動回路が前記電圧パルスの印加を終了するまでに、前記対向電極に印加している電圧を 2 つの電圧状態間で変化させ、

前記制御線駆動回路が、少なくとも前記走査信号線駆動回路の前記電圧パルス印加時から当該パルス印加終了した所定期間経過後までの間、前記第 2 制御線に前記第 3 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記データ信号線駆動回路が、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記データ信号線に、少なくとも前記走査信号線駆動回路が前記電圧パルスを印加している間、前記第 1 電圧状態の電圧を印加し、

前記制御線駆動回路が、前記第 2 制御線に対し前記第 3 トランジスタ素子を導通状態とする所定の電圧の印加を終了する直前の少なくとも一部期間中、前記セルフ極性反転動作対象の複数の前記画素回路に接続する全部の前記電圧供給線に前記第 2 電圧状態の電圧を印加する、一連の動作が実行されることを別の特徴とする。

【 0 0 6 2 】

また、本発明の表示装置は、

前記画素回路が、一端を前記内部ノードに接続し、他端を固定電圧線に接続する第 2 容量素子を備えている場合において、

前記走査信号線駆動回路が前記電圧パルスの印加を終了した後、前記電圧パルスの印加終了時に生じる前記内部ノードの電圧変動を、前記固定電圧線の電圧を調整することにより、補償することを別の特徴とする。

【 発明の効果 】

10

20

30

40

50

【 0 0 6 3 】

本発明の構成により、通常の書き込み動作の他、書き込み動作によることなく表示素子部両端間の電圧の絶対値を直前の書き込み動作時の値に復帰させる動作（セルフリフレッシュ動作）を実行することができる。また、画素回路の構成によっては、液晶表示装置のように、極性反転動作を必要とする表示装置において、書き込み動作によることなく表示素子部両端間の電圧の極性を反転させる動作を実行することができる（セルフ極性反転動作）。

【 0 0 6 4 】

画素回路が複数配列されている場合において、通常の書き込み動作は、一般的に行毎に実行される。このため、配列された画素回路の行数分、ドライバ回路を駆動させる必要がある。

10

【 0 0 6 5 】

本発明の画素回路によれば、セルフリフレッシュ動作を行うことで、データ信号線に対して一定電圧を印加したままリフレッシュ動作を実行することができるため、通常の書込と同様の走査方法によってリフレッシュ動作を実行しても、リフレッシュ動作の開始から終了までに必要なドライバ回路の駆動回数を大きく削減することができ、低消費電力を実現できる。更には対象画素を一括してリフレッシュすることも可能であり、このようにすることでリフレッシュに要する時間の短縮化が図れると共に、消費電力を大きく削減することができる。

【 0 0 6 6 】

20

そして、画素回路内に S R A M 等のメモリ部を別途備える必要がないため、従来技術のように開口率を大きく低下させるといことがない。

【 0 0 6 7 】

更に、本発明の画素回路によれば、セルフ極性反転動作を行うことで、最大で配置された複数の画素全てに対して同時に極性反転動作を実行することができる。通常の書き込み動作によって極性反転を行う場合と比較して、極性反転動作の開始から終了までに必要なドライバ回路の駆動回数を大きく削減することができ、低消費電力を実現できる。

【 0 0 6 8 】

そして、本発明の画素回路並びに表示装置によれば、上記のセルフリフレッシュ動作、セルフ極性反転動作を適宜組み合わせることができ、これによって、画像表示時における消費電力の低下効果を更に高めることができる。

30

【 図面の簡単な説明 】

【 0 0 6 9 】

【 図 1 】 本発明の表示装置の概略構成の一例を示すブロック図

【 図 2 】 液晶表示装置の一部断面概略構造図

【 図 3 】 本発明の表示装置の概略構成の一例を示すブロック図

【 図 4 】 本発明の表示装置の概略構成の一例を示すブロック図

【 図 5 】 本発明の表示装置の概略構成の一例を示すブロック図

【 図 6 】 本発明の画素回路の基本回路構成を示す回路図

【 図 7 】 本発明の画素回路の他の基本回路構成を示す回路図

40

【 図 8 】 本発明の画素回路のうち、グループ X に属する第 1 種類の回路構成例を示す回路図

【 図 9 】 本発明の画素回路のうち、グループ X に属する第 1 種類の別の回路構成例を示す回路図

【 図 1 0 】 本発明の画素回路のうち、グループ X に属する第 1 種類の別の回路構成例を示す回路図

【 図 1 1 】 本発明の画素回路のうち、グループ X に属する第 2 種類の回路構成例を示す回路図

【 図 1 2 】 本発明の画素回路のうち、グループ X に属する第 3 種類の回路構成例を示す回路図

50

【図 1 3】本発明の画素回路のうち、グループ X に属する第 4 種類の回路構成例を示す回路図

【図 1 4】本発明の画素回路のうち、グループ X に属する第 4 種類の別の回路構成例を示す回路図

【図 1 5】本発明の画素回路のうち、グループ X に属する第 4 種類の別の回路構成例を示す回路図

【図 1 6】本発明の画素回路のうち、グループ X に属する第 5 種類の回路構成例を示す回路図

【図 1 7】本発明の画素回路のうち、グループ X に属する第 6 種類の回路構成例を示す回路図

10

【図 1 8】本発明の画素回路のうち、グループ Y に属する第 1 種類の回路構成例を示す回路図

【図 1 9】本発明の画素回路のうち、グループ Y に属する第 2 種類の回路構成例を示す回路図

【図 2 0】本発明の画素回路のうち、グループ Y に属する第 3 種類の回路構成例を示す回路図

【図 2 1】本発明の画素回路のうち、グループ Y に属する第 4 種類の回路構成例を示す回路図

【図 2 2】本発明の画素回路のうち、グループ Y に属する第 5 種類の回路構成例を示す回路図

20

【図 2 3】本発明の画素回路のうち、グループ Y に属する第 6 種類の回路構成例を示す回路図

【図 2 4】グループ X の第 1 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 2 5】グループ X の第 2 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 2 6】グループ X の第 3 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 2 7】グループ Y の第 1 , 第 4 種類の画素回路によるセルフリフレッシュ動作のタイミング図

30

【図 2 8】グループ Y の第 2 , 第 5 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 2 9】グループ Y の第 3 , 第 6 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 3 0】グループ X の第 1 種類の画素回路によるセルフ極性反転動作のタイミング図

【図 3 1】グループ X の第 2 種類の画素回路によるセルフ極性反転動作のタイミング図

【図 3 2】グループ X の第 3 種類の画素回路によるセルフ極性反転動作のタイミング図

【図 3 3】グループ X の第 6 種類の画素回路によるセルフ極性反転動作のタイミング図

【図 3 4】グループ Y の第 3 種類の画素回路によるセルフ極性反転動作のタイミング図

【図 3 5】グループ X の第 1 種類の画素回路によるセルフ極性反転動作の別のタイミング図

40

【図 3 6】グループ X の第 2 種類の画素回路によるセルフ極性反転動作の別のタイミング図

【図 3 7】グループ X の第 3 種類の画素回路によるセルフ極性反転動作の別のタイミング図

【図 3 8】グループ X の第 3 種類の画素回路によるセルフ極性反転動作の更に別のタイミング図

【図 3 9】グループ X の第 6 種類の画素回路によるセルフ極性反転動作の別のタイミング図

【図 4 0】グループ Y の第 3 種類の画素回路によるセルフ極性反転動作の別のタイミング図

50

図

【図４１】グループXの第１タイプの画素回路による常時表示モード時の書き込み動作のタイミング図

【図４２】グループXの第４タイプの画素回路による常時表示モード時の書き込み動作のタイミング図

【図４３】常時表示モードにおける書き込み動作とセルフリフレッシュ動作の実行手順を示すフローチャート

【図４４】常時表示モードにおける書き込み動作とセルフ極性反転動作の実行手順を示すフローチャート

【図４５】常時表示モードにおける書き込み動作、セルフリフレッシュ動作、及びセルフ極性反転動作を組み合わせる場合の手順を示すフローチャート 10

【図４６】第１タイプの画素回路による通常表示モード時の書き込み動作のタイミング図

【図４７】本発明の画素回路の更に別の基本回路構成を示す回路図

【図４８】本発明の画素回路の更に別の基本回路構成を示す回路図

【図４９】一般的なアクティブマトリクス型の液晶表示装置の画素回路の等価回路図

【図５０】 $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示すブロック図

【発明を実施するための形態】

【００７０】

本発明の画素回路及び表示装置の各実施形態につき、以下において図面を参照して説明する。なお、図４９及び図５０と同一の構成要素については、同一の符号を付している。 20

【００７１】

〔第１実施形態〕

第１実施形態では、本発明の表示装置（以下、単に「表示装置」という）と本発明の画素回路（以下、単に「画素回路」という）の構成について説明する。

【００７２】

《表示装置》

図１に、表示装置１の概略構成を示す。表示装置１は、アクティブマトリクス基板１０、対向電極８０、表示制御回路１１、対向電極駆動回路１２、ソースドライバ１３、ゲートドライバ１４、及び後述する種々の信号線を備える。アクティブマトリクス基板１０上には、画素回路２が、行及び列方向にそれぞれ複数配置され、画素回路アレイが形成されている。 30

【００７３】

なお、図１では、図面が煩雑になるのを避けるため、画素回路２はブロック化して表示している。また、アクティブマトリクス基板１０上に各種の信号線が形成されていることを明確化するために、便宜的に、アクティブマトリクス基板１０を対向電極８０の上側に図示している。

【００７４】

本実施形態では、表示装置１は、同じ画素回路２を用いて、通常表示モードと常時表示モードの２つの表示モードで画面表示を行うことができる構成である。通常表示モードは、動画若しくは静止画をフルカラー表示で表示する表示モードで、バックライトを利用した透過型液晶表示を利用する。一方、本実施形態の常時表示モードは、画素回路単位で２階調（白黒）表示し、３つの隣接する画素回路２を３原色（Ｒ，Ｇ，Ｂ）の各色に割り当てて、８色を表示する表示モードである。更に、常時表示モードでは、隣接する３つの画素回路を更に複数セット組み合わせて、面積階調により表示色の数を増やすことも可能である。なお、本実施形態の常時表示モードは、透過型液晶表示でも反射型液晶表示でも利用可能な技術である。 40

【００７５】

以下の説明では、便宜的に、１つの画素回路２に対応する最小表示単位を「画素」と呼び、各画素回路に書き込む「画素データ」は、３原色（Ｒ，Ｇ，Ｂ）によるカラー表示の 50

場合には各色の階調データとなる。3原色に加えて白黒の輝度データを含めてカラー表示する場合には、当該輝度データも画素データに含まれる。

【0076】

図2は、アクティブマトリクス基板10と対向電極80の関係を示す概略断面構造図であり、画素回路2の構成要素である表示素子部21(図6参照)の構造を示している。アクティブマトリクス基板10は、光透過性の透明基板であり、例えばガラスやプラスチックからなる。

【0077】

図1に図示したように、アクティブマトリクス基板10上には各信号線を含む画素回路2が形成されている。図2では、画素回路2の構成要素を代表して画素電極20を図示している。画素電極20は、光透過性の透明導電材料、例えばITO(インジウムスズ酸化物)からなる。

10

【0078】

アクティブマトリクス基板10に対向するように、光透過性の対向基板81が配置されており、これら両基板の間隙には液晶層75が保持される。両基板の外表面には偏光板(不図示)が貼り付けられている。

【0079】

液晶層75は、両基板の周辺部分においてはシール材74によって封止されている。対向基板81には、ITO等の光透過性の透明導電材料からなる対向電極80が、画素電極20と対向するように形成されている。この対向電極80は、対向基板81上をほぼ一面に広がるように単一膜として形成されている。ここで、1つの画素電極20と対向電極80とその間に挟持された液晶層75によって単位液晶表示素子C1c(図6参照)が形成される。

20

【0080】

また、バックライト装置(不図示)がアクティブマトリクス基板10の背面側に配置されており、アクティブマトリクス基板10から対向基板81に向かう方向に光を放射することができる。

【0081】

図1に示すように、アクティブマトリクス基板10上には複数の信号線が縦横方向に形成されている。そして、縦方向(列方向)に延伸するm本のソース線(SL1, SL2, ..., SLm)と、横方向(行方向)に延伸するn本のゲート線(GL1, GL2, ..., GLn)が交差する箇所において、画素回路2がマトリクス状に複数形成されている。m, nはいずれも2以上の自然数である。また、各ソース線を「ソース線SL」で代表し、各ゲート線を「ゲート線GL」で代表する。

30

【0082】

ここで、ソース線SLが「データ信号線」に対応し、ゲート線GLが「走査信号線」に対応する。また、ソースドライバ13が「データ信号線駆動回路」に対応し、ゲートドライバ14が「走査信号線駆動回路」に対応し、対向電極駆動回路12が「対向電極電圧供給回路」に対応し、表示制御回路11の一部が「制御線駆動回路」に対応する。

【0083】

40

なお、図1では、表示制御回路11, 対向電極駆動回路12が、それぞれソースドライバ13やゲートドライバ14とは別個独立して存在するように図示されているが、これらのドライバ内に表示制御回路11や対向電極駆動回路12が含まれる構成であっても構わない。

【0084】

本実施形態では、画素回路2を駆動する信号線として、上述のソース線SLとゲート線GL以外に、リファレンス線REF、選択線SEL、補助容量線CSL、電圧供給線VSL、及びブースト線BSTを備える。

【0085】

ブースト線BSTは、選択線SELとは別の信号線として備えることもできるし、選択

50

線SELと共通化することも可能である。ブースト線BSTと選択線SELを共通化することで、アクティブマトリクス基板10上に配置すべき信号線の本数を低減でき、各画素の開口率を向上できる。図3に、選択線SELとブースト線BSTが共通化した場合における表示装置の構成を示す。

【0086】

更に、電圧供給線VSLは、図1及び図3のように独立した信号線とすることもできるし、補助容量線CSL、或いはリファレンス線REFと共通化することも可能である。図1及び図3の構成において、電圧供給線VSLが補助容量線CSL或いはリファレンス線REFと共通化された場合の構成を、それぞれ図4及び図5に示す。

【0087】

10

図3又は図5のように、選択線SELとブースト線BSTを共通化させたり、図4又は図5のように、電圧供給線VSLを補助容量線CSL或いはリファレンス線REFと共通化させることで、アクティブマトリクス基板10上に配置すべき信号線の本数を低減でき、各画素の開口率を向上できる。

【0088】

リファレンス線REF、選択線SEL、ブースト線BSTは、それぞれ「第1制御線」、「第2制御線」、「第3制御線」に対応し、表示制御回路11によって駆動される。また、補助容量線CSLは、「第4制御線」又は「固定電圧線」に対応し、一例として表示制御回路11によって駆動される。

【0089】

20

図1、及び図3～図5において、リファレンス線REF、選択線SEL、及び補助容量線CSLは、いずれも行方向に延伸するように各行に設けられており、画素回路アレイの周辺部で各行の配線が相互に接続して一本化されているが、各行の配線は個別に駆動され、動作モードに応じて共通の電圧が印加可能に構成されても良い。また、後述する画素回路2の回路構成の類型によっては、リファレンス線REF、選択線SEL、及び、補助容量線CSLの一部又は全てを、列方向に延伸するように各列に設けることもできる。基本的に、リファレンス線REF、選択線SEL、及び補助容量線CSLのそれぞれは、複数の画素回路2で共通に使用される構成となっている。なお、ブースト線BSTを選択線SELとは別に備える構成の場合には、選択線SELと同様に設けられるものとして良い。

【0090】

30

表示制御回路11は、後述する通常表示モード及び常時表示モードにおける各書き込み動作と、常時表示モードにおけるセルフリフレッシュ動作及びセルフ極性反転動作を制御する回路である。

【0091】

書き込み動作時には、表示制御回路11は、外部の信号源から表示すべき画像を表すデータ信号Dvとタイミング信号Ctを受け取り、当該信号Dv、Ctに基づき、画像を画素回路アレイの表示素子部21（図6参照）に表示させるための信号として、ソースドライバ13に与えるデジタル画像信号DA及びデータ側タイミング制御信号Stcと、ゲートドライバ14に与える走査側タイミング制御信号Gtcと、対向電極駆動回路12に与える対向電圧制御信号Secと、リファレンス線REF、選択線SEL、補助容量線CSL、ブースト線BST、及び電圧供給線VSLにそれぞれ印加する各信号電圧を生成する。

40

【0092】

ソースドライバ13は、表示制御回路11からの制御により、書き込み動作、セルフリフレッシュ動作、及びセルフ極性反転動作時に、各ソース線SLに対して所定のタイミングで所定の電圧振幅のソース信号を印加する回路である。

【0093】

書き込み動作時、ソースドライバ13は、デジタル画像信号DA及びデータ側タイミング制御信号Stcに基づき、デジタル信号DAの表わす1表示ライン分の画素値に相当する、対向電圧Vcomの電圧レベルに適合した電圧をソース信号Sc1、Sc2、...

50

... , S_{cm} として1水平期間(「1H期間」ともいう)毎に生成する。当該電圧は、通常表示モードでは多階調のアナログ電圧であり、常時表示モードでは、2階調(2値)の電圧となる。そして、これらのソース信号を、それぞれ対応するソース線 SL_1 , SL_2 , ... , SL_m に印加する。

【0094】

また、セルフリフレッシュ動作時、及びセルフ極性反転動作時には、ソースドライバ13は、表示制御回路11からの制御により、対象となる画素回路2に接続する全てのソース線 SL に対して、同一のタイミングで同一の電圧印加を行う(詳細は後述する)。

【0095】

ゲートドライバ14は、表示制御回路11からの制御により、書き込み動作、セルフリフレッシュ動作、及びセルフ極性反転動作時に、各ゲート線 GL に対して所定のタイミングで所定の電圧振幅のゲート信号を印加する回路である。なお、このゲートドライバ14は、画素回路2と同様に、アクティブマトリクス基板10上に形成されても構わない。

【0096】

書き込み動作時、ゲートドライバ14は、走査側タイミング制御信号 Gtc に基づき、ソース信号 S_{c1} , S_{c2} , ... , S_{cm} を各画素回路2に書き込むために、デジタル画像信号 DA の各フレーム期間において、ゲート線 GL_1 , GL_2 , ... , GL_n をほぼ1水平期間ずつ順次選択する。

【0097】

また、セルフリフレッシュ動作時、及びセルフ極性反転動作時には、ゲートドライバ14は、表示制御回路11からの制御により、対象となる画素回路2に接続する全てのゲート線 GL に、同一のタイミングで同一の電圧印加を行う(詳細は後述する)。

【0098】

対向電極駆動回路12は、対向電極80に対して対向電極配線 CML を介して対向電圧 V_{com} を印加する。本実施形態では、対向電極駆動回路12は、通常表示モード及び常時表示モードにおいて、対向電圧 V_{com} を所定の高レベル(5V)と所定の低レベル(0V)の間で交互に切り換えて出力する。このように、対向電圧 V_{com} を高レベルと低レベルの間で切り換えながら対向電極80を駆動することを「対向AC駆動」と呼ぶ。

【0099】

通常表示モードにおける「対向AC駆動」は、1水平期間毎及び1フレーム期間毎に、対向電圧 V_{com} を高レベルと低レベルの間で切り換える。つまり、ある1フレーム期間では、相前後する2つの水平期間で、対向電極80と画素電極20間の電圧極性が変化する。また、同じ1水平期間においても、相前後する2つのフレーム期間では、対向電極80と画素電極20間の電圧極性が変化する。

【0100】

一方、常時表示モードでは、1フレーム期間中は、同じ電圧レベルが維持されるが、相前後する2つの書き込み動作で対向電極80と画素電極20間の電圧極性が変化する。

【0101】

対向電極80と画素電極20間に同一極性の電圧を印加し続けると、表示画面の焼き付き(面焼き付き)が発生するため、極性反転動作が必要となるが、「対向AC駆動」を採用することで、極性反転動作における画素電極20に印加する電圧振幅が低減できる。

【0102】

《画素回路》

次に、画素回路2の構成について図6～図23の各図を参照して説明する。

【0103】

図6及び図7に、本発明の画素回路2の基本回路構成を示す。画素回路2は、全ての回路構成に共通して、単位液晶表示素子 C_{lc} を含む表示素子部21, 第1スイッチ回路22, 第2スイッチ回路23, 制御回路24, 及び補助容量素子 C_s を備える構成である。補助容量素子 C_s は「第2容量素子」に対応する。

【0104】

10

20

30

40

50

なお、図 6 は後述するグループ X に属する各画素回路の基本構成に対応し、図 7 は後述するグループ Y に属する各画素回路の基本構成に対応する。単位液晶表示素子 C 1 c は、図 2 を参照して既に説明したとおりであり、説明は割愛する。

【 0 1 0 5 】

画素電極 2 0 は、第 1 スイッチ回路 2 2、第 2 スイッチ回路 2 3、及び制御回路 2 4 の各一端に接続して、内部ノード N 1 を形成している。内部ノード N 1 は、書き込み動作時にソース線 S L から供給される画素データの電圧を保持する。

【 0 1 0 6 】

補助容量素子 C s は、一端が内部ノード N 1 に、他端が補助容量線 C S L に接続する。この補助容量素子 C s は、内部ノード N 1 が画素データの電圧を安定的に保持できるように追加的に設けられたものである。

10

【 0 1 0 7 】

第 1 スイッチ回路 2 2 は、内部ノード N 1 を構成しない側の一端が、ソース線 S L と接続する。第 1 スイッチ回路 2 2 は、スイッチ素子として機能するトランジスタ T 4 を備えている。トランジスタ T 4 は、制御端子がゲート線に接続するトランジスタを指し、「第 4 トランジスタ」に対応する。少なくともトランジスタ T 4 のオフ時には、第 1 スイッチ回路 2 2 は非導通状態となり、ソース線 S L と内部ノード N 1 間の導通が遮断される。

【 0 1 0 8 】

第 2 スイッチ回路 2 3 は、内部ノード N 1 を構成しない側の一端が、電圧供給線 V S L と接続する。第 2 スイッチ回路 2 3 は、トランジスタ T 1 とトランジスタ T 3 の直列回路で構成される。なお、トランジスタ T 1 は、制御端子が制御回路 2 4 の出力ノード N 2 に接続するトランジスタを指し、「第 1 トランジスタ素子」に対応する。また、トランジスタ T 3 は、制御端子が選択線 S E L に接続するトランジスタを指し、「第 3 トランジスタ素子」に対応する。トランジスタ T 1 とトランジスタ T 3 の両方がオン時に、第 2 スイッチ回路 2 1 は導通状態となり、電圧供給線 V S L と内部ノード N 1 間が導通状態となる。

20

【 0 1 0 9 】

制御回路 2 4 は、トランジスタ T 2 とブースト容量素子 C b s t の直列回路で構成される。トランジスタ T 2 の第 1 端子が内部ノード N 1 に接続し、制御端子がリファレンス線 R E F に接続する。また、トランジスタ T 2 の第 2 端子は、ブースト容量素子 C b s t の第 1 端子、及びトランジスタ T 1 の制御端子と接続して出力ノード N 2 を形成する。ブースト容量素子 C b s t の第 2 端子は、図 6 に示すようにブースト線 B S T に接続するか（グループ X）、又は図 7 に示すように選択線 S E L に接続する（グループ Y）。

30

【 0 1 1 0 】

ところで、内部ノード N 1 には、補助容量素子 C s の一端、並びに液晶容量素子 C 1 c の一端が接続されている。符号の煩雑化を避けるべく、補助容量素子の静電容量（「補助容量」と呼ぶ）を C s、液晶容量素子の静電容量（「液晶容量」と呼ぶ）を C 1 c と表す。このとき、内部ノード N 1 に寄生する全容量、すなわち画素データを書き込んで保持すべき画素容量 C p は、ほぼ液晶容量 C 1 c と補助容量 C s の和で表わされる（ $C p = C 1 c + C s$ ）。

【 0 1 1 1 】

このとき、ブースト容量素子 C b s t は、当該素子の静電容量（「ブースト容量」と呼ぶ）を C b s t と記載すれば、 $C b s t < C p$ が成立するように設定されている。

40

【 0 1 1 2 】

出力ノード N 2 は、トランジスタ T 2 がオン時に、内部ノード N 1 の電圧レベルに応じた電圧を保持し、トランジスタ T 2 がオフ時には、内部ノード N 1 の電圧レベルが変化しても当初の保持電圧を維持する。出力ノード N 2 の保持電圧によって、第 2 スイッチ回路 2 3 のトランジスタ T 1 のオンオフが制御される構成となっている。

【 0 1 1 3 】

上記 4 種類のトランジスタ T 1 ~ T 4 は、いずれもアクティブマトリクス基板 1 0 上に形成される、多結晶シリコン T F T や非晶質シリコン T F T 等の薄膜トランジスタであり

50

、第 1 及び第 2 端子の一方がドレイン電極、他方がソース電極、制御端子がゲート電極に相当する。更に、各トランジスタ T 1 ~ T 4 は、それぞれ単体のトランジスタ素子で構成されても良いが、オフ時のリーク電流を抑制する要請が高い場合は、複数のトランジスタを直列に接続し、制御端子を共通化して構成されても良い。以下の画素回路 2 の動作説明では、トランジスタ T 1 ~ T 4 が、全て N チャネル型の多結晶シリコン T F T で、閾値電圧が 2 V 程度のものを想定する。

【 0 1 1 4 】

画素回路 2 は、後述するように多様な回路構成が可能であるが、これらは以下のようにパターン化することができる。

【 0 1 1 5 】

1) 第 1 スイッチ回路 2 2 の構成についてみれば、トランジスタ T 4 だけで構成される場合、トランジスタ T 4 と他のトランジスタ素子の直列回路で構成される場合、の 2 通りが可能である。後者の場合、直列回路を構成する他のトランジスタ素子としては、第 2 スイッチ回路 2 3 内のトランジスタ T 3 を用いることもできるし、第 2 スイッチ回路 2 3 内のトランジスタ T 3 と制御端子同士が接続している別のトランジスタ素子とすることもできる。

【 0 1 1 6 】

2) ブースト容量素子 C b s t の第 2 端子 (出力ノード N 2 を形成する端子とは反対側の端子) に接続する信号線についてみれば、ブースト線 B S T に接続される場合、選択線 S E L に接続される場合、の 2 通りが可能である。後者の場合、選択線 S E L がブースト線 B S T を兼ねることとなる。なお、前者が図 6 に対応し、後者が図 7 に対応することは上述した。

【 0 1 1 7 】

3) 電圧供給線 V S L についてみれば、リファレンス線 R E F と兼用して共通化させるか、補助容量線 C S L と兼用して共通化させるか、独立した信号線とするか、の 3 通りが可能である。

【 0 1 1 8 】

以下では、上記 1) ~ 3) に基づいて、画素回路 2 を類型別に整理する。具体的には、ブースト容量素子 C b s t の第 2 端子に接続する信号線がブースト線 B S T か選択線 S E L によって 2 つのグループ (X , Y) に分けた上で、各グループ毎に、第 1 スイッチ回路 2 2 の構成並びに電圧供給線 V S L の構成の組み合わせについて、6 つの類型に分ける。

【 0 1 1 9 】

すなわち、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成されている場合を第 1 ~ 第 3 類型、第 1 スイッチ回路 2 2 がトランジスタ T 4 と他のトランジスタ素子の直列回路で構成されている場合を第 4 ~ 第 6 類型とする。このうち、第 1 及び第 4 類型は、電圧供給線 V S L がリファレンス線 R E F と共通化した構成であり、第 2 及び第 5 類型は、電圧供給線 V S L が補助容量線 C S L と共通化した構成であり、第 3 及び第 6 類型は、電圧供給線 V S L が独立した信号線で構成されている。

【 0 1 2 0 】

なお、同一グループ内で同一類型の画素回路であっても、第 2 スイッチ回路 2 3 内のトランジスタ T 3 の配置箇所の相違に応じて複数の変形パターンが考えられる。

【 0 1 2 1 】

< 1 . グループ X >

まず、ブースト容量素子 C b s t の第 2 端子にブースト線 B S T が接続される、グループ X に属する画素回路について説明する。

【 0 1 2 2 】

このとき、上述したように、電圧供給線 V S L 並びに第 1 スイッチ回路 2 2 の構成に応じて、図 8 ~ 図 1 7 に示す第 1 ~ 第 6 類型の画素回路 2 A ~ 2 F が想定される。

【 0 1 2 3 】

図 8 に示す第 1 類型の画素回路 2 A は、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成され、電圧供給線 V S L がリファレンス線 R E F と共通化している。リファレンス線 R E F は、一例としてゲート線 G L と平行に横方向（行方向）に延伸しているが、ソース線 S L と平行に縦方向（列方向）に延伸しても良い。

【 0 1 2 4 】

ここで、図 8 では、第 2 スイッチ回路 2 3 が、トランジスタ T 1 とトランジスタ T 3 の直列回路で構成され、一例として、トランジスタ T 1 の第 1 端子が内部ノード N 1 に接続し、トランジスタ T 1 の第 2 端子がトランジスタ T 3 の第 1 端子に接続し、トランジスタ T 3 の第 2 端子がソース線 S L に接続する構成例を示している。しかし、当該直列回路のトランジスタ T 1 とトランジスタ T 3 の配置は入れ替わっても良く、また、2 つのトランジスタ T 3 の間にトランジスタ T 1 を挟んだ回路構成でも構わない。当該 2 つの変形回路構成例を、図 9 及び図 1 0 に示す。

10

【 0 1 2 5 】

図 1 1 に示す第 2 類型の画素回路 2 B は、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成され、電圧供給線 V S L が補助容量線 C S L と共通化している。補助容量線 C S L は、一例としてゲート線 G L と平行に横方向（行方向）に延伸しているが、ソース線 S L と平行に縦方向（列方向）に延伸しても良い。

【 0 1 2 6 】

図 1 2 に示す第 3 類型の画素回路 2 C は、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成され、電圧供給線 V S L が独立した信号線で構成されている。図 1 2 では、一例としてゲート線 G L と平行に横方向（行方向）に延伸しているが、ソース線 S L と平行に縦方向（列方向）に延伸しても良い。

20

【 0 1 2 7 】

なお、第 2 及び第 3 類型においても、第 1 類型の場合と同様、第 2 スイッチ回路 2 3 の構成に応じた変形回路の実現が可能である。

【 0 1 2 8 】

図 1 3 に示す第 4 類型の画素回路 2 D は、第 1 スイッチ回路 2 2 がトランジスタ T 4 と他のトランジスタ素子の直列回路で構成される点を除けば、図 8 に示す第 1 類型の画素回路 2 A と共通である。

【 0 1 2 9 】

30

ここで、図 1 3 では、第 1 スイッチ回路 2 2 を構成するトランジスタ T 4 以外のトランジスタ素子として、第 2 スイッチ回路 2 3 内のトランジスタを兼用する構成が示されている。すなわち、第 1 スイッチ回路 2 2 が、トランジスタ T 4 とトランジスタ T 3 の直列回路で構成され、第 2 スイッチ回路 2 3 が、トランジスタ T 1 とトランジスタ T 3 の直列回路で構成される。そして、トランジスタ T 3 の第 1 端子が内部ノード N 1 に接続し、トランジスタ T 3 の第 2 端子がトランジスタ T 1 の第 1 端子とトランジスタ T 4 の第 1 端子に接続し、トランジスタ T 4 の第 2 端子がソース線 S L に接続し、トランジスタ T 1 の第 2 端子が電圧供給線 V S L に接続している。

【 0 1 3 0 】

つまり、第 4 類型の画素回路 2 D では、第 1 スイッチ回路 2 2 が、ゲート線 G L に加えて、選択線 S E L によって導通制御がなされる構成である。

40

【 0 1 3 1 】

この第 4 類型の変形例として、図 1 4 に示すように、第 1 スイッチ回路 2 2 を構成するトランジスタ T 4 以外のトランジスタ素子として、第 2 スイッチ回路 2 3 内のトランジスタ T 3 と制御端子同士が接続するトランジスタ T 5 を用いる構成を実現することもできる。このトランジスタ T 5 は、「第 5 トランジスタ素子」に対応する。

【 0 1 3 2 】

図 1 4 に示す画素回路 2 D において、トランジスタ T 5 とトランジスタ T 3 の制御端子同士が接続するため、トランジスタ T 5 は、トランジスタ T 3 と同様に選択線 S E L によってオンオフ制御がされる。第 1 スイッチ回路 2 2 を構成するトランジスタ T 4 以外のト

50

ランジスタ素子が、選択線SELによってオンオフ制御がされるという点で、図13の構成と共通する。

【0133】

なお、第4類型では、トランジスタT3が第1スイッチ回路22と第2スイッチ回路23とで共有されているため、図9のように第2スイッチ回路23のトランジスタT1とT3の配置を入れ替えることができない。一方、図10のようにトランジスタT1をトランジスタT3で挟むことは可能である。この場合の変形例を図15に示す。

【0134】

図16に示す第5タイプの画素回路2Eは、第1スイッチ回路22がトランジスタT4と他のトランジスタ素子の直列回路で構成される点を除けば、図11に示す第2タイプの画素回路2Bと共通である。

10

【0135】

図17に示す第6タイプの画素回路2Fは、第1スイッチ回路22がトランジスタT4と他のトランジスタ素子の直列回路で構成される点を除けば、図12に示す第3タイプの画素回路2Cと共通である。

【0136】

なお、第5類型及び第6類型においても、第4類型の図15に示すような変形回路の実現が可能である。

【0137】

<2. グループY>

20

次に、ブースト容量素子Cbstの第2端子に選択線SELが接続される、グループYに属する画素回路について説明する。

【0138】

上述したように、グループYの第1～第6類型に属する各画素回路は、グループXの第1～第6類型に属する各画素回路に対して、トランジスタT3の制御端子に選択線SELを接続することでブースト線BSTと選択線SELを共通化させた点のみが異なる。これらの画素回路2a～2fの回路図を、図18～図23に示す。

【0139】

なお、グループXとYとで画素回路を区別するため、グループYの画素回路の符号を2a～2fと小文字のアルファベットで表記している。

30

【0140】

[第2実施形態]

第2実施形態では、上述した各グループX、Yの第1～第6タイプの画素回路によるセルフリフレッシュ動作につき、図面を参照して説明する。

【0141】

セルフリフレッシュ動作とは、常時表示モードにおける動作で、複数の画素回路2に対して、第1スイッチ回路22と第2スイッチ回路23と制御回路24を所定のシーケンスで作動させ、画素電極20の電位（これは内部ノードN1の電位でもある）を直前の書き込み動作で書き込まれた電位に同時に一括して復元させる動作である。セルフリフレッシュ動作は、上記各画素回路による本発明に特有の動作であり、従来のように通常

40

の書き込み動作を行って画素電極20の電位を復元させる「外部リフレッシュ動作」と比較して大幅な低消費電力化を可能とするものである。なお、上記「同時に一括して」の「同時」とは、一連のセルフリフレッシュ動作の時間幅を有する「同時」である。

【0142】

ところで、従来においては、書き込み動作を行って、画素電極20と対向電極80の間の印加される液晶電圧Vc1の絶対値を維持しながら極性のみを反転させる動作（外部極性反転動作）が行われていた。この外部極性反転動作が行われると、極性が反転すると共に、液晶電圧Vc1の絶対値も直前の書き込み時の状態に更新される。つまり、極性反転とリフレッシュが同時に行われることとなる。このため、書き込み動作によって、極性を反転させずに液晶電圧Vc1の絶対値のみを更新させる目的でリフレッシュ動作を実行す

50

るということは通常はあまり行われませんが、以下では、説明の都合上、セルフリフレッシュ動作と比較する観点から、このようなリフレッシュ動作のことを「外部リフレッシュ動作」と呼ぶこととする。

【 0 1 4 3 】

なお、外部極性反転動作によってリフレッシュ動作を実行する場合においても、書き込み動作が行われることには変わらない。つまり、この従来方法と比較した場合においても、本実施形態のセルフリフレッシュ動作によって大幅な低消費電力化が可能となるものである。

【 0 1 4 4 】

セルフリフレッシュ動作の対象となる画素回路 2 に接続する全てのゲート線 G L、ソース線 S L、選択線 S E L、リファレンス線 R E F、補助容量線 C S L、ブースト線 B S T、及び対向電極 8 0 には、全て同じタイミングで電圧印加が行われる。電圧供給線 V S L が独立した信号線として設けられている場合には、この電圧供給線 V S L に対しても同じタイミングで電圧印加が行われる。そして、同一タイミング下では、全てのゲート線 G L に対して同一電圧が印加され、全てのリファレンス線 R E F に対して同一電圧が印加され、全ての補助容量線 C S L に対して同一電圧が印加され、全てのブースト線 B S T に対して同一電圧が印加され、電圧供給線 V S L が独立した信号線として設けられている場合には、全ての電圧供給線 V S L に対して同一電圧が印加される。これらの電圧印加のタイミング制御は、表示制御回路 1 1 によって行われ、個々の電圧印加は、表示制御回路 1 1、対向電極駆動回路 1 2、ソースドライバ 1 3、ゲートドライバ 1 4 によって行われる。

【 0 1 4 5 】

本実施形態の常時表示モードは、画素回路単位で 2 階調 (2 値) の画素データを保持するため、画素電極 2 0 (内部ノード N 1) に保持されている画素電圧 V 2 0 は、第 1 電圧状態と第 2 電圧状態の 2 つの電圧状態を示す。本実施形態では、上述の対向電圧 V c o m と同様に、第 1 電圧状態を高レベル (5 V)、第 2 電圧状態を低レベル (0 V) として説明する。

【 0 1 4 6 】

セルフリフレッシュ動作の実行直前の状態において、画素電極 2 0 が高レベル電圧に書き込まれている画素と、低レベル電圧に書き込まれている画素の双方が混在することが想定される。しかしながら、本実施形態のセルフリフレッシュ動作によれば、画素電極 2 0 が高低いずれの電圧に書き込まれていても、同一のシーケンスに基づく電圧印加処理を行うことで、全ての画素回路に対するリフレッシュ動作を実行することができる。この内容につき、タイミング図及び回路図を参照して説明する。

【 0 1 4 7 】

なお、直前の書き込み動作で内部ノード N 1 に高レベル電圧が書き込まれており、当該高レベル電圧を復元させる場合を「ケース A」と呼び、直前の書き込み動作で内部ノード N 1 に低レベル電圧が書き込まれており、当該低レベル電圧を復元させる場合を「ケース B」と呼ぶ。

【 0 1 4 8 】

< 1 . グループ X >

まず、ブースト容量素子 C b s t の第 2 端子にブースト線 B S T が接続される、グループ X に属する各画素回路についてのセルフリフレッシュ動作につき説明する。

【 0 1 4 9 】

(第 1 類型)

図 2 4 に、第 1 類型の画素回路 2 A におけるセルフリフレッシュ動作のタイミング図を示す。図 2 4 に示すように、セルフリフレッシュ動作は、2 つのフェーズ P 1 , P 2 に分解される。各フェーズの開始時刻をそれぞれ t 1 , t 2 とする。図 2 4 には、セルフリフレッシュ動作の対象となる画素回路 2 A に接続する全てのゲート線 G L , ソース線 S L , 選択線 S E L , リファレンス線 R E F , 補助容量線 C S L , ブースト線 B S T の各電圧波形と、対向電圧 V c o m の電圧波形を図示している。なお、本実施形態では、画素回路ア

レイの全画素回路が、セルフリフレッシュ動作の対象とする。

【0150】

更に、図24では、ケースA及びケースBにおける内部ノードN1の画素電圧V20、及び出力ノードN2の電圧VN2の各電圧波形、並びにトランジスタT1～T4の各フェーズにおけるオンオフ状態を表示している。

【0151】

なお、時刻t1より前の時点で、ケースAでは高レベル書き込みがなされており、ケースBでは低レベル書き込みがなされているとする。

【0152】

書き込み動作が実行された後、時間が経過すると、画素回路内の各トランジスタのリーク電流の発生に伴い、画素電圧V20は変動する。ケースAの場合、書き込み動作直後においては画素電圧V20が5Vであったが、この値は時間が経過することで当初よりも低い値を示す。同様に、ケースBの場合、書き込み動作直後においては画素電圧V20が0Vであったが、この値が時間が経過することで当初よりも高い値を示す。時刻t1の時点でケースAの画素電圧V20が5Vより少し低く、ケースBの画素電圧V20が0Vより少し高い値を示しているのは、このことを表わしている。

10

【0153】

以下、各フェーズ毎に各線に印加する電圧レベルにつき、説明する。

【0154】

《フェーズP1》

20

時刻t1より開始されるフェーズP1では、ゲート線GL1にトランジスタT4が完全にオフ状態となるような電圧を印加する。ここでは-5Vとする。

【0155】

また、リファレンス線REFには、第1電圧状態に対応する電圧(5V)を印加する。この電圧は、内部ノードN1の電圧状態が高レベル(ケースA)の場合にはトランジスタT2が非導通状態となり、低レベル(ケースB)の場合にはトランジスタT2が導通状態となるような電圧値でもある。

【0156】

ソース線SLには、第2電圧状態に対応する電圧(0V)を印加する。

【0157】

30

選択線SELには、トランジスタT3が完全にオン状態となるような電圧を印加する。ここでは8Vとする。

【0158】

対向電極80に印加する対向電圧Vcom、及び補助容量線CSLに印加する電圧は、0Vとする。これは0Vに限る趣旨ではなく、時刻t1より前の時点における電圧値をそのまま維持するものとして良い。

【0159】

第5実施形態で後述するように、書き込み動作時にはトランジスタT2は導通しているため、高レベル書き込みがなされるケースAでは、ノードN1及びN2が高レベル電位(5V)となり、低レベル書き込みがなされるケースBでは、ノードN1及びN2が低レベル電位(0V)となる。

40

【0160】

書き込み動作が完了すると、トランジスタT2は非導通状態となるが、ノードN1はソース線SLとは遮断されるため、引き続きノードN1及びN2の電位は保持される。すなわち、時刻t1の直前におけるノードN1及びN2の電位は、ケースAではほぼ5Vであり、ケースBではほぼ0Vである。「ほぼ」というのは、リーク電流が発生したことによる電位の変動を考慮した記載である。

【0161】

そして、時刻t1でリファレンス線REFに5Vを印加すると、ケースAでは、ノードN1及びN2がほぼ5Vであるため、トランジスタT2のゲート-ソース間電圧Vgsが

50

ほぼ0 Vとなって閾値電圧の2 Vを下回り、非導通状態となる。これに対し、ケースBでは、トランジスタT2のドレイン又はソースを構成するノードN1及びN2がほぼ0 Vであるため、トランジスタT2のゲート・ソース間電圧 V_{gs} がほぼ5 Vとなって閾値電圧の2 Vを上回り、導通状態となる。

【0162】

なお、厳密に言えば、ケースAの場合、トランジスタT2は完全に非導通である必要はなく、少なくともノードN2からN1に向かって導通しないような状態であれば良い。

【0163】

ブースト線BSTには、ノードN1の電圧状態が高レベル（ケースA）の場合にはトランジスタT1が導通状態となり、低レベル（ケースB）の場合にはトランジスタT1が非導通状態となるような高レベル電圧を印加する。

10

【0164】

ブースト線BSTは、ブースト容量素子 C_{bst} の一端に接続されている。このため、ブースト線BSTに高レベル電圧を印加すると、ブースト容量素子 C_{bst} の他端の電位、すなわち出力ノードN2の電位が突き上げられる。このように、ブースト線BSTに印加する電圧を上昇させることで出力ノードN2の電位を突き上げることを、以下では、「ブースト突き上げ」と呼ぶ。

【0165】

上述したように、ケースAの場合、時刻 t_1 においてトランジスタT2が非導通である。このため、ブースト突き上げによるノードN2の電位変動量は、ブースト容量 C_{bst} とノードN2に寄生する全容量の比率によって決定する。一例として、この比率を0.7とすると、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極すなわちノードN2は、ほぼ0.7 ΔV_{bst} だけ上昇することとなる。

20

【0166】

ケースAの場合、時刻 t_1 において画素電圧 V_{20} はほぼ5 Vを示すため、トランジスタT1のゲート、すなわち出力ノードN2に、画素電圧 V_{20} よりも閾値電圧2 V以上高い電位を与えればトランジスタT1は導通する。本実施例では、時刻 t_1 においてブースト線BSTに印加する電圧を10 Vとする。この場合、出力ノードN2は7 V上昇することとなる。時刻 t_1 の直前の時点でノードN2は、ノードN1とほぼ同電位（5 V）を示すため、ブースト突き上げによって当該ノードN2は12 V程度を示す。よって、トランジスタT1にはゲートとノードN1の間に閾値電圧以上の電位差が生じるため、当該トランジスタT1が導通する。

30

【0167】

他方、ケースBの場合、時刻 t_1 においてトランジスタT2は導通している。つまり、ケースAとは異なり、出力ノードN2と内部ノードN1が電氣的に接続している。この場合、ブースト突き上げによる出力ノードN2の電位変動量は、ブースト容量 C_{bst} 及びノードN2の全寄生容量に加えて、内部ノードN1の全寄生容量の影響を受ける。

【0168】

内部ノードN1には、補助容量素子 C_s の一端、並びに液晶容量素子 C_{lc} の一端が接続されており、この内部ノードN1に寄生する全容量 C_p は、ほぼ液晶容量 C_{lc} と補助容量 C_s の和で表わされることは上述した通りである。そして、ブースト容量 C_{bst} は液晶容量 C_p と比べてはるかに小さい値である。従って、これらの総容量に対するブースト容量の比率は極めて小さく、例えば0.01以下程度の値となる。この場合、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極、すなわち出力ノードN2は、高々0.01 ΔV_{bst} 程度しか上昇しない。つまり、ケースBの場合、 $\Delta V_{bst} = 10$ Vとしても、出力ノードN2の電位 V_{N2} はほとんど上昇しないこととなる。

40

【0169】

ケースBの場合、直前の書き込み動作で低レベル書き込みがされているため、出力ノードN2は時刻 t_1 の直前においてはほぼ0 Vを示している。従って、時刻 t_1 でブースト突き上げを行っても、トランジスタT1のゲートには同トランジスタを導通させるに十分

50

な電位が与えられない。つまり、ケース A と異なり、トランジスタ T 1 は依然として非導通状態を示す。

【 0 1 7 0 】

なお、ケース B の場合、時刻 t_1 の直前における出力ノード N 2 の電位は、必ずしも 0 V である必要はなく、少なくとも T 1 が導通しないような電位であれば良い。同様にケース A の場合、時刻 t_1 の直前におけるノード N 1 の電位は、必ずしも 5 V である必要はなく、トランジスタ T 2 が非導通状態の下でブースト突き上げがされることで、トランジスタ T 1 が導通するような電位であれば良い。

【 0 1 7 1 】

ケース A の場合、ブースト突き上げがされることで、トランジスタ T 1 が導通する。また、選択線 S E L に高レベル電圧が印加されてトランジスタ T 3 が導通しているため、第 2 スイッチ回路 2 3 は導通する。よって、リファレンス線 R E F に印加された第 1 電圧状態を示す高レベル電圧が、当該第 2 スイッチ回路 2 3 を介して内部ノード N 1 に与えられる。これにより、内部ノード N 1 の電位、すなわち画素電圧 V_{20} は第 1 電圧状態に復帰する。図 2 4 において、時刻 t_1 から少しだけ時間経過した時点で、画素電圧 V_{20} の値が 5 V に復帰しているのは、このことを示している。

【 0 1 7 2 】

一方、ケース B の場合、ブースト突き上げがされても依然としてトランジスタ T 1 は導通しないため、第 2 スイッチ回路 2 3 は非導通状態である。よって、ソース線 S L に印加された高レベル電圧が、当該第 2 スイッチ回路 2 3 を介してノード N 1 に与えられるということはない。つまり、ノード N 1 の電位は依然として時刻 t_1 の時点とほぼ同レベルの値、すなわちほぼ 0 V を示すこととなる。

【 0 1 7 3 】

以上のように、フェーズ P 1 では、第 1 電圧状態に書き込まれていた画素電圧 V_{20} (ケース A) のリフレッシュ動作が行われる。

【 0 1 7 4 】

《フェーズ P 2 》

時刻 t_2 より開始されるフェーズ P 2 では、ゲート線 G L , ソース線 S L , リファレンス線 R E F , 補助容量線 C S L に印加する電圧、並びに対向電圧 V_{com} を、フェーズ P 1 と引き続き同じ値とする。

【 0 1 7 5 】

選択線 S E L には、トランジスタ T 3 が非導通状態となるような電圧を印加する。ここでは - 5 V とする。これにより、第 2 スイッチ回路 2 3 は非導通となる。

【 0 1 7 6 】

ブースト線 B S T に印加する電圧を、ブースト突き上げを行う前の状態に低下させる。ここでは 0 V とする。ブースト線 B S T の電圧が低下することで、ノード N 1 の電位は突き下げされる。

【 0 1 7 7 】

フェーズ P 2 においても、ケース B の場合にはトランジスタ T 2 が導通状態である。このため、ブースト線 B S T の電圧が変化しても、ノード N 2 の電位にはほとんど影響しない。すなわち、ほぼ 0 V を維持する。ノード N 1 もノード N 2 と同電位を示す。

【 0 1 7 8 】

フェーズ P 2 では、フェーズ P 1 よりもはるかに長い時間同一の電圧状態が維持される。この間、ソース線 S L には低レベル電圧 (0 V) が印加されている。このため、この間のリーク電流の発生により、ケース B の画素電圧 V_{20} は、0 V に接近する方向に経時的に変化する。つまり、時刻 t_1 の直前の時点において、ケース B における画素電圧 V_{20} の電位が 0 V より高い電位であっても、フェーズ P 2 の期間にこの電位が 0 V に向かう方向に変化する。

【 0 1 7 9 】

一方で、ケース A の場合、フェーズ P 1 によって画素電圧 V_{20} の電位は 5 V に復帰し

10

20

30

40

50

たが、その後のリーク電流の存在によって、時間経過と共に徐々に減少する。

【 0 1 8 0 】

以上のように、フェーズ P 2 では、第 2 電圧状態に書き込まれていた画素電圧 V 2 0 (ケース B) を、徐々に 0 V に近づく動作が行われる。いわば第 2 電圧状態に書き込まれていた画素電圧 V 2 0 のリフレッシュ動作が行われる。

【 0 1 8 1 】

その後は、このフェーズ P 1 と P 2 を繰り返すことで、ケース A 及び B の双方の画素電圧 V 2 0 を直前の書き込み状態に復帰させることができる。

【 0 1 8 2 】

従来のように、ソース線 S L を介した電圧印加による書き込みによってリフレッシュ動作を行う場合、ゲート線 G L を 1 本ずつ垂直方向に走査する必要がある。このため、ゲート線 G L に対しゲート線の数 (n) だけ高レベル電圧を印加する必要がある。また、直前の書き込み動作において書き込まれた電位レベルと同一の電位レベルを、各ソース線 S L に印加する必要があるため、ソースドライバ 1 3 は最大 n 回の駆動を必要とする。

【 0 1 8 3 】

これに対し、本実施形態によれば、リファレンス線 R E F には一定の電圧 (5 V) を与えておきながら、選択線 S E L 及びブースト線 B S T に対しては 1 回のパルス電圧を印加し、その後に低レベル電位を維持するのみで、全ての画素に対し、画素電極 2 0 の電位を書き込み動作時の電位状態に復帰することが可能となる。つまり、1 フレーム期間内において、各画素の画素電極 2 0 の電位を復帰させるために各線に印加する印加電圧を変化させる回数は 1 回で足りる。この間、全てのゲート線 G L には低レベル電圧を印加し続けるのみで良い。

【 0 1 8 4 】

よって、本実施形態のセルフリフレッシュ動作によれば、通常の外部リフレッシュ動作と比べ、ゲート線 G L に対する電圧印加、及びソース線 S L に対する電圧印加の回数を大幅に削減でき、更には、その制御内容も簡素化できる。このため、ゲートドライバ 1 4 及びソースドライバ 1 3 の消費電力量を大きく削減することができる。

【 0 1 8 5 】

本実施形態のセルフリフレッシュ動作をまとめると、以下のようになる。まず、フェーズ P 1 ~ P 2 にかけて第 1 スイッチ回路 2 2 は非導通としておく。そして、フェーズ P 1 では、ケース A の場合には第 2 スイッチ回路 2 3 を導通させて、第 1 電圧状態に対応する高レベル電圧を、電圧供給線 V S L を兼ねたリファレンス線 R E F から内部ノード N 1 に与える一方、ケース B の場合には第 2 スイッチ回路 2 3 を非導通にして前記高レベル電圧を内部ノード N 1 に与えない。フェーズ P 2 では、ケース A , B 共に第 2 スイッチ回路 2 3 を非導通として、電圧供給線 V S L を兼ねたリファレンス線 R E F の印加電圧が内部ノード N 1 に供給されないようにする。

【 0 1 8 6 】

(第 2 類型)

図 1 1 に示す第 2 類型の画素回路 2 B は、電圧供給線 V S L が補助容量線 C S L と共通化した構成である。このため、第 1 類型と比較した場合、フェーズ P 1 において補助容量線 C S L に第 1 電圧状態の高レベル電圧 (5 V) を印加する点が異なる。第 2 類型の画素回路のセルフリフレッシュ動作時のタイミング図を図 2 5 に示す。

【 0 1 8 7 】

第 2 類型の場合、後述するように、常時表示モード時における書き込み動作では、補助容量線 C S L に印加する電圧は、第 1 電圧状態 (5 V) か第 2 電圧状態 (0 V) のいずれかに固定される。そして、この類型は、書き込み時に補助容量線 C S L に対して 5 V が印加されている場合において、セルフリフレッシュ動作の実行が可能である。このとき、セルフリフレッシュ動作時においても、この補助容量線 C S L への印加電圧 (5 V) を固定しておく。その他は、図 2 4 に示す第 1 類型の場合と共通である。図 2 5 では、補助容量線 C S L への印加電圧として 0 V を採用できないことを明示すべく、補助容量線 C S L の

印加電圧の欄に「5 V (限定)」と表記している。

【0188】

このように構成することで、フェーズP1では、ケースAの場合には第2スイッチ回路23が導通しているため、第1電圧状態の電圧(5 V)が補助容量線CSLから第2スイッチ回路23を介して内部ノードN1に与えられ、リフレッシュ動作が行われる。ケースBの場合には第2スイッチ回路23が非導通であるため、内部ノードN1が低レベル電圧が維持される。

【0189】

(第3類型)

図12に示す第3タイプの画素回路2Cは、電圧供給線VSLを他の信号線と共通化せず、個別に有する構成である。このため、第1類型と比較した場合、フェーズP1において電圧供給線VSLに第1電圧状態の高レベル電圧(5 V)を印加し、フェーズP2において第2電圧状態の低レベル電圧(0 V)を印加する点異なる。第3タイプの画素回路のセルフリフレッシュ動作時のタイミング図を図26に示す。

【0190】

このように構成することで、フェーズP1では、ケースAの場合には第2スイッチ回路23が導通しているため、第1電圧状態の電圧(5 V)が電圧供給線VSLから第2スイッチ回路23を介して内部ノードN1に与えられ、リフレッシュ動作が行われる。ケースBの場合には第2スイッチ回路23が非導通であるため、内部ノードN1が低レベル電圧が維持される。

【0191】

なお、フェーズP2では、第2スイッチ回路23が非導通であるため、必ずしも電圧供給線VSLを第2電圧状態(0 V)に低下させる必要はなく、引き続き第1電圧状態(5 V)を維持するものとしても良い。

【0192】

(第4類型)

図13に示す第4タイプの画素回路2Dは、リファレンス線REFが電圧供給線VSLを兼ねている点において、第1タイプの画素回路2Aと共通する。

【0193】

上述したように、フェーズP1では第1スイッチ回路22を非導通とし、第2スイッチ回路23については、ケースAの場合にのみ導通させる必要がある。第4タイプの画素回路2Dの場合、第2スイッチ回路23がトランジスタT1とT3の直列回路で構成されるため、フェーズP1において、トランジスタT3をオン状態とする必要がある。

【0194】

トランジスタT3は、第1スイッチ回路22の一素子をも構成している。しかしながら、フェーズP1ではトランジスタT4を非導通としておくことで、第1スイッチ回路22を非導通とすることができるため、問題ない。このことは、図14に示した第4タイプの画素回路の変形例においても同様である。

【0195】

以上を踏まえると、第4タイプの画素回路2Dは、図24のタイミング図に示した第1タイプの画素回路2Aと同じ電圧印加方法によって、セルフリフレッシュ動作の実行が可能である。

【0196】

(第5類型)

図16に示す第5タイプの画素回路2Eは、補助容量線CSLが電圧供給線VSLを兼ねている点において、第2タイプの画素回路2Bと共通する。そして、第2類型と第5タイプの画素回路の相違点は、第1類型と第4タイプの画素回路の相違点と同じである。

【0197】

従って、第4類型の場合と同様の理屈により、第5タイプの画素回路2Eは、図25のタイミング図に示した第2タイプの画素回路2Bと同じ電圧印加方法によって、セルフリフレ

10

20

30

40

50

ッシュ動作の実行が可能である。

【 0 1 9 8 】

(第 6 類型)

図 1 7 に示す第 6 類型の画素回路 2 F は、電圧供給線 V S L が独立した信号線で構成されている点において、第 3 類型の画素回路 2 C と共通する。そして、第 3 類型と第 6 類型の画素回路の相違点は、第 1 類型と第 4 類型の画素回路の相違点と同じである。

【 0 1 9 9 】

従って、第 4 類型の場合と同様の理屈により、第 6 類型の画素回路 2 F は、図 2 6 のタイミング図に示した第 3 類型の画素回路 2 C と同じ電圧印加方法によって、セルフリフレッシュ動作の実行が可能である。

10

【 0 2 0 0 】

< 2 . グループ Y >

次に、ブースト容量素子 C b s t の第 2 端子に選択線 S E L が接続される、グループ Y に属する各画素回路についてのセルフリフレッシュ動作につき説明する。

【 0 2 0 1 】

図 2 4 ~ 図 2 6 に示した、グループ X の各画素回路におけるセルフリフレッシュ動作のタイミング図を見れば、いずれの場合も、選択線 S E L とブースト線 B S T には、同一のタイミングで電圧パルスが印加されていることが分かる。選択線 S E L には、フェーズ P 1 でトランジスタ T 3 を導通し、フェーズ P 2 でトランジスタ T 3 を非導通とする電圧を与えれば良い。

20

【 0 2 0 2 】

よって、グループ Y に属する第 1 ~ 第 6 類型の各画素回路の場合、グループ X に属する第 1 ~ 第 6 類型の各画素回路のタイミング図が示す動作に対し、ブースト線 B S T の印加電圧を、そのまま選択線 S E L に印加することで、グループ X の場合と同様の原理によりセルフリフレッシュ動作が実現できる。具体的に、第 1 又は第 4 類型の場合のタイミング図を図 2 7 に、第 2 又は第 5 類型の場合のタイミング図を図 2 8 に、第 3 又は第 6 類型の場合のタイミング図を図 2 9 に、それぞれ示す。なお、動作原理はグループ X と同じであるため、説明を割愛する。

【 0 2 0 3 】

なお、図 2 7 ~ 2 9 において、S E L に印加する電圧のうち、低レベル電圧値としては、トランジスタ T 3 のゲートに与えることで、トランジスタ T 3 を完全にオフにできるような範囲内であれば良い。また、高レベル電圧値としては、トランジスタ T 3 のゲートに与えることで、当該トランジスタの一方の端子に + 5 V が印加された状態下でオンにでき、且つケース A の場合に出力ノード N 2 の電位が突き上げられることでトランジスタ T 1 をオンにできるような範囲内であれば良い。

30

【 0 2 0 4 】

[第 3 実施形態]

第 3 実施形態では、上述した各グループ X , Y の第 1 ~ 第 6 類型の画素回路によるセルフ極性反転動作につき、図面を参照して説明する。

【 0 2 0 5 】

40

セルフ極性反転動作とは、常時表示モードにおける動作で、複数の画素回路 2 に対して、第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 と制御回路 2 4 を所定のシーケンスで動作させ、画素電極 2 0 と対向電極 8 0 の間に印加されている液晶電圧 V l c の極性を、その絶対値を保持したまま、同時に一括して反転させる動作である。セルフ極性反転動作は、上記各画素回路による本発明に特有の動作で、従来の「外部極性反転動作」に対して大幅な低消費電力化を可能とするものである。なお、上記「同時に一括して」の「同時」とは、一連のセルフ極性反転動作の時間幅を有する「同時」である。

【 0 2 0 6 】

セルフ極性反転動作の対象となる画素回路 2 に接続する全てのゲート線 G L 、ソース線 S L 、選択線 S E L 、リファレンス線 R E F 、補助容量線 C S L 、ブースト線 B S T 、及

50

び対向電極 80 には、全て同じタイミングで電圧印加が行われる。電圧供給線 VSL が独立した信号線として設けられている場合には、この電圧供給線 VSL に対しても同じタイミングで電圧印加が行われる。そして、同一タイミング下では、全てのゲート線 GL に対して同一電圧が印加され、全てのリファレンス線 REF に対して同一電圧が印加され、全ての補助容量線 CSL に対して同一電圧が印加され、全てのブースト線 BST に対して同一電圧が印加され、電圧供給線 VSL が独立した信号線として設けられている場合には、全ての電圧供給線 VSL に対して同一電圧が印加される。これらの電圧印加のタイミング制御は、表示制御回路 11 によって行われ、個々の電圧印加は、表示制御回路 11、対向電極駆動回路 12、ソースドライバ 13、ゲートドライバ 14 によって行われる。

【0207】

10

ところで、液晶電圧 V_{lc} は、対向電極 80 の対抗電圧 V_{com} 、画素電極 20 に保持されている画素電圧 V_{20} により、以下の数 2 で表わされる。

【0208】

(数 2)

$$V_{lc} = V_{20} - V_{com}$$

【0209】

また、本実施形態の常時表示モードは、第 2 実施形態と同様、画素電圧 V_{20} は、第 1 電圧状態と第 2 電圧状態の 2 つの電圧状態を示し、第 1 電圧状態を高レベル (5V)、第 2 電圧状態を低レベル (0V) として説明する。このとき、液晶電圧 V_{lc} は、画素電圧 V_{20} と対向電圧 V_{com} が異なる場合は、+5V 又は -5V となり、画素電圧 V_{20} と対向電圧 V_{com} が同電圧の場合は、0V となる。

20

【0210】

つまり、セルフ極性反転動作によって、液晶電圧 $V_{lc} = +5V$ の画素回路 2 は、液晶電圧 $V_{lc} = -5V$ となり、液晶電圧 $V_{lc} = -5V$ の画素回路 2 は、液晶電圧 $V_{lc} = +5V$ となり、液晶電圧 $V_{lc} = 0V$ の画素回路 2 は、液晶電圧 $V_{lc} = 0V$ が維持される。

【0211】

より具体的には、セルフ極性反転動作によって、対向電圧 V_{com} 及び画素電圧 V_{20} が、高レベル (5V) から低レベル (0V)、或いは低レベル (0V) から高レベル (5V) へ遷移する。以下では、対向電圧 V_{com} が低レベル (0V) から高レベル (5V) へ遷移する場合について説明する。そして、この場合に、セルフ極性反転動作前に画素電極 20 が高レベル状態に書き込まれていた場合を「ケース A」、低レベル状態に書き込まれていた場合を「ケース B」とする。このとき、ケース A では、セルフ極性反転動作によって、画素電圧 V_{20} が高レベルから低レベルと遷移し、ケース B では低レベルから高レベルへ遷移する。

30

【0212】

< 1. グループ X >

まず、ブースト容量素子 C_{bst} の第 2 端子にブースト線 BST が接続される、グループ X に属する各画素回路についてのセルフ極性反転動作につき説明する。

【0213】

40

(第 1 類型)

図 30 に、第 1 類型のセルフ極性反転動作のタイミング図を示す。図 30 に示すように、セルフ極性反転動作は、9 つのフェーズ P10 ~ P18 に分解される。各フェーズの開始時刻をそれぞれ t_{10} , t_{11} , ..., t_{18} とする。図 30 には、セルフ極性反転動作の対象となる画素回路 2A に接続する全てのゲート線 GL, ソース線 SL, 選択線 SEL, リファレンス線 REF, 補助容量線 CSL, ブースト線 BST の各電圧波形と、対向電圧 V_{com} の電圧波形を図示している。なお、本実施形態では、画素回路アレイの全画素回路が、セルフ極性反転動作の対象とする。

【0214】

また、図 30 には、ケース A 及びケース B におけるノード N1 の画素電圧 V_{20} と出力

50

ノードN2の電圧VN2の各電圧波形、並びにトランジスタT1～T4の各フェーズにおけるオンオフ状態を表示している。

【0215】

《フェーズP10》

時刻t10より開始されるフェーズP10では、セルフ極性反転動作のための初期状態設定を行う。

【0216】

ゲート線GLには、トランジスタT4が完全にオフ状態となるような電圧を印加する。ここでは-5Vとする。また、ソース線SLには、第2電圧状態に対応する電圧(0V)を印加しておく。

10

【0217】

選択線SELには、トランジスタT3が完全にオフ状態となるような電圧を印加する。ここでは-5Vとする。また、ブースト線BSTには0Vを印加する。

【0218】

対向電極80に印加する対向電圧Vcom, 及び補助容量線CSLに印加する電圧は、0Vとする。なお、本実施形態では、補助容量線CSLに印加する電圧を0Vで固定するが、0Vに限定する趣旨ではなく、書き込み動作時に与えられていた電圧値をそのまま維持すれば良い。なお、対向電圧Vcomは、後のフェーズにおいて極性反転を行うべく5Vに変化する。

【0219】

20

リファレンス線REFには、ノードN1の電圧状態が高レベル(ケースA)の場合にはトランジスタT2が非導通状態となり、低レベル(ケースB)の場合にはトランジスタT2が導通状態となるような電圧値を印加する。ここでは5Vとする。

【0220】

ところで、トランジスタT4を完全にオフ状態とするためのゲート線GLに印加する電圧値として、負電圧である-5Vを使用する理由は、非導通状態の第1スイッチ回路22において、液晶電圧Vlcの電圧が維持されたまま、画素電圧V20が、対向電圧Vcomの電圧変化に伴い、負電圧に遷移する可能性があり、当該状態で、非導通状態の第1スイッチ回路22が不必要に導通状態となるのを防止するためである。なお、常時表示モードでは、ソース線SLの電圧が第1電圧状態(5V)または第2電圧状態(0V)であるので、内部ノードN1の電圧が負電圧となっても、第2スイッチ回路23のトランジスタT1が逆バイアスのダイオードとして機能するので、選択線SELの電圧を、必ずしもゲート線GLと同様に負電圧に制御してトランジスタT3をオフ状態とする必要はない。

30

【0221】

《フェーズP11》

時刻t11より開始されるフェーズP11では、ブースト線BSTに、ケースAの場合にノードN2の電位が突き上げられることで、トランジスタT1が導通状態を示すような高レベル電圧を印加する。ここでは10Vとする。一方でケースBの場合、トランジスタT2が導通しているため、ブースト突き上げによってもノードN2の電位がほとんど上昇せず、トランジスタT1は非導通のままである。ケースBではノードN1とN2が電氣的に接続しているため、両ノードが同電位を示している。

40

【0222】

なお、フェーズP10の時点で、ケースAにおけるノードN2の電位が、トランジスタT1を導通可能なレベルである場合には、このブースト線BSTへの高レベル電圧印加動作を必ずしも行う必要はない。この場合については詳細を第4実施形態で説明する。

【0223】

《フェーズP12》

時刻t12より開始されるフェーズP12では、リファレンス線REFの電圧を第2電圧状態(0V)とし、トランジスタT2をケースA, Bによらず非導通とする。これにより、ケースA, Bによらず、出力ノードN2が内部ノードN1から遮断される。ケースA

50

では、フェーズ P 1 1 におけるブースト突き上げによって出力ノード N 2 の電位 V_{N2} が高レベルを示しており、他方、ケース B ではブースト突き上げの影響を受けず、出力ノード N 2 の電位 V_{N2} は低レベル電位（ほぼ 0 V）を示している。トランジスタ T 2 が非導通とされたことで、ノード N 1 の電位が変化しても、ノード N 2 には前記の電位が保持される。

【0224】

《フェーズ P 1 3》

時刻 t_{13} より開始されるフェーズ P 1 3 では、対向電圧 V_{com} を高レベル（5 V）へシフトさせる。

【0225】

これによって対向電極 8 0 の電位が上昇し、液晶容量素子 C 1 c の他方の電極、すなわち画素電極 2 0 の電位も一部上昇する。このときの電位変動量は、ノード N 1 に寄生する全寄生容量に対する液晶容量 C 1 c の比率によって決定される。液晶容量 C 1 c と補助容量 C s は、他の寄生容量に比べて十分大きく、実際には液晶容量 C 1 c と補助容量 C s の総容量に対する液晶容量 C 1 c の比率によって決定される。ここでは、一例としてこの比率を 0.2 とする。この場合、対向電極 8 0 の電位変動量を ΔV_{com} とすると、 $0.2 \Delta V_{com}$ だけ画素電極 2 0 の電位が上昇する。いま $\Delta V_{com} = 5 \text{ V}$ であるため、時刻 t_{13} の時点で、画素電極 2 0 の電位 V_{20} は、ケース A, B のそれぞれ約 1 V 程度上昇する。なお、フェーズ P 1 3 の時点で、ケース A, B 共に第 2 スイッチ回路 2 3 は非導通状態であるため、内部ノード N 1 の電位 V_{20} は、1 V 程度電位が上昇した状態で維持される。

【0226】

《フェーズ P 1 4》

時刻 t_{14} より開始されるフェーズ P 1 4 では、ゲート線 G L に高レベル電圧を印加し、トランジスタ T 4 を導通させる。ここでは 8 V とする。フェーズ P 1 4 により第 1 スイッチ回路 2 2 が導通状態となる。

【0227】

そして、ソース線 S L に対して、第 1 電圧状態（5 V）を印加する。

【0228】

これにより、両ケース A, B 共に、ソース線 S L に印加された 5 V の電圧が、第 1 スイッチ回路 2 2 を介して内部ノード N 1 に与えられる。すなわち、ケース A, B によらず、フェーズ P 1 3 では画素電圧 V_{20} は第 1 電圧状態となる。

【0229】

このとき、ケース A, B 共に、液晶電圧 V_{1c} は $\pm 0 \text{ V}$ を示している。ところで、時刻 t_{10} の直前において、液晶電圧 V_{1c} の絶対値は、ケース A の場合はほぼ 5 V であり、ケース B の場合は 0 V であった。つまり、フェーズ P 1 4 では、ケース A の液晶電圧 V_{1c} の絶対値が、時刻 t_{10} の時点から大きく変化している。このため、理論的には、この時点以後、表示される画像に変化が生じる。しかしながら、最終的に極性反転が完了するまでの期間を短くすることで、当該表示状態の一時的な変化が短時間に抑えられ、人間の視覚には感知できない程度に、液晶電圧 V_{1c} の平均値の変動が極めて微小となる。例えば、各フェーズの期間を 30 μ 秒程度に設定した場合は、当該表示状態の一時的な変化は人間の視覚上無視されるため、問題はない。

【0230】

《フェーズ P 1 5》

時刻 t_{15} より開始されるフェーズ P 1 5 では、ゲート線 G L に再び低レベル電圧を印加し、トランジスタ T 4 を非導通とする。これにより、第 1 スイッチ回路 2 2 が非導通状態となる。

【0231】

また、ソース線 S L の印加電圧を、第 2 電圧状態（0 V）に低下させる。

【0232】

このとき、トランジスタT4が完全にオフ状態となることで、トランジスタT4のゲートと内部ノードN1との間の容量結合によって、内部ノードN1の第1電圧状態(5V)が変動する場合には、補助容量線CSLの電圧を調整し、第2容量素子C2を介した容量結合によって、内部ノードN1の当該電圧変動を補償するようにしても良い。セルフ極性反転動作の実行が可能な他の類型においても同様とする。

【0233】

《フェーズP16》

時刻t16より開始されるフェーズP16では、選択線SELに高レベル電圧(8V)を印加し、トランジスタT3を完全にオン状態とする。

【0234】

ケースAの場合、ノードN2の電位VN2が高レベルであり、トランジスタT1が導通しているため、第2スイッチ回路23が導通する。またフェーズP16において、リファレンス線REFには0Vが印加されている。これにより、高レベル電位を示している内部ノードN1から第2スイッチ回路23を介してリファレンス線REFに向かう電流が発生し、ノードN1は第2電圧状態を示すリファレンス線REFと同電位となる。すなわち、画素電圧V20は0Vに低下する。

【0235】

一方、ケースBの場合には、ノードN2の電位VN2が低レベルであり、トランジスタT1が非導通であるため、トランジスタT3をオン状態としても依然として第2スイッチ回路23が非導通である。よって、ノードN1はリファレンス線REFと電氣的に接続されておらず、ケースAのようにノードN1からソース線SLに向かう電流は生じない。よって、引き続き画素電圧V20は5Vを保持する。

【0236】

この時点で、ケースAの場合には液晶電圧Vlcに-5Vが印加され、ケースBの場合には±0Vが印加される。よって、極性反転が完了し、これ以後、表示される画像が、セルフ極性反転動作の開始直前に表示されていた画像に復帰する。フェーズP16以後は、このVlcの絶対値は変化しないため、表示される画像に変化は生じない。

【0237】

なお、この時点におけるケースAの画素電圧V20は第2電圧状態を示し、ケースBの画素電圧V20は第1電圧状態を示しているが、前者はフェーズP16においてリファレンス線REFの印加電圧が内部ノードN1に与えられることで実現されたものであり、後者はフェーズP14においてソース線SLの印加電圧が内部ノードN1に与えられることで実現されたものである。つまり、仮にリーク電流の存在によって、セルフ極性反転動作開始前の時点で内部ノードN1の電位V20が正しく第1電圧状態若しくは第2電圧状態を示していなくても、フェーズP16の時点では、上記の電圧状態が実現される。このことを踏まえれば、ケースAの画素電圧V20が第2電圧状態に、ケースBの画素電圧V20が第1電圧状態に、それぞれ「リフレッシュ」されたということもできる。

【0238】

《フェーズP17》

時刻t17より開始されるフェーズP17では、ブースト線BSTの印加電圧を低レベル電圧(0V)に戻し、選択線SELについても低レベル電圧を印加してトランジスタT3を非導通状態とする。これにより、ケースA、B共に第2スイッチ回路23が非導通状態となる。なお、第1スイッチ回路22は引き続き非導通状態である。

【0239】

よって、ケースA、B共に内部ノードN1の電位V20は時刻t17開始直前の電圧値が保持される。

【0240】

また、リファレンス線REFには0Vが印加されているため、トランジスタT2は非導通状態である。このため、ブースト線BSTの電圧低下によって出力ノードN2の電位が引き下げられる。

10

20

30

40

50

【 0 2 4 1 】

ケース A の場合、フェーズ P 1 6 の時点で、出力ノード N 2 の電位 V_{N2} は約 1 0 V である。このため、フェーズ P 1 7 では 7 V 程度低下して 3 V 程度となる。

【 0 2 4 2 】

一方、ケース B の場合、フェーズ P 1 6 の時点で、出力ノード N 2 の電位 V_{N2} は約 0 V である。よって、ケース A と同様に、ここから 7 V 低下した、約 - 7 V に向かって V_{N2} は低下を始める。しかし、このとき、トランジスタ T 2 のゲート電位が 0 V であるため、出力ノード N 2 の負電位の絶対値がトランジスタ T 2 の閾値電圧 V_{th} より大きくなると、トランジスタ T 2 が内部ノード N 1 から出力ノード N 2 に向かう方向に導通する。この結果、出力ノード N 2 の電位 V_{N2} は、その後上昇を開始する。この電位 V_{N2} は、トランジスタ T 2 がカットオフする値まで、すなわちゲート電位から閾値電圧 V_{th} を低下させた値まで上昇した後、停止する。本実施例では、トランジスタ T 2 の閾値電圧 V_{th} が 2 V であるため、 V_{N2} は - 2 V 付近まで上昇した後、停止する。

10

【 0 2 4 3 】

《フェーズ P 1 8 》

時刻 t_{18} より開始されるフェーズ P 1 8 では、リファレンス線 R E F の電圧を、フェーズ P 1 0 の 5 V に戻す。

【 0 2 4 4 】

ケース A の場合、時刻 t_{18} の直前において、トランジスタ T 2 のソースとなる内部ノード N 1 の電位が 0 V であるため、トランジスタ T 2 のゲートとの電位差 V_{gs} が閾値電圧 V_{th} 以上となる。このため、トランジスタ T 2 が出力ノード N 2 から内部ノード N 1 に向かう方向に導通状態となる。出力ノード N 2 と比較して内部ノード N 1 の寄生容量は十分大きいので、出力ノード N 2 の電位 V_{N2} は内部ノード N 1 の電位 V_{20} に引きつけられ、0 V に向かって低下する。一方、内部ノード N 1 の電位はほとんど変化せず、依然として 0 V を維持する。

20

【 0 2 4 5 】

ケース B の場合も、時刻 t_{18} の直前において、トランジスタ T 2 のソースとなる出力ノード N 2 の電位が - 2 V であるため、トランジスタ T 2 のゲートとの電位差 V_{gs} が閾値電圧 V_{th} 以上となる。このため、トランジスタ T 2 が内部ノード N 1 から出力ノード N 2 に向かって導通状態となる。これにより、出力ノード N 2 の電位 V_{N2} は、トランジスタ T 2 がカットオフする値まで、すなわちゲート電位 (5 V) から閾値電圧 V_{th} だけ低下させた値まで上昇した後、停止する。本実施形態では、閾値電圧 V_{th} が 2 V であるため、 V_{N2} の値は 3 V 付近まで上昇した後、停止する。この値は、ケース A における時刻 t_{10} 時の V_{N2} の値に対応している。

30

【 0 2 4 6 】

なお、依然として第 2 スイッチ回路 2 3 はケース A , B 共に非導通であるため、リファレンス線 R E F の印加電圧が内部ノード N 1 の電位 V_{20} に影響を与えるということはない。

【 0 2 4 7 】

従来の外部極性反転動作による場合には、ゲート線 G L を 1 本ずつ垂直方向に走査する必要があるため、ゲート線 G L に対しゲート線の数 (n) だけ高レベル電圧を印加する必要がある。更には、各ソース線 S L に対してもそれぞれ最大 n 回の充放電動作が必要であった。これに対し、本実施形態の方法によれば、フェーズ P 1 0 ~ P 1 8 に係る各電圧印加ステップを、全ての画素に対して共通に行うことで、対向電圧 V_{com} を高レベルと低レベルの間で切り換えながら、液晶電圧 V_{lc} の極性を反転させることができる。従って、ゲート線 G L に対する電圧印加、及びソース線 S L に対する電圧印加の回数を大幅に削減できるため、ゲートドライバ 1 4 及びソースドライバ 1 3 の消費電力量を大きく削減することができる。

40

【 0 2 4 8 】

なお、図 3 0 では、対向電圧 V_{com} が低レベル (0 V) から高レベル (5 V) へ遷移

50

する場合について説明したが、高レベル（5 V）から低レベル（0 V）へ遷移する場合も、その遷移タイミングは同じで、フェーズ P 1 3 が開始すると（t 1 3）、当該遷移が行われる。

【0 2 4 9】

このとき、極性反転前の時点で、ケース A の場合は液晶電圧 V_{lc} が ± 0 V であり、ケース B の場合は - 5 V である。そして、ケース A の場合、フェーズ P 1 6 の時点で画素電圧 V_{20} が第 2 電圧状態（0 V）となり、液晶電圧 V_{lc} が ± 0 V に復帰する。また、ケース B の場合、フェーズ P 1 4 において強制的に画素電圧 V_{20} が第 1 電圧状態となり、液晶電圧 V_{lc} が + 5 V になる。すなわち、- 5 V から + 5 V に変化しており、極性反転が実行されている。

10

【0 2 5 0】

本実施形態のセルフ極性反転動作をまとめると、以下のようになる。

【0 2 5 1】

まず、フェーズ P 1 0 ~ P 1 3 にかけて第 1 スイッチ回路 2 2 は非導通としておく。フェーズ P 1 1 において、ケース A の場合のみトランジスタ T 2 を非導通にした状態の下で、ブースト線 B S T に高レベル電圧を印加することで、ケース A のみ内部ノード N 2 の電位を大きく上昇させ、トランジスタ T 1 をオン状態とする。

【0 2 5 2】

そして、フェーズ P 1 3 において対向電圧 V_{com} を低レベルから高レベルに反転させた後、フェーズ P 1 4 でソース線 S L を第 1 電圧状態とした状態で第 1 スイッチ回路 2 2 を導通させる。これにより、内部ノード N 1 を両ケース A , B 共に第 1 電圧状態（5 V）とする。

20

【0 2 5 3】

その後、フェーズ P 1 5 で第 1 スイッチ回路 2 2 を非導通とした後、フェーズ P 1 6 で選択線 S E L に高レベル電圧を印加してトランジスタ T 3 をオン状態とする。これにより、トランジスタ T 1 がオン状態を示しているケース A のみ、第 2 スイッチ回路 2 3 が導通し、第 2 電圧状態（0 V）を示すリファレンス線 R E F の電位に引きつけられて内部ノード N 1 が 0 V となる。ケース B は、この時点で第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 が共に非導通であるため、内部ノード N 1 は第 1 電圧状態（5 V）のまま保持される。

30

【0 2 5 4】

そして、フェーズ P 1 7 で、トランジスタ T 3 を再び非導通とし、フェーズ P 1 8 で、第 2 トランジスタ T 2 の導通状態をフェーズ P 1 0 の時点に戻す。

【0 2 5 5】

なお、フェーズ P 1 4 の間のみ第 1 スイッチ回路 2 2 が導通しており、他のフェーズでは第 1 スイッチ回路 2 2 は導通していない。このため、ソース線 S L は、各フェーズにわたって第 1 電圧状態（5 V）を維持するものとしても良い。これは他の類型についても同様である。

【0 2 5 6】

また、フェーズ P 1 3 の対向電圧 V_{com} の反転は、フェーズ P 1 4 におけるゲート線 G L への高レベル電圧印加の終了前までに行えば良い。リファレンス線 R E F の印加電圧を立ち下げた時刻 t 1 2 以後、ゲート線 G L の印加電圧を立ち下げる時刻 t 1 5 より前の間に、対向電圧 V_{com} を反転することができる。セルフ極性反転動作の実行が可能な以下の各類型においても同様である。

40

【0 2 5 7】

（第 2 類型）

図 1 1 に示す第 2 類型の画素回路 2 B の場合、後述するように、常時表示モード時における書き込み動作では、補助容量線 C S L に印加する電圧は、第 1 電圧状態（5 V）か第 2 電圧状態（0 V）のいずれかに固定される。そして、この類型は、書き込み時に補助容量線 C S L に対して 0 V が印加されている場合において、セルフ極性反転動作の実行が可

50

能である。

【 0 2 5 8 】

第 1 類型で説明したように、セルフ極性反転動作では、第 1 スイッチ回路 2 2 を介してソース線 S L から第 1 電圧状態の電圧 5 V を両ケース A , B のノード N 1 に与えた後、ケース A についてのみ、電圧供給線 V S L を兼ねたリファレンス線 R E F から第 2 スイッチ回路 2 3 を介して第 2 電圧状態の電圧 0 V を、ノード N 1 に与える。

【 0 2 5 9 】

これを踏まえると、第 2 類型では、ケース A の場合のみ、第 2 電圧状態の電圧 0 V を、電圧供給線 V S L を兼ねた補助容量線 C S L から第 2 スイッチ回路 2 3 を介して内部ノード N 1 に与えればよい。このためには、補助容量線 C S L に 0 V を印加する必要がある。

10

【 0 2 6 0 】

リファレンス線 R E F は、フェーズ P 1 0 においてケース B の場合にのみトランジスタ T 2 が導通し、ケース A の場合に非導通となるような電圧を与えておけば良いため、第 1 類型と同様の 5 V を与えれば良い。これにより、フェーズ P 1 1 でブースト線 B S T に高レベル電圧を与えてブースト突き上げを行うことで、ケース A の場合のみ出力ノード N 2 の電位を大幅に突き上げ、トランジスタ T 1 を導通させることができる。

【 0 2 6 1 】

以上を踏まえれば、第 2 類型では、補助容量線 C S L への印加電圧が 0 V に限定される点を除けば、第 1 類型で説明したフェーズ P 1 0 ~ P 1 8 と全く同一の電圧印加方法により、セルフ極性反転動作の実行が可能であることが分かる。従って、図 3 1 に示す第 2 類型の画素回路におけるセルフ極性反転動作のタイミング図は、図 3 0 に示す第 1 類型の場合と比較して、補助容量線 C S L への印加電圧が 0 V に限定される点以外は同じである。図 3 1 では、補助容量線 C S L への印加電圧として 5 V を採用できないことを明示すべく、補助容量線 C S L の印加電圧の欄に「 0 V (限定) 」と表記している。

20

【 0 2 6 2 】

なお、本類型の場合においても、フェーズ P 1 5 の時点で内部ノード N 1 の電圧状態の変動を補償すべく、補助容量線 C S L の電圧調整を行うことができる。ただし、本類型の場合、補助容量線 C S L は電圧供給線 V S L を兼ねる構成であるため、ゲート線 G L に高レベル電圧を印加するフェーズ P 1 4 において、補助容量線 C S L の電圧を、予め調整電圧分だけ逆方向に変位させておき、フェーズ P 1 5 の開始時 (t 1 5) に、0 V (第 2 電圧状態) とすれば良い。

30

【 0 2 6 3 】

(第 3 類型)

図 1 2 に示す第 3 類型の画素回路 2 C の場合、電圧供給線 V S L が独立した信号線として設けられている。このため、第 1 スイッチ回路 2 2 を介してソース線 S L から第 1 電圧状態の電圧 5 V を両ケース A , B のノード N 1 に与えた後、ケース A についてのみ、電圧供給線 V S L から第 2 スイッチ回路 2 3 を介して第 2 電圧状態の電圧 0 V を、ノード N 1 に与えることで、セルフ極性反転動作が実現できる。

【 0 2 6 4 】

従って、第 1 類型のフェーズ P 1 6 において、電圧供給線 V S L に第 2 電圧状態 (0 V) の電圧を印加しておけば、第 1 類型で説明したフェーズ P 1 0 ~ P 1 8 と全く同一の電圧印加方法により、セルフ極性反転動作の実行が可能であることが分かる。図 3 2 に、第 3 類型の画素回路によるセルフ極性反転動作のタイミング図を示す。図 3 2 では、補助容量線 C S L に 0 V を印加した場合を図示しているが、直前の書き込み動作時において補助容量線 C S L に 5 V が印加されていれば、セルフ極性反転動作時においても引き続き 5 V を印加すれば良い。また、図 3 2 では電圧供給線 V S L をフェーズ P 1 0 ~ P 1 8 にわたって第 2 電圧状態 (0 V) としたが、少なくともフェーズ P 1 6 において第 2 電圧状態であれば良い。

40

【 0 2 6 5 】

(第 4 類型)

50

図 1 3 に示す第 4 類型の画素回路 2 D の場合は、第 1 類型と同様、リファレンス線 R E F が電圧供給線 V S L を兼ねている。一方、第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 でトランジスタ T 3 を共有する点が、第 1 類型の画素回路 2 A と異なる。

【 0 2 6 6 】

第 1 類型で説明したように、セルフ極性反転動作では、第 1 スイッチ回路 2 2 を介してソース線 S L から第 1 電圧状態の電圧 5 V を両ケース A , B のノード N 1 に与えた後、ケース A についてのみ、電圧供給線 V S L を兼ねたリファレンス線 R E F から第 2 スイッチ回路 2 3 を介して第 2 電圧状態の電圧 0 V を、ノード N 1 に与える必要がある。ここで、第 4 類型の場合、第 1 スイッチ回路 2 2 を導通する場合にも、第 2 スイッチ回路 2 3 を導通する場合にも、トランジスタ T 3 をオン状態にする必要がある。つまり、図 3 0 に示す第 1 類型のタイミング図において、フェーズ P 1 4 で選択線 S E L に高レベル電圧を印加し、トランジスタ T 3 を導通させる必要がある。

10

【 0 2 6 7 】

このとき、ケース B の場合にはトランジスタ T 1 が非導通であるため、第 2 スイッチ回路 2 3 は非導通であり、ノード N 1 にはソース線 S L から第 1 スイッチ回路 2 2 を介して第 1 電圧状態の電圧 5 V が印加されるから問題はない。しかしながらケース A の場合、トランジスタ T 1 が導通しているため、第 2 スイッチ回路 2 3 が導通する。これにより、内部ノード N 1 は、ソース線 S L からは第 1 スイッチ回路 2 2 を介して第 1 電圧状態 (5 V) の電圧が与えられると共に、リファレンス線 R E F からは第 2 スイッチ回路 2 3 を介して第 2 電圧状態 (0 V) の電圧が与えられることとなる。これにより、両電圧が干渉し、内部ノード N 1 の電位を第 1 電圧状態 (5 V) に設定することができない。

20

【 0 2 6 8 】

また、この問題に対処すべく、フェーズ P 1 4 の時点で、リファレンス線 R E F の印加電圧を第 1 電圧状態 (5 V) に上昇させることで、ソース線 S L からもリファレンス線 R E F からも 5 V を与えれば、内部ノード N 1 の電位はケース A , B 共に 5 V にすることができる。しかしながら、このようにした場合、ケース B においてトランジスタ T 2 がノード N 1 から N 2 に向かって導通し、ノード N 2 の電位がトランジスタ T 2 のゲート電位 (5 V) から閾値電圧分だけ低下した電圧値 (3 V) まで上昇してしまう。これにより、フェーズ P 1 6 において、リファレンス線 R E F に第 2 電圧状態の電圧 (0 V) を印加すると、ケース A , B 共にトランジスタ T 1 が導通してしまい、この結果、両ケース共に内部ノード N 1 が 0 V に下がってしまう。従って、このような方法も採用できない。

30

【 0 2 6 9 】

以上により、本実施形態の方法では、第 4 類型の画素回路に対してセルフ極性反転動作を行うことができない。

【 0 2 7 0 】

(第 5 類型)

図 1 6 に示す第 5 類型の画素回路 2 E の場合は、第 2 類型と同様、補助容量線 C S L が電圧供給線 V S L を兼ねている。一方、第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 でトランジスタ T 3 を共有する点が、第 2 類型の画素回路 2 B と異なる。

【 0 2 7 1 】

40

第 5 類型の画素回路 2 E の場合には、フェーズ P 1 4 において、第 1 スイッチ回路 2 2 を介してソース線 S L から第 1 電圧状態の電圧 5 V を両ケース A , B のノード N 1 に与えた後、フェーズ P 1 6 において、ケース A についてのみ、電圧供給線 V S L を兼ねた補助容量線 C S L から第 2 スイッチ回路 2 3 を介して第 2 電圧状態の電圧 0 V を、ノード N 1 に与える必要がある。ここで、第 5 類型の場合、第 1 スイッチ回路 2 2 を導通する場合にも、第 2 スイッチ回路 2 3 を導通する場合にも、トランジスタ T 3 をオン状態にする必要がある。つまり、図 3 1 に示す第 2 類型のタイミング図において、フェーズ P 1 4 で選択線 S E L に高レベル電圧を印加し、トランジスタ T 3 を導通させる必要がある。

【 0 2 7 2 】

しかし、この場合においても、第 4 類型と同様の問題が起こる。つまり、ケース A の場

50

合、トランジスタ T_1 が導通しているため、フェーズ P_{14} において第2スイッチ回路23が導通してしまう。これにより、内部ノード N_1 は、ソース線 SL からは第1スイッチ回路22を介して第1電圧状態(5V)の電圧が与えられると共に、補助容量線 CSL からは第2スイッチ回路23を介して第2電圧状態(0V)の電圧が与えられることとなる。これにより、両電圧が干渉し、内部ノード N_1 の電位を第1電圧状態(5V)に設定することができない。加えて、内部ノード N_1 の電位が変動してしまうため、補助容量線 CSL の印加電圧を5Vに上昇させることもできない。

【0273】

以上により、本実施形態の方法では、第5種類の画素回路に対してセルフ極性反転動作を行うことができない。

10

【0274】

(第6類型)

図17に示す第6種類の画素回路2Fの場合は、第3類型と同様、電圧供給線 VSL が独立した信号線で構成されている。一方、第1スイッチ回路22と第2スイッチ回路23でトランジスタ T_3 を共有する点が、第3種類の画素回路2Cと異なる。

【0275】

第6種類の画素回路2Fの場合には、フェーズ P_{14} において、第1スイッチ回路22を介してソース線 SL から第1電圧状態の電圧5Vを両ケースA、Bのノード N_1 に与えた後、フェーズ P_{16} において、ケースAについてのみ、電圧供給線 VSL から第2スイッチ回路23を介して第2電圧状態の電圧0Vを、ノード N_1 に与える必要がある。ここで、第6類型の場合、第1スイッチ回路22を導通する場合にも、第2スイッチ回路23を導通する場合にも、トランジスタ T_3 をオン状態にする必要がある。つまり、図32に示す第3種類のタイミング図において、フェーズ P_{14} で選択線 SEL に高レベル電圧を印加し、トランジスタ T_3 を導通させる必要がある。

20

【0276】

このとき、ケースAにおいては、フェーズ P_{14} で第1スイッチ回路22と第2スイッチ回路23の両者が導通する。しかし、本類型の場合、第4或いは第5類型とは異なり、電圧供給線 VSL が独立した信号線であるため、この電圧を自由に制御することが可能である。従って、フェーズ P_{14} において、電圧供給線 VSL に第1電圧状態の電圧5Vを印加しておけば、ケースAの場合にも内部ノード N_1 の電位 V_{20} を第1電圧状態にすることができ。

30

【0277】

そして、フェーズ P_{15} 以後、電圧供給線 VSL に第2電圧状態の0Vを与えておけば、第2スイッチ回路23が導通したケースAのみ、内部ノード N_1 の電位 V_{20} が0Vに下がり、第2スイッチ回路23が非導通であるケースBは引き続き5Vを維持することができる。

【0278】

以上をまとめると、第6種類の画素回路においては、電圧供給線 VSL をフェーズ P_{14} で第1電圧状態(5V)とし、その後フェーズ P_{15} で第2電圧状態(0V)とし、他の信号線は第3種類のタイミング図と同様の電圧にすることで、セルフ極性反転動作の実行が可能である。第6種類の画素回路のタイミング図を図33に示す。

40

【0279】

<2. グループY>

次に、ブースト容量素子 C_{bst} の第2端子に選択線 SEL が接続される、グループYに属する各画素回路についてのセルフ極性反転動作につき説明する。

【0280】

(第1類型)

図18に示す画素回路2aは、図8に示す画素回路2Aと比較して、選択線 SEL とブースト線 BST が共通化されている。ここで、図30に示すグループXの画素回路2Aにおけるセルフ極性反転動作のタイミング図を見れば、選択線 SEL とブースト線 BST は

50

電圧パルスの立ち上がりタイミングが異なっている。従って、図 30 のタイミング図をそのままグループ Y の画素回路 2 a に適用することはできない。以下、適宜図 30 のタイミング図を参照しながら説明する。

【0281】

フェーズ P 1 1 では、ケース A の出力ノード N 1 の突き上げを行う必要がある。このため、選択線 S E L に高レベル電圧 (1 0 V) を印加する必要がある。ケース A の場合、この時点で、第 2 スイッチ回路 2 3 が導通状態となる。なお、ケース B の場合はトランジスタ T 1 がオフ状態であるため、第 2 スイッチ回路 2 3 は非導通である。

【0282】

その後、フェーズ P 1 2 でリファレンス線 R E F を第 2 電圧状態 (0 V) に引き下げることで、トランジスタ T 2 がオフ状態となり、それ以後出力ノード N 2 が内部ノード N 1 と電氣的に切断される。このため、リファレンス線 R E F の印加電圧を再び引き上げるまでの間、選択線 S E L の印加電圧は高レベル (1 0 V) を維持する必要がある。なぜなら、もし選択線 S E L の印加電圧を低下させてしまうと、出力ノード N 2 の電位が引き下げられてしまい、フェーズ P 1 1 で電位突き上げを行ったことが無意味化してしまうためである。言い換えれば、リファレンス線 R E F の印加電圧を再び引き上げるまでの間、ケース A では第 2 スイッチ回路 2 3 が導通状態を継続することとなる。

【0283】

ここで、フェーズ P 1 4 において、ケース A , B 共に内部ノード N 1 の電位を第 1 電圧状態に移行させる必要がある。しかし、この時点では依然としてリファレンス線 R E F には 0 V を印加し続けることとなる。このため、ケース A の場合、内部ノード N 1 は、ソース線 S L からは第 1 スイッチ回路 2 2 を介して第 1 電圧状態 (5 V) の電圧が与えられると共に、リファレンス線 R E F からは第 2 スイッチ回路 2 3 を介して第 2 電圧状態 (0 V) の電圧が与えられることとなる。これにより、両電圧が干渉し、内部ノード N 1 の電位を第 1 電圧状態 (5 V) に設定することができない。

【0284】

そして、この時点でリファレンス線 R E F を 5 V に設定できないことについては、グループ X の第 4 類型において説明した通りである。

【0285】

以上により、本実施形態の方法では、グループ Y の第 1 類型の画素回路 2 a に対してセルフ極性反転動作を行うことができない。

【0286】

(第 2 類型)

図 19 に示す画素回路 2 b は、図 11 に示す画素回路 2 B と比較して、選択線 S E L とブースト線 B S T が共通化されている。ここで、図 31 に示すグループ X の画素回路 2 B におけるセルフ極性反転動作のタイミング図を見れば、選択線 S E L とブースト線 B S T は電圧パルスの立ち上がりタイミングが異なっている。従って、図 31 のタイミング図をそのままグループ Y の画素回路 2 b に適用することはできない。以下、適宜図 31 のタイミング図を参照しながら説明する。

【0287】

フェーズ P 1 1 において選択線 S E L に高レベル電圧 (1 0 V) を印加後、リファレンス線 R E F の電圧を再び引き上げるまでの間、選択線 S E L の印加電圧を高レベルに維持する必要がある点は、グループ Y の第 1 類型と同じである。

【0288】

一方、図 31 に示したように、グループ X の第 2 類型の画素回路 2 B では、電圧供給線 V S L を兼ねた補助容量線 C S L から、第 2 電圧状態 (0 V) の電圧を内部ノード N 1 に供給する必要があるため、補助容量線 C S L には 0 V を印加し続ける必要があり、この点はグループ Y の画素回路 2 b においても変わるところはない。

【0289】

つまり、フェーズ P 1 4 で、ケース A , B 共に内部ノード N 1 の電位を第 1 電圧状態に

10

20

30

40

50

移行させるべく、第1スイッチ回路22を導通させた状態の下でソース線SLに第1電圧状態の5Vを印加したとしても、補助容量線CSLには0Vが印加されている。このため、ケースAの場合、内部ノードN1は、ソース線SLからは第1スイッチ回路22を介して第1電圧状態(5V)の電圧が与えられると共に、リファレンス線REFからは第2スイッチ回路23を介して第2電圧状態(0V)の電圧が与えられることとなる。これにより、両電圧が干渉し、内部ノードN1の電位を第1電圧状態(5V)に設定することができない。

【0290】

また、補助容量線CSLの電圧を変化させることができない点については、グループXの第5類型において説明した通りである。

10

【0291】

以上により、本実施形態の方法では、グループYの第2タイプの画素回路2bに対してセルフ極性反転動作を行うことができない。

【0292】

(第3類型)

図20に示す画素回路2cは、図12に示す画素回路2Cと比較して、選択線SELとブースト線BSTが共通化されている。ここで、図32に示すグループXの画素回路2Cにおけるセルフ極性反転動作のタイミング図を見れば、選択線SELとブースト線BSTは電圧パルスの立ち上がりタイミングが異なっている。従って、図32のタイミング図をそのままグループYの画素回路2cに適用することはできない。以下、適宜図32のタイミング図を参照しながら説明する。

20

【0293】

フェーズP11において選択線SELに高レベル電圧(10V)を印加後、リファレンス線REFの電圧を再び引き上げるまでの間、選択線SELの印加電圧を高レベルに維持する必要がある点は、グループYの第1類型と同じである。つまり、この間、ケースAの第2スイッチ回路23は導通状態を継続する。

【0294】

一方、図32に示したように、グループXの第3タイプの画素回路2Cでは、電圧供給線VSLから、第2電圧状態(0V)の電圧を内部ノードN1に供給する必要があり、この点はグループYの画素回路2cにおいても変わるところはない。

30

【0295】

ところで、画素回路2cにおいては、電圧供給線VSLが独立信号線であるため、他の信号線の電位の影響を受けることなく、その電圧値を制御することが可能である。従って、フェーズP14において、両ケースA、B共に内部ノードN1の電位を第1電圧状態にするためには、この期間、電圧供給線VSLも第1電圧状態とすれば良い。そして、その後、ケースAのみ内部ノードN1を第2電圧状態に移行させるべく、電圧供給線VSLを第2電圧状態に引き下げる。この電圧供給線VSLの制御内容は、グループXの第6タイプの画素回路2Fの場合と同じである(図33参照)。

【0296】

このような制御を行うことで、グループYの第3タイプの画素回路2cに対しては、グループXの第3タイプの画素回路2Cと同様、セルフ極性反転の実行が可能である。このタイミング図を図34に示す。なお、図34では選択線SELの印加電圧として、低レベル時に0V、高レベル時に10Vとしているが、この値に限定されるものではない。すなわち、SELに印加する電圧のうち、低レベル電圧値としては、トランジスタT3のゲートに与えることで、トランジスタT3を完全にオフにできるような範囲内であれば良い。また、高レベル電圧値としては、当該トランジスタの一方の端子に+5Vが印加された状態でオンにでき、且つケースAの場合に出力ノードN2の電位が突き上げられることでトランジスタT1をオンにできるような範囲内であれば良い。

40

【0297】

(第4～第5類型)

50

上述したように、グループXに属する第4種類の画素回路2D及び第5種類の画素回路2Eは、本実施形態のセルフ極性反転動作を実行することができない。グループYは、グループXの各回路構成に対して、選択線SELとブースト線BSTが共通化されており、グループXよりも更に制約が加わる構成である。従って、同一類型において、グループXに属する画素回路がセルフ極性反転動作を実行できない場合、当然にグループYに属する画素回路についてもセルフ極性反転動作を実行することはできない。

【0298】

(第6類型)

図23に示す画素回路2fは、図17に示す画素回路2Fと比較して、選択線SELとブースト線BSTが共通化されている。ここで、図33に示すグループXの画素回路2Fにおけるセルフ極性反転動作のタイミング図を見れば、選択線SELとブースト線BSTは電圧パルスの立ち上がりタイミングが異なっている。従って、図33のタイミング図をそのままグループYの画素回路2fに適用することはできない。以下、適宜図33のタイミング図を参照しながら説明する。

【0299】

フェーズP11において選択線SELに高レベル電圧(10V)を印加後、リファレンス線REFの電圧を再び引き上げるまでの間、選択線SELの印加電圧を高レベルに維持する必要がある点は、グループYの第1類型と同じである。つまり、この間、ケースAの第2スイッチ回路23は導通状態を継続する。

【0300】

一方、図33に示したように、グループXの第6種類の画素回路2Fでは、電圧供給線VSLから、第2電圧状態(0V)の電圧を内部ノードN1に供給する必要があり、この点はグループYの画素回路2fにおいても変わるところはない。

【0301】

そして、画素回路2fは、画素回路2Fと同様、電圧供給線VSLが独立信号線であるため、他の信号線の電位の影響を受けることなく、その電圧値を制御することが可能である。つまり、図33に示すタイミング図と同様に、フェーズP14において、両ケースA、B共に内部ノードN1の電位を第1電圧状態にするためには、この期間、電圧供給線VSLも第1電圧状態とすれば良い。そして、その後、電圧供給線VSLを第2電圧状態に引き下げることで、第2スイッチ回路23が導通状態であるケースAのみ、内部ノードN1が第2電圧状態(0V)に引き下げられる。

【0302】

このような制御を行うことで、グループYの第6種類の画素回路2fに対しては、グループXの第6種類の画素回路2Fと同様、セルフ極性反転の実行が可能である。なお、本類型のセルフ極性反転動作のタイミング図は、図34に示したグループYの第3種類のタイミング図と全く同一になるため、図示を割愛する。

【0303】

[第4実施形態]

第4実施形態では、第3実施形態とは異なるシーケンスに基づいてセルフ極性反転を行う場合につき図面を参照して説明する。なお、各信号線に対する電圧印加の制御を行う構成要素は、第3実施形態と同じである。

【0304】

第3実施形態と同様、セルフ極性反転動作の対象となる画素回路2に接続する全てのゲート線GL、ソース線SL、選択線SEL、リファレンス線REF、補助容量線CSL、ブースト線BST、及び対向電極80には、全て同じタイミングで電圧印加が行われる。そして、同一タイミング下では、全てのゲート線GLに対して同一電圧が印加され、全てのリファレンス線REFに対して同一電圧が印加され、全ての補助容量線CSLに対して同一電圧が印加され、全てのブースト線BSTに対して同一電圧が印加される。

【0305】

<1. グループX>

まず、ブースト容量素子 C_{bst} の第 2 端子にブースト線 BST が接続される、グループ X に属する各画素回路についてのセルフ極性反転動作につき説明する。

【0306】

(第 1 類型)

図 8 に示す第 1 類型の画素回路 2A における、本実施形態の方法によるセルフ極性反転動作のタイミング図を図 35 に示す。図 35 に示すように、セルフ極性反転動作は、8 つのフェーズ $P20 \sim P27$ に分解される。各フェーズの開始時刻をそれぞれ $t20, t21, \dots, t27$ とする。図 35 には、セルフ極性反転動作の対象となる画素回路 2A に接続する全てのゲート線 GL , ソース線 SL , 選択線 SEL , リファレンス線 REF , 補助容量線 CSL , ブースト線 BST の各電圧波形と、対向電圧 V_{com} の電圧波形を図示している。なお、本実施形態では、画素回路アレイの全画素回路が、セルフ極性反転動作の対象とする。

10

【0307】

《フェーズ $P20$ 》

時刻 $t20$ より開始されるフェーズ $P20$ では、セルフ極性反転動作開始前の初期状態設定動作を行う。

【0308】

ゲート線 GL , ソース線 SL , 選択線 SEL , ブースト線 BST , 補助容量線 CSL の印加電圧、及び対向電圧 V_{com} は第 3 実施形態のフェーズ $P10$ と同様にする。

【0309】

20

リファレンス線 REF には、内部ノード $N1$ の電圧状態にかかわらず、トランジスタ $T2$ が導通状態となるような電圧値を印加する。必然的に、第 3 実施形態のフェーズ $P10$ よりも高い電圧となる。ここでは、8V とする。これにより、ケース A, B の双方において、トランジスタ $T2$ は導通状態を示す。

【0310】

これにより、ケース A, B 双方において、ノード $N1$ 及び $N2$ が同電位を示す。ケース A では両ノードが第 1 電圧状態を示し、ケース B では両ノードが第 2 電圧状態を示す。このとき、トランジスタ $T1$ はカットオフ状態を示す。

【0311】

《フェーズ $P21$ 》

30

時刻 $t21$ より開始されるフェーズ $P21$ では、リファレンス線 REF を低レベル (0V) とし、各ケース A, B 双方において、トランジスタ $T2$ をオフとする。これにより、両ケース A, B ともに、出力ノード $N2$ が内部ノード $N1$ から遮断される。

【0312】

《フェーズ $P22$ 》

時刻 $t22$ より開始されるフェーズ $P22$ では、対向電圧 V_{com} を高レベル (5V) へシフトさせる。これにより、フェーズ $P13$ と同様、ケース A, B の双方において、画素電極 20 の電位 $V20$ はそれぞれ約 1V 程度上昇する。一方、出力ノード $N2$ については、トランジスタ $T2$ がオフ状態であるため対向電圧 V_{com} の上昇の影響を受けず、直前の電位が保持される。なお、このフェーズ $P22$ が開始される時刻 $t22$ からフェーズ $P25$ が開始される $t25$ の直前までの間、時刻 $t20$ の時点と比べて液晶電圧 V_{lc} の絶対値が異なる値となり、理論的には、この時点以後、表示される画像に変化が生じる。しかしながら、第 3 実施形態の場合と同様、最終的に極性反転が完了するまでの期間を短くすることで、当該表示状態の一時的な変化が短時間に抑えられ、人間の視覚には感知できない程度に、液晶電圧 V_{lc} の平均値の変動が極めて微小となる。時刻 $t25$ 以後においては、ケース A, B の双方とも、液晶電圧 V_{lc} の絶対値が時刻 $t21$ の直前と同一の値となる。

40

【0313】

《フェーズ $P23$ 》

時刻 $t23$ より開始されるフェーズ $P23$ では、ゲート線 GL に高レベル電圧を印加し

50

、トランジスタT 4を導通させる。ここでは8 Vとする。これにより、画素回路2 Aにおいて、第1スイッチ回路2 2が導通する。

【0314】

そして、ソース線S Lの印加電圧を、第1電圧状態(5 V)にシフトする。これにより、各ケースA, Bによらず、内部ノードN 1の電位V 2 0を第1電圧状態に移行させる。なお、トランジスタT 2が非導通であるため、ノードN 2の電位V N 2は依然としてフェーズP 2 2の状態を保持する。

【0315】

《フェーズP 2 4》

時刻t 2 4より開始されるフェーズP 2 4では、ゲート線G Lに再び低レベル電圧を印加し、トランジスタT 4を非導通とする。これにより、第1スイッチ回路2 2が非導通状態となる。また、ソース線S Lの印加電圧を、第2電圧状態(0 V)にシフトする。第1スイッチ回路2 2が非導通であるため、内部ノードN 1の電位はフェーズP 2 3の値を保持する。

10

【0316】

このとき、トランジスタT 4が完全にオフ状態となることで、トランジスタT 4のゲートと内部ノードN 1との間の容量結合によって、内部ノードN 1の第1電圧状態(5 V)が変動する場合には、補助容量線C S Lの電圧を調整し、第2容量素子C 2を介した容量結合によって、内部ノードN 1の当該電圧変動を補償するようにしても良い。セルフ極性反転動作の実行が可能な他の類型においても同様とする。

20

【0317】

《フェーズP 2 5》

時刻t 2 5より開始されるフェーズP 2 5では、選択線S E Lに、トランジスタT 3が完全にオン状態となるような電圧を印加する。ここでは8 Vとする。

【0318】

このとき、ケースAの場合、出力ノードN 2の電位V N 2が約5 Vであり、ソース線S Lには0 Vが印加されているため、トランジスタT 1がオン状態となる。すなわち、第2スイッチ回路2 3が導通する。時刻t 2 5の直前において内部ノードN 1の電位V 2 0はほぼ5 Vを示しており、リファレンス線R E Fには0 Vが印加されている。よって、内部ノードN 1から第2スイッチ回路2 3を介してリファレンス線R E Fに向けて電流が発生する。これにより、内部ノードN 1の電位V 2 0が第2電圧状態(0 V)に遷移する。他方、ケースBの場合は、V N 2が約0 Vであるため、トランジスタT 1は依然としてオフ状態である。すなわち、第2スイッチ回路2 3は非導通であり、内部ノードN 1の電位は5 Vのまま保持される。

30

【0319】

この時点で、ケースAの場合には液晶電圧V 1 cに- 5 Vが印加され、ケースBの場合には± 0 Vが印加される。よって、極性反転が完了し、これ以後、表示される画像がセルフ極性反転動作の開始直前に表示されていた画像に復帰する。フェーズP 2 5以後は、このV 1 cの絶対値は変化しないため、表示される画像に変化は生じない。

【0320】

40

《フェーズP 2 6》

時刻t 2 6より開始されるフェーズP 2 6では、選択線S E Lの印加電圧を低レベル(0 V)に戻し、トランジスタT 3を非導通状態とする。これによって、内部ノードN 1がリファレンス線R E Fから電氣的に分離される。

【0321】

《フェーズP 2 7》

時刻t 2 7より開始されるフェーズP 2 7では、ケースA, Bに関係なく、トランジスタT 2が導通するような電圧をリファレンス線R E Fに与える。ここでは8 Vとする。

【0322】

これにより、ケースA, Bの双方において、ノードN 1とN 2が電氣的に接続し、これ

50

らが同電位となる。内部ノードN1の方が出力ノードN2よりも寄生容量が大きいので、出力ノードN2の電位が内部ノードN1の電位に向けて変化する。すなわち、ケースAではノードN2の電位V20が第2電圧状態(0V)となり、ケースBでは第1電圧状態(5V)となる。

【0323】

なお、第1タイプの画素回路2Aとして、トランジスタT1の一端を直接ソース線SLに接続した図9の構成を採用した場合には、ノードN2に5Vが印加され、ソース線SLに0Vが印加されるため、トランジスタT1においてゲート-ソース間に閾値電圧以上の電位差が生じることから、フェーズP20において導通する。この状態は、フェーズP24まで継続される。フェーズP25以後においては、図8の画素回路と同様である。

10

【0324】

本実施形態の方法の場合、ブースト線BSTに高レベル電圧を印加してノードN2を突き上げることなく、セルフ極性反転動作を実行することができる。

【0325】

なお、フェーズP23の間のみ第1スイッチ回路22が導通しており、他のフェーズでは第1スイッチ回路22は導通していない。このため、ソース線SLは、各フェーズにわたって第1電圧状態(5V)を維持するものとしても良い。これは他の類型についても同様である。

【0326】

また、フェーズP22の対向電圧Vcomの反転は、フェーズP23におけるゲート線GLへの高レベル電圧印加の終了前までに行えば良い。リファレンス線REFの印加電圧を立ち下げた時刻t21以後、ゲート線GLの印加電圧を立ち下げる時刻t24より前の間に、対向電圧Vcomを反転することができる。セルフ極性反転動作の実行が可能な以下の各類型においても同様である。

20

【0327】

(第2タイプ)

図11に示す第2タイプの画素回路2Bの場合、書き込み時に補助容量線CSLに対して0Vが印加されている場合において、セルフ極性反転動作の実行が可能である点は、第3実施形態の場合と同じである。

【0328】

30

第1タイプで説明したように、セルフ極性反転動作では、第1スイッチ回路22を介してソース線SLから第1電圧状態の電圧5Vを両ケースA、BのノードN1に与えた後、ケースAについてのみ、電圧供給線VSLを兼ねたリファレンス線REFから第2スイッチ回路23を介して第2電圧状態の電圧0Vを、ノードN1に与える必要がある。そして、第2タイプでは、ケースAの場合のみ、第2電圧状態の電圧0Vを、電圧供給線VSLを兼ねた補助容量線CSLから第2スイッチ回路23を介して内部ノードN1に与えれば良く、このためには、補助容量線CSLに0Vを印加する必要がある点においても、第3実施形態の場合と同じである。

【0329】

以上を踏まえれば、第2タイプでは、補助容量線CSLへの印加電圧が0Vに限定される点を除けば、第1タイプで説明したフェーズP20~P27と全く同一の電圧印加方法により、セルフ極性反転動作の実行が可能であることが分かる。従って、図36に示す第2タイプの画素回路におけるセルフ極性反転動作のタイミング図は、図35に示す第1類型の場合と比較して、補助容量線CSLへの印加電圧が0Vに限定される点以外は同じである。図36では、補助容量線CSLへの印加電圧として5Vを採用できないことを明示すべく、補助容量線CSLの印加電圧の欄に「0V(限定)」と表記している。

40

【0330】

なお、第3実施形態と同様、本類型の場合、フェーズP15の時点で内部ノードN1の電圧状態の変動を補償すべく、補助容量線CSLの電圧調整を行う際には、ゲート線GLに高レベル電圧を印加するフェーズP23において、補助容量線CSLの電圧を、予め調

50

整電圧分だけ逆方向に変位させておき、フェーズ P 2 4 の開始時 (t 2 4) に、0 V (第 2 電圧状態) とすれば良い。

【 0 3 3 1 】

(第 3 類型)

図 1 2 に示す第 3 類型の画素回路 2 C の場合、電圧供給線 V S L が独立した信号線として設けられている。このため、第 1 スイッチ回路 2 2 を介してソース線 S L から第 1 電圧状態の電圧 5 V を両ケース A , B のノード N 1 に与えた後、ケース A についてのみ、電圧供給線 V S L から第 2 スイッチ回路 2 3 を介して第 2 電圧状態の電圧 0 V を、ノード N 1 に与えることで、セルフ極性反転動作が実現できる。

【 0 3 3 2 】

10

従って、第 1 類型のフェーズ P 2 5 において、電圧供給線 V S L に第 2 電圧状態 (0 V) の電圧を印加しておけば、第 1 類型で説明したフェーズ P 2 0 ~ P 2 7 と全く同一の電圧印加方法により、セルフ極性反転動作の実行が可能であることが分かる。図 3 7 に、第 3 類型の画素回路によるセルフ極性反転動作のタイミング図を示す。図 3 7 では、補助容量線 C S L に 0 V を印加した場合を図示しているが、直前の書き込み動作時において補助容量線 C S L に 5 V が印加されていれば、セルフ極性反転動作時においても引き続き 5 V を印加すれば良い。また、図 3 7 では電圧供給線 V S L をフェーズ P 2 0 ~ P 2 7 にわたって第 2 電圧状態 (0 V) としたが、少なくともフェーズ P 2 5 において第 2 電圧状態であれば良い。

【 0 3 3 3 】

20

なお、本類型の場合、電圧供給線 V S L が独立しているため、フェーズ P 2 3 でトランジスタ T 3 がオン状態であっても、この時点で V S L に + 5 V を印加しておけば、内部ノード N 1 の電位を第 1 電圧状態にすることができる。これを踏まえれば、選択線 S E L の立ち上がりタイミングを第 3 実施形態と同様に早めることが可能である。以下、この場合につき図 3 8 を参照して説明する。

【 0 3 3 4 】

リファレンス線 R E F を 0 V に落とす前に選択線 S E L を 8 V に立ち上げる。そして、この選択線 S E L の立ち上げと共に電圧供給線 V S L に 5 V を印加する。このとき、トランジスタ T 3 はオン状態となり、トランジスタ T 1 の端子の内、内部ノード N 1 とは反対側の端子には 5 V が印加される。しかし、ケース B の場合は出力ノード N 2 の電位はほぼ 0 V であるためトランジスタ T 1 はオフ状態であり、ケース A の場合であっても出力ノード N 2 の電位はほぼ 5 V であるため、閾値電圧以上の電圧がゲート - ソース間には与えられることがなく、やはりトランジスタ T 1 はオフ状態である。

30

【 0 3 3 5 】

そして、フェーズ P 2 2 でリファレンス線 R E F を 0 V とし、トランジスタ T 2 をオフ状態とする。その後、上記実施形態と同様、対向電圧 V c o m を高レベルにシフトさせた後 (フェーズ P 2 3) 、ゲート線 G L を高レベルとすると共にソース線 S L に第 1 電圧状態の高レベル電圧を印加する (フェーズ P 2 4) 。これによって、両ケース共に内部ノード N 1 の電位 V 2 0 が第 1 電圧状態となる点は同じである。その後、フェーズ P 2 5 において、ゲート線 G L を低レベルにシフトし、ソース線 S L の印加電圧を第 2 電圧状態にシフトする。

40

【 0 3 3 6 】

そして、フェーズ P 2 5 において電圧供給線 V S L を第 2 電圧状態 (0 V) にシフトする。この時点で、選択線 S E L は既に高レベルであるため、図 3 7 のタイミング図におけるフェーズ P 2 5 と同じ電圧状態となる。すなわち、ケース A の場合にのみトランジスタ T 1 が導通し、内部ノード N 1 の電位が第 2 電圧状態に低下する。一方、ケース B の場合には出力ノード N 2 の電位が低いいためトランジスタ T 1 は依然として非導通であるため、内部ノード N 1 の電位は引き続き第 1 電圧状態が維持される。

【 0 3 3 7 】

その後は、図 3 7 のタイミング図と同じ電圧供給状態とすれば良い。すなわち、フェー

50

ズ P 2 6 で選択線 S E L を低レベルにシフトさせてトランジスタ T 3 をオフにした後、フェーズ P 2 7 でリファレンス線 R E F を高レベルにシフトしてトランジスタ T 2 をオンにする。これにより、内部ノード N 1 の電位 V 2 0 が出力ノード N 2 に現れる。

【 0 3 3 8 】

このように、本類型のように電圧供給線 V S L が独立して存在する場合には、トランジスタ T 4 を介して内部ノード N 1 を第 1 電圧状態とする際に、電圧供給線 V S L を第 1 電圧状態とすることができるため、ゲート線 G L を高レベルにシフトする前段階で選択線 S E L を高レベルにシフトさせることが可能である。

【 0 3 3 9 】

(第 4 ～ 第 5 類型)

第 3 実施形態と同様の理由により、図 1 5 に示す第 4 類型の画素回路 2 D、及び図 1 6 に示す第 5 類型の画素回路 2 E に対しては、本実施形態のセルフ極性反転動作を実行することができない。

【 0 3 4 0 】

(第 6 類型)

図 1 7 に示す第 6 類型の画素回路 2 F の場合は、フェーズ P 2 3 において、第 1 スイッチ回路 2 2 を介してソース線 S L から第 1 電圧状態の電圧 5 V を両ケース A , B のノード N 1 に与えた後、フェーズ P 2 5 において、ケース A についてのみ、電圧供給線 V S L から第 2 スイッチ回路 2 3 を介して第 2 電圧状態の電圧 0 V を、ノード N 1 に与える必要がある。ここで、第 6 類型の場合、第 1 スイッチ回路 2 2 を導通する場合にも、第 2 スイッチ回路 2 3 を導通する場合にも、トランジスタ T 3 をオン状態にする必要がある。つまり、図 3 7 に示す第 3 類型のタイミング図において、フェーズ P 2 3 で選択線 S E L に高レベル電圧を印加し、トランジスタ T 3 を導通させる必要がある。

【 0 3 4 1 】

このとき、ケース A においては、フェーズ P 2 3 で第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 の両者が導通するが、電圧供給線 V S L に第 1 電圧状態の電圧 5 V を印加しておけば、ケース A の場合にも内部ノード N 1 の電位 V 2 0 を第 1 電圧状態にすることができる。そして、フェーズ P 2 5 以後、電圧供給線 V S L に第 2 電圧状態の 0 V を与えておけば、第 2 スイッチ回路 2 3 が導通したケース A のみ、内部ノード N 1 の電位 V 2 0 が 0 V に下がり、第 2 スイッチ回路 2 3 が非導通であるケース B は引き続き 5 V を維持することができる。

【 0 3 4 2 】

以上をまとめると、第 6 類型の画素回路においては、電圧供給線 V S L をフェーズ P 2 3 で第 1 電圧状態 (5 V) とし、その後フェーズ P 2 5 で第 2 電圧状態 (0 V) とし、他の信号線は第 3 類型のタイミング図と同様の電圧にすることで、セルフ極性反転動作の実行が可能である。第 6 類型の画素回路のタイミング図を図 3 9 に示す。

【 0 3 4 3 】

なお、図 3 9 を見れば、ゲート線 G L を高レベルにシフトさせる際に選択線 S E L に 8 V (高レベル電圧) が印加されており、トランジスタ T 3 が導通している。従って、図 3 8 に示した第 3 類型と全く同様の電圧印加方法によって、本類型でもセルフ極性反転動作を実行することが可能であることが分かる。タイミング図は図 3 8 と同じであるため割愛する。

【 0 3 4 4 】

< 2 . グループ Y >

次に、ブースト容量素子 C b s t の第 2 端子に選択線 S E L が接続される、グループ Y に属する各画素回路についてのセルフ極性反転動作につき説明する。

【 0 3 4 5 】

(第 1 , 第 2 , 第 4 , 第 5 類型、)

まず、図 1 8 に示すグループ Y の第 1 類型の画素回路 2 a の動作について、図 3 5 に示すグループ X の第 1 類型の画素回路のタイミング図を参照して説明する。上述したように

、本実施形態では、フェーズ P 2 5 の時点で選択線 S E L を高レベル電圧にシフトさせ、トランジスタ T 3 を導通させる必要がある。

【 0 3 4 6 】

ここで、フェーズ P 2 5 の時点では、リファレンス線 R E F は 0 V が印加されており、トランジスタ T 2 が非導通である。

【 0 3 4 7 】

従って、グループ Y の第 1 種類の画素回路 2 a に対し、フェーズ P 2 5 と同じ電圧状態とした場合、ケース A , B 共に選択線 S E L の電圧上昇に起因して出力ノード N 2 の電位が突き上げられる。この結果、双方のケースにおいてトランジスタ T 1 がオン状態を示し、第 2 スイッチ回路 2 3 が導通する。

10

【 0 3 4 8 】

従って、フェーズ P 2 5 においてケース A , B 共に内部ノード N 1 が第 2 電圧状態 (0 V) に移行してしまい、セルフ極性反転動作が実行されない。

【 0 3 4 9 】

そして、上記の説明は、第 2 , 第 4 , 第 5 種類の画素回路 2 b , 2 d , 2 e においても当てはまる。つまり、本実施形態の方法では、グループ Y の第 1 , 第 2 , 第 4 , 第 5 種類の各画素回路に対するセルフ極性反転動作を実行することができない。

【 0 3 5 0 】

(第 3 , 第 6 類型)

第 3 種類の画素回路 2 c の場合、グループ X の第 3 種類の画素回路 2 C の場合の電圧印加方法のうち、図 3 8 に示した方法を利用してセルフ極性反転を行うことが可能である。

20

【 0 3 5 1 】

すなわち、フェーズ P 2 0 でリファレンス線 R E F に 8 V を印加してトランジスタ T 2 を導通させた後、フェーズ P 2 1 で選択線 S E L に高レベル電圧を印加すると共に電圧供給線 V S L に 5 V を印加する。本種類の画素 2 c は、選択線 S E L が第 1 容量素子 C b s t の一端に接続されているが、ケース A , B の双方共にトランジスタ T 2 が導通しているため、選択線 S E L の電圧レベルが上昇しても出力ノード N 2 の電位はほとんど上昇しない。また、このとき、トランジスタ T 3 はオン状態となり、トランジスタ T 1 の端子の内、内部ノード N 1 とは反対側の端子には 5 V が印加される。しかし、ケース B の場合は出力ノード N 2 の電位はほぼ 0 V であるためトランジスタ T 1 はオフ状態であり、ケース A の場合であっても出力ノード N 2 の電位はほぼ 5 V であるため、閾値電圧以上の電圧がゲート - ソース間には与えられることがなく、やはりトランジスタ T 1 はオフ状態である。なお、ケース A の場合、閾値電圧の値によっては、トランジスタ T 1 がオン状態となる可能性も考えられるが、この場合には、内部ノード N 1 に第 1 電圧状態の電圧が印加されることで、第 1 電圧状態にセルフリフレッシュされるだけであり、問題はない。

30

【 0 3 5 2 】

そして、フェーズ P 2 2 でリファレンス線 R E F を 0 V とし、トランジスタ T 2 をオフ状態とする。その後、対向電圧 V c o m を高レベルにシフトさせた後 (フェーズ P 2 3) 、ゲート線 G L を高レベルとすると共にソース線 S L に第 1 電圧状態の高レベル電圧を印加する (フェーズ P 2 4) 。これによって、両ケース共に内部ノード N 1 の電位 V 2 0 が第 1 電圧状態となる。その後、フェーズ P 2 5 において、ゲート線 G L を低レベルにシフトし、ソース線 S L の印加電圧を第 2 電圧状態にシフトする。

40

【 0 3 5 3 】

そして、フェーズ P 2 5 において電圧供給線 V S L を第 2 電圧状態 (0 V) にシフトする。この時点で、選択線 S E L は既に高レベルであるため、ケース A の場合にのみトランジスタ T 1 が導通し、内部ノード N 1 の電位が第 2 電圧状態に低下する。一方、ケース B の場合には出力ノード N 2 の電位が低いためトランジスタ T 1 は依然として非導通であるため、内部ノード N 1 の電位は引き続き第 1 電圧状態が維持される。

【 0 3 5 4 】

その後、リファレンス線 R E F を高レベルにし、フェーズ P 2 6 でリファレンス線 R E

50

Fを高レベルにシフトしてトランジスタT2をオンにする。これにより、内部ノードN1の電位V20が出力ノードN2に現れる。

【0355】

フェーズP26でトランジスタT2をオンにした後、フェーズP27で選択線SELを低レベルにシフトさせる。このようにすることで、ノードN2への電位変動の影響はほとんどない。このような手順で電圧印加を行うことで、セルフ極性反転動作が実行される。このタイミング図を図40に示す。

【0356】

なお、図40によれば、ゲート線GLを高レベルにシフトさせる際に選択線SELに8V（高レベル電圧）が印加されており、トランジスタT3が導通している。従って、同様の電圧印加方法によって、第6タイプの画素回路2fに対してもセルフ極性反転動作を実行することが可能であることが分かる。タイミング図は図40と同じであるため割愛する。

【0357】

[第5実施形態]

第5実施形態では、常時表示モードにおける書き込み動作につき、各類型毎に図面を参照して説明する。

【0358】

常時表示モードにおける書き込み動作では、1フレーム分の画素データを水平方向（行方向）の表示ライン毎に分割し、1水平期間毎に、各列のソース線SLに1表示ライン分の各画素データに対応した2値の電圧、すなわち高レベル電圧（5V）又は低レベル電圧（0V）を印加する。そして、選択された表示ライン（選択行）のゲート線GLに選択行電圧8Vを印加して、当該選択行の全ての画素回路2の第1スイッチ回路22を導通状態にして、各列のソース線SLの電圧を、選択行の各画素回路2の内部ノードN1に転送する。

【0359】

選択された表示ライン以外（非選択行）のゲート線GLには、当該選択行の全ての画素回路2の第1スイッチ回路22を非導通状態にするため、非選択行電圧-5Vを印加する。なお、以下に説明する書き込み動作における各信号線の電圧印加のタイミング制御は、表示制御回路11によって行われ、個々の電圧印加は、表示制御回路11、対向電極駆動回路12、ソースドライバ13、ゲートドライバ14によって行われる。

【0360】

<1. グループX>

まず、トランジスタT3の制御端子にブースト線BSTが接続される、グループXに属する各画素回路についての常時表示モードにおける書き込み動作につき説明する。

【0361】

（第1類型）

図41に、第1タイプの画素回路2A（図8）を使用した書き込み動作のタイミング図を示す。図41では、1フレーム期間における2本のゲート線GL1、GL2、2本のソース線SL1、SL2、選択線SEL、リファレンス線REF、補助容量線CSL、ブースト線BSTの各電圧波形と、対向電圧Vcomの電圧波形を図示している。更に、図41では、2つの画素回路2Aの内部ノードN1の画素電圧V20の各電圧波形を合わせて表示している。2つの画素回路2Aの一方は、ゲート線GL1とソース線SL1で選択される画素回路2A（a）で、他方は、ゲート線GL1とソース線SL2で選択される画素回路2A（b）で、図中の画素電圧V20の後ろに、それぞれ（a）と（b）を付して区別している。

【0362】

1フレーム期間は、ゲート線GLの本数分の水平期間に分割され、各水平期間に選択されるゲート線GL1～GLnが順番に割り当てられている。図41では、最初の2水平期間における2本のゲート線GL1、GL2の電圧変化を図示している。第1水平期間では、ゲート線GL1に選択行電圧8Vが、ゲート線GL2に非選択行電圧-5Vが印加され

10

20

30

40

50

、第2水平期間では、ゲート線GL2に選択行電圧8Vが、ゲート線GL1に非選択行電圧-5Vが印加され、それ以後の水平期間では、両ゲート線GL1、GL2に非選択行電圧-5Vが印加される。

【0363】

各列のソース線SLには、水平期間毎に対応する表示ラインの画素データに対応した電圧(5V, 0V)が印加されている。図41では、各ソース線SLを代表して2本のソース線SL1, SL2を図示している。なお、図41に示す例では、画素電圧V20の変化を説明するため、最初の1水平期間の2本のソース線SL1, SL2の電圧を5Vと0Vに分けて設定している。

【0364】

10

第1タイプの画素回路2Aは、第1スイッチ回路22がトランジスタT4だけで構成されているので、第1スイッチ回路22の導通非導通の制御は、トランジスタT4だけのオンオフ制御で十分である。また、第2スイッチ回路23は、書き込み動作では導通状態にする必要がなく、非選択行の画素回路2Aで第2スイッチ回路23が導通状態となるのを防止するために、1フレーム期間の間、全ての画素回路2Aに接続する選択線SELに非選択用電圧0V(-5Vでも良い)を印加する。なお、ブースト線BSTにも選択線SELと同一の電圧を印加する。

【0365】

また、リファレンス線REFには、1フレーム期間の間、トランジスタT2を内部ノードN1の電圧状態に関係なく常時オン状態とするために、高レベルの電圧(5V)より閾値電圧(2V程度)以上高い8Vを印加する。これにより、出力ノードN2と内部ノードN1が電氣的に接続され、内部ノードN1に接続する補助容量素子Csを画素電圧V20の保持に利用することができ、画素電圧V20の安定化に資する。また、補助容量線CSLは所定の固定電圧(例えば、0V)に固定する。対向電圧Vcomは、上述した対向AC駆動がなされるが、1フレーム期間の間は0V又は5Vに固定される。図41では、対向電圧Vcomは0Vに固定されている。

20

【0366】

(第2, 第3類型)

図41に示した、第1タイプの画素回路2Aにおける書き込み動作のタイミング図を見れば、1フレーム期間にわたって選択線SELには常に低レベル電圧が印加されている。つまり、第2スイッチ回路23は常に非導通である。

30

【0367】

従って、第2スイッチ回路23の一端が補助容量線CSLに接続する第2タイプの画素回路2Bや、電圧供給線VSLに接続する第3類型においても、第1タイプのタイミング図と同様の電圧印加により書き込み動作が可能である。なお、第3類型の場合、電圧供給線VSLへの印加電圧は、0Vとすれば良い。

【0368】

また、第3類型の場合、電圧供給線VSLに5V(第1電圧状態)を印加することで、選択線SELに0Vを印加して、トランジスタT3をオフ状態としなくても、トランジスタT1の制御端子の電圧が内部ノードN1と同電圧であるので、ダイオード接続状態のトランジスタT1が逆バイアス状態(オフ状態)となり、第2スイッチ回路23が非導通状態となる。

40

【0369】

(第4類型)

図13に示す第4タイプの画素回路2Dは、第1スイッチ回路22がトランジスタT4とトランジスタT3の直列回路で構成されるため、書き込み時には、トランジスタT4のみならずT3をも導通させる必要がある。この点で、第1タイプの画素回路とは異なるシーケンスとなる。

【0370】

図42に、第4タイプの画素回路2Dを使用した書き込み動作のタイミング図を示す。図

50

4 2では、2本の選択線SEL1, SEL2を図示している点以外は、図41と図示している項目は共通する。

【0371】

ゲート線GL(GL1, GL2)、及び、ソース線SL(SL1, SL2)の電圧印加タイミング及び電圧振幅は、図41と全く同じである。

【0372】

画素回路2Dでは、第1スイッチ回路22が、トランジスタT4とトランジスタT3の直列回路で構成されているので、第1スイッチ回路22の導通/非導通を制御する際には、トランジスタT4のオンオフ制御に加え、トランジスタT3のオンオフ制御が必要となる。従って、本類型では、全ての選択線SELを一括して制御するのではなく、ゲート線GLと同様に、行単位に個別に制御する必要がある。つまり、選択線SELは行毎に1本ずつ、ゲート線GL1~GLnと同数設けられ、ゲート線GL1~GLnと同様に順番に選択される。

10

【0373】

図42では、最初の2水平期間における2本の選択線SEL1, SEL2の電圧変化を図示している。第1水平期間では、選択線SEL1に選択用電圧8Vが、選択線SEL2に非選択用電圧-5Vが印加され、第2水平期間では、選択線SEL2に選択用電圧8Vが、選択線SEL1に非選択用電圧-5Vが印加され、それ以後の水平期間では、両選択線SEL1, SEL2に非選択用電圧-5Vが印加される。

【0374】

20

リファレンス線REF、補助容量線CSL、ブースト線BSTへの印加電圧、並びに対向電圧Vcomについては、図41に示す第1類型と同じである。なお、非選択行において、第1スイッチ回路22を非導通状態とする場合、トランジスタT4が完全にオフ状態となっているので、トランジスタT3をオフにするための選択線SELの非選択用電圧は、-5Vでなく0Vでも良い。

【0375】

なお、本類型の画素回路の場合、書き込み時にトランジスタT3が導通するが、リファレンス線REFに8Vが印加されているため、内部ノードN1が第1電圧状態であってもトランジスタT1がリファレンス線REFからトランジスタT3に向かう方向に導通することはない。このため、リファレンス線REFに印加された8Vが、第2スイッチ回路23を介して内部ノードN1に与えられるということではなく、ノードN1にはソース線SLに与えられた正しい書き込み電圧が与えられる。

30

【0376】

(第5類型)

図16に示す第5類型の画素回路2Eにおいても、第4類型の場合と同様、選択線SELを一括して制御するのではなく、ゲート線GLと同様に、行単位に個別に制御する必要がある。つまり、選択線SELは行毎に1本ずつ、ゲート線GL1~GLnと同数設けられ、ゲート線GL1~GLnと同様に順番に選択される。

【0377】

そして、本類型の構成の場合、書き込み時にトランジスタT3が導通するため、第2スイッチ回路23が導通することで内部ノードN1の電位V20が変動しないように、補助容量線CSLには5Vを与えておく必要がある。その他は第4類型の画素回路2Dと同様の電圧印加方法によって書き込み動作が可能である。

40

【0378】

(第6類型)

図17に示す第6類型の画素回路2Fにおいても、第4類型の場合と同様、選択線SELを一括して制御するのではなく、ゲート線GLと同様に、行単位に個別に制御する必要がある。つまり、選択線SELは行毎に1本ずつ、ゲート線GL1~GLnと同数設けられ、ゲート線GL1~GLnと同様に順番に選択される。

【0379】

50

本類型の構成の場合、書き込み時にトランジスタT3が導通する可能性がある。つまり、仮に、書き込み動作中に、同時に導通状態となっている第1スイッチ回路22と第2スイッチ回路23の各一端に接続するソース線SLと電圧供給線VSLの電圧に差があれば、ソース線SLと電圧供給線VSL間に電流経路が発生し、その中間に位置するノードの電圧が変動し、内部ノードN1に正確な画素電圧V20が書き込まれない可能性がある。

【0380】

このため、電圧供給線VSLが、ソース線SLと平行に縦方向(列方向)に延伸し、列単位に個別に駆動可能に設けられている場合には、第2スイッチ回路23の一端に接続する電圧供給線VSLを、対となる第1スイッチ回路22の一端に接続するソース線SLと同電圧にする駆動することで、ソース線SLと電圧供給線VSLの電位差を生じなくすることで、上記問題を解決する方法がある。

10

【0381】

また、上記方法とは別に、選択行の第1スイッチ回路22を非導通にすることで上記問題を解決する駆動方法がある。

【0382】

リファレンス線REFに8Vが印加され、トランジスタT2がオン状態であるため、トランジスタT1の制御端子の電圧が内部ノードN1と同電圧である。従って、電圧供給線VSLに5V(第1電圧状態)を印加することにより、ダイオード接続状態のトランジスタT1が逆バイアス状態(オフ状態)となり、選択行の第1スイッチ回路22を非導通状態にすることができる。この方法によれば、電圧供給線VSLをソース線SLと同電圧に駆動する必要がないため、電圧供給線VSLをゲート線GLと平行に横方向(行方向)に延伸させる回路構成においても、書き込み動作が可能である。

20

【0383】

<2. グループY>

次に、ブースト容量素子Cbstの第2端子に選択線SELが接続される、グループYに属する各画素回路についての常時表示モードにおける書き込み動作につき説明する。

【0384】

(第1～第3類型)

図41に示したグループXの第1類型の画素回路2Aにおける書き込み動作のタイミング図を見れば、1フレーム期間にわたって選択線SELには常に低レベル電圧が印加されている。つまり、第2スイッチ回路23は常に非導通であり、更にはブースト容量素子Cbstの一端に与えられる電圧も変化しない。

30

【0385】

従って、グループYの第1～第3類型の画素回路2a, 2b, 2cにおいても、グループXの第1類型のタイミング図と同様の電圧印加により書き込み動作が可能である。なお、第3類型の場合、電圧供給線VSLへの印加電圧は、固定電圧とすれば良い。ここでは、ダイオード接続を形成するトランジスタT1が逆バイアス状態となるよう、例えば5Vを印加しておくのが良い。

【0386】

(第4～第6類型)

40

図42に示したグループXの第4類型の画素回路2Dにおける書き込み動作のタイミング図を見れば、選択行には選択線SELに高レベル電圧が印加され、非選択行には低レベル電圧が印加される。

【0387】

ここで、グループYの第4類型の画素回路2dの場合、選択線SELに高レベル電圧が印加されると、ブースト容量素子Cbstの一端に与えられる電圧もこれに伴って上昇する。しかしながら、書き込み動作時においてリファレンス線REFには高レベル電圧(8V)が与えられ、トランジスタT2がオン状態である。よって、寄生容量の大きいノードN1がノードN2と電氣的に接続するため、ノードN2の電位はほとんど上昇しない。従って、選択線SELの電圧変動が回路動作に与える影響はなく、グループXの第4類型の

50

画素回路 2 D と同様の電圧印加方法によって書き込み動作を行うことができる。第 5 ~ 第 6 類型においても、グループ X の第 5 ~ 第 6 類型と同様の電圧印加によって書き込み動作が実現できる。

【 0 3 8 8 】

[第 6 実施形態]

第 6 実施形態では、常時表示モードにおけるセルフリフレッシュ動作と書き込み動作の関係について説明する。

【 0 3 8 9 】

常時表示モードでは、1 フレーム分の画像データに対して書き込み動作を実行した後、一定期間は書き込み動作を行わずに、直前に行われた書き込み動作によって得られる表示内容を維持させる。

10

【 0 3 9 0 】

書き込み動作によって、ソース線 S L を介して各画素内の画素電極 2 0 に電圧が与えられる。その後、ゲート線 G L が低レベルとなり、トランジスタ T 4 が非導通状態となる。しかし、直前の書き込み動作によって画素電極 2 0 に蓄積された電荷の存在により画素電極 2 0 の電位が保持される。すなわち、画素電極 2 0 と対向電極 8 0 との間には電圧 V 1 c が維持される。これにより、書き込み動作が完了した後においても、液晶容量 C 1 c 両端に対して画像データの表示に必要な電圧が印加された状態が継続する。

【 0 3 9 1 】

対向電極 8 0 の電位が固定されている場合、液晶電圧 V 1 c は画素電極 2 0 の電位に依存する。この電位は、画素回路 2 内のトランジスタのリーク電流の発生に伴って、時間経過と共に変動する。例えば、ソース線 S L の電位が内部ノード N 1 の電位より低い場合には、内部ノード N 1 からソース線 S L に向かうリーク電流が生じ、画素電圧 V 2 0 は経時的に減少する。逆に、ソース線 S L の電位が内部ノード N 1 の電位より高い場合には、ソース線 S L から内部ノード N 1 に向かうリーク電流が生じ、画素電極 2 0 の電位が経時的に増加する。つまり、外部からの書き込み動作を行うことなく時間が経過すると、液晶電圧 V 1 c が徐々に変化していき、この結果、表示画像も変化してしまう。

20

【 0 3 9 2 】

通常表示モードの場合、静止画像であっても 1 フレーム毎に全ての画素回路 2 に対して書き込み動作を実行する。従って、画素電極 2 0 に蓄積された電荷量は 1 フレーム期間だけ維持できれば良い。高々 1 フレーム期間内における画素電極 2 0 の電位変動量はごくわずかであるため、この間の電位変動は、表示される画像データに対して視覚的に確認できる程度の影響を与えるものではない。このため、通常表示モードでは、画素電極 2 0 の電位変動はあまり問題とはならない。

30

【 0 3 9 3 】

これに対し、常時表示モードでは、1 フレーム毎に書き込み動作を実行する構成ではない。従って、対向電極 8 0 の電位が固定されている間、場合によって数フレームにわたって画素電極 2 0 の電位を保持する必要がある。しかし、数フレーム期間にわたって書き込み動作を行わずに放置しておく、前述したリーク電流の発生によって画素電極 2 0 の電位は断続的に変動する。この結果、表示される画像データが、視覚的に確認できる程度に変化するおそれもある。

40

【 0 3 9 4 】

このような現象が生じるのを避けるべく、常時表示モードでは、図 4 3 のフローチャートに示す要領で、セルフ極性反転動作と書き込み動作を組み合わせることで、画素電極の電位変動を抑制しながらも大幅な電力消費の低減を図る。

【 0 3 9 5 】

まず、常時表示モードにおける 1 フレーム分の画素データの書き込み動作を、第 5 実施形態で上述した要領で実行する (ステップ # 1)。

【 0 3 9 6 】

ステップ # 1 の書き込み動作後、第 2 実施形態で上述した要領によりセルフリフレッシュ

50

ュ動作を実行する(ステップ#2)。セルフリフレッシュ動作は、パルス電圧を印加するフェーズP1と、待機するフェーズP2で実現される。

【0397】

ここで、セルフリフレッシュ動作期間のフェーズP2の期間中に、新たな画素データの書き込み動作(データ書き換え)、外部リフレッシュ動作、又は外部極性反転動作の要求を受け取ると(ステップ#3のYES)、ステップ#1に戻り、新たな画素データ又は従前の画素データの書き込み動作を実行する。上記フェーズP2の期間中に、当該要求を受け取らない場合(ステップ#3のNO)は、ステップ#2に戻り再びセルフリフレッシュ動作を実行する。これにより、リーク電流の影響による表示画像の変化を抑制することができる。

10

【0398】

セルフリフレッシュ動作を行わずに、書き込み動作によってリフレッシュ動作を行うとすると、上述の数1に示す関係式で表わされる消費電力となるが、同じリフレッシュレートでセルフリフレッシュ動作を繰り返す場合は、全てのソース線電圧の駆動回数が1回であるため、数1中の変数mが1となり、表示解像度(画素数)としてVGAを想定すると、 $m = 1920$ 、 $n = 480$ であるので、図1、3~5のように電圧供給線を構成する信号線がゲート線GLと平行に形成されているとすれば、1920分の1程度の消費電力の低減が期待される。

【0399】

本実施形態において、セルフリフレッシュ動作と、外部リフレッシュ動作又は外部極性反転動作を併用する理由は、仮に、当初正常に動作していた画素回路2であっても、経年変化により、第2スイッチ回路23又は制御回路24に不具合が生じ、書き込み動作は支障なく実施できるが、セルフリフレッシュ動作を正常に実行できない状態が、一部の画素回路2に発生する場合に対処するためである。つまり、セルフリフレッシュ動作だけに依存すると、当該一部の画素回路2の表示に劣化が現れ、それが固定されるが、外部極性反転動作を併用することで、当該表示欠陥の固定化を防止することができる。

20

【0400】

なお、第2タイプの画素回路(2B, 2b)の場合、本実施形態のフローを実現するためには、ステップ#1において補助容量線CSLを5Vにして書き込み動作を実行する必要がある点は第2実施形態で上述した。

30

【0401】

[第7実施形態]

第7実施形態では、常時表示モードにおけるセルフ極性反転動作と書き込み動作の関係について説明する。

【0402】

常時表示モードでは、書き込み動作は、1フレーム毎には実行せず、所定数のフレーム期間を経過して、間欠的に書き込み動作が実行される。その間、全ての画素回路2Aは非選択状態となって、全てのゲート線GLには、非選択行電圧-5Vが印加され、全ての選択線SELにも非選択用電圧-5Vが印加され、第1スイッチ回路22及び第2スイッチ回路23は、共に非導通状態となり、内部ノードN1はソース線SLと電氣的に分離される。

40

【0403】

しかしながら、上述したように、内部ノードN1に接続するトランジスタT4等のオフ時のリーク電流により、内部ノードN1の画素電圧V20は緩やかに変化する。従って、書き込み動作を停止しているフレーム期間の間隔が長くなると、液晶電圧V1cの変動によって表示画像に変化が生じる。当該変化が視覚上の許容限度を超える前に、再書き込み動作を行う必要がある。同じ表示画像に対して、再書き込み動作を行う場合は、対向電圧Vcomの電圧値を高レベル(5V)と低レベル(0V)の間で反転させ、ソース線SLに印加する電圧も、高レベル(5V)と低レベル(0V)の間で反転させることで、同じ画素データを再書き込みできる。これは、従来の外部の画素メモリを使用する極性反転動

50

作である「外部極性反転動作」に相当する。

【0404】

上述の外部極性反転動作は、書き込み動作と全く同じで、1フレーム分の画素データをゲート線の本数分の水平期間に分割して書き込むことになるため、各列のソース線SLを最大1水平期間毎に変化させる必要が生じ、大きな電力消費を伴う。このため、本実施形態では、常時表示モードにおいて、図44のフローチャートに示す要領で、セルフ極性反転動作と書き込み動作を組み合わせることで、大幅な電力消費の低減を図る。

【0405】

初めに、常時表示モードにおける1フレーム分の画素データの書き込み動作を、第5実施形態で上述した要領で実行する(ステップ#11)。

10

【0406】

ステップ#11の書き込み動作後、所定数のフレーム期間分に相当する待機期間の経過後、常時表示モードにおける1フレーム分の画素回路2に対して、セルフ極性反転動作を、第3～第4実施形態で上述した要領で一括して実行する(ステップ#12)。この結果、上記待機期間の経過中に、図41～図42に示すように、画素電圧V20の微小な電圧変動が生じ、これに伴い、液晶電圧V1cにも同様の電圧変動が生じていたものが初期化され、画素電圧V20は書き込み動作直後の電圧状態に復帰し、液晶電圧V1cも、書き込み動作直後の電圧値と同じ絶対値で極性が反転した状態となる。従って、セルフ極性反転動作によって、液晶電圧V1cのリフレッシュ動作と極性反転動作が同時に実現される。

20

【0407】

ステップ#12のセルフ極性反転動作後、上記待機期間の経過中に、新たな画素データの書き込み動作(データ書き換え)、或いは、「外部極性反転動作」の要求を外部から受け取ると(ステップ#13のYES)、ステップ#11に戻り、新たな画素データ又は従前の画素データの書き込み動作を実行する。上記待機期間の経過中に、当該要求を受け取らない場合(ステップ#13のNO)は、上記待機期間の経過後に、ステップ#12に戻り、セルフ極性反転動作を再度実行する。これにより、上記待機期間が経過する毎に、セルフ極性反転動作が繰り返し実行されるため、液晶電圧V1cのリフレッシュ動作と極性反転動作が行われ、液晶表示素子の劣化及び表示品質の低下を防止できる。

30

【0408】

セルフ極性反転動作によって消費電力が低減できる理由、並びにセルフ極性反転動作だけでなく外部極性反転動作と併用する理由は、第6実施形態におけるセルフリフレッシュ動作を用いた場合の理由と同じであるため省略する。また、本実施形態のフローを実現するためには、当然にセルフ極性反転動作が実行可能な画素回路の類型に限定されることはない。

【0409】

なお、第2タイプの画素回路(2B)の場合、本実施形態のフローを実現するためには、ステップ#11において補助容量線CSLを0Vにして書き込み動作を実行する必要がある点は、第3並びに第4実施形態で上述した。

【0410】

40

[第8実施形態]

第8実施形態では、常時表示モードにおけるセルフリフレッシュ動作及びセルフ極性反転動作と書き込み動作の関係について説明する。第6及び第7実施形態で上述したように、セルフリフレッシュ動作、セルフ極性反転動作は、それぞれ消費電力を低減させる効果があった。本実施形態では、常時表示モードにおいて、図45のフローチャートに示す要領で、セルフリフレッシュ動作、セルフ極性反転動作と書き込み動作を組み合わせることで、更に大幅な電力消費の低減を図る。

【0411】

まず、常時表示モードにおける1フレーム分の画素データの書き込み動作を、第5実施形態で上述した要領で実行する(ステップ#21)。

50

【 0 4 1 2 】

ステップ # 2 1 の書き込み動作後、セルフリフレッシュ動作を、第 2 実施形態で上述した要領により実行する (ステップ # 2 2) 。

【 0 4 1 3 】

次に、このセルフリフレッシュ動作が、直前に書き込み動作が行われてから何回目の動作であるかを検出する。言い換えれば、直前に書き込み動作が行われてから、何フレーム分セルフリフレッシュ動作を実行したかをカウントする。このカウント値が、所定の臨界フレーム数以下であれば (ステップ # 2 3 で N O) 、引き続きステップ # 2 2 に戻りセルフリフレッシュ動作を実行する。一方、臨界フレーム数を超過していれば (ステップ # 2 3 で Y E S) 、第 3 ~ 第 4 実施形態で上述した要領によりセルフ極性反転動作を実行する (ステップ # 2 4) 。

10

【 0 4 1 4 】

ステップ # 2 4 のセルフ極性反転動作後、新たな画素データの書き込み動作 (データ書き換え) 、或いは、「外部極性反転動作」の要求を外部から受け取ると (ステップ # 2 5 の Y E S) 、ステップ # 2 1 に戻り、新たな画素データ又は従前の画素データの書き込み動作を実行する。一方、当該要求を受け取らない場合 (ステップ # 2 5 の N O) は、ステップ # 2 2 に戻り、セルフリフレッシュ動作を再度実行する。これにより、セルフリフレッシュ動作とセルフ極性反転動作が繰り返し実行されるため、液晶電圧 V_{lc} のリフレッシュ動作と極性反転動作が行われ、液晶表示素子の劣化及び表示品質の低下を防止できる。

20

【 0 4 1 5 】

なお、図 4 5 のフローチャートに代えて、図 4 3 のフローチャートと図 4 4 のフローチャートを適宜組み合わせることにより、セルフリフレッシュ動作とセルフ極性反転動作を組み合わせる構成としても構わない。特に、第 2 種類の画素回路 (2 B) の場合、本実施形態のフローを実現するためには、セルフリフレッシュ動作を行う際にはデータ書き込み時 (ステップ # 1) において補助容量線 CSL を 5 V にしておき、セルフ極性反転動作を行う際にはデータ書き込み時 (ステップ # 1 1) において 0 V にしておく必要がある。このような画素回路の場合、図 4 5 のようなフローチャートを実行することができないため、図 4 3 のフローチャートと図 4 4 のフローチャートを組み合わせて実行するのが好適である。

30

【 0 4 1 6 】

[第 9 実施形態]

第 9 実施形態では、通常表示モードにおける書き込み動作につき、各類型毎に図面を参照して説明する。

【 0 4 1 7 】

通常表示モードにおける書き込み動作では、1 フレーム分の画素データを水平方向 (行方向) の表示ライン毎に分割し、1 水平期間毎に、各列のソース線 SL に 1 表示ライン分の各画素データに対応した多階調のアナログ電圧を印加すると共に、選択された表示ライン (選択行) のゲート線 GL に選択行電圧 8 V を印加して、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 2 2 を導通状態にして、各列のソース線 SL の電圧を、選択行の各画素回路 2 の内部ノード $N1$ に転送する動作である。選択された表示ライン以外 (非選択行) のゲート線 GL には、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 2 2 を非導通状態にするため、非選択行電圧 - 5 V を印加する。

40

【 0 4 1 8 】

以下に説明する書き込み動作における各信号線の電圧印加のタイミング制御は、表示制御回路 1 1 によって行われ、個々の電圧印加は、表示制御回路 1 1 、対向電極駆動回路 1 2 、ソースドライバ 1 3 、ゲートドライバ 1 4 によって行われる。

【 0 4 1 9 】

図 4 6 に、グループ X の第 1 種類の画素回路 2 A を使用した書き込み動作のタイミング図を示す。図 4 6 では、1 フレーム期間における 2 本のゲート線 $GL1$, $GL2$ 、2 本の

50

ソース線 $S L 1$, $S L 2$ 、選択線 $S E L$ 、リファレンス線 $R E F$ 、補助容量線 $C S L$ 、及びブースト線 $B S T$ の各電圧波形と、対向電圧 $V c o m$ の電圧波形を図示している。

【 0 4 2 0 】

1 フレーム期間は、ゲート線 $G L$ の本数分の水平期間に分割され、各水平期間に選択されるゲート線 $G L 1 \sim G L n$ が順番に割り当てられている。図 4 6 では、最初の 2 水平期間における 2 本のゲート線 $G L 1$, $G L 2$ の電圧変化を図示している。第 1 水平期間では、ゲート線 $G L 1$ に選択行電圧 $8 V$ が、ゲート線 $G L 2$ に非選択行電圧 $- 5 V$ がそれぞれ印加され、第 2 水平期間では、ゲート線 $G L 2$ に選択行電圧 $8 V$ が、ゲート線 $G L 1$ に非選択行電圧 $- 5 V$ がそれぞれ印加され、それ以後の水平期間では、両ゲート線 $G L 1$, $G L 2$ には非選択行電圧 $- 5 V$ が印加される。

10

【 0 4 2 1 】

各列のソース線 $S L$ には、水平期間毎に対応する表示ラインの画素データに対応した多階調のアナログ電圧が印加されている。なお、通常表示モードではアナログ表示ラインの画素データに対応した多階調のアナログ電圧が印加され、印加電圧が一義的には特定されないため、図 4 6 では斜線により塗りつぶすことでこれを表現している。なお、図 4 6 では、各ソース線 $S L 1$, $S L 2$, ... $S L m$ を代表して 2 本のソース線 $S L 1$, $S L 2$ を図示している。

【 0 4 2 2 】

対向電圧 $V c o m$ は、1 水平期間毎に変化するため（対向 $A C$ 駆動）、当該アナログ電圧は、同じ水平期間中の対向電圧 $V c o m$ に対応した電圧値となっている。つまり、対向電圧 $V c o m$ が $5 V$ か $0 V$ かによって、数 2 で与えられる液晶電圧 $V 1 c$ の絶対値は変わらず極性のみが変わるように、ソース線 $S L$ に印加されるアナログ電圧が設定される。

20

【 0 4 2 3 】

第 1 及び第 4 種類の画素回路は、第 1 スイッチ回路 2 2 がトランジスタ $T 4$ だけで構成されているので、第 1 スイッチ回路 2 2 の導通非導通の制御は、トランジスタ $T 4$ だけのオンオフ制御で十分である。また、第 2 スイッチ回路 2 3 は、書き込み動作では導通状態にする必要がなく、非選択行の画素回路 2 A で第 2 スイッチ回路 2 3 が導通状態となるのを防止するために、1 フレーム期間の間、全ての画素回路 2 A に接続する選択線 $S E L$ に非選択用電圧 $- 5 V$ を印加する。この非選択用電圧は負電圧に限られるものではなく、 $0 V$ でも良い。

30

【 0 4 2 4 】

また、リファレンス線 $R E F$ には、1 フレーム期間の間、トランジスタ $T 2$ を内部ノード $N 1$ の電圧状態に関係なく常時オン状態とする電圧を印加する。この電圧値は、多階調のアナログ電圧としてソース線 $S L$ から与えられる電圧値の中での最大値よりも、トランジスタ $T 2$ の閾値電圧以上高い電圧であれば良い。図 4 6 では、前記最大値を $5 V$ とし、閾値電圧を $2 V$ として、それらの和よりも大きい $8 V$ を印加している。

【 0 4 2 5 】

対向電圧 $V c o m$ は 1 水平期間毎に対向 $A C$ 駆動されるため、補助容量線 $C S L$ は、対向電圧 $V c o m$ と同電圧となるように駆動される。画素電極 2 0 は、対向電極 8 0 と液晶層を介して容量結合していると共に、補助容量素子 $C s$ を介して補助容量線 $C S L$ と容量結合している。このため、補助容量素子 $C 2$ の補助容量線 $C S L$ 側の電圧を固定すると、対向電圧 $V c o m$ の変化が、補助容量線 $C S L$ と補助容量素子 $C 2$ 間で分配されて画素電極 2 0 に現れ、非選択行の画素回路 2 の液晶電圧 $V 1 c$ が変動してしまう。従って、全ての補助容量線 $C S L$ を対向電圧 $V c o m$ と同電圧に駆動することで、対向電極 8 0 と画素電極 2 0 の電圧が同じ電圧方向に変化し、上記非選択行の画素回路 2 の液晶電圧 $V 1 c$ の変動を抑制することができる。

40

【 0 4 2 6 】

第 5 実施形態で説明したように、常時表示モードの書き込み動作の場合と同様の理由により、第 2 及び第 3 種類の画素回路においても、第 1 種類と同様の電圧印加方法によって書き込み動作が実現できる。また、第 4 ～ 第 6 種類の画素回路においては、常時表示モー

50

ドの書き込み動作と同様に、選択線SELを行単位に個別に制御すれば良く、他は第1類型と同様の電圧印加方法によって書き込み動作が実現できる。なお、第3及び第6類型の場合、電圧供給線VSLへの印加電圧は、0Vとすれば良い。

【0427】

更に、グループYの各画素回路(2a~2f)は、同一類型のグループXの各画素回路(2A~2F)と同様の電圧印加を行うことで書き込み動作が実現できる。この点も、第5実施形態で説明した、常時表示モードの書き込み動作の場合と同様の理由により説明できるため、詳細は省略する。

【0428】

なお、通常表示モードにおける書き込み動作において、1水平期間毎に各表示ラインの極性を反転させる方法として、上述の「対向AC駆動」以外に、対向電圧Vcomとして所定の固定電圧を対向電極80に印加する方法がある。この方法によれば、画素電極20に印加される電圧は、対向電圧Vcomを基準として正電圧となる場合と負電圧となる場合が1水平期間毎に交替する。

【0429】

この場合、当該画素電圧を、ソース線SLを介して直接書き込む方法と、対向電圧Vcomを中心とした電圧範囲の電圧を書き込んだ後に、補助容量素子Csを用いた容量結合により、対向電圧Vcomを基準として正電圧又は負電圧のいずれか一方となるように電圧調整する方法もある。この場合、補助容量線CSLは対向電圧Vcomとは同電圧に駆動せずに、行単位で個別にパルス駆動することになる。

【0430】

また、本実施形態では、通常表示モードにおける書き込み動作において、1水平期間毎に各表示ラインの極性を反転させる方法を採用したが、これは、1フレーム単位で極性反転した場合に発生する以下に示す不都合を解消するためである。なお、このような不都合を解消する方法としては、列毎に極性反転駆動する方法や、行及び列方向同時に画素単位で極性反転駆動する方法もある。

【0431】

あるフレームF1で全ての画素において正極性の液晶電圧V1cを印加し、次のフレームF2で全ての画素において負極性の液晶電圧V1cを印加した場合を想定する。液晶層75に対して同一絶対値の電圧が印加された場合であっても、正極性が負極性によって光の透過率に微少な差異が生じる場合がある。高画質の静止画を表示している場合、この微少な差異の存在が、フレームF1とフレームF2で表示態様に微細な変化を生む可能性がある。また、動画表示時においても、フレーム間で同一内容の表示内容となるべき表示領域内において、その表示態様に微細な変化を生む可能性がある。高画質の静止画や動画の表示時には、このような微細な変化でも視覚的に認識することができる場合が想定される。

【0432】

そして、通常表示モードは、このような高画質の静止画や動画を表示するモードであるため、上述のような微細な変化が視覚的に認識される可能性がある。このような現象を回避すべく、本実施形態では、同一フレーム内において表示ライン毎に極性を反転させている。これにより、同一フレーム内でも表示ライン間で異なる極性の液晶電圧V1cが印加されているため、液晶電圧V1cの極性に基づく表示画像データへの影響を抑制できる。

【0433】

[別実施形態]

以下、別実施形態につき説明する。

【0434】

1 グループXに属する画素回路2A~2Fに関しては、通常表示モード及び常時表示モードの書き込み動作時において、リファレンス線REFに低レベル電圧を与え、トランジスタT2をオフ状態としても良い。このようにすることで、内部ノードN1と出力ノードN2が電氣的に分離される結果、画素電極20の電位が書き込み動作前の出力ノード

ドN2の電圧の影響を受けなくなる。これにより、画素電極20の電圧は、ソース線SLの印加電圧を正しく反映し、画像データを誤差なく表示することができる。

【0435】

ただし、上述したように、ノードN1の総寄生容量は、ノードN2に比べて遙かに大きく、ノードN2の初期状態の電位が画素電極20の電位に影響を与えることはほとんどないため、トランジスタT2は常時オン状態にしておくのも好ましい。

【0436】

2 上記実施形態では、セルフ極性反転動作は、1フレーム単位で全ての画素回路を対象として実施する場合を説明したが、例えば、1フレームを一定数の行からなる複数の行グループに分割し、当該行グループ単位で実行するようにしても良い。例えば、セルフ極性反転動作を偶数行の画素回路に対して実行し、次のセルフ極性反転動作を奇数行の画素回路に対して実行することを順次繰り返しても良い。このように偶数行と奇数行を分離してセルフ極性反転動作を行うことで、セルフ極性反転動作により微小な表示誤差が生じる場合であっても、偶数行毎或いは奇数行毎にこの微小な誤差が分散され、表示画像への影響を更に小さくすることができる。同様に、1フレームを一定数の列からなる複数の列グループに分割し、当該列グループ単位で実行するようにしても良い。

【0437】

3 上記実施形態では、アクティブマトリクス基板10上に構成される全ての画素回路2に対し、第2スイッチ回路23と制御回路24を備える構成とした。これに対し、アクティブマトリクス基板10上において、透過液晶表示を行う透過画素部と反射液晶表示を行う反射画素部の2種類の画素部を備える構成の場合には、反射画素部の画素回路にのみ第2スイッチ回路23と制御回路24を備え、透過表示部の画素回路には第2スイッチ回路23と制御回路24を備えない構成としても良い。

【0438】

この場合、通常表示モード時には透過画素部によって画像表示がなされ、常時表示モード時には反射画素部によって画像表示がなされることとなる。このように構成することで、アクティブマトリクス基板10全体に形成される素子数を削減することができる。

【0439】

4 上記実施形態では、各画素回路2は、補助容量素子Csを備える構成であったが、補助容量素子Csを備えない構成であっても良い。ただし、内部ノードN1の電位をより安定化させ、表示画像の確実な安定化を図るためには、この補助容量素子Csを備える方が好ましい。

【0440】

5 上記実施形態では、各画素回路2の表示素子部21は、単位液晶表示素子C1cだけで構成される場合を想定したが、図47に示すように、内部ノードN1と画素電極20の間にアナログアンプAmp(電圧増幅器)を備える構成としても良い。図47では一例として、アナログアンプAmpの電源用ラインとして、補助容量線CSLと電源線Vccが入力される構成とした。

【0441】

この場合、内部ノードN1に与えられた電圧は、アナログアンプAmpによって設定された増幅率 η によって増幅され、増幅後の電圧が画素電極20に供給される。よって、内部ノードN1の微小な電圧変化を表示画像に反映することができる構成である。

【0442】

なお、この構成の場合、常時表示モードのセルフ極性反転動作では、内部ノードN1の電圧が、増幅率 η によって増幅され画素電極20に供給されるため、ソース線SLに印加する第1及び第2電圧状態の電圧差を調整することで、画素電極20に供給される第1及び第2電圧状態の電圧を、対向電圧Vcomの高レベル及び低レベルの電圧に一致させることができる。

【0443】

6 上記実施形態では、画素回路2内のトランジスタT1~T4を、Nチャネル型

の多結晶シリコンTFTを想定したが、Pチャネル型のTFTを使用した構成や、非晶質シリコンTFTを使用した構成とすることも可能である。Pチャネル型のTFTを使用する構成の表示装置においても、電源電圧及び既述の動作条件として示された電圧値の正負を反転させる、ケースAとケースBにおける印加電圧を逆転させる、常時表示モードにおける書き込み動作において、第1電圧状態(5V)及び第2電圧状態(0V)とあるのを、第1電圧状態(0V)及び第2電圧状態(5V)に置き換える、等により上記各実施形態と同様に画素回路2を動作させることが可能であり、同様の効果が得られる。

【0444】

7 上記実施形態では、常時表示モードにおける画素電圧 V_{20} 及び対向電圧 V_{com} の第1及び第2電圧状態の電圧値として、0Vと5Vを想定し、各信号線に印加する電圧値も、それに応じて、-5V, 0V, 5V, 8V, 10Vと設定したが、これらの電圧値は、使用する液晶素子及びトランジスタ素子の特性(閾値電圧等)に応じて、適宜変更可能である。

【0445】

8 上記実施形態では、液晶表示装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、画素データを保持するための画素容量 C_p に対応する容量を有し、当該容量に保持される電圧に基づき画像を表示する表示装置であれば、本発明を適用することができる。

【0446】

例えば、画素容量に相当する容量に画素データに相当する電圧を保持させて画像表示する有機EL(Electroluminescence)表示装置の場合、特にセルフリフレッシュ動作に関して本発明を適用することができる。図48は、このような有機EL表示装置の画素回路の一例を示す回路図である。この画素回路では、画素データとして補助容量 C_s に保持された電圧が、TFTで構成された駆動用トランジスタ T_{dv} のゲート端子に与えられ、その電圧に応じた電流が駆動用トランジスタ T_{dv} を介して発光素子OLEDに流れる。従って、この補助容量 C_s が上記各実施形態における画素容量 C_p に相当する。

【0447】

なお、図48に示す画素回路においては、電極間に電圧を印加することで光の透過率を制御することで画像表示を行うという液晶表示装置とは異なり、素子を流れる電流によって素子そのものが発光することで画像表示を行う。このため、発光素子の整流性ゆえ、当該素子の両端に印加される電圧の極性を反転させるということができず、更にはそのような必要性もない。このため、図48の画素回路においては、第3～第4実施形態で説明したようなセルフ極性反転動作を行うことはできない。

【符号の説明】

【0448】

- 1 : 液晶表示装置
- 2 : 画素回路
- 2A, 2B, 2C, 2D, 2E, 2F : 画素回路
- 2a, 2b, 2c, 2d, 2e, 2f : 画素回路
- 10 : アクティブマトリクス基板
- 11 : 表示制御回路
- 12 : 対向電極駆動回路
- 13 : ソースドライバ
- 14 : ゲートドライバ
- 20 : 画素電極
- 21 : 表示素子部
- 22 : 第1スイッチ回路
- 23 : 第2スイッチ回路
- 24 : 制御回路
- 74 : シール材

10

20

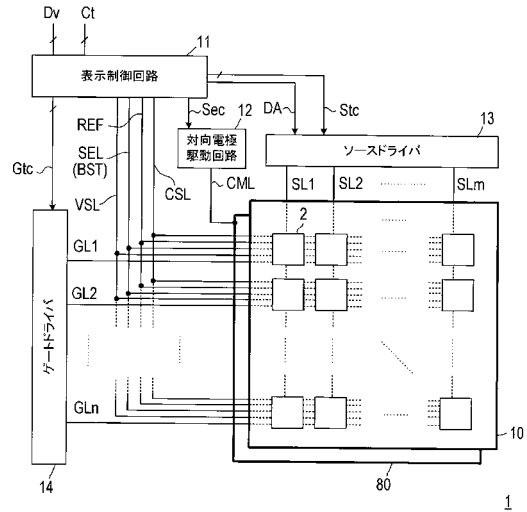
30

40

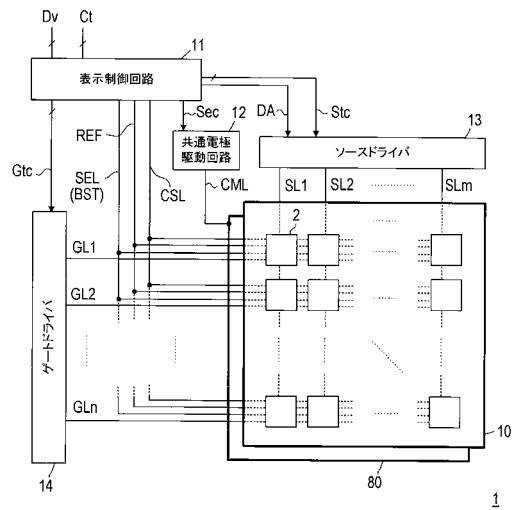
50

75 :	液晶層	
80 :	対向電極	
81 :	対向基板	
Amp :	アナログアンプ	
BST :	ブースト線	
Cbst :	ブースト容量素子	
Clc :	液晶表示素子	
CML :	対向電極配線	
CSL :	補助容量線	
Cs :	補助容量素子	10
Ct :	タイミング信号	
DA :	デジタル画像信号	
Dv :	データ信号	
GL (GL 1 , GL 2 , ... , GL n) :	ゲート線	
Gtc :	走査側タイミング制御信号	
N1 :	内部ノード	
N2 :	出力ノード	
OLED :	発光素子	
P1 , P2 :	フェーズ	
P10 , P11 , ... , P18 :	フェーズ	20
P20 , P21 , ... , P27 :	フェーズ	
REF :	リファレンス線	
Sc1 , Sc2 , ... , Scm :	ソース信号	
SEL :	選択線	
SL (SL 1 , SL 2 , ... , SL m) :	ソース線	
Stc :	データ側タイミング制御信号	
T1 , T2 , T3 , T4 , T5 :	トランジスタ	
Tdv :	駆動用トランジスタ	
V20 :	画素電極電位、内部ノード電位	
Vcom :	対向電圧	30
Vlc :	液晶電圧	
VN2 :	出力ノード電位	

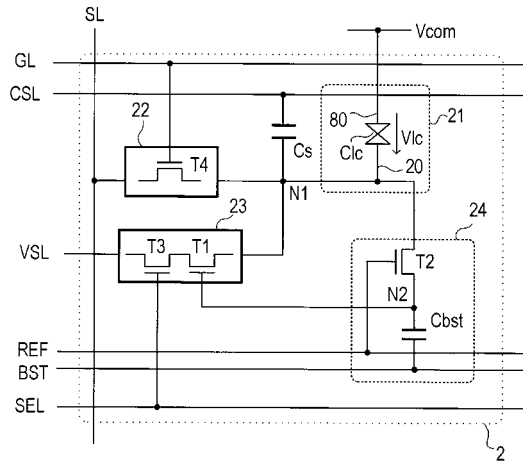
【 図 3 】



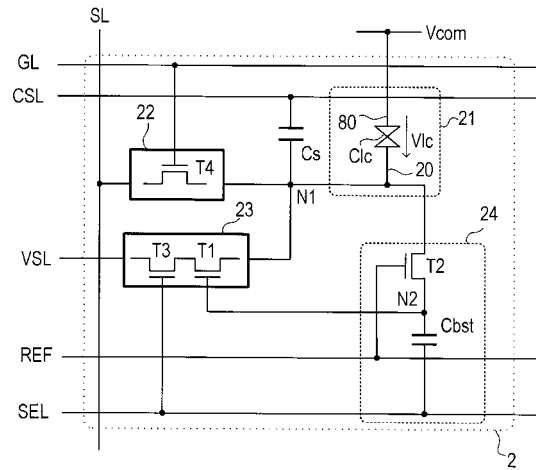
【圖 5】



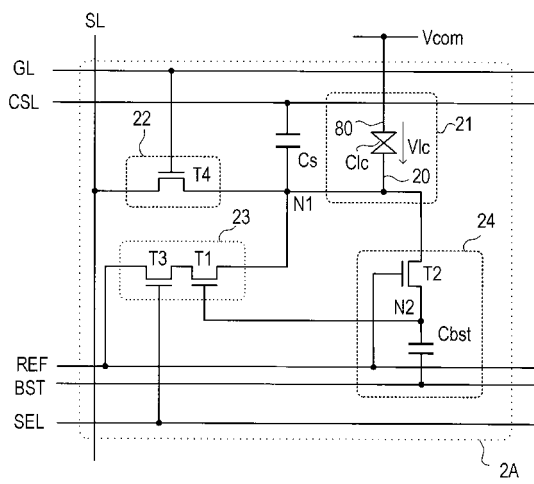
【図 6】



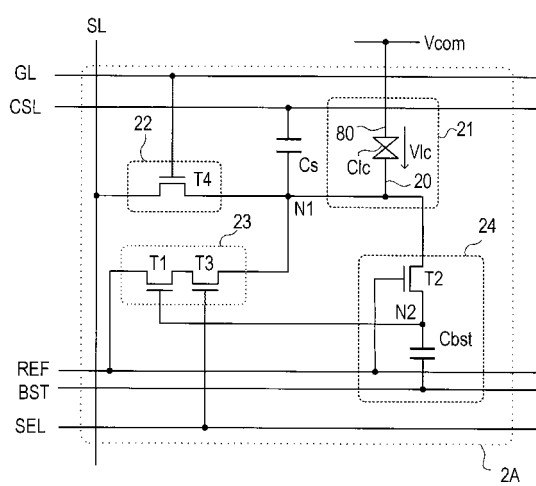
【図 7】



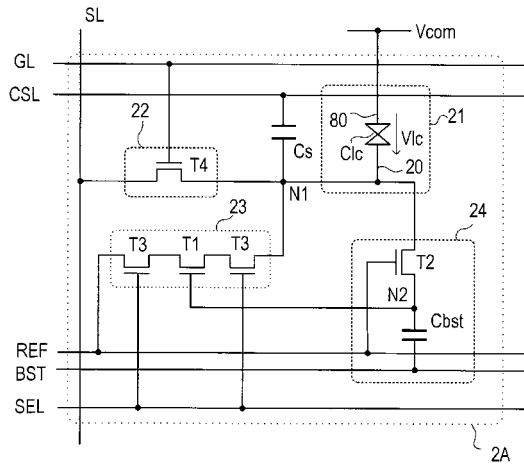
【図 8】



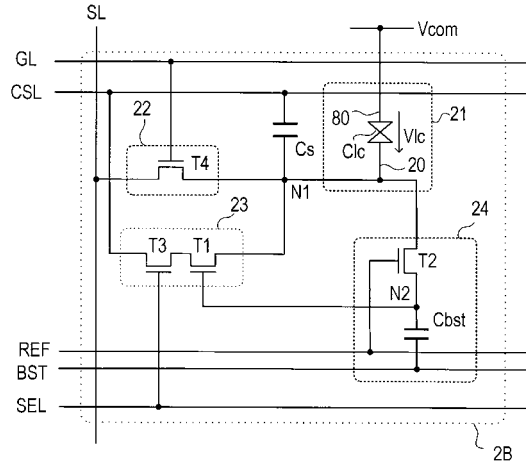
【図 9】



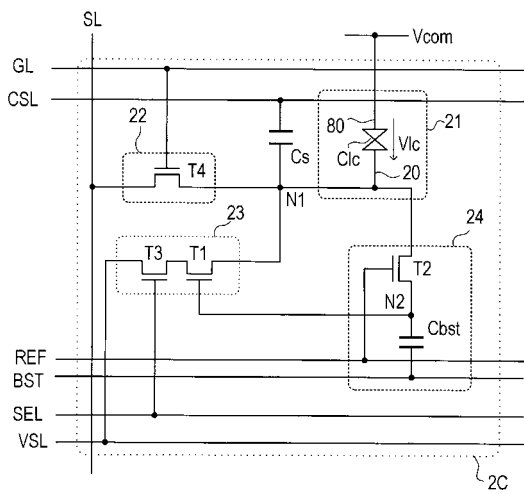
【図 10】



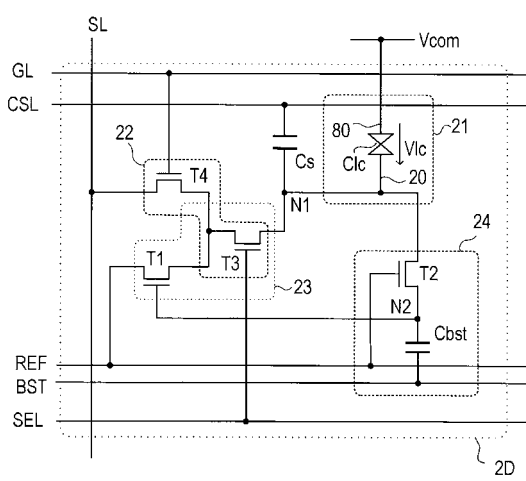
【図 11】



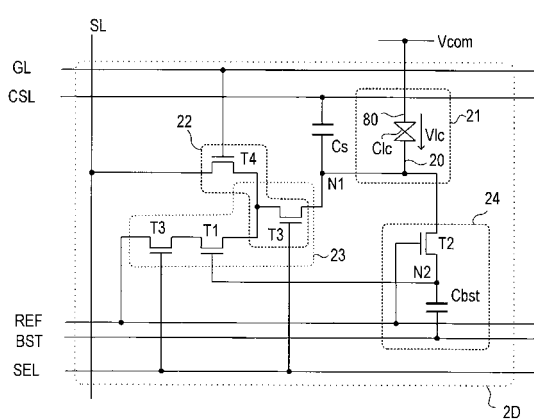
【図 12】



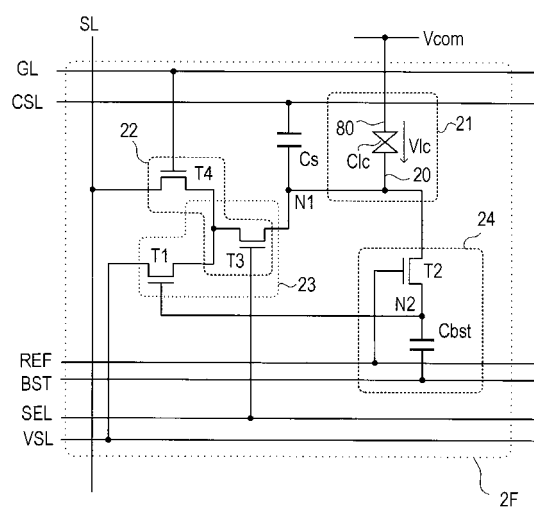
【図 13】



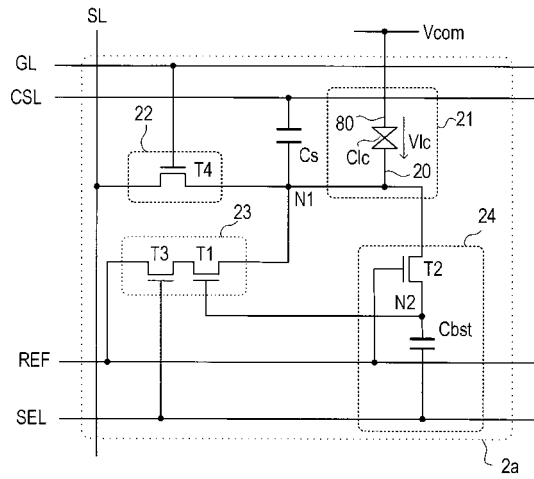
【 図 1 5 】



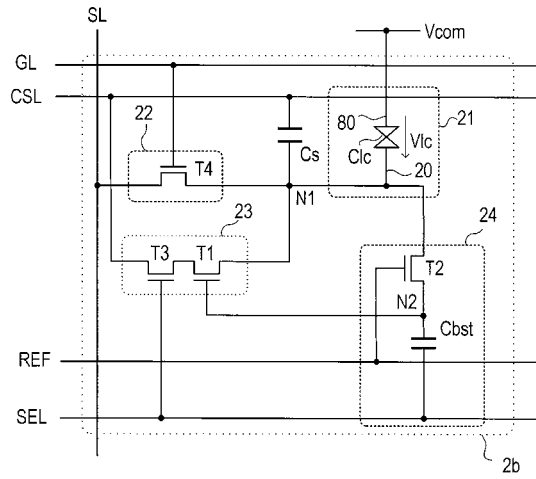
【图 17】



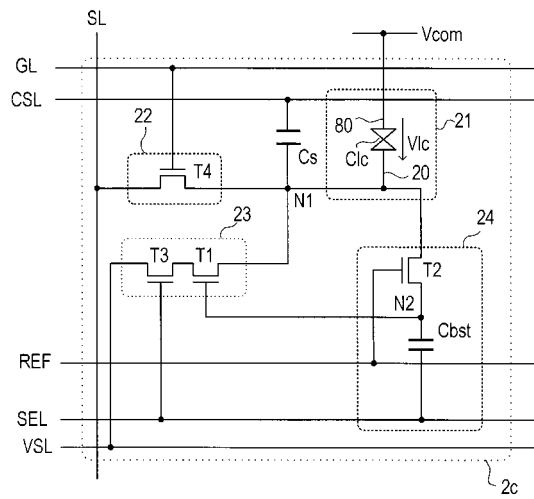
【図 18】



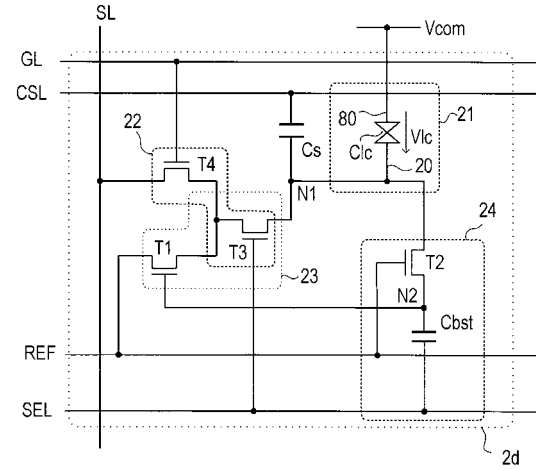
【図 19】



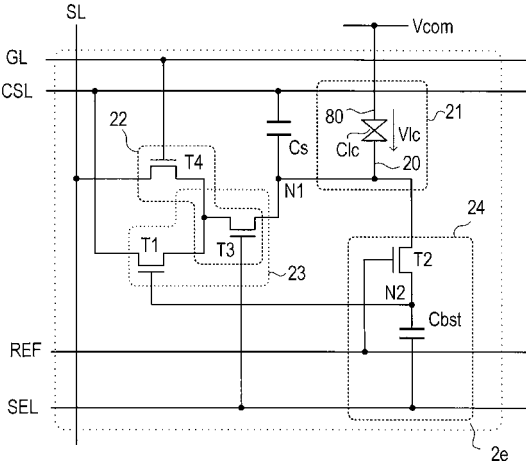
【図 20】



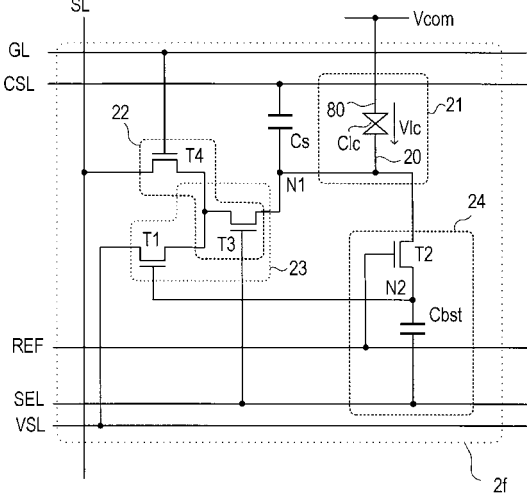
【図 21】



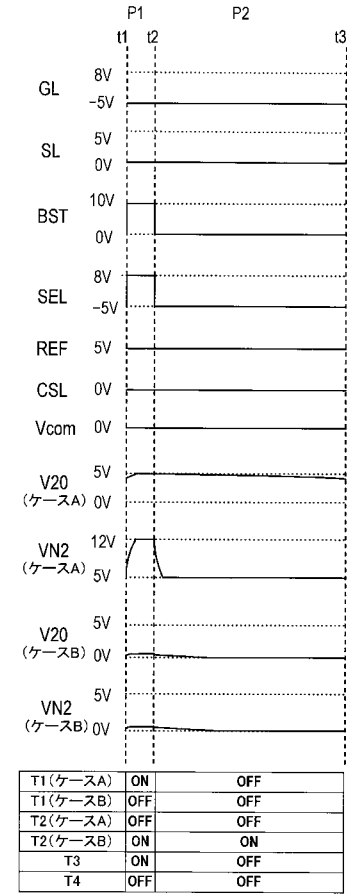
【図 2 2】



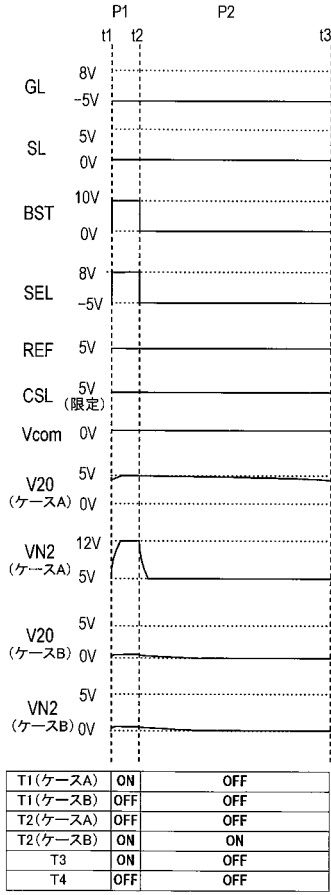
【図 2 3】



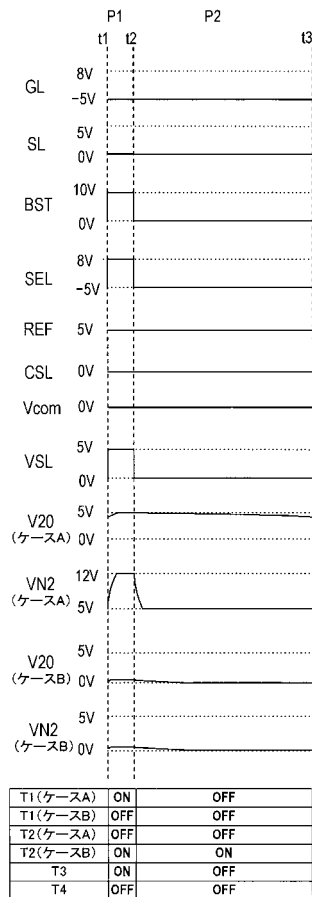
【図 2 4】



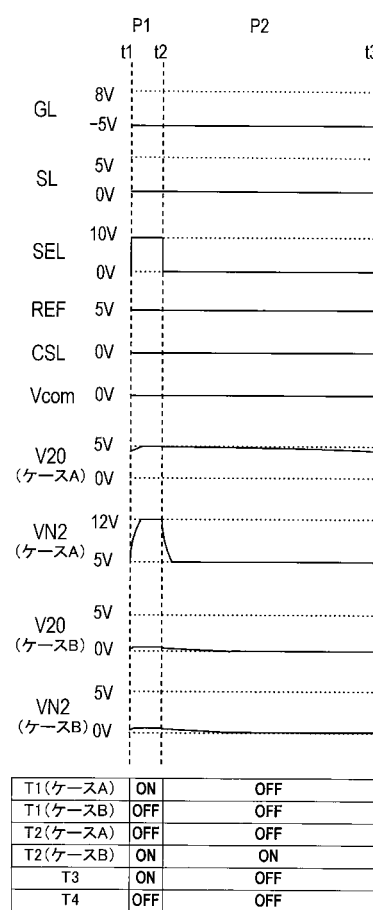
【図 2 5】



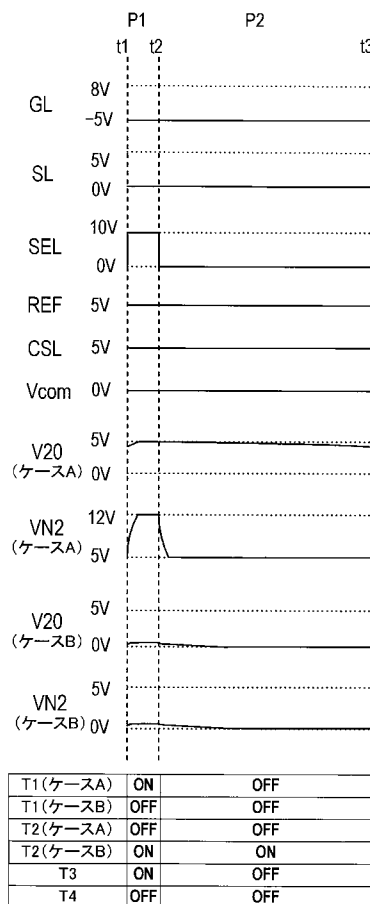
【図 26】



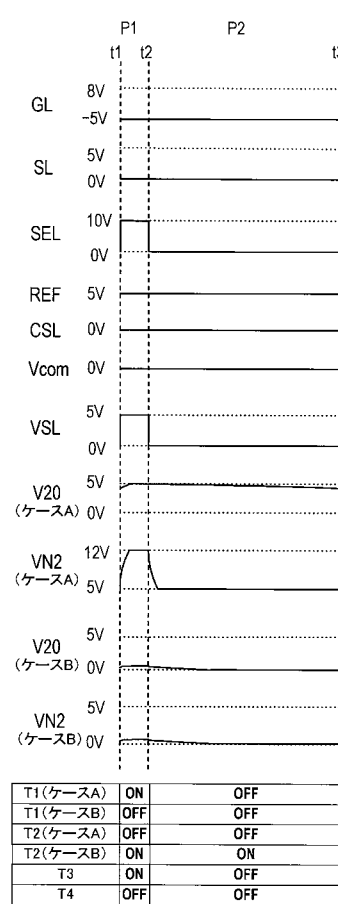
【図 27】



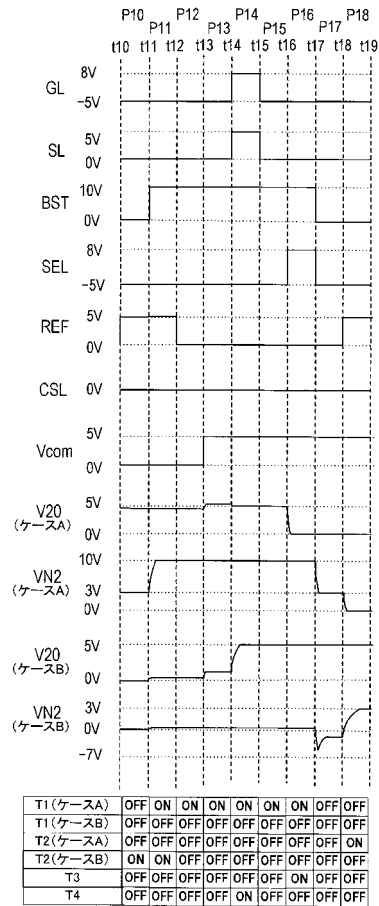
【図 28】



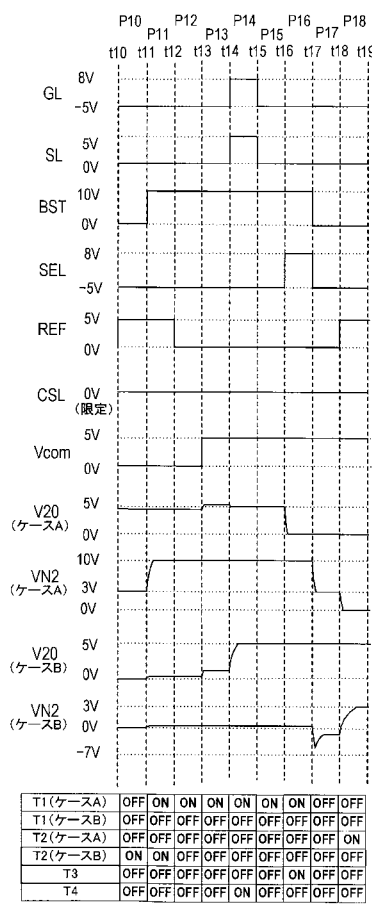
【図 29】



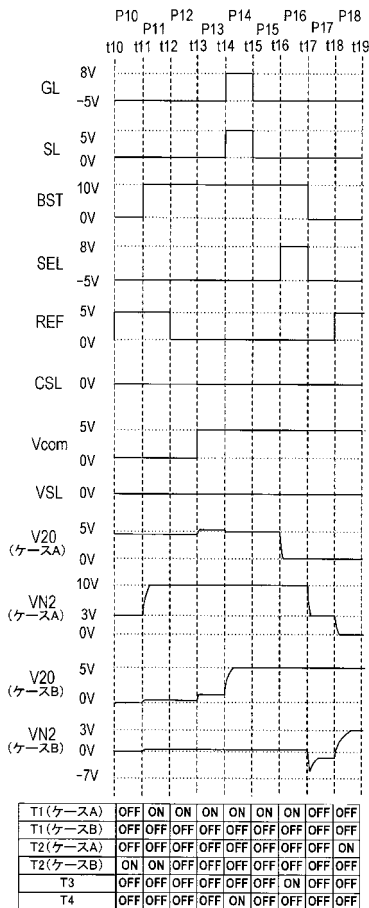
【図 30】



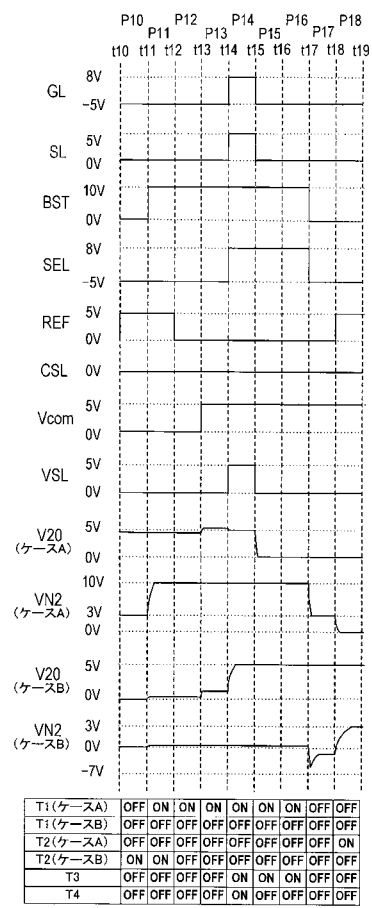
【図 31】



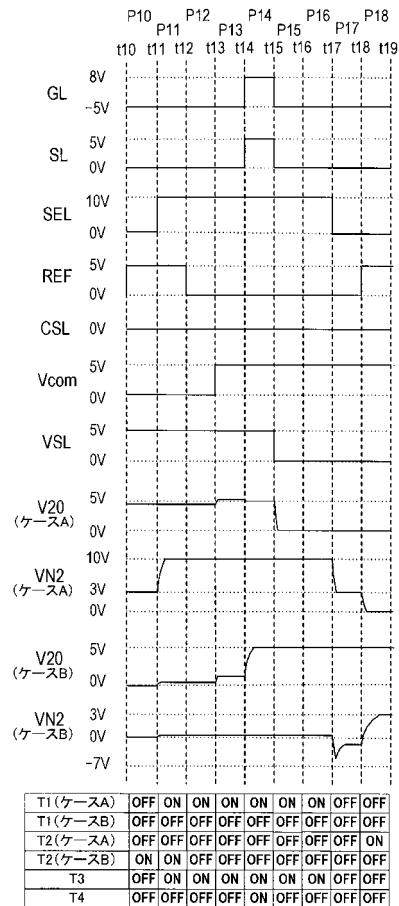
【図 32】



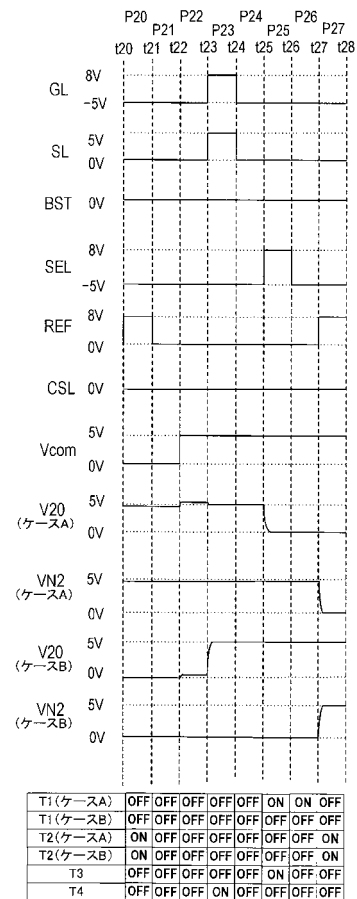
【図 33】



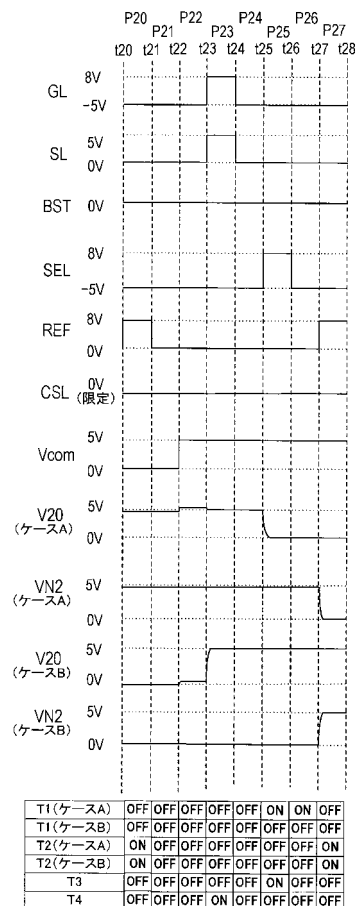
【図 3 4】



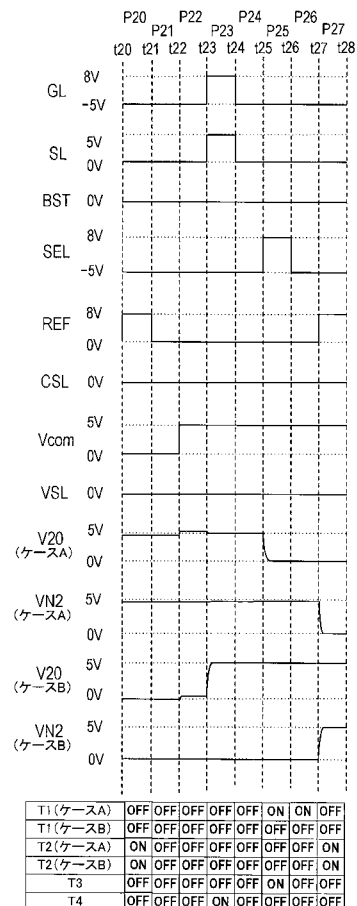
【図 3 5】



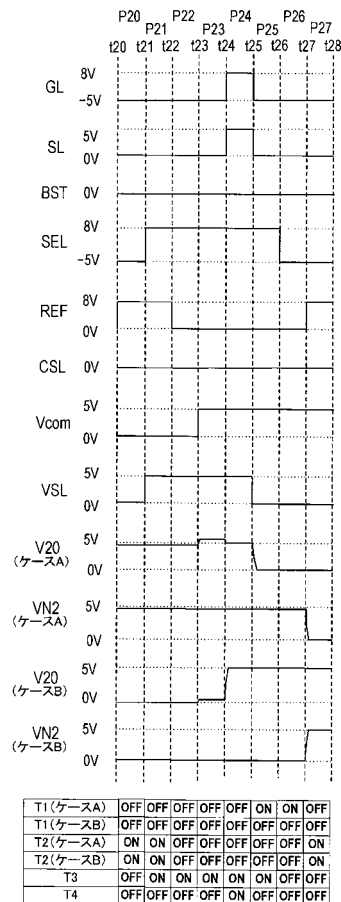
【図 3 6】



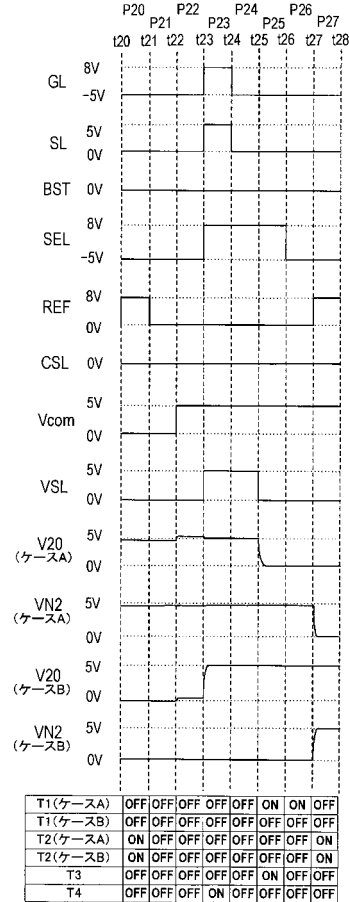
【図 3 7】



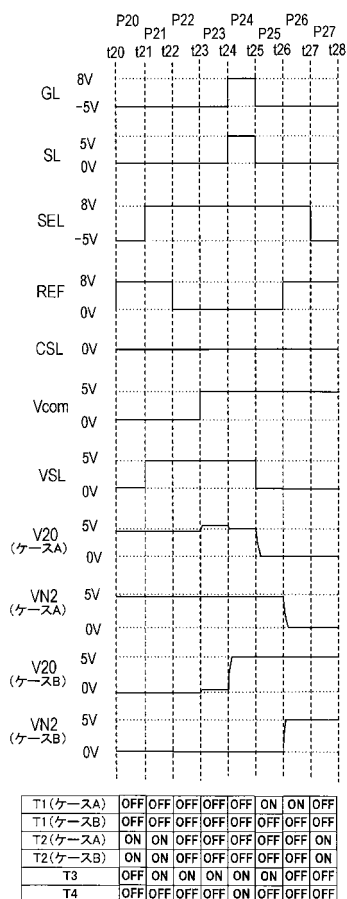
【図 38】



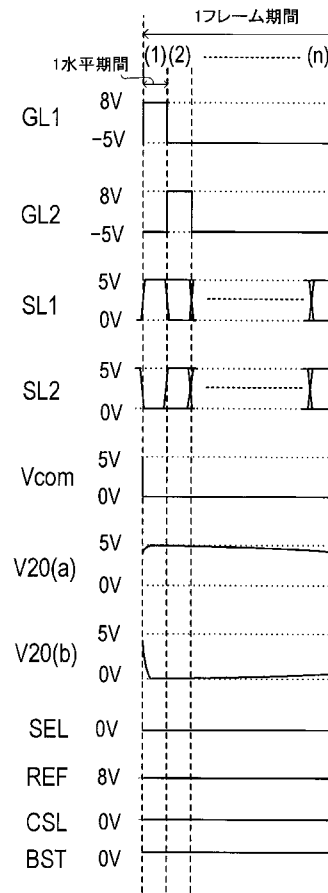
【図 39】



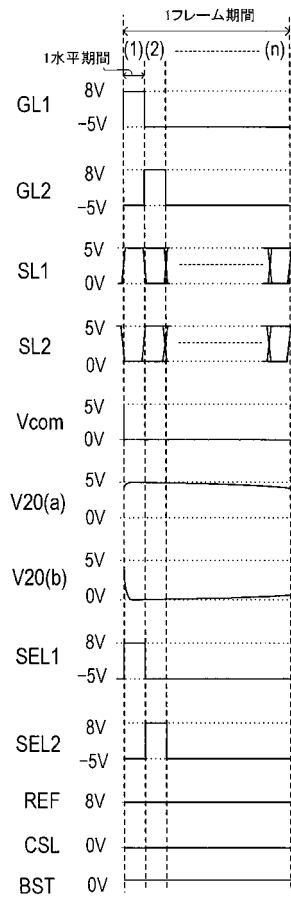
【図 40】



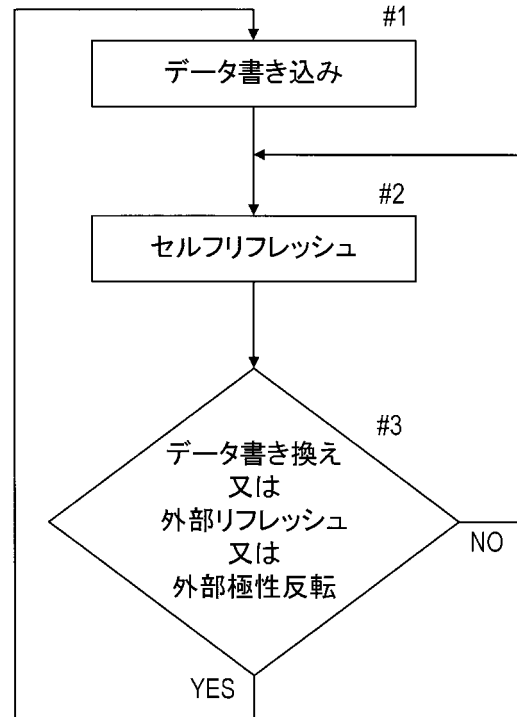
【図 41】



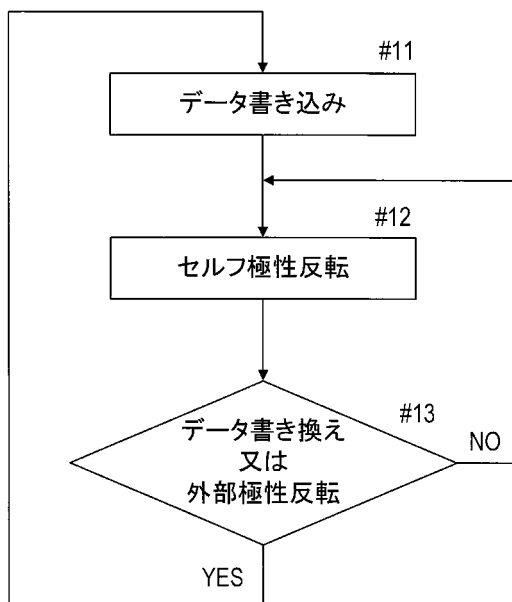
【図 4 2】



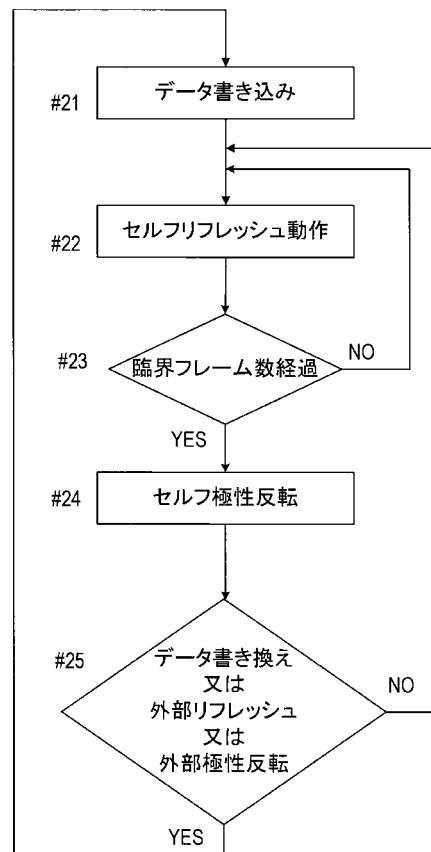
【図 4 3】



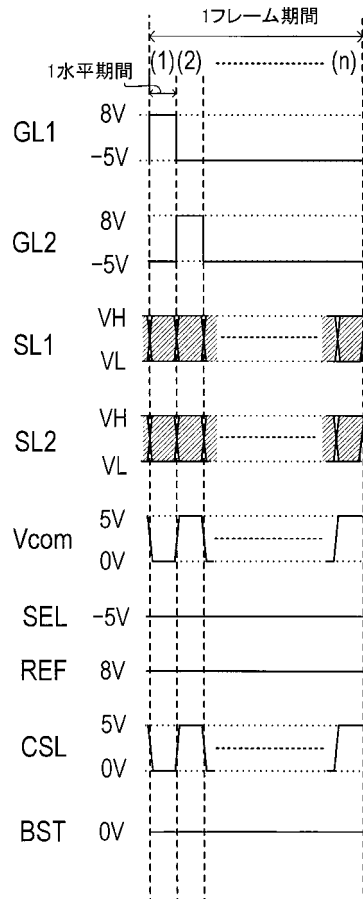
【図 4 4】



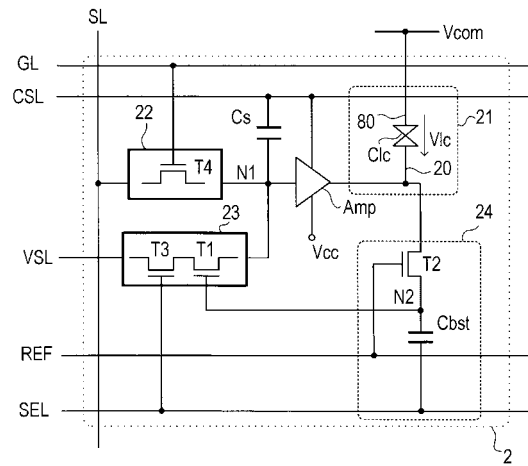
【図 4 5】



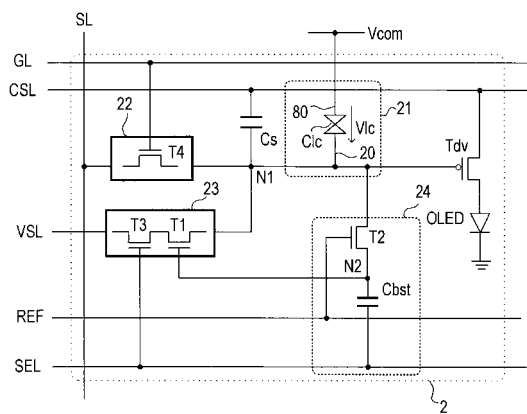
【図 4 6】



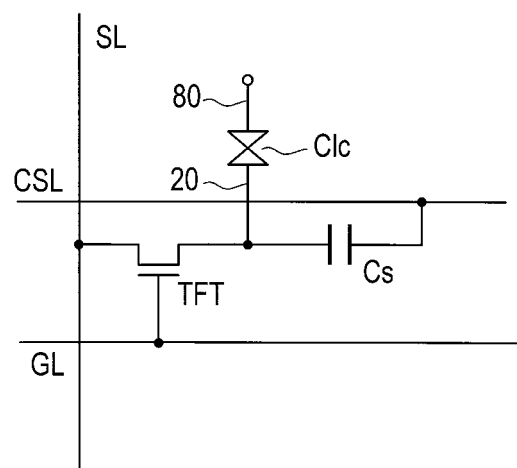
【図 4 7】



【図 4 8】



【図 4 9】



 フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 6 0 U
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 4 2 E
G 0 9 G	3/20	6 2 1 D
G 0 9 G	3/20	6 4 2 D
G 0 9 G	3/20	6 7 0 K
G 0 2 F	1/133	5 5 0

(56)参考文献 特開 2 0 0 6 - 3 4 3 5 6 3 (J P , A)

特開 2 0 0 4 - 2 1 2 9 2 4 (J P , A)

特開 2 0 0 5 - 0 1 8 0 8 8 (J P , A)

特開平 0 4 - 0 6 0 5 8 1 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP5346380B2	公开(公告)日	2013-11-20
申请号	JP2011529839	申请日	2010-05-24
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	山内祥光		
发明人	山内 祥光		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.641.C G09G3/20.624.B G09G3/20.611.J G09G3/20.621.A G09G3/20.623.C G09G3/20.624.C G09G3/20.621.B G09G3/20.624.E G09G3/20.611.A G09G3/20.660.U G09G3/20.611.E G09G3/20.642.E G09G3/20.621.D G09G3/20.642.D G09G3/20.670.K G02F1/133.550		
审查员(译)	中村直之		
优先权	2009206473 2009-09-07 JP		
其他公开文献	JPWO2011027599A1		
外部链接	Espacenet		

摘要(译)

提供一种实现功耗降低而不会导致孔径劣化的显示装置。液晶电容器元件 (C_{lc}) 介于像素电极 (20) 和对电极 (80) 之间。将对电压 (V_{com}) 施加到对电极 (80)。像素电极 (20)，第一开关电路 (22) 和第二开关电路 (23) 的一个端子，以及第二晶体管 (T₂) 的第一端子形成内部节点 (N₁)。第一开关电路 (22) 的其他端子连接到源极线 (SL)。第二开关电路 (23) 的另一个端子连接到电压供应线 (VSL)，并且由晶体管 (T₁和T₃) 的串联电路构成。晶体管 (T₁) 的控制端子，晶体管 (T₂) 的第二端子和升压电容器元件 (C_{bst}) 的一个端子形成输出节点 (N₂)。升压电容器元件 (C_{bst}) 的另一个端子，晶体管 (T₂) 的控制端子和晶体管 (T₃) 的控制端子连接到升压线 (BST)，参考线 (REF) 和分别是选择线 (SEL)。

【 图 4 】

