

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5335628号
(P5335628)

(45) 発行日 平成25年11月6日 (2013. 11. 6)

(24) 登録日 平成25年8月9日 (2013. 8. 9)

(51) Int. Cl.

F I

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

請求項の数 2 (全 16 頁)

(21) 出願番号 特願2009-208067 (P2009-208067)
 (22) 出願日 平成21年9月9日 (2009. 9. 9)
 (65) 公開番号 特開2011-59314 (P2011-59314A)
 (43) 公開日 平成23年3月24日 (2011. 3. 24)
 審査請求日 平成24年8月30日 (2012. 8. 30)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000350
 ポレール特許業務法人
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 110000350
 ポレール特許業務法人
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 石垣 利昌
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタのソース領域と接続するソース電極の上に、前記ソース電極を覆う第1の絶縁膜が形成され、前記第1の絶縁膜の上に有機絶縁膜が形成され、前記有機絶縁膜の上にコモン電極が形成され、前記コモン電極の上に前記コモン電極を覆う第2の絶縁膜が形成され、前記第2の絶縁膜の上に櫛歯状に形成された部分を有する画素電極が形成された液晶表示装置において、

前記有機絶縁膜と前記第1の絶縁膜は、前記有機絶縁膜の上部に対応する大孔と前記第1の絶縁膜に対応する小孔と、前記有機絶縁膜に形成された傾斜部を有するスルーホールを有し、

前記第2の絶縁膜には、前記スルーホールの前記大孔を囲むように第1の開口部が形成され、

前記コモン電極膜には、前記スルーホールの前記大孔を囲むように第2の開口部が形成され、

前記画素電極は、前記スルーホールを介して前記ソース電極と接続し、

前記第2の絶縁膜に形成された前記第1の開口部は、前記有機絶縁膜に形成された前記大孔よりも大きく、かつ、前記コモン電極に形成された第2の開口部よりも小さく、

前記第1の絶縁膜と前記第2の絶縁膜は S i N で形成されており、

前記第2の絶縁膜は、300度以下の C V D によって成膜されたものであることを特徴とする液晶表示装置。

【請求項 2】

前記スルーホールにおいて、前記第 1 の絶縁膜に形成された小孔は前記有機絶縁膜をマスクとしてエッチングされて形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に係り、特に視野角特性の優れた、かつ、信頼性の高い横電界方式の液晶表示装置に関する。

【背景技術】

10

【0002】

液晶表示装置では画素電極および薄膜トランジスタ(TFT)等を有する画素がマトリクス状に形成された TFT 基板と、 TFT 基板に対向して、 TFT 基板の画素電極と対応する場所にカラーフィルタ等が形成された対向基板が配置され、 TFT 基板と対向基板の間に液晶が挟持されている。そして液晶分子による光の透過率を画素毎に制御することによって画像を形成している。

【0003】

液晶表示装置はフラットで軽量であることから、色々な分野で用途が広がっている。携帯電話や DSC(Digital Still Camera)等には、小型の液晶表示装置が広く使用されている。液晶表示装置では視野角特性が問題である。視野角特性は、画面を正面から見た場合と、斜め方向から見た場合に、輝度が変わったり、色度が変わったりする現象である。視野角特性は、液晶分子を水平方向の電界によって動作させる IPS(In Plane Switching)方式が優れた特性を有している。

20

【0004】

IPS 方式も種々存在するが、例えば、コモン電極を平面ベタで形成し、その上に、絶縁膜を挟んで櫛歯状の画素電極を配置し、画素電極とコモン電極の間に発生する電界によって液晶分子を回転させる方式が透過率を大きくすることが出来るので、現在主流となっている。このような方式の液晶表示装置を記載したものとして、「特許文献 1」が挙げられる。

【先行技術文献】

30

【特許文献】

【0005】

【特許文献 1】特開平 2007 - 328210 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

IPS 液晶表示装置は、従来の TN 方式等とは構造上異なっており、液晶表示装置を小型化、あるいは薄型化する場合に従来方式の液晶表示装置とは異なった問題点も発生する。TN(Twisted Nematic)方式等では、画素電極が TFT 基板に形成され、対向電極は対向基板の全面に渡って形成されている。これに対して IPS 方式では、画素電極と対向電極は TFT 基板に形成されるので、 TFT 基板側の構成は従来の TN 方式に比べて複雑となる。

40

【0007】

最近、小型の液晶表示装置においても、VGA(Video Graphics Array、640×480ドット)のような高精細画面が要求されている。ここで、ドットとは、赤画素、緑画素、青画素の 3 ピクセルがセットになったものであるから、ピクセル数でいうと 1920×480 になる。3 インチの画面で VGA を可能にするには、ピクセルの短径は 32 μm というように、非常に小さなものになる。

【0008】

画素が小さくなっても、所定の透過率を維持するためには、小さな面積に TFT、スル

50

ーホール等を配置し、画素電極面積が占める割合を出来るだけ大きくする必要がある。このために、設計裕度、プロセス裕度が減少する。プロセス裕度に関連する大きな問題のひとつは、種々の積層膜の間の膜剥がれである。

【 0 0 0 9 】

図 1 5 は、V G A に対応する、I P S 方式の液晶表示装置の T F T 基板の画素部の斜視図である。図 1 5 には 2 ピクセル分記載されている。図 1 5 において、点線で描かれた映像信号線 4 0 と点線で描かれた走査信号線 3 0 で囲まれた領域が画素である。映像信号線 4 0 と走査信号線 3 0 を点線で描いたのは、これらの配線は有機絶縁膜である有機パッシベーション膜（平坦化膜ともいう）等よりも下側に形成されるからである。図 1 5 における映像信号線のピッチは約 3 2 μ m である。画素内において、櫛歯状の画素電極は、有機パッシベーション膜に形成されたスルーホール 1 3 0 を介して T F T のソース電極 1 0 7 と接続する。

10

【 0 0 1 0 】

図 1 5 は模式図であるので、T F T は記号で記載されている。図 1 5 に示すように、有機パッシベーション膜（平坦化膜、有機絶縁膜）は厚いので、形成されるスルーホール 1 3 0 は画素の中で大きな面積を占めることになる。また、有機パッシベーション膜は 2 μ m 程度と厚いために、スルーホール 1 3 0 の付近は大きな凹凸を生ずる。図 1 5 では図示しないが、有機パッシベーション膜の上には、平面ベタで形成された共通電極および層間絶縁膜が、画素電極との間に形成されている。

20

【 0 0 1 1 】

画素ピッチが小さくなると、この凹凸の影響によって、有機パッシベーション膜の上に形成された共通電極、層間絶縁膜等にストレスが生じやすく、特に層間絶縁膜と共通電極の膜剥がれを起こしやすくなる。この膜剥がれは、例えば、スルーホール 1 3 0 とスルーホール 1 3 0 の間、図 1 5 に示す領域 A において発生し易い。

【 0 0 1 2 】

本発明の課題は、I P S 方式の液晶表示装置において、有機パッシベーション膜の上に形成された、層間絶縁膜等の剥がれを防止し、製造歩留まりの高い、かつ、信頼性の高い液晶表示装置を実現することである。

【課題を解決するための手段】

【 0 0 1 3 】

本発明は上記問題を克服するものであり、具体的な手段は次のとおりである。

30

【 0 0 1 4 】

(1) 薄膜トランジスタのソース領域と接続するソース電極の上に、前記ソース電極を覆う第 1 の絶縁膜が形成され、前記第 1 の絶縁膜の上に有機絶縁膜が形成され、前記有機絶縁膜の上に共通電極が形成され、前記共通電極の上に前記共通電極を覆う第 2 の絶縁膜が形成され、前記第 2 の絶縁膜の上に櫛歯状に形成された部分を有する画素電極が形成された液晶表示装置において、前記有機絶縁膜と前記第 1 の絶縁膜は、前記有機絶縁膜の上部に対応する大孔と前記第 1 の絶縁膜に対応する小孔と、前記有機絶縁膜に形成された傾斜部を有するスルーホールを有し、前記第 2 の絶縁膜には、前記スルーホールの前記大孔を囲むように第 1 の開口部が形成され、前記共通電極膜には、前記スルーホールの前記大孔を囲むように第 2 の開口部が形成され、前記画素電極は、前記スルーホールを介して前記ソース電極と接続し、前記第 2 の絶縁膜に形成された前記第 1 の開口部は、前記有機絶縁膜に形成された前記大孔よりも大きく、かつ、前記共通電極に形成された第 2 の開口部よりも小さいことを特徴とする液晶表示装置。

40

【 0 0 1 5 】

(2) 前記スルーホールにおいて、前記第 1 の絶縁膜に形成された小孔は前記有機絶縁膜をマスクとしてエッチングされて形成されていることを特徴とする (1) に記載の液晶表示装置。

【 0 0 1 6 】

(3) 薄膜トランジスタのソース領域と接続するソース電極の上に、前記ソース電極を

50

覆う第1の絶縁膜が形成され、前記第1の絶縁膜の上に有機絶縁膜が形成され、前記有機絶縁膜の上にコモン電極が形成され、前記コモン電極の上に前記コモン電極を覆う第2の絶縁膜が形成され、前記第2の絶縁膜の上に櫛歯状に形成された部分を有する画素電極が形成された液晶表示装置において、前記有機絶縁膜と前記第1の絶縁膜は、前記有機絶縁膜の上部に対応する大孔と前記第1の絶縁膜に対応する小孔と、前記有機絶縁膜に形成された傾斜部を有するスルーホールを有し、前記第2の絶縁膜には、前記スルーホールの前記小孔を囲むように開口部が形成され、前記画素電極は、前記スルーホールを介して前記ソース電極と接続し、前記第2の絶縁膜に形成された前記開口部は、前記第1の絶縁膜に形成された小孔よりも大きく、前記有機絶縁膜に形成された前記傾斜部と部分的にオーバーラップしていることを特徴とする液晶表示装置。

10

【0017】

(4) 前記第2の絶縁膜に形成された開口部の径あるいは開口部の幅を $W1$ とし、前記第1の絶縁膜に形成された小孔の径あるいは小孔の幅を $W2$ としたとき、 $W1 > W2 + 2 \mu m$ であることを特徴とする(3)に記載の液晶表示装置。

【0018】

(5) 薄膜トランジスタのソース領域と接続するソース電極の上に、前記ソース電極を覆う第1の絶縁膜が形成され、前記第1の絶縁膜の上に有機絶縁膜が形成され、前記有機絶縁膜の上にコモン電極が形成され、前記コモン電極の上に前記コモン電極を覆う第2の絶縁膜が形成され、前記第2の絶縁膜の上に櫛歯状に形成された部分を有する画素電極が形成された液晶表示装置において、前記有機絶縁膜と前記第1の絶縁膜は、前記有機絶縁膜の上部に対応する大孔と前記第1の絶縁膜に対応する小孔と、前記有機絶縁膜に形成された傾斜部を有するスルーホールを有し、前記第2の絶縁膜には、前記スルーホール付近において開口部が形成され、前記画素電極は、前記スルーホールを介して前記ソース電極と接続し、前記第2の絶縁膜に形成された前記開口部は、前記第1の絶縁膜に形成された小孔よりも大きく、前記第2の絶縁膜は前記第1の絶縁膜とは接していないことを特徴とする液晶表示装置。

20

【0019】

(6) 前記第1の絶縁膜と前記第2の絶縁膜は、 SiN で形成されていることを特徴とする(1)から(5)の何れかに記載の液晶表示装置。

【0020】

(7) 前記第2の絶縁膜は、 300 度以下で成膜された SiN で形成されていることを特徴とする(1)から(6)の何れかに記載の液晶表示装置。

30

【発明の効果】

【0021】

本発明によれば、視野角が広く、かつ、透過率の大きい、 IPS 方式を小型で画素の精細度が高い液晶表示装置に適用することが可能になる。具体的には、有機パッシベーション膜の上に形成された層間絶縁膜とコモン電極間の剥がれを防止することが出来、製造歩留まりを上げることが出来る。また、層間絶縁膜等の接着強度が増すので、液晶表示装置としての信頼性を増すことが出来る。

【図面の簡単な説明】

40

【0022】

【図1】本発明が適用される液晶表示装置の平面図である。

【図2】実施例1の液晶表示装置の画素部の断面図である。

【図3】画素電極およびコモン電極の平面図である。

【図4】実施例1のスルーホール部の平面図である。

【図5】実施例1のスルーホール部の断面図である。

【図6】従来例のスルーホール部の平面図である。

【図7】従来例のスルーホール部の断面図である。

【図8】従来例のスルーホール部の画素電極を除いた断面図である。

【図9】従来例の問題点を示すスルーホール部付近の断面図である。

50

【図 1 0】従来例における熱膨張ストレスを示す模式図である。

【図 1 1】本発明における熱膨張ストレスを示す模式図である。

【図 1 2】実施例 2 のスルーホール部の平面図である。

【図 1 3】実施例 2 のスルーホール部の断面図である。

【図 1 4】実施例 3 の液晶表示装置の画素部の断面図である。

【図 1 5】画素が小さい場合の画素部の斜視図である。

【発明を実施するための形態】

【0023】

以下、本発明の内容を実施例を用いて詳細に説明する。

【実施例 1】

10

【0024】

図 1 は、本発明が適用される製品の例である、携帯電話等に使用される小型の液晶表示装置の平面図である。図 1 において、TFT 基板 100 の上に対向基板 200 が配置されている。TFT 基板 100 と対向基板 200 の間に図示しない液晶層が挟持されている。TFT 基板 100 と対向基板 200 とは額縁部に形成されたシール材 20 によって接着されている。図 1 においては、液晶は滴下方式によって封入されるので、封入孔は形成されていない。

【0025】

TFT 基板 100 は対向基板 200 よりも大きく形成されており、TFT 基板 100 が対向基板 200 よりも大きくなっている部分には、液晶セルに電源、映像信号、走査信号等を供給するための端子部 150 が形成されている。

20

【0026】

また、端子部 150 には、走査信号線 30、映像信号線 40 等を駆動するための IC ドライバ 50 が設置されている。IC ドライバ 50 は 3 つの領域に分かれており、中央には映像信号駆動回路 52 が設置され、両脇には走査信号駆動回路 51 が設置されている。

【0027】

図 1 の表示領域 10 において、走査信号線 30 が横方向に延在し、縦方向に配列している。また、映像信号線 40 が縦方向に延在し、横方向に配列している。走査信号線と映像信号線とで囲まれた領域が画素を構成する。走査線信号線は表示領域 10 の両側から走査線引出し線 31 によって、IC ドライバ 50 の走査信号駆動回路 51 と接続している。映像信号線 40 と IC ドライバ 50 を接続する映像信号線引出し線 41 は画面下側に集められ、IC ドライバ 50 の中央部に配置されている映像信号駆動回路 52 と接続する。

30

【0028】

図 2 は図 1 に示す表示領域 10 の画素部の構造を示す断面図である。図 2 は、本発明が適用される IPS 方式液晶表示パネルの構造について説明するものである。本実施例における TFT はゲート電極が半導体層の上方に存在する、いわゆるトップゲート方式の TFT である。図 2 において、ガラス基板 100 の上に SiN からなる第 1 下地膜 101 および SiO₂ からなる第 2 下地膜 102 が CVD (Chemical Vapor Deposition) によって形成される。第 1 下地膜 101 および第 2 下地膜 102 の役割はガラス基板 100 からの不純物が半導体層 103 を汚染することを防止することである。

40

【0029】

第 2 下地膜 102 の上には半導体層 103 が形成される。この半導体層 103 は第 2 下地膜 102 に上に CVD によって a-Si 膜を形成し、これをレーザアニールすることによって poly-Si 膜に変換したものである。この poly-Si 膜をフォトリソグラフィによってパターニングする。

【0030】

半導体膜の上にはゲート絶縁膜 104 が形成される。このゲート絶縁膜 104 は SiO₂ 膜である。この SiO₂ 膜は、例えば TEOS (テトラエトキシシラン) を原料ガスとして成膜される。この膜も CVD によって形成される。その上にゲート電極 105 が形成

50

される。ゲート電極 105 は走査信号線 30 と同層で、同時に形成される。ゲート電極 105 は例えば、MoW 膜によって形成される。ゲート配線 105 の抵抗を小さくする必要があるときは Al 合金が使用される。

【0031】

ゲート電極 105 はフォトリソグラフィによってパターニングされるが、このパターニングの際に、イオンインプランテーションによって、リンあるいはボロン等の不純物を poly-Si 層にドーピングして poly-Si 層にソース領域 S あるいはドレイン領域 D を形成する。また、ゲート電極 105 のパターニングの際のフォトレジストを利用して、poly-Si 層のチャンネル領域と、ソース領域 S あるいはドレイン領域 D との間に LDD (Lightly Doped Drain) 層を形成する。

10

【0032】

その後、ゲート電極 105 を覆って層間絶縁膜 106 を SiO₂ によって形成する。層間絶縁膜 106 はゲート配線 105 等とソース電極 107 等を絶縁するためである。層間絶縁膜 106 の上にソース電極 107 が形成される。図 2 においては、ソース電極 107 は広く形成され、TFT を覆う形となっている。一方、TFT のドレイン領域 D は、図示しない部分においてドレイン電極と接続している。

【0033】

ソース電極 107 とドレイン電極は映像信号線 40 と同層で、同時に形成される。ソース電極 107 とドレイン電極は、抵抗を小さくするために、AlSi 合金が使用される。AlSi 合金はヒロックを発生したり、Al が他の層に拡散したりするので、MoW によるバリア層、およびキャップ層によって AlSi をサンドイッチする構造がとられている。

20

【0034】

ソース電極 107 と TFT のソース領域 S を接続するために、ゲート絶縁膜 104 と層間絶縁膜 106 にスルーホールが形成され、TFT のソース領域 S とソース電極 107 とが接続される。ソース電極 107 を覆って、例えば SiN を用いて形成された無機パッシベーション膜 (無機絶縁膜) 108 が被覆され、TFT 全体を保護する。無機パッシベーション膜 108 は第 1 下地膜 101 と同様に CVD によって形成される。

【0035】

無機パッシベーション膜 108 を覆って有機パッシベーション膜 109 が形成される。有機パッシベーション膜 109 は感光性のアクリル樹脂で形成される。有機パッシベーション膜は、アクリル樹脂の他、シリコン樹脂、エポキシ樹脂、ポリイミド樹脂等でも形成することが出来る。有機パッシベーション膜 109 は平坦化膜としての役割を持っているので、厚く形成される。有機パッシベーション膜 109 の膜厚は 1 ~ 4 μm であるが、多くの場合は 2 μm 程度である。

30

【0036】

画素電極 112 とソース電極 107 との導通を取るために、無機パッシベーション膜 108 および有機パッシベーション膜 109 にスルーホール 130 が形成される。有機パッシベーション膜 109 は感光性の樹脂を使用している。感光性の樹脂を塗付後、この樹脂を露光すると、光が当たった部分のみが特定の現像液に溶解する。すなわち、有機パッシベーション膜 109 に感光性樹脂を用いることによって、フォトレジストの形成を省略することが出来る。有機パッシベーション膜 109 にスルーホールを形成したあと、230 程度で有機パッシベーション膜 109 を焼成することによってスルーホールが形成された有機パッシベーション膜 109 が完成する。

40

【0037】

有機パッシベーション膜 109 をマスクとしてドライエッチングにより無機パッシベーション膜 108 にスルーホールを形成する。こうして、画素電極 112 とソース電極 10 を導通するためのスルーホール 130 が形成される。有機パッシベーション膜 109 は厚いので、スルーホール 130 の上側と下側では、孔の大きさが異なる。

【0038】

50

このようにして形成された有機パッシベーション膜 109 の上面は平坦となっている。有機パッシベーション膜 109 の上にアモルファス ITO (Indium Tin Oxide) をスパッタリングによって被着し、フォトレジストによって、パターンニングした後、稀酸でエッチングし、コモン電極 110 のパターンニングを行う。コモン電極 110 はスルーホール 130 を避けて、平面ベタで形成される。その後、230 で焼成して、ITO を多結晶化し、電気抵抗を低下させる。コモン電極 110 を形成する透明導電膜である ITO は、厚さは例えば、77 μm である。

【0039】

その後、コモン電極 110 を覆って、層間絶縁膜 111 を CVD によって成膜する。このときの CVD の温度条件は、300 以下（望ましくは 230 程度）であり、これは低温 CVD と呼ばれる。その後、フォトリソグラフィ工程によって、層間絶縁膜 111 のパターンニングを行う。本発明の特徴は、層間絶縁膜 111 によって、スルーホール 130 内を完全には覆わないことである。図 2 においては、スルーホール 130 の内壁（即ち有機パッシベーション膜 109 の側壁）には層間絶縁膜 111 は形成されていない。

10

【0040】

ところで、他の膜、例えば、第 1 下地膜 101、無機パッシベーション膜 108 等を CVD で形成する時は、300 以上で行われる。一般に、CVD 膜等は、高温で形成したほうが、下地膜との接着力は強くすることが出来る。しかし、層間絶縁膜 111 の下には有機パッシベーション膜 109 がすでに形成されているので、300 以上の高温にすると、有機パッシベーション膜 109 の特性が変化するため、層間絶縁膜 111 の形成は低温 CVD で行われる。低温 CVD で層間絶縁膜 111 を形成することによって、他の膜、特に、コモン電極 110 と、層間絶縁膜 111 との接着力が問題となる。

20

【0041】

本実施例では、図 2 に示すように、層間絶縁膜 111 をスルーホール 130 の内壁に形成せず、平坦部のみに形成することによって、層間絶縁膜 111 に対するストレスを緩和し、層間絶縁膜 111 とコモン電極 110 との膜剥がれを防止している。なお、他の実施例で示すように、層間絶縁膜 111 がスルーホール 130 の内壁の一部を覆っている程度であっても、本発明の効果を維持することが出来る。

【0042】

層間絶縁膜 111 の上にアモルファス ITO をスパッタリングし、フォトリソグラフィ工程によって、櫛歯状の画素電極 112 を形成する。画素電極 112 はスルーホール 130 を介してソース電極 107 と接続する。画素電極 112 には信号電圧が印加され、コモン電極 110 との間に発生する電界によって、液晶分子 301 を回転させ、画素毎に液晶層の光の透過量を制御し、画像を形成する。画素電極 112 を形成する透明導電膜である ITO の膜厚は、例えば、40 nm から 70 nm 程度である。

30

【0043】

図 3 は、櫛歯状の画素電極 112 と平面ベタで形成されたコモン電極 110 の関係を示す平面図である。図 3 において、画素電極 112 は、図示していない層間絶縁膜 111 を挟んでコモン電極 110 の上に配置されている。画素電極 112 の櫛歯 1121 と櫛歯 1121 の間のスリット 1122 が形成されている。図 2 に示すように、画素電極 112 上面からコモン電極 110 に電気力線が伸び、この電気力線によって液晶分子 301 を回転させ、液晶層 300 を透過する光の量を制御する。

40

【0044】

図 2 において、画素電極 112 の上には、液晶分子 301 を初期配向させるための配向膜 113 が形成されている。液晶層 300 を挟んで対向基板 200 が配置されている。対向基板 200 の内側には、カラーフィルタ 201 が形成されている。カラーフィルタ 201 は画素毎に、赤、緑、青のカラーフィルタが形成されており、カラー画像が形成される。カラーフィルタ 201 とカラーフィルタ 201 の間にはブラックマトリクス 202 が形成され、画像のコントラストを向上させている。なお、ブラックマトリクス 202 は TFT の遮光膜としての役割も有し、TFT に光電流が流れることを防止している。

50

【 0 0 4 5 】

カラーフィルタ 2 0 1 およびブラックマトリクス 2 0 2 を覆ってオーバーコート膜 2 0 3 が形成されている。カラーフィルタ 2 0 1 およびブラックマトリクス 2 0 2 の表面は凹凸となっているために、オーバーコート膜 2 0 3 によって表面を平坦化している。オーバーコート膜 2 0 3 の上には、液晶分子 3 0 1 の初期配向を決めるための配向膜 1 1 3 が形成されている。なお、図 2 は IPS であるから、対向電極 1 1 0 は TFT 基板 1 0 0 側に形成されており、対向基板 2 0 0 側には形成されていない。

【 0 0 4 6 】

図 2 に示すように、IPS では、対向基板 2 0 0 の内側には導電膜が形成されていない。そうすると、対向基板 2 0 0 の電位が不安定になる。また、外部からの電磁ノイズが液晶層 3 0 0 に侵入し、画像に対して影響を与える。このような問題を除去するために、対向基板 2 0 0 の外側（液晶層 3 0 0 の反対側）に外部導電膜 2 1 0 が形成される。外部導電膜 2 1 0 は、透明導電膜である ITO をスパッタリングすることによって形成される。

10

【 0 0 4 7 】

図 4 はスルーホール 1 3 0 付近の平面図である。図 4 では、最上層に形成される画素電極は省略されている。図 4 において、スルーホール 1 3 0 には、大孔 1 3 0 1 と小孔 1 3 0 2 と傾斜部が存在している。スルーホール 1 3 0 の大孔 1 3 0 1 の外側には、スルーホール 1 3 0 の大孔 1 3 0 1 を囲む形で層間絶縁膜 1 1 1 の端部が形成され、層間絶縁膜 1 1 1 のさらに外側には、層間絶縁膜 1 1 1 の端部を囲む形でコモン電極 1 1 0 の端部が形成されている。スルーホール 1 3 0 の小孔 1 3 0 2 の内側にはソース電極 1 0 7 が見えている。ソース電極 1 0 7 と図示しない画素電極がスルーホール 1 3 0 を介して接続する。

20

【 0 0 4 8 】

図 5 は図 4 の A - A 断面図である。図 5 において、ソース電極 1 0 7 の下層は省略されている。ソース電極 1 0 7 の上に無機パッシベーション膜 1 0 8 が形成され、無機パッシベーション膜 1 0 8 の上に有機パッシベーション膜 1 0 9 が形成されている。有機パッシベーション膜 1 0 9 の上にコモン電極 1 1 0 が形成され、コモン電極 1 1 0 の上に層間絶縁膜 1 1 1 が形成されている。コモン電極 1 1 0 は、有機パッシベーション膜 1 0 9 の平面部のみに形成され、スルーホール 1 3 0 の傾斜部（スルーホール 1 3 0 の内壁、有機パッシベーション膜 1 0 9 の側壁）には形成されていない。

30

【 0 0 4 9 】

コモン電極 1 1 0 を覆う層間絶縁膜 1 1 1 も有機パッシベーション膜 1 0 9 の平面部のみに形成され、スルーホール 1 3 0 の傾斜部には形成されていない。層間絶縁膜 1 1 1 の上には画素電極 1 1 2 が形成され、画素電極 1 1 2 はスルーホール 1 3 0 を介してソース電極 1 0 7 と接続している。無機パッシベーション膜 1 0 8 の孔と有機パッシベーション膜 1 0 9 の小孔とが同じ大きさとなっている。無機パッシベーション膜 1 0 8 は有機パッシベーション膜 1 0 9 をマスクとしてエッチングされるからである。

【 0 0 5 0 】

本発明の特徴は、層間絶縁膜 1 1 1 をスルーホール 1 3 0 まで延在させずに、有機パッシベーション膜 1 0 9 の平坦部にのみ形成していることである。有機パッシベーション膜 1 0 9 はアクリル等の樹脂で形成され、層間絶縁膜 1 1 1 は SiN（特に低温成膜の SiN）で形成されているので、熱膨張係数が異なる。層間絶縁膜 1 1 1 を形成した後、画素電極 1 1 2 を構成する ITO 膜を多結晶化するとき、230 程度で焼成するが、このときに、熱膨張係数の差によって、有機パッシベーション膜 1 0 9 の上に形成される膜にストレスが加わる。

40

【 0 0 5 1 】

このとき、有機パッシベーション膜 1 0 9 に直接形成されているコモン電極 1 1 0 は 7 nm と薄いことと、ITO と有機樹脂との接着力が高いため、コモン電極 1 1 0 と有機パッシベーション膜 1 0 9 との間で剥離は生じにくい。一方、層間絶縁膜 1 1 1 は 200 nm ~ 300 nm と厚く、かつ、層間絶縁膜 1 1 1 と ITO との接着力は強くないので、層間絶縁膜 1 1 1 とコモン電極 1 1 0 との間での剥離が生じやすい。本実施例では、層間

50

絶縁膜 111 がスルーホール 130 の傾斜部全体を覆わず、層間絶縁膜 111 を有機パッシベーション膜 109 の平面部にとどめておくことによって、熱膨張のストレスがかかりにくくして、コモン電極 110 と層間絶縁膜 111 の剥離を防止している。

【0052】

図 6 は比較のための従来例におけるスルーホール 130 付近の平面図である。図 6 では、画素電極は省略されている。図 6 において、スルーホール 130 の大孔 1301 の周辺を囲んでコモン電極 110 が形成されている。層間絶縁膜 111 は、有機パッシベーション膜 109 に形成されたスルーホールの小孔のさらに内側まで延在し、スルーホール 130 の小孔 1302 を形成している。スルーホール 130 の小孔 1302 には、ソース電極 107 が見えている。

10

【0053】

図 7 は図 6 の B - B 断面図である。図 7 において、ソース電極 107 の上には無機パッシベーション膜 108 が形成され、無機パッシベーション膜 108 の上には有機パッシベーション膜 109 が形成されている。有機パッシベーション膜 109 の上面にはコモン電極 110 が形成され、コモン電極 110 を覆って層間絶縁膜 111 が形成されている。図 7 において、層間絶縁膜 111 はスルーホール 130 の傾斜部を覆い、無機パッシベーション膜 108 と接触し、無機パッシベーション膜 108 と層間絶縁膜 111 とでスルーホール 130 の小孔 1302 を形成している。図 6 および図 7 の構成においては、スルーホール 130 部における有機パッシベーション膜 109 は、層間絶縁膜 111 によって完全に覆われている。

20

【0054】

図 8 は、図 7 における画素電極 112 を形成する前におけるスルーホール 130 部の断面図である。図 8 までの状態のスルーホール 130 を形成するプロセスは次のとおりである。ソース電極 107 の上に無機パッシベーション膜 108 を成膜し、さらに有機パッシベーション膜 109 を成膜する。その後、有機パッシベーション膜 109 にスルーホールを形成する。その後、層間絶縁膜 111 を成膜し、フォトリジストをコーティングし、パターニングする。その後、同じレジストパターンを用いて層間絶縁膜 111 と無機パッシベーション膜 108 を同時にドライエッチングしてスルーホール 130 の小孔 1302 を形成する。なお、無機パッシベーション膜 108 も層間絶縁膜 111 も SiN によって形成されているので、同時にエッチングすることが可能である。

30

【0055】

その後、層間絶縁膜 111 の上に画素電極 112 となる ITO を被着し、フォトリソグラフィ工程によって櫛歯電極状に画素電極 112 をパターニングする。画素電極 112 をパターニングした後、画素電極 112 の抵抗を小さくするために、画素電極 112 が形成された TFT 基板 100 を 230 程度で焼成して ITO を多結晶化する。しかし、このときの熱工程によって、層間絶縁膜 111 とコモン電極 110 との間で、図 9 に示すような膜剥がれが発生する。

【0056】

これは、図 10 に示すようなメカニズムによって生ずるものと考えられる。図 10 は図 6 の B - B 断面図である。画素電極 112 を形成後、ITO を多結晶化するために、温度を上げた際、有機パッシベーション膜 109 は熱膨張係数が層間絶縁膜 111 よりも大きいので、層間絶縁膜 111 を横方向に引っ張ろうとする力を生ずる。この力は、有機パッシベーション膜 109 とコモン電極 110 との界面にかかる力 F_1 とスルーホール 130 の傾斜部付近において、層間絶縁膜 111 を横方向に引っ張ろうとする力 F_2 に分けることが出来る。なお、有機パッシベーション膜 109 とコモン電極 110 との間に生ずるストレス F_1 は、コモン電極 110 の厚さが小さいために、層間絶縁膜 111 とコモン電極 110 との間の界面のストレスになると考えてよい。

40

【0057】

図 10 において、スルーホール 130 の小孔 1302 側において、無機パッシベーション膜 108 と層間絶縁膜 111 が積層されている。無機パッシベーション膜 108 と層間

50

絶縁膜 111 は同じ材料である SiN で形成されているために、接着力は非常に強い。この構造においては、有機パッシベーション膜 109 が膨張しようとしても、無機パッシベーション膜 108 によって、横方向への膨張は完全に抑制されてしまう。この抑制による影響が、層間絶縁膜 111 とコモン電極 110 との間の界面のストレスとなって現われる。

【0058】

すなわち、図 10 の構成においては、有機パッシベーション膜 109 の熱膨張によって層間絶縁膜 111 とコモン電極 110 との界面にもたらされるストレス S2 は、有機パッシベーション膜 109 とコモン電極 110 との間の界面のストレス F1 に、図 10 の F2 によるストレスが加わったものとなる。

10

【0059】

そして、層間絶縁膜 111 が破壊しなければ、図 10 における F2 は層間絶縁膜 111 を水平方向に引っ張る力に変換される。一方、コモン電極 110 を構成する ITO の膜厚は、層間絶縁膜 111 の膜厚よりも小さく、かつ、有機パッシベーション膜 109 の接着力は強いので、有機パッシベーション膜 109 とコモン電極 110 との間では剥離は生じない。したがって、コモン電極 110 と層間絶縁膜 111 との間で剥離が生ずることになる。

【0060】

図 11 は本実施例の構成において、層間絶縁膜 111 の上の ITO を多結晶化するために温度を上げたときのストレスを示す模式図である。図 11 は図 4 の A - A 断面図となっている。図 11 において、温度を上げた場合の、熱膨張係数の差による有機パッシベーション膜 109 とコモン電極 110 の間のストレス F1 は、図 10 と同様である。しかし、図 11 においては、層間絶縁膜 111 はスルーホール 130 の内部には形成されていない。したがって、図 10 に示すような従来例で生じていた、スルーホール 130 の傾斜部における力 F2 は存在しない。

20

【0061】

有機パッシベーション膜 109 とコモン電極 110 との間に生ずるストレスは、コモン電極 110 と層間絶縁膜 111 との間に生ずるストレスと同等と考えてよい。したがって、図 11 に示す本実施例の構成においては、有機パッシベーション膜 109 と層間絶縁膜 111 等との熱膨張の差によって生ずる層間絶縁膜 111 とコモン電極 110 との間に生ずるストレス S1 は有機パッシベーション膜 109 とコモン電極 110 との間に発生するストレス F1 と同等となり、従来例に比較して軽減される。これによって、コモン電極 110 と層間絶縁膜 111 との剥離を防止することが出来る。

30

【0062】

本実施例の構成による TFT 基板 100 と、従来例の構成による TFT 基板 100 を各々 50 枚製作し、240 のホットプレートで 20 分間加熱して、膜剥がれの有無を確認した。その結果本実施例の構成の場合、膜剥がれを生じた TFT 基板 100 は 0 枚であった。これに対して、従来の構成による TFT 基板 100 では、50 枚の TFT 基板 100 のうち、7 枚の TFT 基板 100 において、コモン電極 110 と層間絶縁膜 111 との間に膜剥がれを生じた。このように、本発明の効果は非常に大きい。

40

【0063】

尚、液晶表示装置の交流反転駆動により、TFT に流れる電流の方向は適宜入れ替わる。これにより、TFT のソース領域とドレイン領域、更にはソース電極とドレイン電極も適宜入れ替わるが、本実施例の説明においては、画素電極と接続される側をソース領域、ソース電極と称している。以下に述べる実施例においても同様である。

【実施例 2】

【0064】

図 12 は実施例 2 におけるスルーホール 130 付近の平面図である。図 12 は、層間絶縁膜 111 の形成範囲のみが実施例 1 の図 4 と異なっている。すなわち、本実施例においては、層間絶縁膜 111 がスルーホール 130 の傾斜部の一部を覆っている。図 13 は、

50

図 12 の C - C 断面図である。図 13 において、層間絶縁膜 111 はスルーホール 130 の傾斜部の上部を覆っている。しかし、層間絶縁膜 111 はスルーホール 130 の下部までは延在しておらず、かつ、無機パッシベーション膜 108 とは接していない。

【0065】

本実施例においても、無機パッシベーション膜 108 は有機パッシベーション膜 109 をマスクとしてドライエッチングされているので、無機パッシベーション膜 108 は表面には出ていない。しかし、仮に別なプロセスを用いて、無機パッシベーション膜 108 が有機パッシベーション膜 109 よりも内側に顔を出すような構成の場合であっても、層間絶縁膜 111 と無機パッシベーション膜 108 との接触は避ける必要がある。有機パッシベーション膜 109 の熱膨張によるストレスが過大になることを防止するためである。

10

【0066】

本実施例では、層間絶縁膜 111 がスルーホール 130 の傾斜部にまで形成されている分、実施例 1 の場合に比較して、熱膨張によるストレスは若干大きくなるが、従来例に比較するとはるかに小さい。つまり、有機パッシベーション膜 109 の熱膨張を、層間絶縁膜 111 と無機パッシベーション膜 108 によって完全に塞ぐ構成とはなっていないからである。したがって、本実施例による膜剥がれに対する効果は、実施例 1 に近いものとなる。

【0067】

本実施例においては、層間絶縁膜 111 と無機パッシベーション膜 108 を接触させないためには、図 12 における層間絶縁膜 111 の開口径（又は開口部の幅） $W1$ を有機パッシベーション膜 109 の小径（又は小孔の幅） $W2$ よりも必ず大きくしなければならない。また、マスクの目合わせの精度を考慮すると、 $W2 + 2 \mu m < W1$ とする必要がある。

20

【0068】

有機パッシベーション膜 109 は平坦化膜も兼ねているので、画素のピッチが小さくなくても、有機パッシベーション膜 109 の膜厚を小さくすることが困難である。そうすると、スルーホール 130 の径も小さくすることは難しい。本実施例のように、スルーホール 130 の傾斜部にまで層間絶縁膜 111 を形成すれば、コモン電極 110 をスルーホール 130 の大孔 1301 付近にまで形成することが出来、画素における光の利用率を向上させることが出来る。

30

【実施例 3】

【0069】

実施例 1 および実施例 2 では、本発明がトップゲートタイプの TFT を使用した構成の場合について説明した。しかし、本発明は、トップゲートタイプの TFT の場合のみでなく、ボトムゲートタイプの TFT に対しても同様に適用することが出来る。

【0070】

図 14 は、ボトムゲートタイプの TFT を用いた液晶表示装置に本発明を適用した場合の、画素部の断面図である。TFT の構成を除いては、実施例 1 で説明した図 2 と同様である。図 14 において、TFT 基板 100 の上にはゲート電極 105 が形成されている。ゲート電極 105 を覆って、ゲート絶縁膜 104 が形成されている。ゲート絶縁膜 104 を介してゲート電極 105 の上には、半導体層 103 が形成されている。

40

【0071】

図 14 において、ゲート電極 105 はガラス基板の上に直接形成され、図 2 で説明したような下地膜は形成されていない。ガラスからの不純物はゲート電極 105 によってブロックされ、半導体層 103 には到達しないからである。但し、図 2 と同様に下地膜を形成してもよい。図 14 に示す半導体層 103 には、a - Si が使用される場合が多い。この場合の半導体層 103 の厚さは 150 nm 程度である。半導体層 103 のソース領域およびドレイン領域にはソース電極 107 およびドレイン電極 1071 が接続している。なお、半導体層 103 とソース電極 107、あるいは、ドレイン電極 1071 との間には、オーミックコンタクトを取るための図示しない $n + Si$ 層が 50 nm 程度の厚さで形成され

50

る。

【0072】

このようにして形成されたボトムゲートタイプのTFTを覆って、無機パッシベーション膜108が形成される。この場合の無機パッシベーション膜108は、実施例1あるいは実施例2で説明した半導体層にpoly-Siを用いたトップゲート型の場合と異なり、後で形成される共通電極と画素電極との間の層間絶縁膜と同様に低温CVDによって形成される。本実施例ではTFTの半導体層にa-Siを用いているが、高温CVDを用いると、a-Siの特性を変化させる可能性があるからである。この場合の低温CVDで形成した無機パッシベーション膜108は、ITOと直接接触していないので、この部分において、膜剥がれが問題になることは無い。

10

【0073】

無機パッシベーション膜108を形成した後の構成およびプロセスは図2で説明したのと同様であるので、説明を省略する。すなわち、図14におけるソース電極107と画素電極112を接続するためにスルーホール130を形成するが、本発明の特徴であるスルーホール130部およびその付近の構成は、実施例1および実施例2で説明した構成をそのまま適用することが出来る。このように、本発明は、TFTの構成にかかわらず、使用することが出来、同様の効果を得ることが出来る。

【0074】

以上説明してきたように、膜剥がれは画素面積が小さくなった場合に特に問題になる。例えば、3インチの画面にVGAを表示可能とするためには、画素の水平ピッチが32 μ mとなる。画面が3インチ以下においてもVGAを表示可能としたいという要求があり、この場合は、水平ピッチが32 μ m以下となる。このような画素ピッチが小さい製品についてIPS方式を適用する場合は、本発明は非常に効果がある。

20

【符号の説明】

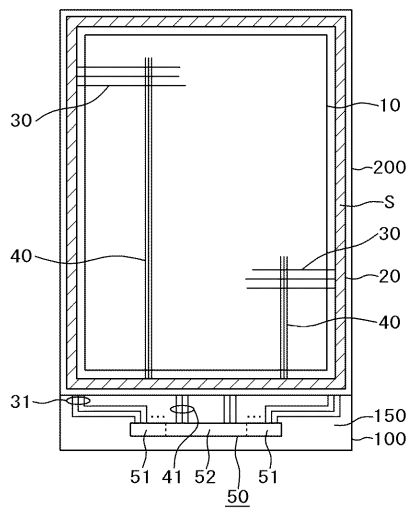
【0075】

10...表示領域、 20...シール材、 30...走査信号線、 31...走査信号線引出し線、 40...映像信号線、 41...映像信号線引き出し線、 50...ICドライバ、 51...走査信号線駆動回路、 52...映像信号線駆動回路、 100...TFT基板、 101...第1下地膜、 102...第2下地膜、 103...半導体層、 104...ゲート絶縁膜、 105...ゲート電極、 106...層間絶縁膜、 107...ソース電極、 108...無機パッシベーション膜、 109...有機パッシベーション膜、 110...共通電極、 111...層間絶縁膜、 112...画素電極、 113...配向膜、 130...スルーホール、 150...端子部、 200...対向基板、 201...カラーフィルタ、 202...ブラックマトリクス、 203...オーバーコート膜、 210...外部導電膜、 300...液晶層、 301...液晶分子、 1071...ドレイン電極、 1301...スルーホールの大孔、 1302...スルーホールの小孔、 S...ソース領域、 D...ドレイン領域。

30

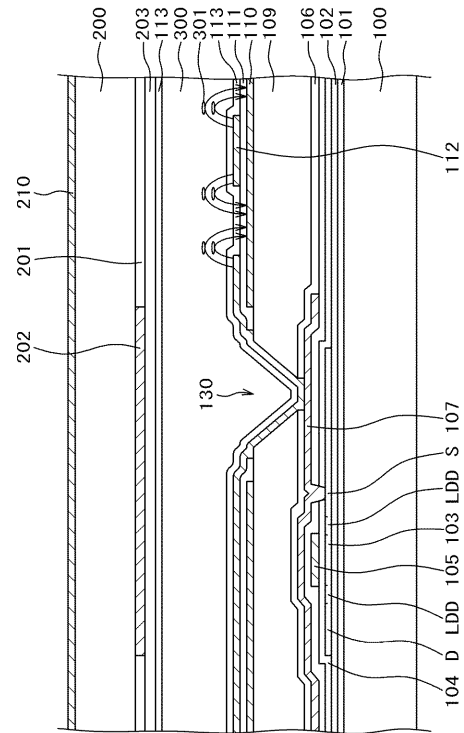
【図 1】

図 1



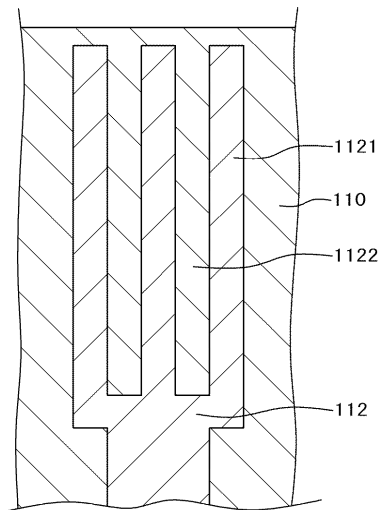
【図 2】

図 2



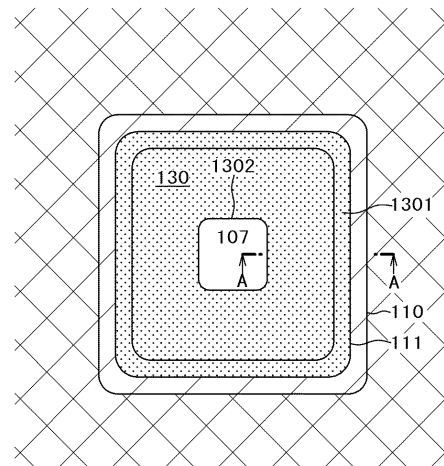
【図 3】

図 3



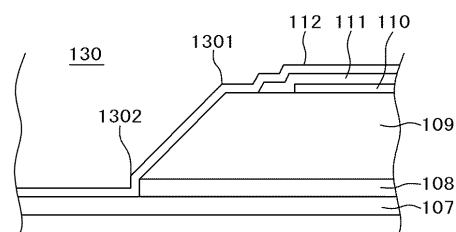
【図 4】

図 4



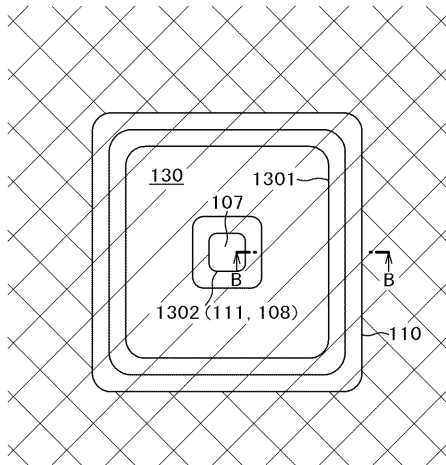
【図 5】

図 5



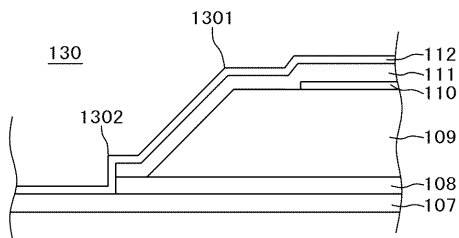
【図 6】

図 6



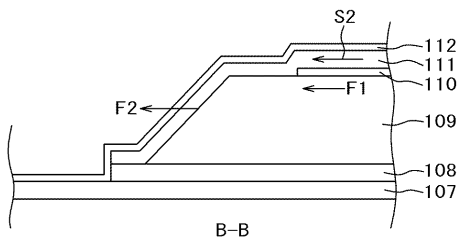
【図 7】

図 7



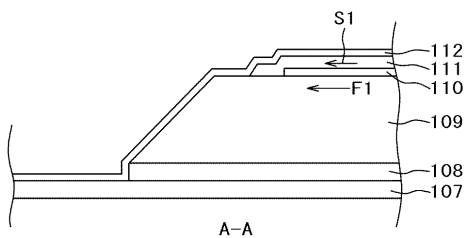
【図 10】

図 10



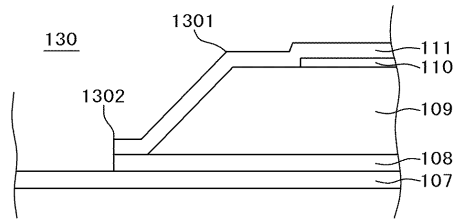
【図 11】

図 11



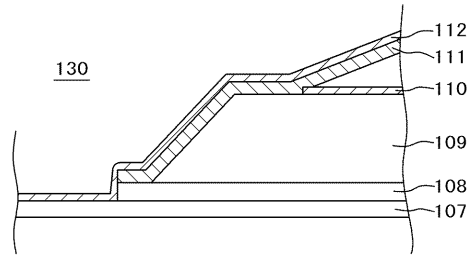
【図 8】

図 8



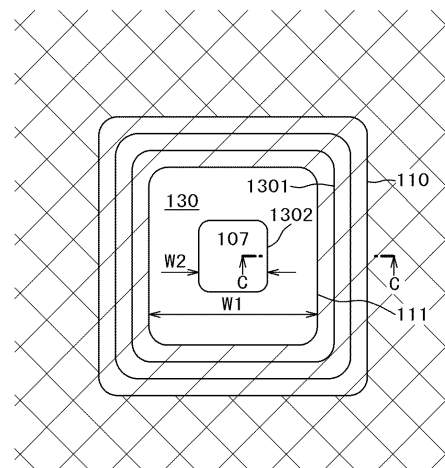
【図 9】

図 9



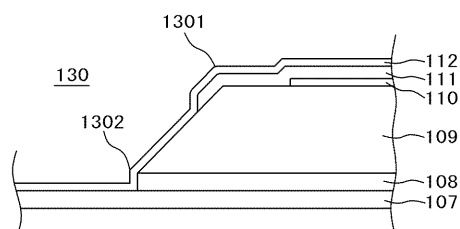
【図 12】

図 12



【図 13】

図 13



14

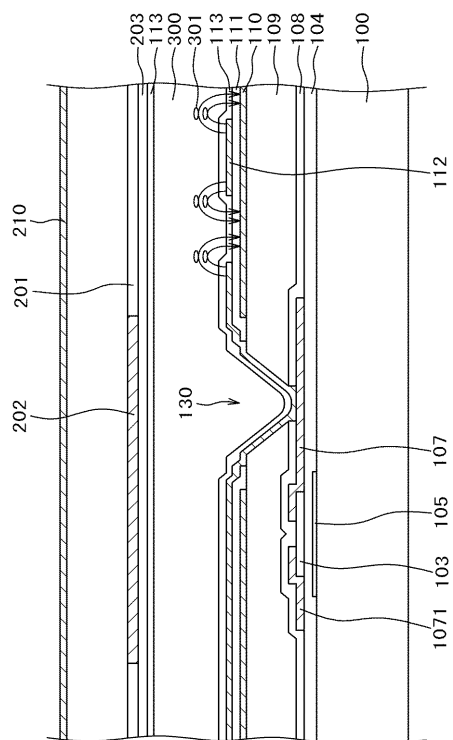
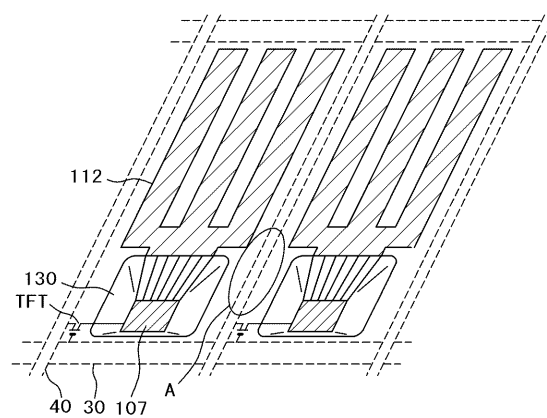


图 15



フロントページの続き

(72)発明者 高橋 文雄

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 鈴木 俊光

(56)参考文献 特開 2 0 0 1 - 0 3 3 8 2 4 (J P , A)

特開 2 0 0 9 - 1 3 3 9 5 4 (J P , A)

特開 2 0 1 0 - 1 0 2 2 2 0 (J P , A)

特開 2 0 0 9 - 1 2 8 3 9 7 (J P , A)

特開 2 0 0 9 - 1 8 6 8 7 0 (J P , A)

特開 2 0 0 9 - 0 3 1 4 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5335628B2	公开(公告)日	2013-11-06
申请号	JP2009208067	申请日	2009-09-09
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器 松下液晶显示器有限公司		
[标]发明人	石垣利昌 高橋文雄		
发明人	石垣 利昌 高橋 文雄		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136227 G02F1/133345 G02F1/134363		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA29 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB16 2H092/JB56 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/NA18 2H092/QA06 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC33 2H192/BC35 2H192/CB02 2H192/CB05 2H192/CB34 2H192/CB35 2H192/CC72 2H192/EA22 2H192/EA43 2H192/EA66 2H192/EA76 2H192/FA73 2H192/FB22 2H192/GA06 2H192/JA32		
审查员(译)	铃木俊光		
其他公开文献	JP2011059314A		
外部链接	Espacenet		

摘要(译)

在IPS型液晶显示装置中，防止形成在平坦表面中的公共电极与层间绝缘膜之间的剥离。 解决方案：在平坦表面上的有机钝化膜109上形成公共电极110，在公共电极110上形成层间绝缘膜111，并且在层间绝缘膜111上形成梳齿状像素电极112并且形成了。像素电极112经由形成在有机钝化膜109和无机钝化膜108中的通孔130连接到源电极107。由于层间绝缘膜111仅形成在有机钝化膜109的上表面部分上，因此可以防止由有机钝化膜109和层间绝缘膜111之间的热膨胀系数差异引起的应力变得过大，可以防止层间绝缘膜111和公共电极110之间的分离。 .The

图 1

