

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5257346号
(P5257346)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.

F I

G O 2 F 1/133 (2006.01)

G O 9 G 3/20 (2006.01)

G O 9 G 3/36 (2006.01)

G O 2 F 1/133 5 2 O

G O 2 F 1/133 5 5 O

G O 2 F 1/133 5 7 5

G O 9 G 3/20 6 1 1 A

G O 9 G 3/20 6 1 2 F

請求項の数 16 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2009-278438 (P2009-278438)
 (22) 出願日 平成21年12月8日(2009.12.8)
 (65) 公開番号 特開2011-123100 (P2011-123100A)
 (43) 公開日 平成23年6月23日(2011.6.23)
 審査請求日 平成24年9月24日(2012.9.24)

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 110001254
 特許業務法人光陽国際特許事務所
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 水取 光
 東京都八王子市石川町2951番地5 カ
 シオ計算機株式会社 八王子技術センター
 内

審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置、電子機器、液晶ディスプレイの駆動装置及び液晶ディスプレイの駆動方法

(57) 【特許請求の範囲】

【請求項1】

2次元配列され、各々が画素電極を有する複数の表示画素と、
 前記複数の画素電極に対向した共通電極と、
 前記複数の画素電極と前記共通電極との間に挟持された液晶と、
 画像信号に基づく前記複数の表示画素に対する複数の階調信号が順次入力され、入力された前記各階調信号の階調値に対応した階調電圧を前記複数の表示画素に出力するデータドライバと、

一定電圧を生成する定電圧生成回路と、

互いに異なる第1電位と第2電位に一定の反転周期で変化する波形信号を生成する波形信号生成回路と、

第1の数のフレーム期間毎に、後続の第2の数のフレーム期間において前記複数の表示画素の各々に印加される前記階調電圧に対応する前記複数の階調信号の、階調値毎の数に基づいて、後続の前記第1の数のフレーム期間において前記共通電極に出力する電圧を前記一定電圧または前記波形信号の何れに設定するかを判定する判定回路と、
 を備えることを特徴とする液晶表示装置。

【請求項2】

前記判定回路は、前記第2の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれているか否かを判定し、前記特定の階調信号が含まれていると判定し

10

20

たとき、後続の前記第 1 の数のフレーム期間において前記共通電極に出力する電圧を前記波形信号に設定し、前記特定の階調信号が含まれていないと判定したとき、後続の前記第 1 の数のフレーム期間において前記共通電極に出力する電圧を前記一定電圧に設定することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記判定回路は、前記第 2 の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれ、且つ、該特定の階調信号の階調値毎の数が予め設定された所定数以下であるか否かを判定し、前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記共通電極に出力する電圧を前記一定電圧に設定し、前記複数の階調信号の中に階調値毎の数が前記所定数を越える前記特定の階調信号が含まれていると判定したとき、前記共通電極に出力する電圧を前記波形信号に設定し、

10

更に、前記判定回路が前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記複数の階調信号のうちの前記特定の階調信号の階調値を、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値を越えない値となる階調値に変換する制御回路を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記判定回路は、前記表示画素がノーマリーホワイト形であるとき、前記次フレーム分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値となる階調値より小さい階調値の階調信号が含まれているときに、前記特定の階調信号が含まれていると判定し、前記表示画素がノーマリーブラック形であるとき、前記次フレーム分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値となる階調値より大きい階調値の階調信号が含まれているときに、前記特定の階調信号が含まれていると判定することを特徴とする請求項 2 又は 3 に記載の液晶表示装置。

20

【請求項 5】

前記波形信号生成回路により生成される前記第 1 電位と前記第 2 電位とを有する前記波形信号に対する極性が前記反転周期に同期して交互に反転する、前記階調信号のビット数に応じた複数の第 1 の階調基準電圧を生成する第 1 基準電圧生成回路と、前記定電圧生成回路により生成される前記一定電圧に対する極性が前記反転周期に同期して交互に反転する、前記階調信号のビット数に応じた複数の第 2 の階調基準電圧を生成する第 2 基準電圧生成回路と、を更に備え、

30

前記データドライバは、入力された前記階調信号を設定された階調基準電圧に応じてアナログ電圧に変換して、前記階調電圧を生成する D/A コンバータを有し、

前記判定回路は、前記共通電極に前記波形信号を出力させるとき前記第 1 基準電圧生成回路を選択し、該第 1 基準電圧生成回路により生成された前記複数の第 1 の階調基準電圧を前記階調基準電圧として前記データドライバに供給し、前記共通電極に前記一定電圧を出力させるとき前記第 2 基準電圧生成回路を選択し、該第 2 基準電圧生成回路により生成された前記複数の第 2 の階調基準電圧を前記階調基準電圧として前記データドライバに供給するように制御することを特徴とする請求項 1 乃至 4 の何れか一項に記載の液晶表示装置。

40

【請求項 6】

前記第 1 の数と前記第 2 の数は同じ数であることを特徴とする請求項 1 乃至 5 の何れか一項に記載の液晶表示装置。

【請求項 7】

請求項 1 乃至 6 の何れか一項に記載の液晶表示装置を備える電子機器。

【請求項 8】

2 次元配列され、各々が画素電極を有する複数の表示画素と、前記複数の画素電極に対

50

向した共通電極と、前記複数の画素電極と前記共通電極との間に挟持された液晶と、を有する液晶ディスプレイを駆動する駆動装置において、

画像信号に基づく階調信号が順次入力され、入力された前記階調信号の階調値に応じた階調電圧を前記複数の表示画素に出力するデータドライバと、

一定電圧を生成する定電圧生成回路と、

互いに異なる第 1 電位と第 2 電位に一定の反転周期で変化する波形信号を生成する波形信号生成回路と、

第 1 の数のフレーム期間毎に、後続の第 2 の数のフレーム期間において前記複数の表示画素の各々に印加される前記階調電圧に対応する前記複数の階調信号の、階調値毎の数に基づいて、後続の前記第 1 の数の 1 フレーム期間において前記共通電極に出力する電圧を前記一定電圧または前記波形信号の何れに設定するかを判定する判定回路と、

を備えることを特徴とする液晶ディスプレイの駆動装置。

【請求項 9】

前記判定回路は、前記第 2 の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれているか否かを判定し、前記特定の階調信号が含まれていると判定したとき、後続の前記第 1 の数のフレーム期間において前記共通電極に出力する電圧を前記波形信号に設定し、前記特定の階調信号が含まれていないと判定したとき、後続の前記第 1 の数のフレーム期間において前記共通電極に出力する電圧を前記一定電圧に設定することを特徴とする請求項 8 に記載の液晶ディスプレイの駆動装置。

【請求項 10】

前記判定回路は、前記第 2 の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれ、且つ、該特定の階調信号の階調値毎の数が予め設定された所定数以下であるか否かを判定し、前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記共通電極に出力する電圧を前記一定電圧に設定し、前記複数の階調信号の中に階調値毎の数が前記所定数を越える前記特定の階調信号が含まれていると判定したとき、前記共通電極に出力する電圧を前記波形信号に設定し、

更に、前記判定回路が前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記複数の階調信号のうちの前記特定の階調信号の階調値を、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値を越えない値となる階調値に変換する制御回路を有することを特徴とする請求項 8 に記載の液晶ディスプレイの駆動装置。

【請求項 11】

前記判定回路は、前記表示画素がノーマリーホワイト形であるとき、前記次フレーム分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値となる階調値より小さい階調値の階調信号が含まれているときに、前記特定の階調信号が含まれていると判定し、前記表示画素がノーマリーブラック形であるとき、前記次フレーム分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値となる階調値より大きい階調値の階調信号が含まれているときに、前記特定の階調信号が含まれていると判定することを特徴とする請求項 9 又は 10 に記載の液晶ディスプレイの駆動装置。

【請求項 12】

前記波形信号生成回路により生成される前記第 1 電位と前記第 2 電位とを有する前記波形信号に対する極性が前記反転周期に同期して交互に反転する、前記階調信号のビット数に応じた複数の第 1 の階調基準電圧を生成する第 1 基準電圧生成回路と、前記定電圧生成回路により生成される前記一定電圧に対する極性が前記反転周期に同期して交互に反転する、前記階調信号のビット数に応じた複数の第 2 の階調基準電圧を生成する第 2 基準電圧生成回路と、を更に備え、

前記データドライバは、入力された前記階調信号を設定された階調基準電圧に応じてアナログ電圧に変換して、前記階調電圧を生成するＤＡコンバータを有し、

前記判定回路は、前記共通電極に前記波形信号を出力させるとき前記第１基準電圧生成回路を選択し、該第１基準電圧生成回路により生成された前記複数の第１の階調基準電圧を前記階調基準電圧として前記データドライバに供給し、前記共通電極に前記一定電圧を出力させるとき前記第２基準電圧生成回路を選択し、該第２基準電圧生成回路により生成された前記複数の第２の階調基準電圧を前記階調基準電圧として前記データドライバに供給するように制御することを特徴とする請求項８乃至１１の何れか一項に記載の液晶ディスプレイの駆動装置。

【請求項１３】

10

前記第１の数と前記第２の数は同じ数であることを特徴とする請求項８乃至１２の何れか一項に記載の液晶ディスプレイの駆動装置。

【請求項１４】

２次元配列され、各々が画素電極を有する複数の表示画素と、前記複数の画素電極に対向した共通電極と、前記複数の画素電極と前記共通電極との間に挟持された液晶と、を有する液晶ディスプレイを駆動する駆動方法において、

画像信号に基づく前記複数の表示画素に対する複数の階調信号が順次入力され、入力された前記階調信号の階調値に応じた階調電圧を前記複数の表示画素に出力する階調電圧出力ステップと、

第１の数のフレーム期間毎に、後続の第２の数のフレーム期間において前記複数の表示画素の各々に印加される前記階調電圧に対応する前記複数の階調信号の階調値毎の数に基づいて、後続の前記第１の数のフレーム期間において前記複数の表示画素を、コモン反転駆動方式で駆動するか、コモンＤＣ駆動方式で駆動するかを判定する判定ステップと、

20

前記判定ステップにおいて後続の前記第１の数のフレーム期間において前記複数の表示画素をコモン反転駆動方式で駆動すると判定されたとき、後続の前記第１の数のフレーム期間において、前記共通電極に、一定の反転周期で互いに異なる第１電位と第２電位に変化する波形信号を出力させる波形信号出力ステップと、

前記判定ステップにおいて後続の前記第１の数のフレーム期間において前記複数の表示画素をコモンＤＣ駆動方式で駆動すると判定されたとき、後続の前記第１の数のフレーム期間において前記共通電極に一定電圧を出力させる一定電圧出力ステップと、

30

を含むことを特徴とする液晶ディスプレイの駆動方法。

【請求項１５】

前記判定ステップは、前記第２の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれているか否かを判定する特定階調信号含有判定ステップと、前記特定階調信号含有判定ステップにおいて前記特定の階調信号が含まれていると判定したとき、後続の前記第１の数のフレーム期間において前記複数の表示画素をコモン反転駆動方式で駆動すると判定するコモン反転駆動判定ステップと、前記特定階調信号含有判定ステップにおいて前記特定の階調信号が含まれていないと判定したとき、後続の前記第１の数のフレーム期間において前記複数の表示画素をコモンＤＣ駆動方式で駆動すると判定する

40

【請求項１６】

前記判定ステップは、前記第２の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれ、且つ、該特定の階調信号の階調値毎の数が予め設定された所定数以下であるか否かを判定する特定階調信号分布判定ステップと、前記特定階調信号分布判定ステップにおいて、前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、後続の前記第１の数のフレーム期間において前記複数の表示画素をコモンＤＣ駆動方式で駆動すると判定するコモンＤＣ駆動判定

50

ステップと、前記特定階調信号分布判定ステップ前記複数の階調信号の中に階調値毎の数が前記所定数を越える前記特定の階調信号が含まれていると判定したとき、後続の前記第1の数のフレーム期間において前記複数の表示画素をコモン反転駆動方式で駆動すると判定するコモン反転駆動判定ステップと、を含み、

更に、前記判定回路が前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記複数の階調信号のうちの前記特定の階調信号の階調値を、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値を越えない値となる階調値に変換する変換ステップを含むことを特徴とする請求項14に記載の液晶ディスプレイの駆動方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、液晶表示装置、電子機器、液晶ディスプレイの駆動装置及び液晶ディスプレイの駆動方法に関する。

【背景技術】

【0002】

アクティブマトリクス方式の液晶ディスプレイパネルは、基板上にマトリクス状に配置された画素電極に対して対向基板の共通電極が対向して配置し、これらの基板の間に液晶が充填されることで構成される。このようなアクティブマトリクス方式の液晶ディスプレイパネルを駆動させる方法としては、コモンDC駆動（例えば、特許文献1）と、コモン反転方式（例えば、特許文献2）とがある。コモンDC駆動は、液晶ディスプレイパネルの共通電極を一定に保った状態で液晶ディスプレイパネルを駆動する方式である。一方、コモン反転駆動は、共通電極の電圧の極性を1水平同期期間毎に反転させて、液晶ディスプレイパネルを駆動する方式である。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-106149号公報

【特許文献2】特開2004-094169号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

コモン反転駆動では、データドライバの耐圧を比較的強く設計することができるが、共通電極を反転駆動するための消費電力が比較的多く、また、ドット反転駆動やカラム反転駆動等の、良好な画質を得ることができる駆動を行うことが困難であった。

一方、コモンDC駆動では、共通電極の電圧が一定であるから共通電極を駆動するための消費電力は少なく、また、ドット反転駆動やカラム反転駆動等の駆動を行うことができるが、信号線の電圧振幅が比較的大きくなるため、データドライバの耐圧を高く設計しなければならなかった。

【0005】

40

そこで本発明は、上記課題を解決しようとしてなされたものであり、比較的良好な画質を得ることができるとともに、データドライバの耐圧を比較的強く設計できるようにすることである。

【課題を解決するための手段】

【0006】

以上の課題を解決するために、本発明によれば、

液晶表示装置が、

2次元配列され、各々が画素電極を有する複数の表示画素と、

前記複数の画素電極に対向した共通電極と、

前記複数の画素電極と前記共通電極との間に挟持された液晶と、

50

画像信号に基づく前記複数の表示画素に対する複数の階調信号が順次入力され、入力された前記各階調信号の階調値に対応した階調電圧を前記複数の表示画素に出力するデータドライバと、

一定電圧を生成する定電圧生成回路と、

互いに異なる第 1 電位と第 2 電位に一定の反転周期で変化する波形信号を生成する波形信号生成回路と、

第 1 の数のフレーム期間毎に、後続の第 2 の数のフレーム期間において前記複数の表示画素の各々に印加される前記階調電圧に対応する前記複数の階調信号の、階調値毎の数に基づいて、後続の前記第 1 の数のフレーム期間において前記共通電極に出力する電圧を前記一定電圧または前記波形信号の何れに設定するかを判定する判定回路と、

を備えることとした。

【 0 0 0 7 】

好ましくは、

前記判定回路は、前記第 2 の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれているか否かを判定し、前記特定の階調信号が含まれていると判定したとき、後続の前記第 1 の数のフレーム期間において前記共通電極に出力する電圧を前記波形信号に設定し、前記特定の階調信号が含まれていないと判定したとき、後続の前記第 1 の数のフレーム期間において前記共通電極に出力する電圧を前記一定電圧に設定することとした。

【 0 0 0 8 】

好ましくは、

前記判定回路は、前記第 2 の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれ、且つ、該特定の階調信号の階調値毎の数が予め設定された所定数以下であるか否かを判定し、前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記共通電極に出力する電圧を前記一定電圧に設定し、前記複数の階調信号の中に階調値毎の数が前記所定数を越える前記特定の階調信号が含まれていると判定したとき、前記共通電極に出力する電圧を前記波形信号に設定し、

更に、前記判定回路が前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記複数の階調信号のうちの前記特定の階調信号の階調値を、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値を越えない値となる階調値に変換する制御回路を有することとした。

【 0 0 0 9 】

好ましくは、

前記判定回路は、前記表示画素がノーマリーホワイト形であるとき、前記次フレーム分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値となる階調値より小さい階調値の階調信号が含まれているときに、前記特定の階調信号が含まれていると判定し、前記表示画素がノーマリーブラック形であるとき、前記次フレーム分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値となる階調値より大きい階調値の階調信号が含まれているときに、前記特定の階調信号が含まれていると判定することとした。

【 0 0 1 0 】

好ましくは、

前記波形信号生成回路により生成される前記第 1 電位と前記第 2 電位とを有する前記波形信号に対する極性が前記反転周期に同期して交互に反転する、前記階調信号のビット数に応じた複数の第 1 の階調基準電圧を生成する第 1 基準電圧生成回路と、前記定電圧生成回路により生成される前記一定電圧に対する極性が前記反転周期に同期して交互に反転する、前記階調信号のビット数に応じた複数の第 2 の階調基準電圧を生成する第 2 基準電圧

10

20

30

40

50

生成回路と、を更に備え、

前記データドライバは、入力された前記階調信号を設定された階調基準電圧に応じてアナログ電圧に変換して、前記階調電圧を生成するD/Aコンバータを有し、

前記判定回路は、前記共通電極に前記波形信号を出力させるとき前記第1基準電圧生成回路を選択し、該第1基準電圧生成回路により生成された前記複数の第1の階調基準電圧を前記階調基準電圧として前記データドライバに供給し、前記共通電極に前記一定電圧を出力させるとき前記第2基準電圧生成回路を選択し、該第2基準電圧生成回路により生成された前記複数の第2の階調基準電圧を前記階調基準電圧として前記データドライバに供給するように制御することとした。

【0011】

10

好ましくは、

前記第1の数と前記第2の数は同じ数であることとした。

【0012】

また、本発明によれば、電子機器が、前記液晶表示装置を備えることとした。

【0013】

また、本発明によれば、

2次元配列され、各々が画素電極を有する複数の表示画素と、前記複数の画素電極に対向した共通電極と、前記複数の画素電極と前記共通電極との間に挟持された液晶と、を有する液晶ディスプレイを駆動する駆動装置において、

画像信号に基づく階調信号が順次入力され、入力された前記階調信号の階調値に応じた階調電圧を前記複数の表示画素に出力するデータドライバと、

20

一定電圧を生成する定電圧生成回路と、

互いに異なる第1電位と第2電位に一定の反転周期で変化する波形信号を生成する波形信号生成回路と、

第1の数のフレーム期間毎に、後続の第2の数のフレーム期間において前記複数の表示画素の各々に印加される前記階調電圧に対応する前記複数の階調信号の、階調値毎の数に基づいて、後続の前記第1の数の1フレーム期間において前記共通電極に出力する電圧を前記一定電圧または前記波形信号の何れに設定するかを判定する判定回路と、

を備えることとした。

【0014】

30

好ましくは、

前記判定回路は、前記第2の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれているか否かを判定し、前記特定の階調信号が含まれていると判定したとき、後続の前記第1の数のフレーム期間において前記共通電極に出力する電圧を前記波形信号に設定し、前記特定の階調信号が含まれていないと判定したとき、後続の前記第1の数のフレーム期間において前記共通電極に出力する電圧を前記一定電圧に設定することとした。

【0015】

好ましくは、

40

前記判定回路は、前記第2の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれ、且つ、該特定の階調信号の階調値毎の数が予め設定された所定数以下であるか否かを判定し、前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記共通電極に出力する電圧を前記一定電圧に設定し、前記複数の階調信号の中に階調値毎の数が前記所定数を越える前記特定の階調信号が含まれていると判定したとき、前記共通電極に出力する電圧を前記波形信号に設定し、

更に、前記判定回路が前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記複数の階調信号のうちの前記特定の

50

階調信号の階調値を、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値を越えない値となる階調値に変換する制御回路を有することとした。

【0016】

好ましくは、

前記判定回路は、前記表示画素がノーマリーホワイト形であるとき、前記次フレーム分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値となる階調値より小さい階調値の階調信号が含まれているときに、前記特定の階調信号が含まれていると判定し、前記表示画素がノーマリーブラック形であるとき、前記次フレーム分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値となる階調値より大きい階調値の階調信号が含まれているときに、前記特定の階調信号が含まれていると判定することとした。

10

【0017】

好ましくは、

前記波形信号生成回路により生成される前記第1電位と前記第2電位とを有する前記波形信号に対する極性が前記反転周期に同期して交互に反転する、前記階調信号のビット数に応じた複数の第1の階調基準電圧を生成する第1基準電圧生成回路と、前記定電圧生成回路により生成される前記一定電圧に対する極性が前記反転周期に同期して交互に反転する、前記階調信号のビット数に応じた複数の第2の階調基準電圧を生成する第2基準電圧生成回路と、を更に備え、

前記データドライバは、入力された前記階調信号を設定された階調基準電圧に応じてアナログ電圧に変換して、前記階調電圧を生成するD/Aコンバータを有し、

20

前記判定回路は、前記共通電極に前記波形信号を出力させるとき前記第1基準電圧生成回路を選択し、該第1基準電圧生成回路により生成された前記複数の第1の階調基準電圧を前記階調基準電圧として前記データドライバに供給し、前記共通電極に前記一定電圧を出力させるとき前記第2基準電圧生成回路を選択し、該第2基準電圧生成回路により生成された前記複数の第2の階調基準電圧を前記階調基準電圧として前記データドライバに供給するように制御することとした。

【0018】

好ましくは、

前記第1の数と前記第2の数は同じ数であることとした。

30

【0019】

また、本発明によれば、

2次元配列され、各々が画素電極を有する複数の表示画素と、前記複数の画素電極に対向した共通電極と、前記複数の画素電極と前記共通電極との間に挟持された液晶と、を有する液晶ディスプレイを駆動する駆動方法において、

画像信号に基づく前記複数の表示画素に対する複数の階調信号が順次入力され、入力された前記階調信号の階調値に応じた階調電圧を前記複数の表示画素に出力する階調電圧出力ステップと、

第1の数のフレーム期間毎に、後続の第2の数のフレーム期間において前記複数の表示画素の各々に印加される前記階調電圧に対応する前記複数の階調信号の階調値毎の数に基づいて、後続の前記第1の数のフレーム期間において前記複数の表示画素を、コモン反転駆動方式で駆動するか、コモンDC駆動方式で駆動するかを判定する判定ステップと、

40

前記判定ステップにおいて後続の前記第1の数のフレーム期間において前記複数の表示画素をコモン反転駆動方式で駆動すると判定されたとき、後続の前記第1の数のフレーム期間において、前記共通電極に、一定の反転周期で互いに異なる第1電位と第2電位に変化する波形信号を出力させる波形信号出力ステップと、

前記判定ステップにおいて後続の前記第1の数のフレーム期間において前記複数の表示画素をコモンDC駆動方式で駆動すると判定されたとき、後続の前記第1の数のフレーム期間において前記共通電極に一定電圧を出力させる一定電圧出力ステップと、

を含むこととした。

50

【0020】

好ましくは、

前記判定ステップは、前記第2の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれているか否かを判定する特定階調信号含有判定ステップと、前記特定階調信号含有判定ステップにおいて前記特定の階調信号が含まれていると判定したとき、後続の前記第1の数のフレーム期間において前記複数の表示画素をコモン反転駆動方式で駆動すると判定するコモン反転駆動判定ステップと、前記特定階調信号含有判定ステップにおいて前記特定の階調信号が含まれていないと判定したとき、後続の前記第1の数のフレーム期間において前記複数の表示画素をコモンDC駆動方式で駆動すると判定するコモンDC駆動判定ステップと、を含むこととした。

10

【0021】

好ましくは、

前記判定ステップは、前記第2の数のフレーム期間分の前記複数の階調信号の中に、前記画素電極と前記共通電極間に印加される電圧の電圧値が所定の電圧値を越える値となる特定の階調信号が含まれ、且つ、該特定の階調信号の階調値毎の数が予め設定された所定数以下であるか否かを判定する特定階調信号分布判定ステップと、前記特定階調信号分布判定ステップにおいて、前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、後続の前記第1の数のフレーム期間において前記複数の表示画素をコモンDC駆動方式で駆動すると判定するコモンDC駆動判定ステップと、前記特定階調信号分布判定ステップ前記複数の階調信号の中に階調値毎の数が前記所定数を越える前記特定の階調信号が含まれていると判定したとき、後続の前記第1の数のフレーム期間において前記複数の表示画素をコモン反転駆動方式で駆動すると判定するコモン反転駆動判定ステップと、を含み、

20

更に、前記判定回路が前記複数の階調信号の中に階調値毎の数が前記所定数以下の前記特定の階調信号が含まれていると判定したとき、前記複数の階調信号のうちの前記特定の階調信号の階調値を、前記画素電極と前記共通電極間に印加される電圧の電圧値が前記所定の電圧値を越えない値となる階調値に変換する変換ステップを含むこととした。

【発明の効果】

【0022】

30

本発明によれば、コモン反転駆動とコモンDC駆動が選択的に行われるから、コモン反転駆動のみで液晶ディスプレイを駆動する場合よりも、表示画面の輝度傾斜が生じる頻度を下げることができる。

また、階調信号の中に所定閾値以下のものがあるか否かの判定結果に基づきコモンDC駆動が選択されるので、コモンDC駆動に用いられる2ⁿ通りの階調基準電圧のうち高い階調基準電圧は参照されない。そのため、データドライバの耐圧を低く設計することができる。

【図面の簡単な説明】

【0023】

【図1】本発明に係わる電子機器の斜視図である。

40

【図2】本発明の第1の実施形態における液晶ディスプレイの分解斜視図である。

【図3】第1の実施形態における液晶駆動装置の構成を示すブロック図である。

【図4】液晶ディスプレイパネルに設けられる1つの表示画素の等価回路を示す図である。

。

【図5】第1の実施形態における制御回路の構成を示すブロック図である。

【図6】第1の実施形態における判定回路が行う処理動作を示すフローチャートである。

【図7】共通電圧生成回路の構成を示すブロック図である。

【図8】波形信号生成回路及び定電圧生成回路の回路構成例を示す図である。

【図9】階調基準電圧生成回路の構成例を示すブロック図である。

【図10】階調基準電圧生成回路の回路図である。

50

【図 1 1】データドライバの構成の要部を示すブロック図である。

【図 1 2】各信号の信号波形を示すタイミングチャートである。

【図 1 3】第 2 の実施形態における判定回路が行う処理動作を示すフローチャートである。

【図 1 4】第 2 の実施形態における判定回路が行う処理動作を説明するための図である。

【図 1 5】第 3 の実施形態における判定回路が行う処理動作を示すフローチャートである。

【図 1 6】第 3 の実施形態における判定回路が行う処理動作を説明するための図である。

【発明を実施するための形態】

【0024】

10

以下に、本発明を実施するための形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0025】

< 第 1 の実施形態 >

図 1 は、本発明に係わる電子機器 100 の斜視図である。図 1 に示すように、電子機器 100 には、液晶ディスプレイ 110 が搭載されている。

【0026】

図 2 は、本発明の第 1 の実施形態に係わる液晶ディスプレイ 110 の分解斜視図である。液晶ディスプレイ 110 は、液晶表示装置 1 及びバックライト 130 等を備える。

20

【0027】

本実施形態における液晶表示装置 1 は液晶ディスプレイパネル 10 及び IC チップ 8 1 等を有する。液晶ディスプレイパネル 10 は、アクティブマトリクス駆動方式のものである。この液晶ディスプレイパネル 10 がアレイ基板 10 a 及び対向基板 10 b 等を有する。対向基板 10 b がアレイ基板 10 a に対向している。シール材が対向基板 10 b の縁部分に沿って枠状に設けられ、そのシール材が対向基板 10 b とアレイ基板 10 a との間に挟持され、そのシール材によってアレイ基板 10 a と対向基板 10 b が接着されている。アレイ基板 10 a と対向基板 10 b の間であってシール材の内側に液晶が封入されている。対向基板 10 b の上には、偏光板 10 e が貼着されている。

【0028】

30

アレイ基板 10 a のサイズは対向基板 10 b のサイズよりも大きく、アレイ基板 10 a の一部が対向基板 10 b の縁からはみ出ている。アレイ基板 10 a と対向基板 10 b が重なった部分が表示領域である。アレイ基板 10 a の表示領域内には、複数の走査線 16 (図 3 等に図示) が設けられているとともに、複数の信号線 15 (図 3 等に図示) が設けられている。また、アレイ基板 10 a の表示領域内には、複数のスイッチ素子 12 (図 4 等に図示) 及び画素電極 13 (図 4 等に図示) が形成されている。これらスイッチ素子 12 及び画素電極 13 からなる表示画素 11 が複数の信号線 15 と複数の走査線 16 との複数の交点近傍にマトリクス状に配列されている。対向基板 10 b のアレイ基板 10 a に対向する面には、透明な共通電極 14 (図 4 等に図示) が形成されている。

【0029】

40

アレイ基板 10 a のうち対向基板 10 b の縁からはみ出た非表示領域 10 c には、IC チップ 8 1 が表面実装されている。共通電極 14、走査線 16 及び信号線 15 は引き回し配線を介して IC チップ 8 1 に接続されている。IC チップ 8 1 には、駆動装置 80 (図 3 に図示) が内蔵されている。

また、非表示領域 10 c には、可撓性回路シート (いわゆる FPC: Flexible Printed circuit) 10 d が接合されている。可撓性回路シート 10 d が、電子機器 100 に内蔵されたメイン回路基板に接続されている。メイン回路基板によって出力された映像信号が可撓性回路シート 10 d によって IC チップ 8 1 の駆動装置 80 に転送される。駆動装置 80 が映像信号に基づき液晶ディスプレイパネル 10 を駆動し、液晶ディスプレイパネル 10 によって映像が表示される。

50

【 0 0 3 0 】

バックライト 1 3 0 は、液晶ディスプレイパネル 1 0 の表示面の反対面に、つまりアレイ基板 1 0 a に対向して設けられている。バックライト 1 3 0 は、液晶ディスプレイパネル 1 0 に向けて面発光するものである。バックライト 1 3 0 は、例えば、LED 等の点発光素子をマトリクス状に配列したもの、一列に配列された LED 等の点発光素子と導光板を組み合わせたもの、冷陰極管等の線状発光素子と導光板を組み合わせたもの、又は、エレクトロルミネッセンス素子等の面発光素子を用いたものである。バックライト 1 3 0 には、可撓性回路シート 1 3 1 が接続されている。この可撓性回路シート 1 3 1 が、電子機器 1 0 0 に内蔵されたメイン回路基板に接続されている。可撓性回路シート 1 3 1 によって電力がメイン回路基板からバックライト 1 3 0 に供給されることによって、バックライ

10

【 0 0 3 1 】

図 3 は、本実施形態における液晶表示装置 1 の構成を示したブロック図である。

液晶ディスプレイパネル 1 0 には、複数の走査線 1 6 が互いに平行となって横方向（水平方向）に延びるように設けられている。複数の信号線 1 5 は、複数の走査線 1 6 に対して直交するとともに、互いに平行となって縦方向（垂直方向）に延びるように設けられている。これら信号線 1 5 と走査線 1 6 によって囲われた各領域に複数の表示画素 1 1 が設けられている。この複数の表示画素 1 1 がマトリクス状に配列されている。ここで、信号線 1 5 の本数を M、走査線 1 6 の本数を N とする。

【 0 0 3 2 】

20

図 4 は、液晶ディスプレイパネル 1 0 に設けられる表示画素 1 1 の等価回路を示す図である。スイッチ素子 1 2 は薄膜トランジスタである。スイッチ素子 1 2 は信号線 1 5 と走査線 1 6 の各交差部近傍に設けられている。スイッチ素子 1 2 のゲート電極が走査線 1 6 に接続されている。スイッチ素子 1 2 のソース電極又はドレイン電極の一方が信号線 1 5 に接続され、他方が液晶キャパシタ 1 7 及び蓄積キャパシタ（補助容量）1 8 に接続されている。ここで、液晶キャパシタ 1 7 は画素電極 1 3、共通電極 1 4 及び画素電極 1 3 と共通電極 1 4 の間に挟持された液晶によって構成される。

【 0 0 3 3 】

画素電極 1 3 が信号線 1 5 と走査線 1 6 によって囲われた各領域に設けられている。画素電極 1 3 が表示画素 1 1 ごとに設けられ、共通電極 1 4 がこれら複数の表示画素 1 1 に共通して設けられている。画素電極 1 3 が液晶を挟んで共通電極 1 4 に対向していることで、液晶キャパシタ 1 7 が形成される。一方、液晶ディスプレイパネル 1 0 のアレイ基板 1 0 a には、Cs ライン（補助容量配線）が形成され、Cs ラインの一部が絶縁膜を介して画素電極 1 3 に対向する補助容量電極をなすことで、蓄積キャパシタ 1 8 が形成される。

30

【 0 0 3 4 】

図 3 に示す駆動装置 8 0 は、図 2 に示された IC チップ 8 1 に内蔵されている。この駆動装置 8 0 は、液晶ディスプレイパネル 1 0 を駆動するものである。具体的には、駆動装置 8 0 は、コモン反転駆動とコモン DC 駆動のうちから一方を選択し、選択した駆動方式で液晶ディスプレイパネル 1 0 を駆動する。ここで、コモン反転駆動とは、共通電極 1 4 の電位を相対的に高い状態と低い状態に交互に反転して、液晶ディスプレイパネル 1 0 を駆動する方式である。コモン DC 駆動とは、共通電極 1 4 の電圧を一定電圧にして液晶ディスプレイパネル 1 0 を駆動する方式である。

40

【 0 0 3 5 】

以下、駆動装置 8 0 の構成について具体的に説明するとともに、駆動装置 8 0 による液晶ディスプレイパネル 1 0 の駆動方法について具体的に説明する。

【 0 0 3 6 】

駆動装置 8 0 は、データドライバ 2 0 と、走査ドライバ 3 0 と、表示信号生成回路 4 0 と、共通電圧生成回路 5 0 と、階調基準電圧生成回路 6 0 と、制御回路 7 0 と、を備える。

50

【 0 0 3 7 】

表示信号生成回路 4 0 は、液晶表示装置 1 の外部から入力される映像信号（画像信号）から階調信号 D a t a、水平同期信号 H、垂直同期信号 V 及びクロック信号 C L K 等を生

成する。

表示信号生成回路 4 0 は、階調信号 D a t a、水平同期信号 H、垂直同期信号 V 及びクロック信号 C L K を制御回路 7 0 に出力する。制御回路 7 0 は、データドライバ 2 0 に階調信号 D a t a 及び水平同期信号 H、垂直同期信号 V、クロック信号 C L K、極性反転信号 P o l 等の水平制御信号を出力する。更に、制御回路 7 0 は、水平同期信号 H、垂直同期信号 V 等の垂直制御信号を走査ドライバ 3 0 に出力する。

【 0 0 3 8 】

図 1 2 を参照して各信号について説明する。

階調信号 D a t a は、 p (p は 1 以上の自然数である。) ビットの信号である。階調信号 D a t a は、表示画素 1 1 ごとの階調を示す。なお、液晶ディスプレイパネル 1 0 はノーマリーホワイト形の場合とノーマリーブラック形の場合とがあり、ノーマリーホワイト形である場合には、階調信号 D a t a の階調値が高く画素の輝度が高くなるのに応じて表示画素 1 1 に印加される電圧は低くなり、液晶ディスプレイパネル 1 0 がノーマリーブラック形である場合には、階調信号 D a t a の階調値が高く画素の輝度が高くなるのに応じて表示画素 1 1 に印加される電圧は高くなる。

クロック信号 C L K は、所定周期の信号であって、データドライバ 2 0 及び制御回路 7 0 の動作タイミングの同期を取るための信号である。例えば、クロック信号 C L K は、階調信号 D a t a を各表示画素 1 1 に応じたタイミングで時分割する信号である。

水平同期信号 H は、水平方向（走査線 1 6 に沿う方向）の同期を取るための信号である。水平同期信号 H は 1 水平同期期間（1 H、1 選択期間）毎のタイミングで出力される信号であり、1 水平同期期間内に 1 行分の描画が行われる。第 1 ゲートクロック信号 G C K 1 と第 2 ゲートクロック信号 G C K 2 は立ち上がり及び立ち下がりが水平同期信号 H に同期した信号であり、1 / 2 周期が 1 水平同期期間となっており、第 1 ゲートクロック信号 G C K 1 と第 2 ゲートクロック信号 G C K 2 は互いに逆位相となっている。

垂直同期信号 V は、垂直方向の同期をとるための信号である。垂直同期信号 V は 1 フレーム期間毎のタイミングで出力される信号であり、1 フレーム期間に 1 画面の描画が行われる。

極性反転信号 P o l は、1 水平同期期間ごとに極性が反転する信号である。また、極性反転信号 P o l の位相が 1 フレーム期間ごとに 1 8 0 ° 遅れ、又は進む。つまり、1 フレーム期間の最初の 1 水平同期期間で極性反転信号 P o l がハイであれば、次の 1 フレーム期間の最初の 1 水平同期期間で極性反転信号 P o l がローとなり、1 フレーム期間の最初の 1 水平同期期間で極性反転信号 P o l がローであれば、次の 1 フレーム期間の最初の 1 水平同期期間で極性反転信号 P o l がハイとなる。極性反転信号 P o l は、ライン反転駆動のために用いる。ライン反転駆動とは、共通電極 1 4 の電圧を基準とした信号線 1 5 の電圧の極性を 1 水平同期期間毎に反転して、液晶ディスプレイパネル 1 0 を駆動する方式である。

【 0 0 3 9 】

走査ドライバ 3 0 は、例えば、シフトレジスタからなる。走査ドライバ 3 0 は、垂直同期信号 V のパルスの立ち上がりに同期して、複数の走査線 1 6 のアドレスを開始する。つまり、垂直同期信号 V のパルスが立ち上がると、走査ドライバ 3 0 が、水平同期信号 H に同期して、複数の走査線 1 6 を 1 行目から順次選択する。例えば、走査ドライバ 3 0 は、複数の走査線 1 6 のうち選択する走査線 1 6 にはハイレベルのパルス（走査信号）を出力する。図 1 1 中では、 $G(1)$ 、 $G(2)$ 、 $\dots$ 、 $G(a)$ は、走査ドライバ 3 0 によって、1 行目の走査線 1 6、2 行目の走査線 1 6、 $\dots$ 、 N 行目（ N は走査線 1 6 の本数を表す。）の走査線 1 6 に出力される信号（走査信号）を表す。

【 0 0 4 0 】

走査ドライバ 3 0 によって選択された走査線 1 6 に接続されたスイッチ素子 1 2 はオン

10

20

30

40

50

状態になり、選択されていない走査線 16 に接続されたスイッチ素子 12 はオフ状態になる。

【0041】

本実施形態における制御回路 70 の構成について説明する。

図 5 は、本実施形態における制御回路 70 の構成を示すブロック図である。制御回路 70 は、画像メモリ回路 71 と、判定回路 72 と、制御信号生成回路 73 と、を備える。画像メモリ回路 71 は、表示信号生成回路 40 から出力された 1 フレーム期間分（1 画面分）の階調信号 Data を記憶する。判定回路 72 は、表示信号生成回路 40 から出力された 1 フレーム期間分の階調信号 Data に基づき、コモン反転駆動とコモン DC 駆動の何れかを選択し、その選択結果に応じた選択信号 1 を共通電圧生成回路 50 に出力し、選択信号 2 及び極性反転信号 Pol を階調基準電圧生成回路 60 に出力する。具体的には、判定回路 72 は、1 フレーム期間内の階調信号 Data、すなわち液晶ディスプレイパネル 10 の全表示画素 11 に対する階調信号 Data の中に所定の閾値 Dref より小さい階調値の階調信号 Data があるか否かの判定を行う。そして、判定回路 72 は、その判定の結果、各表示画素 11 に対する階調信号 Data の中に所定の閾値 Dref より小さい階調値のものがあると判断した場合、コモン反転駆動を表す選択信号 1、2 を次の 1 フレーム期間において共通電圧生成回路 50 及び階調基準電圧生成回路 60 に出力する。一方、判定回路 72 は、その判定の結果、1 フレーム期間内の階調信号 Data の中に所定の閾値 Dref より小さいものが無いと判断した場合、コモン DC 駆動を表す選択信号 1、2 を次の 1 フレーム期間に共通電圧生成回路 50 及び階調基準電圧生成回路 60 に出力する。制御信号生成回路 73 は、画像メモリ回路 71 に記憶された 1 フレーム期間分の階調信号 Data を順次読み出してデータドライバ 20 に出力するとともに、極性反転信号 Pol 等の制御信号を生成し、データドライバ 20 に水平同期信号 H、垂直同期信号 V、クロック信号 CLK、極性反転信号 Pol 等の水平制御信号を出力し、走査ドライバ 30 に水平同期信号 H、垂直同期信号 V 等の垂直制御信号を出力する。

【0042】

次に、本実施形態における制御回路 70 の、判定回路 72 における処理動作について具体的に説明する。

図 6 は、本実施形態における判定回路 72 が行う処理動作を示すフローチャートである。なお、図 6 は液晶ディスプレイパネル 10 がノーマリーホワイト形である場合について示している。制御回路 70 に入力される垂直同期信号 V が立ち上がると、判定回路 72 が図 6 に示す処理動作を開始する。まず、判定回路 72 はカウンタ値 n を 0（ゼロ）に設定し（ステップ S1）、カウンタ値 m を 0（ゼロ）に設定する（ステップ S2）。その後、クロック信号 CLK に応じて 1 表示画素 11 に対する階調信号 Data が入力される毎（ステップ S3）に、カウンタ値 m に 1 を加算するとともに（ステップ S4）、入力された 1 表示画素 11 に対する階調信号 Data を所定の閾値 Dref と比較する（ステップ S5）。ここで、閾値 Dref は例えばデータドライバ 20 の耐圧に基づいて設定される値である。判定回路 72 は、閾値 Dref より小さい階調値の階調信号 Data が入力されるまで（ステップ S5：Yes）、この比較を M 回（M は信号線 15 の本数である。）だけ繰り返す（ステップ S5：No、ステップ S6：No）。判定回路 72 は、比較の結果、閾値 Dref より小さい階調値の階調信号 Data（特定の階調信号）が 1 回でも入力された場合には（ステップ S5：Yes）、コモン反転駆動を選択する（ステップ S9）。

一方、判定回路 72 は、閾値 Dref より小さい階調値の階調信号 Data（特定の階調信号）が M 回続けて入力されなかった場合には（ステップ S5：No、ステップ S6：Yes）、カウンタ値 n に 1 を加算するとともに（ステップ S8）、カウンタ値 m を 0（ゼロ）に設定する（ステップ S2）。この後、上記と同様に、1 表示画素 11 に対する階調信号 Data が入力される毎にカウンタ値 m に 1 を加算し、入力された 1 表示画素 11 に対する階調信号 Data を閾値 Dref と比較し、この比較を閾値 Dref より小さい階調値の階調信号 Data が入力されるまで繰り返し、この一連の動作を N 回だけ繰り返す。

す（ステップ S 2 ～ S 6、ステップ S 7：N o、N は走査線 1 6 の本数である）。そして、M × N 回の上記比較において閾値 D r e f より小さい階調値の階調信号 D a t a が入力されなかった場合、すなわち 1 フレーム期間の 1 画面分の階調信号 D a t a に閾値 D r e f より小さい階調値の階調信号 D a t a が無い場合には（ステップ S 7：Y e s）、コモン D C 駆動を選択する（ステップ S 1 0）。判定回路 7 2 はこのような処理を 1 フレーム期間期間内に行う。そして、判定回路 7 2 は、次の 1 フレーム期間期間において、選択内容に応じた選択信号 1, 2 を共通電圧生成回路 5 0 及び階調基準電圧生成回路 6 0 に出力する。例えば、判定回路 7 2 は、コモン反転駆動の選択を選択する場合には、ハイレベルの選択信号 1, 2 を共通電圧生成回路 5 0 及び階調基準電圧生成回路 6 0 に出力する。一方、判定回路 7 2 は、コモン D C 駆動を選択する場合には、ローレベルの選択信号 1, 2 を共通電圧生成回路 5 0 及び階調基準電圧生成回路 6 0 に出力する。判定回路 7 2 は、この一連の動作を、表示動作を行っている期間中、繰り返す。

10

すなわち、液晶ディスプレイパネル 1 0 がノーマリーホワイト形である場合、階調信号 D a t a が低階調になるにつれて表示画素 1 1 に印加される電圧が高くなることから、1 画面分の階調信号 D a t a が閾値 D r e f より小さい階調値の階調信号 D a t a を含んでいるときにはコモン反転駆動を選択し、1 画面の階調信号 D a t a が閾値 D r e f より小さい階調値の階調信号 D a t a を含んでいないときにはコモン D C 駆動を選択することで、データドライバ 2 0 の出力電圧が所定の限度以上に上昇しないように制御しているのである。

【 0 0 4 3 】

20

なお、液晶ディスプレイパネル 1 0 がノーマリーブラック形の場合には、階調信号 D a t a が高階調になるにつれて表示画素 1 1 に印加される電圧が高くなることから、図 6 においては、閾値 D r e f より小さい階調値の階調信号 D a t a が 1 回でも入力された場合にコモン反転駆動を選択し、閾値 D r e f より小さい階調値の階調信号 D a t a がなくともコモン D C 駆動を選択するとしたところを、閾値 D r e f より大きい階調の階調信号 D a t a が 1 回でも入力された場合にコモン反転駆動を選択し、閾値 D r e f より大きい階調の階調信号 D a t a がなくともコモン D C 駆動を選択するように変更すればよい。

【 0 0 4 4 】

判定回路 7 2 は、論理回路であってもよいし、R O M 及び C P U を有したマイコンからなる回路であってもよい。判定回路 7 2 がマイコンからなる回路である場合には、R O M に格納されたプログラムが C P U によって実行されることによって、上記のような処理を行う。

30

【 0 0 4 5 】

図 3 に示す共通電圧生成回路 5 0 は、一定電圧又はパルス形の一定周期で変化する波形信号を生成する。判定回路 7 2 によってコモン反転駆動が選択された場合には、共通電圧生成回路 5 0 が、生成した波形信号を共通電極 1 4 及び蓄積キャパシタ 1 8 の C s ラインに出力する。一方、判定回路 7 2 によってコモン D C 駆動が選択された場合には、共通電圧生成回路 5 0 が、生成した一定電圧を共通電極 1 4 及び蓄積キャパシタ 1 8 の C s ラインに印加する。ここで、図 1 2 に示される V c o m (D C) は、共通電圧生成回路 5 0 によって生成される一定電圧を表し、図 1 2 に示される V c o m (A C) は、共通電圧生成回路 5 0 によって生成される波形信号を表す。

40

【 0 0 4 6 】

図 7 は、共通電圧生成回路 5 0 の構成例を示すブロック図である。共通電圧生成回路 5 0 は、選択回路 5 1、波形信号生成回路 5 2、定電圧生成回路 5 3 及びスイッチ 5 4, 5 5 を有する。共通電圧生成回路 5 0 の出力端は共通電極 1 4 及び蓄積キャパシタ 1 8 の C s ラインに接続されている。

波形信号生成回路 5 2 は、相対的に電位の高い状態と低い状態に交互に反転する波形信号 V c o m (A C) を生成する。波形信号生成回路 5 2 によって生成される波形信号は、極性反転信号 P o l に同期している。スイッチ 5 4 がオン状態である場合には、波形信号生成回路 5 2 から出力された波形信号が出力端に出力されて、共通電極 1 4 及び蓄積キャ

50

パシタ 18 の C s ラインに入力され、スイッチ 54 がオフ状態である場合には、波形信号生成回路 52 の出力は出力端から遮断される。

定電圧生成回路 53 は、定電圧 V_{com} (DC) を生成する。スイッチ 55 がオン状態である場合には、定電圧生成回路 53 から出力された定電圧が出力端に出力されて、共通電極 14 及び蓄積キャパシタ 18 の C s ラインに入力され、スイッチ 55 がオフ状態である場合には、定電圧生成回路 53 の出力は出力端から遮断される。

選択回路 51 には、判定回路 72 から出力された選択信号が入力される。選択回路 51 は、入力した選択信号に従って波形信号生成回路 52 と定電圧生成回路 53 の何れかを一方を選択する。具体的には、判定回路 72 によってコモン反転駆動が選択された場合には、選択回路 51 は、スイッチ 54 をオン状態にするとともに、スイッチ 55 をオフ状態にする。これにより波形信号生成回路 52 が選択される。一方、判定回路 72 によってコモン DC 駆動が選択された場合には、選択回路 51 は、スイッチ 54 をオフ状態にするとともに、スイッチ 55 をオン状態にする。これにより定電圧生成回路 53 が選択される。例えば、判定回路 72 から選択回路 51 に入力される選択信号がハイレベルの場合には、選択回路 51 がスイッチ 54 をオン状態にするとともに、スイッチ 55 をオフ状態にする。一方、判定回路 72 が選択回路 51 に入力される選択信号がローレベルの場合には、選択回路 51 がスイッチ 54 をオフ状態にするとともに、スイッチ 55 をオン状態にする。

【0047】

図 8 を参照して波形信号生成回路 52 及び定電圧生成回路 53 の具体的な回路構成について説明する。図 8 は、波形信号生成回路 52 及び定電圧生成回路 53 共通電圧生成回路の回路構成の一例を示した図である。

【0048】

波形信号生成回路 52 は、抵抗 R_1 , R_2 、非反転増幅回路 522、反転増幅回路 523、内部ロジック 525、レベルシフタ 526 及びボルテージコンパレータ 524 等を有する。抵抗 R_1 及び抵抗 R_2 がソース電圧 V_{SA} の電圧源とグランドの間に直列接続されている。ソース電圧 V_{SA} が抵抗 R_1 , R_2 によって分圧される。抵抗 R_1 , R_2 によって分圧された電圧が非反転増幅回路 522 によって増幅されて、ボルテージコンパレータ 524 の正電源端子に入力される。一方、抵抗 R_1 , R_2 によって分圧された電圧が反転増幅回路 523 によって反転増幅されて、ボルテージコンパレータ 524 の負電源端子に入力される。ボルテージコンパレータ 524 の正電源端子がキャパシタ 527 に接続され、キャパシタ 527 がグランドに接続されている。ボルテージコンパレータ 524 の負電源端子がキャパシタ 528 に接続され、キャパシタ 528 がグランドに接続されている。非反転増幅回路 522 がオペアンプ 522a、入力抵抗 R_4 及び帰還抵抗 R_3 から構成され、抵抗 R_1 , R_2 によって分圧された電圧がオペアンプ 522a の正相入力端子に入力される。反転増幅回路 523 がオペアンプ 523a、入力抵抗 R_5 及び帰還抵抗 R_6 から構成され、抵抗 R_1 , R_2 によって分圧された電圧が入力抵抗 R_5 を介してオペアンプ 523a の逆相入力端子に入力される。

内部ロジック 525 は、例えば、極性反転信号 P_{ol} に同期したアナログの波形信号 (例えば、Sin 波) を生成する。その波形信号の周期は、水平同期信号 H の周期の 2 倍 ($2H$) に等しい。内部ロジック 525 によって生成された波形信号のレベルがレベルシフタ 526 によってシフトされ、レベルシフトされた波形信号がボルテージコンパレータ 524 に入力される。ボルテージコンパレータ 524 は、入力されるアナログの波形信号をデジタル (1 ビット) の波形信号に変換する。具体的には、ボルテージコンパレータ 524 は、入力される波形信号がその波形信号の中心点 (極大点の電圧と極小点の電圧の平均電圧) よりも大きい時には、正電源端子の電圧を出力し、入力される波形信号がその波形信号の中心点よりも小さい時には、負電源端子の電圧を出力する。従って、ボルテージコンパレータ 524 の出力信号は、水平同期信号 H の周期の 2 倍 ($2H$) に等しい周期で振動するパルス形の波形信号である。そのパルス形の波形信号の最大レベルが非反転増幅回路 522 の出力のレベルに等しく、そのパルス波形信号の最小レベルが反転増幅回路 523 の出力のレベルに等しい。非反転増幅回路 522 の増幅率の絶対値と、反転増幅回路 52

10

20

30

40

50

3の増幅率の絶対値が等しいことが望ましい。なお、図9に示される $V_{com}(AC)$ は、ボルテージコンパレータ524の出力信号を表す。

【0049】

定電圧生成回路53は、抵抗 $R7$ 、 $R8$ 及びオペアンプ531等を有する。抵抗 $R7$ 及び抵抗 $R8$ がソース電圧 V_{sB1} の電圧源とグランドの間に直列接続されている。ソース電圧 V_{sB1} が抵抗 $R7$ 、 $R8$ によって分圧される。抵抗 $R7$ 、 $R8$ によって分圧された電圧がオペアンプ531に入力される。オペアンプ531の正電源端子にはソース電圧 V_{sB2} の電圧源が接続され、オペアンプ531の負電源端子にはグランドが接続されている。オペアンプ531に入力された電圧は増幅されて出力端子から出力される。なお、図9に示される $V_{com}(DC)$ は、オペアンプ531の出力電圧を表す。

10

【0050】

以上のような波形信号生成回路52の消費電力と定電圧生成回路53の消費電力とを比較すると、定電圧生成回路53の消費電力が少ない。

【0051】

図3に示す階調基準電圧生成回路60は、コモン反転駆動の場合の 2^P 段階の階調基準電圧を生成するとともに、コモンDC駆動の場合の 2^P 段階の階調基準電圧を生成する。制御回路70によってコモン反転駆動が選択された場合には、階調基準電圧生成回路60がコモン反転駆動の場合の階調基準電圧をデータドライバ20に出力する。一方、制御回路70によってコモンDC駆動が選択された場合には、コモンDC駆動の場合の階調基準電圧をデータドライバ20に出力する。

20

【0052】

図9は、階調基準電圧生成回路60の構成例を示す図である。階調基準電圧生成回路60は、選択回路61、第1基準電圧生成回路62、第2基準電圧生成回路63及びスイッチ64、65を有する。

【0053】

第1基準電圧生成回路62の 2^P 段の出力は、それぞれ、スイッチ64を介してデータドライバ20に接続されている。第1基準電圧生成回路62は、コモン反転駆動に用いる 2^P 通りの階調基準電圧 $V_A(1) \sim V_A(2^P)$ を生成する。スイッチ64がオン状態である場合には、第1基準電圧生成回路62から出力された 2^P 通りの階調基準電圧 $V_A(1) \sim V_A(2^P)$ がデータドライバ20に印加され、スイッチ64がオフ状態である場合には、第1基準電圧生成回路62の出力とデータドライバ20が遮断される。第2基準電圧生成回路63の 2^P 段の出力は、それぞれ、スイッチ65を介してデータドライバ20に接続されている。

30

【0054】

第2基準電圧生成回路63は、コモンDC駆動に用いる 2^P 通りの階調基準電圧 $V_B(1) \sim V_B(2^P)$ を生成する。スイッチ65がオン状態である場合には、第2基準電圧生成回路63から出力された階調基準電圧 $V_B(1) \sim V_B(2^P)$ がデータドライバ20に印加され、スイッチ65がオフ状態である場合には、第2基準電圧生成回路63の出力とデータドライバ20が遮断される。

選択回路61には、制御回路70判定回路72から出力された選択信号が入力される。選択回路61は、入力した選択信号に従って第1基準電圧生成回路62と第2基準電圧生成回路63のうち何れかを選択する。具体的には、判定回路72によってコモン反転駆動が選択された場合には、選択回路61はスイッチ64をオン状態にするとともに、スイッチ65をオフ状態にする。これにより、第1基準電圧生成回路62が選択される。一方、判定回路72によってコモンDC駆動が選択された場合には、選択回路61はスイッチ64をオフ状態にするとともに、スイッチ65をオン状態にする。これにより、第2基準電圧生成回路62が選択される。例えば、判定回路72から選択回路61に入力される選択信号がハイレベルの場合には、選択回路61がスイッチ64をオン状態にするとともに、スイッチ65をオフ状態にする。一方、判定回路72が選択回路61に入力される選択信号がローレベルの場合には、選択回路61がスイッチ64をオフ状態にするとともに、ス

40

50

イッチ 6 5 をオン状態にする。

【 0 0 5 5 】

図 1 0 を参照して第 1 基準電圧生成回路 6 2 及び第 2 基準電圧生成回路 6 3 について説明する。図 9 は、第 1 基準電圧生成回路 6 2 及び第 2 基準電圧生成回路 6 3 の回路構成を示した図である。

【 0 0 5 6 】

第 1 基準電圧生成回路 6 2 は、切替スイッチ 6 2 1 , 6 2 2 及び抵抗 $R A (1) \sim R A (2^p + 1)$ を有する。 $(2^p + 1)$ 個の抵抗 $R A (1) \sim R A (2^p + 1)$ が切替スイッチ 6 2 1 と切替スイッチ 6 2 2 の間に直列接続されている。これら抵抗 $R A (1) \sim R A (2^p + 1)$ の間の各接続部の電圧が出力電圧となり、各段の出力電圧がそれぞれスイッチ 6 4 を介してデータドライバ 2 0 に供給されている。これら抵抗 $R A (1) \sim R A (2^p + 1)$ からなる抵抗列の両端の電圧が、切替スイッチ 6 2 1 , 6 2 2 によって第 1 高電位電圧 $V H 1$ と第 1 低電位電圧 $V L 1$ とに切り替えられる。第 1 高電位電圧 $V H 1$ は、第 1 低電位電圧 $V L 1$ よりも電位が高い。切替スイッチ 6 2 1 , 6 2 2 は極性反転信号 $P o 1$ のレベルに従って切替動作をする。つまり、例えば、極性反転信号 $P o 1$ がハイレベルである時に、抵抗列の他端が切替スイッチ 6 2 1 によって第 1 高電位電圧 $V H 1$ に接続されるとともに、抵抗列の他端が切替スイッチ 6 2 2 によって第 1 低電位電圧 $V L 1$ に接続される。一方、極性反転信号 $P o 1$ がローレベルである時には、抵抗列の一端が切替スイッチ 6 2 1 によって第 1 低電位電圧 $V L 1$ に接続されるとともに、抵抗列の他端が切替スイッチ 6 2 2 によって第 1 高電位電圧 $V H 1$ に接続される。第 1 高電位電圧 $V H 1$ と第 1 低電位電圧 $V L 1$ の電位差がこれら抵抗 $R A (1) \sim R A (2^p + 1)$ によって分圧され、これら抵抗 $R A (1) \sim R A (2^p + 1)$ の間の接続部の電圧が 2^p 通りの階調基準電圧 $V A (1) \sim V A (2^p)$ として出力される。そのため、極性反転信号 $P o 1$ がハイレベルである時には、階調基準電圧 $V A (1) \sim V A (2^p)$ が 1 段目から昇順になり、極性反転信号がローレベルである時には、階調基準電圧 $V A (1) \sim V B (2^p)$ が 1 段目から降順になる。

【 0 0 5 7 】

第 2 基準電圧生成回路 6 3 は、切替スイッチ 6 3 1 , 6 3 2 及び抵抗 $R B (1) \sim R B (2^p + 1)$ を有する。 $(2^p + 1)$ 個の抵抗 $R B (1) \sim R B (2^p + 1)$ が、切替スイッチ 6 3 1 と切替スイッチ 6 3 1 の間に直列接続されている。切替スイッチ 6 3 1 を介して抵抗 $R B (1) \sim R B (2^p + 1)$ の抵抗列の一端の電圧が第 2 低電位電圧 $V L 2$ と第 3 高電位電圧 $V H 3$ とに切り替えられ、切替スイッチ 6 3 2 を介して抵抗列の他端の電圧が第 2 高電位電圧 $V H 2$ と第 3 低電位電圧 $V L 3$ とに切り替えられる。切替スイッチ 6 3 1 , 6 3 2 を介して抵抗列の一端と他端が第 2 低電位電圧 $V L 2$ と第 2 高電位電圧 $V H 2$ に接続されたとき、第 2 高電位電圧 $V H 2$ と第 2 低電位電圧 $V L 2$ の電位差が抵抗 $R B (1) \sim R B (2^p + 1)$ によって分圧され、抵抗列の一端と他端が第 3 高電位電圧 $V H 3$ と第 3 低電位電圧 $V L 3$ に接続されたとき、第 3 高電位電圧 $V H 3$ と第 3 低電位電圧 $V L 3$ の電位差が抵抗 $R B (1) \sim R B (2^p + 1)$ によって分圧される。第 2 高電位電圧源 $V H 2$ の電位は第 2 低電位電圧源 $V L 2$ の電位よりも高く、第 2 高電位電圧源 $V H 2$ 及び第 2 低電位電圧源 $V L 2$ は定電圧 $V c o m (D C)$ に等しいかそれより高い電位を有する。また、第 3 高電位電圧源 $V H 3$ の電位は第 3 低電位電圧源 $V L 3$ の電位よりも高く、第 3 高電位電圧源 $V H 3$ 及び第 3 低電位電圧源 $V L 3$ は定電圧 $V c o m (D C)$ に等しいかそれより低い電位を有する。抵抗 $R B (1) \sim R B (2^p + 1)$ の間の各接続部の電圧が 2^p 通りの階調基準電圧 $V B (1) \sim V B (2^p)$ として出力される。これら切替スイッチ 6 3 1 , 6 3 2 は、極性反転信号 $P o 1$ のレベルに従って切替動作をする。つまり、例えば、極性反転信号 $P o 1$ がハイレベルである時に、抵抗 $R B (1) \sim R B (2^p + 1)$ の抵抗列の一端が切替スイッチ 6 3 1 によって第 2 低電位電圧 $V L 2$ に接続され、抵抗列の他端が切替スイッチ 6 3 2 によって第 2 高電位電圧 $V H 2$ に接続され、抵抗 $R B (1) \sim R B (2^p + 1)$ の間の各接続部の電圧が階調基準電圧 $V B (1) \sim V B (2^p)$ として出力される。一方、極性反転信号 $P o 1$ がローレベルである時に、抵抗 $R B (1) \sim R$

B ($2^p + 1$) の抵抗列の一端が切替スイッチ 6 3 1 によって第 3 高電位電圧 V_{H3} に接続され、抵抗列の他端が切替スイッチ 6 3 2 によって第 3 低電位電圧 V_{L3} に接続され、抵抗 $R_B (1) \sim R_C (2^p + 1)$ の間の各接続部の電圧が階調基準電圧 $V_B (1) \sim V_B (2^p)$ として出力される。そのため、極性反転信号 $P o l$ がハイレベルである時には、階調基準電圧 $V_B (1) \sim V_B (2^p)$ が 1 段目から昇順になり、極性反転信号がローレベルである時には、階調基準電圧 $V_B (1) \sim V_B (2^p)$ が 1 段目から降順になる。各段の出力がスイッチ 6 5 を介してデータドライバ 2 0 に接続されている。

【 0 0 5 8 】

図 3 に示すデータドライバ 2 0 は、1 水平同期期間内に入力された 1 行分の表示画素 1 1 に対応する階調信号 $D a t a$ を取り込む。そして、データドライバ 2 0 は、次の 1 水平同期期間において、取り込んだ階調信号 $D a t a$ をラッチするとともに、そのラッチした階調信号 $D a t a$ を D A 変換した階調電圧を生成して各信号線 1 5 に出力する。具体的には、データドライバ 2 0 は、階調基準電圧生成回路 6 0 によって生成された 2^p 段階の階調基準電圧を参照し、ラッチした階調信号 $D a t a$ に応じた階調電圧を各信号線 1 5 に出力する。

10

【 0 0 5 9 】

図 1 1 はデータドライバ 2 0 の構成の要部を示した図である。データドライバ 2 0 は、シフトレジスタ回路 2 1 と、データレジスタ回路 2 2 と、データラッチ回路 2 3 と、D A コンバータ 2 4 とを有している。D A コンバータ 2 4 は D A C 回路 2 4 1 とアンプ 2 4 2 とからなる。データレジスタ回路 2 2、データラッチ回路 2 3、D A C 回路 2 4 1 及びアンプ 2 4 2 は、信号線 1 5 ごとに設けられている。

20

【 0 0 6 0 】

シフトレジスタ回路 2 1 は、水平同期信号 H のパルスの立ち上がり同期して、データレジスタ回路 2 2 のアドレスを開始する。つまり、水平同期信号 H のパルスが立ち上がると、シフトレジスタ回路 2 1 が、クロック信号 $C L K$ に同期して選択信号をデータレジスタ回路 2 2 に順次出力することによって、1 水平同期期間の間にデータレジスタ回路 2 2 を順次選択する。選択されたデータレジスタ回路 2 2 は、1 行分の表示画素 1 1 に対応する階調信号 $D a t a$ を順次記憶する。

データラッチ回路 2 3 は、データレジスタ回路 2 2 に記憶された 1 行分の階調信号 $D a t a$ を水平制御信号における制御信号 $C T L$ に応じて取り込み保持するとともに、その保持している階調信号 $D a t a$ を D A C 回路 2 4 1 に出力する。

30

D A C 回路 2 4 1 には、第 1 基準電圧生成回路 6 2 及び第 2 基準電圧生成回路 6 3 のうち選択されたものによって生成される 2^p 通りの階調基準電圧が入力される。具体的には、スイッチ 6 4 がオン状態であって、スイッチ 6 5 がオフ状態である場合には、第 1 基準電圧生成回路 6 2 によって生成された 2^p 通りの階調基準電圧 $V_A (1) \sim V_A (2^p)$ が D A C 回路 2 4 1 に入力される。一方、スイッチ 6 4 がオフ状態であって、スイッチ 6 5 がオン状態である場合には、 2^p 通りの階調基準電圧 $V_B (1) \sim V_B (2^p)$ が D A C 回路 2 4 1 に入力される。

【 0 0 6 1 】

第 1 基準電圧生成回路 6 2 が選択されている場合には、D A C 回路 2 4 1 は階調基準電圧 $V_A (1) \sim V_A (2^p)$ を参照して、データラッチ回路 2 3 から入力した階調信号 $D a t a$ を D A 変換した階調電圧を生成する。具体的には、D A C 回路 2 4 1 は、階調基準電圧 $V_A (1) \sim V_A (2^p)$ の中から、入力したデジタルの階調信号 $D a t a$ に応じた階調基準電圧を選択するとともに、選択した階調基準電圧をアンプ 2 4 2 に出力する。

40

【 0 0 6 2 】

一方、第 2 基準電圧生成回路 6 3 が選択されている場合には、D A C 回路 2 4 1 は階調基準電圧 $V_B (1) \sim V_B (2^p)$ を参照して、データラッチ回路 2 3 から入力した階調信号 $D a t a$ を D A 変換した階調電圧を生成し、アナログの階調信号 $D a t a$ をアンプ 2 4 2 に出力する。具体的には、D A C 回路 2 4 1 は、階調基準電圧 $V_B (1) \sim V_B (2^p)$ の中から、入力したデジタルの階調信号 $D a t a$ に応じた階調基準電圧を選択すると

50

ともに、選択した階調基準電圧をアンプ 242 に出力する。

ここで、DAC 回路 241 に入力されるデジタル階調信号 Data は閾値 Dref 以上であるから、階調基準電圧 VB(1) ~ VB(2^p) のうち、閾値 Dref に対応する階調基準電圧よりも高電位なものは DAC 回路 241 によって選択されることがない。そのため、データドライバ 20 の DAC 回路 241 やアンプ 242 等の耐圧を比較的 low に設定することができる。

【0063】

アンプ 242 は、DAC 回路 241 から供給された階調基準電圧に対応する電圧を階調電圧 S(i) として信号線 15 に出力する。走査ドライバ 30 によって選択された走査線 16 に接続されたスイッチ素子 12 がオンになっているから、信号線 15 に出力されたアナログの階調信号 Data が、オン状態のスイッチ素子 12 に接続された液晶キャパシタ 17 及び蓄積キャパシタ 18 に書き込まれる。

【0064】

判定回路 72 によってコモン反転駆動とコモン DC 駆動の何れが選択されても、ライン反転駆動が行われる。つまり、図 12 に示すように、共通電極 14 の電圧 Vcom(DC) 又は電圧 Vcom(AC) を基準とした信号線 15 の階調電圧 S(i) の極性が、1 水平同期期間毎に反転する。具体的には、コモン反転駆動の場合には、共通電極 14 の電圧 Vcom(AC) の極性が 1 水平同期期間毎に反転し、共通電極 14 の電圧 Vcom(AC) を基準とした階調電圧 S(i) の極性が 1 水平同期期間毎に反転する。一方、コモン DC 駆動方式の場合には、共通電極 14 の電圧 Vcom(DC) が一定であるが、共通電極 14 の電圧 Vcom(DC) を基準とした階調電圧 S(i) の極性が 1 水平同期期間毎に反転する。これは、極性反転信号 Pol の極性が 1 水平同期期間毎に反転しているためである。なお、上述の i は、1 から M の任意の整数である。

【0065】

制御回路 70 によってコモン反転駆動とコモン DC 駆動の何れが選択されても、フレーム反転駆動が行われる。つまり、何れの画素においても、共通電極 14 の電圧 Vcom(DC) 又は電圧 Vcom(AC) を基準とした画素電極 13 の電圧の極性が 1 フレーム期間毎に反転している。これは、極性反転信号 Pol の位相が 1 フレーム期間ごとに 180° 遅れ、又は進むためである。

【0066】

以上のように本実施形態における液晶表示装置 1 では、コモン反転駆動とコモン DC 駆動とが適宜、選択されて実行される。コモン DC 駆動が行われる場合には、定電圧生成回路 53 が用いられるから、消費電力の削減を図ることができる。コモン DC 駆動が選択された場合でも、閾値 Dref に対応する階調基準電圧よりも高電位なものは DAC 回路 241 によって選択されることがない。そのため、データドライバ 20 の DAC 回路 241 やアンプ 242 等の耐圧を比較的 low に設定することができ、コモン DC 駆動の欠点を解消することができる。また、コモン DC 駆動が行われたとき、高画質化を図ることができる。

【0067】

一方、コモン反転駆動が行われる場合には、共通電極 14 の極性が 1 水平同期期間ごとに反転するから、信号線 15 の電圧振幅を概ね半減することができ、データドライバ 20 の耐圧を比較的 low に設定することができる。

【0068】

また、コモン反転駆動とコモン DC 駆動が選択的に行われるから、コモン反転駆動のみで液晶ディスプレイパネルを駆動する場合よりも、表示品位の向上を図ることができる。

【0069】

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態に係わる液晶表示装置について説明する。

本実施形態に係わる液晶表示装置の構成は、上述した第 1 の実施形態と同等であるので説明を省略する。本実施形態における液晶表示装置は、第 1 の実施形態における液晶表示

10

20

30

40

50

装置に対し、制御回路 70 の判定回路 72 が行う処理動作が異なっているものである。以下においては、本実施形態の判定回路 72 が行う処理動作について説明する。

図 13 は、本実施形態における判定回路 72 が行う処理動作を示すフローチャート図である。図 14 は本実施形態における判定回路 72 が行う処理動作を説明するための図である。

上述の第 1 の実施形態においては、1 つの表示画素 11 に対する 1 つの階調信号 Data 毎に閾値 Dref と比較して、閾値 Dref より小さい階調値の階調信号 Data (特定の階調信号) があるか否かを判定して、コモン反転駆動またはコモン DC 駆動を選択するようにした。一方、本実施形態における判定回路 72 は、次の 1 フレーム期間分 (1 画面分) の複数の階調信号 Data が入力されて、1 フレーム期間分の複数の階調信号 Data 10 についての階調毎のヒストグラムを作成し、この作成したヒストグラムにおける階調毎の頻度分布に基づいて、コモン反転駆動またはコモン DC 駆動を選択するものである。

【0070】

図 13、図 14 に基づいて、判定回路 72 における処理動作について説明する。なお、図 13、図 14 は液晶ディスプレイパネル 10 がノーマリーホワイト形である場合について示している。

まず、判定回路 72 に次の 1 フレーム期間分の複数の階調信号 Data が入力される (ステップ S11)。そして、判定回路 72 は、入力された 1 フレーム期間分の複数の階調信号 Data について、階調毎の頻度を示すヒストグラムを作成する (ステップ S12)。このヒストグラムは、例えば、図 14 の (a) や (b) に示すような形のものになる。20 ここで、図 14 の (a)、(b) に示すヒストグラムは階調信号 Data が 3 ビットで 8 階調の場合の例を示している。

次いで、このヒストグラムにおいて閾値 Dref より小さい階調値の頻度に基づいて、閾値 Dref より小さい階調値の階調信号 Data (特定の階調信号) が存在するか否かを判定する (ステップ S13)。そして、判定回路 72 は、閾値 Dref より小さい階調値の頻度がゼロでないと判定したとき (ステップ S13: No)、コモン反転駆動を選択する (ステップ S14)。すなわち、このときは、例えば閾値 Dref が 4 階調に設定されているとした場合に、ヒストグラムが図 14 の (a) に示すように、0 から 3 階調の頻度がゼロでないような場合である。

一方、判定回路 72 は、閾値 Dref より小さい階調値の頻度がゼロであると判定したとき (ステップ S13: Yes)、コモン DC 駆動を選択する (ステップ S15)。すなわち、このときは、閾値 Dref が 4 階調に設定されている場合に、ヒストグラムが図 14 の (b) に示すように、0 から 3 階調の頻度がゼロである場合である。30

なお、液晶ディスプレイパネル 10 がノーマリーブラック形の場合には、階調信号 Data が高階調になるにつれて表示画素 11 に印加される電圧が高くなることから、図 13 において、閾値 Dref より小さい階調値の頻度がゼロでないときにコモン反転駆動を選択し、閾値 Dref より小さい階調値の頻度がゼロであるときにコモン DC 駆動を選択するところを、閾値 Dref より大きい階調の頻度がゼロでないときにコモン反転駆動を選択し、閾値 Dref より大きい階調の頻度がゼロであるときにコモン DC 駆動を選択するように変更すればよい。40

【0071】

以上のように、本実施形態においても、上述の第 1 の実施形態の場合と同様に、コモン反転駆動とコモン DC 駆動とが適宜、選択されて実行される。コモン DC 駆動が行われる場合には消費電力の削減を図ることができるとともに高画質化を図ることができ、コモン DC 駆動が選択された場合でも、閾値 Dref に対応する階調基準電圧よりも高電位なものは DAC 回路 241 によって選択されることがないため、データドライバ 20 の DAC 回路 241 やアンプ 242 等の耐圧を比較的 low に設定することができる。

【0072】

< 第 3 の実施形態 >

次に、本発明の第 3 の実施形態に係わる液晶表示装置について説明する。50

本実施形態に係わる液晶表示装置の構成は、上述の第2の実施形態における液晶表示装置に対し、制御回路70の判定回路72が行う処理動作の一部が異なっているものである。以下においては、本実施形態の判定回路72が行う処理動作について説明する。

図15は、本実施形態における判定回路72が行う処理動作を示すフローチャート図である。図16は本実施形態における判定回路72が行う処理動作を説明するための図である。

上述の第2の実施形態においては、次の1フレーム期間分(1画面分)の複数の階調信号Dataについての階調毎のヒストグラムを作成し、このヒストグラムにおいて閾値Drefより小さい階調値の階調信号Data(特定の階調信号)が存在するか否かの判定結果に基づいて、コモン反転駆動またはコモンDC駆動を選択するようにした。一方、本実施形態における判定回路72は、次の1フレーム期間分の複数の階調信号Dataについての階調毎のヒストグラムを作成し、この作成したヒストグラムにおいて閾値Drefより小さい階調値の領域に対応する階調信号Data(特定の階調信号)の階調値毎の頻度が所定量以下であるか否かの判定結果に基づいて、コモン反転駆動またはコモンDC駆動を選択する。そして、コモンDC駆動を選択する場合には、閾値Drefより小さい階調値の領域に対応する階調信号Data(特定の階調信号)を閾値Dref以上とするように圧縮変換するものである。すなわち、第2の実施形態においては閾値Drefより小さい階調値の階調信号Dataが1個でもあったらコモン反転駆動を選択するようにしていたが、例えば階調信号Dataに閾値Drefより小さい階調値の階調信号Dataが数個(例えば5個以下)だけ含まれているような場合には、その閾値Drefより小さい階調値の階調信号Dataを閾値Dref以上の値に変換して表示するようにしても、表示される画像には殆ど変化が生じない。本実施形態は、このことに基づいて、1フレーム期間分の階調信号Dataについての階調毎のヒストグラムにおいて閾値Drefより小さい階調値の領域における頻度が所定量以下であれば、閾値Drefより小さい階調値の階調信号Dataを閾値Dref以上の値に変換するとともに、コモンDC駆動を選択するようにしたものである。ここで、所定量は、それを閾値Dref以上の値に変換して表示したときの表示画像の変化が殆ど視認されない程度の量に予め設定される。

【0073】

図15、図16に基づいて、本実施形態の判定回路72における処理動作について説明する。なお、図15、図16は液晶ディスプレイパネル10がノーマリーホワイト形である場合について示している。

まず、判定回路72に1フレーム期間分の階調信号Dataが入力される(ステップS16)。そして、判定回路72は、入力された1フレーム期間分の階調信号Dataについて、階調毎の頻度を示すヒストグラムを作成する(ステップS17)。このヒストグラムは、例えば、図16の(a)や(b)に示すような形のものになる。ここで、図16の(a)、(b)に示すヒストグラムは階調信号Dataが3ビットで8階調の場合の例を示している。

次いで、このヒストグラムにおいて閾値Drefより小さい階調値の頻度が所定量以下であるか否かを判定する(ステップS18)。そして、判定回路72は、閾値Drefより小さい階調値の頻度が所定量以下ではないと判定したとき(ステップS18:No)、コモン反転駆動を選択する(ステップS19)。すなわち、このときは、閾値Drefが4階調に設定されている場合に、ヒストグラムが図16の(a)に示すように、0から3階調の頻度が比較的大きい(所定量より大きい)場合である。

一方、判定回路72が閾値Drefより小さい階調値の頻度が所定量以下であると判定したとき(ステップS13:Yes)、判定回路72の判定結果を受けて、例えば制御信号生成回路73が閾値Drefより小さい階調値の階調信号Data(Dm、特定の階調信号)を閾値Dref以上の値に圧縮変換する(ステップS20)。すなわち、このときは、閾値Drefが4階調に設定されているとした場合に、ヒストグラムが図16の(b)に示すように、0から3階調の閾値Drefより小さい階調値の階調信号Data(Dm)が比較的小さく、これが予め設定された所定量以下となっている。そして、このヒス

トグラムを、図 16 の (c) に示すように、閾値 D_{ref} より小さい階調値の階調信号 D_{ata} (D_m) をゼロとするように階調信号 D_{ata} を圧縮変換する。そして、コモン DC 駆動を選択する (ステップ S21)。

【0074】

以上のように、本実施形態においても、上述の第 1 及び第 2 の実施形態の場合と同様に、コモン反転駆動とコモン DC 駆動とが適宜、選択されて実行される。コモン DC 駆動が行われる場合には消費電力の削減を図ることができる。コモン DC 駆動が選択された場合でも、閾値 D_{ref} に対応する階調基準電圧よりも高電位なものは DAC 回路 241 によって選択されることがないため、データドライバ 20 の DAC 回路 241 やアンプ 242 等の耐圧を比較的 low に設定することができる。

【0075】

なお、上記各実施形態においては、判定回路 72 の処理動作が 1 フレーム期間毎に行われ、次の 1 フレーム期間に対応する複数の階調信号 D_{ata} の中に閾値 D_{ref} より小さい階調値の階調信号 D_{ata} があるか否か、あるいは、閾値 D_{ref} より小さい階調値の階調信号 D_{ata} が所定量以下か否かを判定して、次の 1 フレーム期間をコモン反転駆動方式とするかコモン DC 駆動方式とするかを設定することとしたが、本発明はこれに限るものではない。例えば、この処理動作を複数フレーム期間毎に行い、後続する複数フレーム期間に対応する複数の階調信号 D_{ata} に対して同様の判定動作を行い、後続の複数フレーム期間をコモン反転駆動方式とするかコモン DC 駆動方式とするかを設定するようにしてもよい。この場合には判定動作に係わる演算処理の回数を減らすことができ、演算処理による消費電力の増加を抑えることができる。更には、判定動作に用いる階調信号 D_{ata} を、後続する複数フレーム期間全体に対応するものでなく、それより少ないフレーム期間の階調信号 D_{ata} で代用させて、これに対して判定動作を行うものとしてもよい。これは、階調信号 D_{ata} は、通常、短時間で大きく変化することは希であるため、このような処理動作としてもさほど問題がないためである。この場合には、更に演算処理量を減らすことができ、演算処理による消費電力の増加を更に抑えることができる。

また、上記各実施形態では、図 3、図 9、図 10 に示すように、極性反転信号 P_{ol} が第 2 基準電圧生成回路 63 に入力されていたが、極性反転信号 P_{ol} の代わりに第 2 の極性反転信号が第 2 基準電圧生成回路 63 に入力されてもよい。第 2 の極性反転信号は、1 フレーム期間ごとに極性が反転する信号である。そのため、切替スイッチ 631 が、第 2 の極性反転信号に従って、1 フレーム期間ごとに切替動作をする。従って、判定回路 72 によってコモン DC 駆動が選択された場合には、フレーム反転駆動が行われるが、ライン反転駆動が行われない。第 2 の極性反転信号は、映像信号に基づき表示信号生成回路 40 によって生成される。

【0076】

また、上記各実施形態では、判定回路 72 によってコモン反転駆動とコモン DC 駆動のどちらが選択されても、ライン反転駆動を行ったが、フレーム反転駆動を行ってもよいし、ドット反転駆動を行ってもよい。ドット反転駆動を行う場合には、奇数列の信号線 15 に接続された DAC 回路 241 に出力される階調基準電圧 $V_A(1) \sim V_A(2^p)$ の高低順が、偶数列の信号線 15 に接続された DAC 回路 241 に出力される階調基準電圧 $V_A(1) \sim V_A(2^p)$ の高低順と逆であれば、コモン反転駆動とドット反転駆動が組み合わせられる。一方、奇数列の信号線 15 に接続された DAC 回路 241 に出力される階調基準電圧 $V_B(1) \sim V_B(2^p)$ の高低順が、偶数列の信号線 15 に接続された DAC 回路 241 に出力される階調基準電圧 $V_B(1) \sim V_B(2^p)$ の高低順と逆であれば、コモン DC 駆動とドット反転駆動が組み合わせられる。

【符号の説明】

【0077】

- 1 液晶表示装置
- 10 液晶ディスプレイパネル
- 12 スイッチ素子

10

20

30

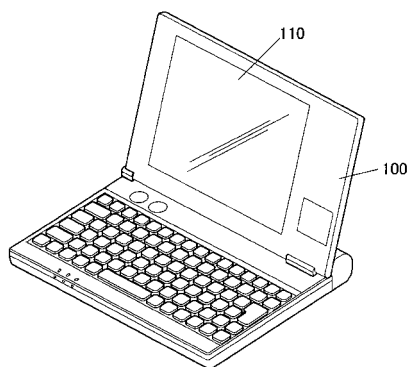
40

50

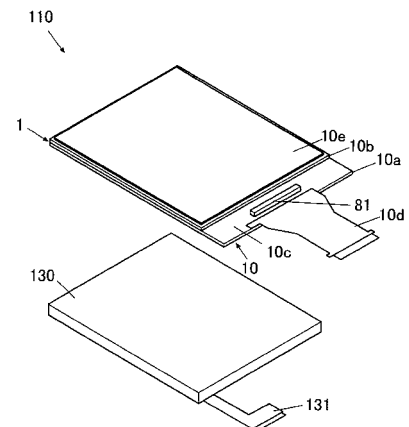
- 1 3 画素電極
- 1 4 共通電極
- 1 5 信号線
- 1 6 走査線
- 2 0 データドライバ
- 2 4 D A コンバータ
- 3 0 走査ドライバ
- 5 2 波形信号生成回路
- 5 3 定電圧生成回路
- 6 2 第 1 基準電圧生成回路
- 6 3 第 2 基準電圧生成回路
- 7 0 制御回路
- 8 0 駆動装置
- 1 0 0 電子機器
- 2 4 1 D A C 回路

10

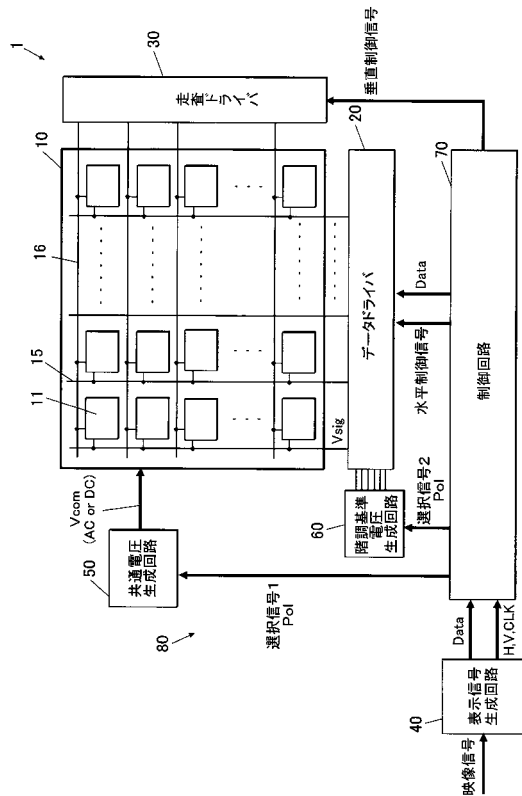
【図 1】



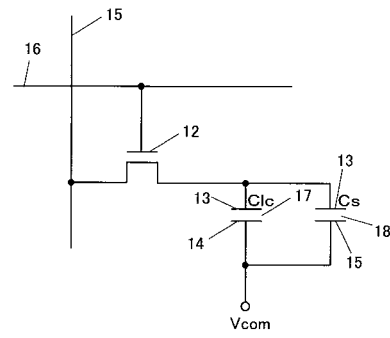
【図 2】



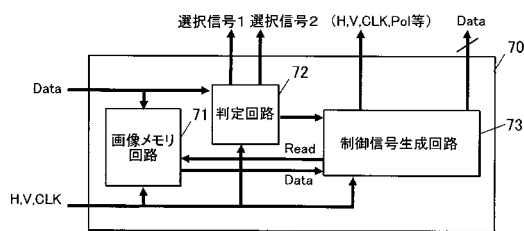
【図3】



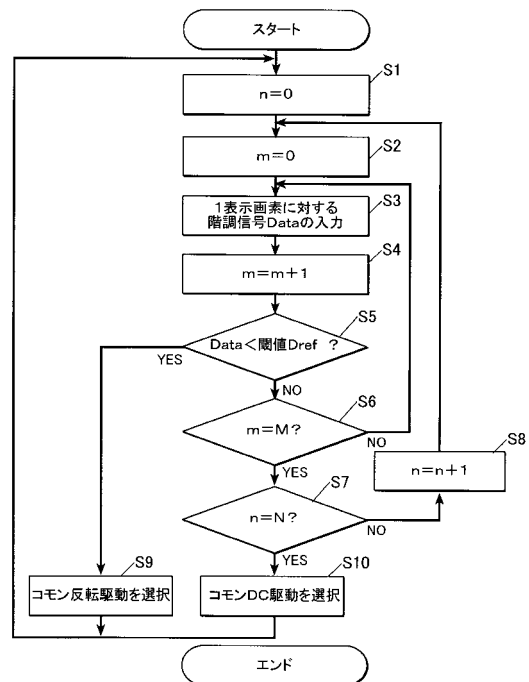
【図4】



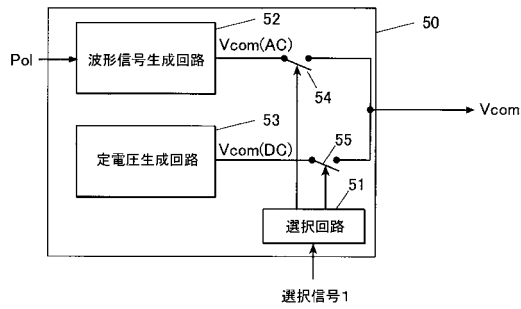
【図5】



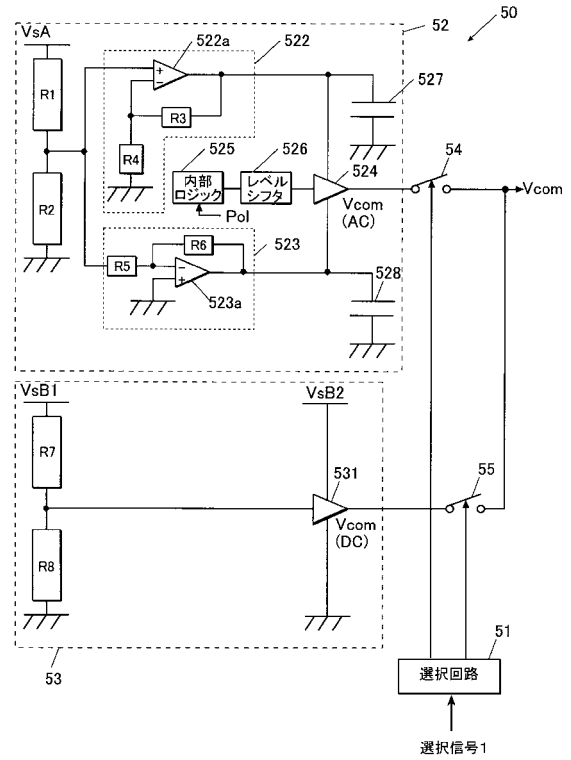
【図6】



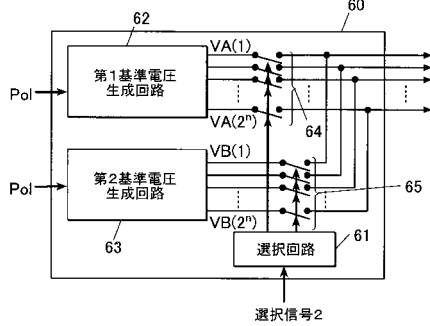
【図 7】



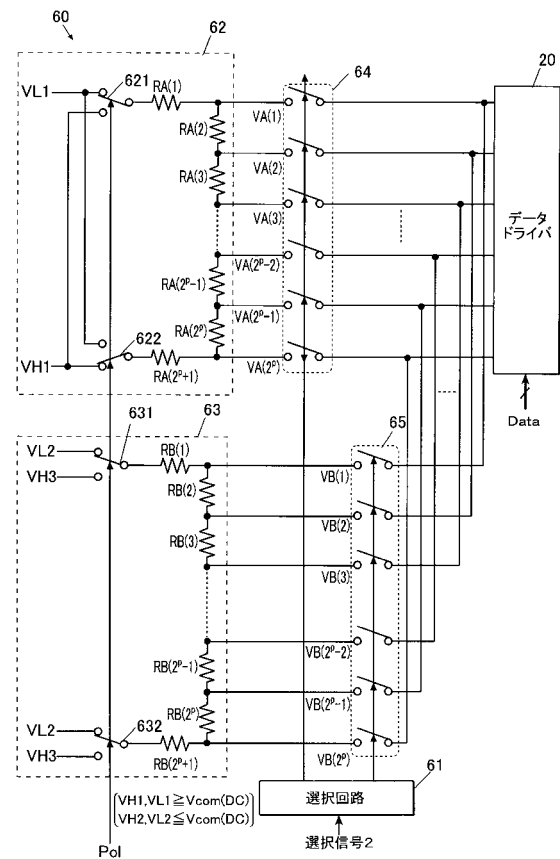
【図 8】



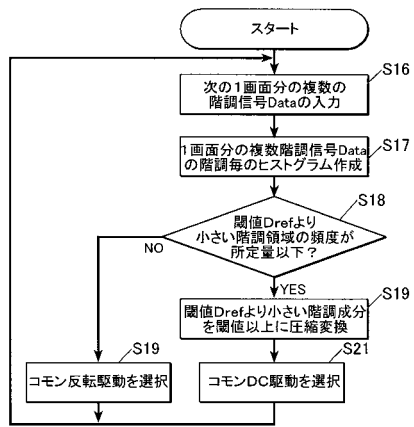
【図 9】



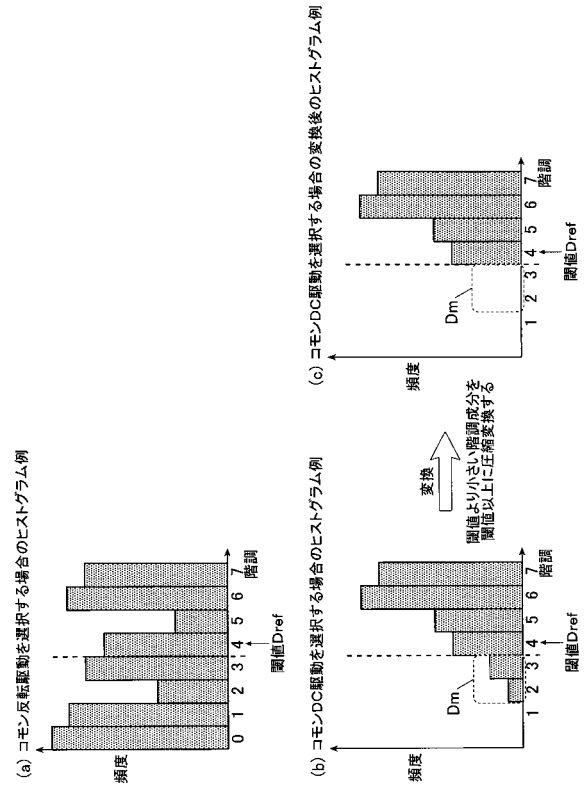
【図 10】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/36	

(56)参考文献 国際公開第 2 0 0 7 / 0 8 0 8 5 3 (W O , A 1)
特開 2 0 0 6 - 1 9 5 1 5 2 (J P , A)
特開 2 0 0 6 - 6 5 2 3 1 (J P , A)
特開 2 0 0 8 - 1 5 4 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6

专利名称(译)	液晶显示装置，电子装置，液晶显示器的驱动装置以及液晶显示器的驱动方法		
公开(公告)号	JP5257346B2	公开(公告)日	2013-08-07
申请号	JP2009278438	申请日	2009-12-08
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	水取光		
发明人	水取 光		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G02F1/133.520 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.612.F G09G3/20.612.U G09G3/20.621.B G09G3/20.623.C G09G3/20.623.F G09G3/20.624.D G09G3/20.624.E G09G3/20.641.C G09G3/20.641.Q G09G3/20.642.A G09G3/36		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB03 2H193/ZB06 2H193/ZB08 2H193/ZB13 2H193/ZB14 2H193/ZC04 2H193/ZC12 2H193/ZC16 2H193/ZC20 2H193/ZD01 2H193/ZD23 2H193/ZD32 2H193/ZD36 2H193/ZF04 2H193/ZF05 2H193/ZF13 2H193/ZF16 2H193/ZF18 2H193/ZF33 2H193/ZF34 2H193/ZF35 2H193/ZF43 2H193/ZF52 2H193/ZF59 2H193/ZG02 2H193/ZG14 2H193/ZG15 2H193/ZG56 2H193/ZH23 2H193/ZH53 5C006/AA16 5C006/AC21 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF54 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BC13 5C006/BC16 5C006/BF04 5C006/BF05 5C006/BF08 5C006/BF14 5C006/BF15 5C006/BF22 5C006/BF24 5C006/BF25 5C006/BF37 5C006/BF42 5C006/BF43 5C006/BF46 5C006/FA22 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD27 5C080/EE29 5C080/FF03 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C080/KK02		
其他公开文献	JP2011123100A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过抑制公共电压产生电路和数据驱动器的功耗来显示高质量图像而不产生灰度倾斜等。ŽSOLUTION：液晶显示装置1包括：多条扫描线16;多条信号线15;像素电极13;开关元件12;公共电极14;扫描驱动器30，用于依次选择扫描线16;数据驱动器20，用于向模拟线15输出模拟灰度信号;恒压产生电路53，用于产生恒定电压;波形信号发生电路52，用于输出波形信号;控制电路70，用于控制顺序输入数字灰度信号，当确定存在预定阈值或更小的一行输入灰度信号时，使波形信号发生电路52输出波形信号到公共电极14，并且当确定对于预定阈值或更小的一行没有输入灰度信号时，使恒定电压产生电路53将恒定电压输出到公共电极14。

