(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5154503号
(P5154503)
(45)発行日　平成25年2月27日(2013.2.27)　(24)登録日　平成24年12月14日(2012.12.14)

(51)Int.Cl.　F I
G09F 9/30 (2006.01)　G09F 9/30 338
G02F 1/1343 (2006.01)　G02F 1/1343

請求項の数 5　(全 19 頁)

(21)出願番号　特願2009-109976 (P2009-109976)
(22)出願日　平成21年4月28日 (2009.4.28)
(62)分割の表示　特願2007-551852 (P2007-551852)の分割
原出願日　平成18年7月28日 (2006.7.28)
(65)公開番号　特開2009-169436 (P2009-169436A)
(43)公開日　平成21年7月30日 (2009.7.30)
審査請求日　平成21年7月22日 (2009.7.22)
(31)優先権主張番号　特願2005-373485 (P2005-373485)
(32)優先日　平成17年12月26日 (2005.12.26)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　110000338
特許業務法人原謙三国際特許事務所
(72)発明者　津幡　俊英
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内
(72)発明者　岡田　美広
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内
(72)発明者　伴　厚志
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内

最終頁に続く

(54)【発明の名称】アクティブマトリクス基板、液晶パネル、液晶表示装置、テレビジョン受像機

(57)【特許請求の範囲】
【請求項１】
トランジスタと、画素電極と、保持容量配線と、上記トランジスタの一方の導通電極と電気的に接続された引き出し配線と、上記保持容量配線と電気的に接続された、第１および第２延伸部とを備え、
上記第１延伸部は、トランジスタ不良のときの修正に用いられる修正用配線であり、
上記第１延伸部の端部と上記引き出し配線の一部とが絶縁層を介して重なる重畳部が設けられ、
上記トランジスタのもう一方の導通電極がデータ信号線に接続されており、
上記第２延伸部がデータ信号線に沿う方向に形成されるとともに、上記画素電極のエッジと重なり、
上記第１延伸部は、保持容量配線から斜めに引き出され、上記端部以外の部分は第２延伸部よりも細く、
上記第２延伸部は、引き出し配線と重ならないことを特徴とするアクティブマトリクス基板。
【請求項２】
上記引き出し配線は、上記導通電極から上記重畳部に到る経路上に、コンタクトホールによる上記画素電極との接続部を有し、上記コンタクトホールは上記第１延伸部と重ならないように設けられていることを特徴とする請求項１記載のアクティブマトリクス基板。
【請求項３】

請求項１または２に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。
【請求項４】
請求項１または２に記載のアクティブマトリクス基板を備えることを特徴とする液晶表示装置。
【請求項５】
請求項４に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えたテレビジョン受像機。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、液晶表示装置等の表示装置に用いられるアクティブマトリクス基板に関する。
【背景技術】
【０００２】
図１５は、液晶表示装置に用いられる従来のアクティブマトリクス基板の構成である。同図に示されるように、アクティブマトリクス基板１００には、交差配置された複数の走査信号線１１６および複数のデータ信号線１１５と、各信号線（１１５・１１６）の交点近傍に形成されたＴＦＴ１１２（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ：薄膜トランジスタ）と、画素電極１１７とを備える。ＴＦＴ１１２は、そのソース電極１１９がデータ信号線１１５に接続され、そのドレイン電極１０８がドレイン引き出し電極１０７を介して画素電極１１７に接続される。なお、走査信号線１１６は、ＴＦＴ１１２のゲート電極を兼ねている。
【０００３】
ドレイン引き出し電極１０７と画素電極１１７との間に配される絶縁膜には穴が開けられており、これによってドレイン引き出し電極１０７と画素電極１１７とを接続するコンタクトホール１１０が形成されている。画素電極１１７はＩＴＯ等の透明電極であり、アクティブマトリクス基板下からの光（バックライト光）を透過させる。
【０００４】
このアクティブマトリクス基板１００においては、走査信号線１１６に送られる走査信号（ゲートＯＮ電圧）によってＴＦＴ１１２がＯＮ（ソース電極１１９とドレイン電極１０８とが導通状態）状態となり、この状態においてデータ信号線１１５に送られるデータ信号（信号電圧）が、ソース電極１１９、ドレイン電極１０８およびドレイン引き出し電極１０７を介して画素電極１１７に書き込まれる。なお、保持容量（Ｃｓ）配線１１８は、ＴＦＴ１１２のオフ期間中における液晶層の自己放電を回避する等の機能を有する。
【０００５】
このようなアクティブマトリクス基板１００の製造プロセスにおいては、異物や膜残り等によってＴＦＴ１１２のソース電極１１９とドレイン電極１０８との間で短絡（リーク）が生じることがある。このようなＴＦＴ不良が発生すると、画素電極１１７に正常な電圧（ドレイン電圧）が印加されなくなり、液晶表示装置において画素欠陥（輝点や黒点）となって現れる。これにより、液晶表示装置の製造歩留りが低下してしまう。
【０００６】
このＴＦＴ不良を救済する手法として、１つの画素に対して複数のＴＦＴを並列に接続し、冗長構造とする構成が提案されている（特許文献１参照）。
【先行技術文献】
【特許文献】
【０００７】

【特許文献１】特開平７－１９９２２１号公報（公開日：１９９５年８月４日）
【発明の概要】
【発明が解決しようとする課題】
【０００８】
特許文献１記載の液晶表示装置は複数のＴＦＴ（アクティブ素子）を並列配置することで冗長性を持たせるものであるが、ＴＦＴと走査信号線との間の寄生容量が増加するこのような冗長構造は、近年のように信号書き込み周波数が高くなると、表示品位（特に動画表示）の低下を招来するという問題がある。加えて、容量負荷が増えるために消費電力が増加し、また、ＴＦＴを並列に複数設けるために開口率が低下するという問題もある。
【０００９】
本発明は、上記課題に鑑みてなされたものであり、その目的は、ＴＦＴ不良（例えば、ソース電極とドレイン電極との短絡）を修正でき、かつ、高速表示への対応および消費電力の抑制を実現しうるアクティブマトリクス基板を提供する点にある。
【課題を解決するための手段】
【００１０】
すなわち、本発明のアクティブマトリクス基板は、上記課題を解決するために、トランジスタと、該トランジスタの一方の導通電極に接続する画素電極と、保持容量配線とを備えたアクティブマトリクス基板であって、上記トランジスタの一方の導通電極から引き出された引き出し配線と、上記保持容量配線から引き出された修正用配線とを備え、該修正用配線は、絶縁層を介して上記引き出し配線の一部と重なっていることを特徴とする。
【００１１】
本構成によれば、トランジスタに動作不良が発生した場合に、上記絶縁層を貫通させて修正用配線および引き出し配線を接続するとともに、この引き出し配線を、画素電極との接続部（例えば、コンタクトホール）および上記一方の導通電極間にて断線させることで、欠陥画素の画素電極をトランジスタから切り離しつつ該画素電極を上記修正配線および引き出し配線を介して保持容量配線に接続することができる。これにより、欠陥画素の画素電極を保持容量配線の電位に落とすことができる。したがって、本アクティブマトリクス基板を例えばノーマリーブラックの液晶表示装置に用いた場合には、動作不良が発生した画素（欠陥画素）を黒点化し、これを目立ちにくくすることができる。
【００１２】
さらに、上記構成では、保持容量配線から修正用配線を引き出すものであるため、アクティブ素子を並列に配置する従来の構成と比較して容量負荷増加を大幅に抑えることができる。これにより、高速駆動への対応が可能となり、不要な消費電力増加も回避することができる。
【００１３】
本発明では、上記トランジスタが電界効果トランジスタ（ＴＦＴ含む）であり、上記引き出し配線が、電界効果トランジスタのドレイン電極（上記一方の導通電極）に接続する構成とすることができる。
【００１４】
本発明においては、上記引き出し配線は、修正用配線と重畳する部分と一方の導通電極との間に形成されるコンタクトホールによって上記画素電極に接続されていることが好ましい。例えば、上記修正用配線の端部と上記引き出し配線の端部とが重なる構成とする。
【００１５】
こうすれば、コンタクトホールを別の場所に設ける場合と比較して引き出し配線（遮光性）を短くすることができる。したがって、本アクティブマトリクス基板の開口率を向上させることができる。この場合、上記画素電極には切り欠き部（あるいは刳り貫き部）が形成され、該切り欠き部の少なくとも一部が、上記引き出し配線のコンタクトホールまでの部分と重なっていることが好ましい。こうすれば、トランジスタに動作不良が発生した場合に、引き出し配線を、切り欠き部と重畳する部分（上に画素電極がない部分）で切断することができ、切断工程が容易となる。さらに、この切り欠き部は、画素電極のエッジ

部分に形成されていることが好ましい。こうすれば、切り欠き部が表示に与える影響を可及的に小さくすることができる。また、対向基板と組み合わされたときに、上記切り欠き部の少なくとも一部が、該対向基板が有するブラックマトリクスと重畳することが好ましい。こうすれば、切り欠き部による光漏れを、ブラックマトリクスによって防止することができる。

【００１６】

本発明においては、上記引き出し配線は、上記コンタクトホール内に、電極が形成されていない刳り貫き部を有する構成とすることもできる。こうすれば、本来遮光部分であるコンタクトホールに光透過部分を形成することができる。したがって、本アクティブマトリクス基板の開口率を向上させることができる。この場合、上記コンタクトホールの開口部は、上記刳り貫き部と交差する延伸形状であることが好ましい。こうすれば、製造工程で起こる位置ずれに強くなり、光透過部分を有しつつも、引き出し配線および画素電極の接触面積を十分担保できるコンタクトホールを実現できる。

【００１７】

本発明においては、上記保持容量配線は、トランジスタのもう一方の導通電極に接続するデータ信号線に沿うように延伸しており、この延伸部分が上記画素電極のエッジと重畳していることが好ましい。こうすれば、この延伸部分によって画素電極およびデータ信号線間の電界を遮蔽あるいは弱めることができる。したがって、本アクティブマトリクス基板を表示装置に適用したときに、その表示品位を向上させることが可能となる。

【００１８】

本発明においては、上記画素電極には、電極が形成されていない液晶分子配向制御用スリットが設けられ、（基板面の法線方向から見たときに）修正用配線の少なくとも一部が、上記液晶分子配向制御用スリットと重畳していることが好ましい。

【００１９】

このように液晶分子配向制御用スリットを画素電極に設けることで、本アクティブマトリクス基板を液晶表示装置に適用したときに、その広視野角化を実現させることができる。

【００２０】

さらに、画素電極のスリット下に修正用配線を形成することで、フリンジフィールド効果を高めることができる。また、画素電極のスリットは光透過領域（開口部）として機能していない領域であることから、修正用配線をこのスリットと重なるように形成することで、保持容量配線の延伸（引き出し）による開口率低下を回避することができる。

【００２１】

本アクティブマトリクス基板は、液晶分子配向制御用突起を有する対向基板との組み合わせが可能であり、上記修正用配線は、少なくともその一部が上記液晶分子配向制御用突起と重畳するように形成されていることが好ましい。

【００２２】

このように液晶分子配向制御用突起を対向基板（対向電極）に設けることで、本アクティブマトリクス基板を液晶表示装置に適用したときに、その広視野角化を実現させることができる。また、液晶分子配向制御用突起は光透過領域（開口部）として機能していない領域であることから、修正用配線をこの液晶分子配向制御用突起と重なるように形成することで、保持容量配線の延伸（引き出し）による開口率の低下を回避することができる。

【００２３】

本発明においては、上記画素電極には、電極が形成されていない液晶分子配向制御用スリットが設けられ、上記引き出し配線の少なくとも一部が、上記液晶分子配向制御用スリットと重畳していることが好ましい。

【００２４】

このように液晶分子配向制御用スリットを画素電極に設けることで、本アクティブマトリクス基板を液晶表示装置に適用したときに、その広視野角化を実現させることができる。

【００２５】
また、画素電極のスリットは光透過領域（開口部）として機能していない領域であることから、上記引き出し配線をこのスリットと重なるように形成することで、引き出し配線による開口率の低下を回避することができる。この場合、上記引き出し配線を、上記一方の導通電極と上記コンタクトホールとの間において上記液晶分子配向制御用スリットと重畳するように形成しておくことが好ましい。こうすれば、トランジスタに動作不良が発生した場合に、引き出し配線を、液晶分子配向制御用スリットとの重畳部分（すなわち、上に画素電極がない部分）で切断することができ、便利である（切断工程が容易である）。
【００２６】
本アクティブマトリクス基板は、液晶分子配向制御用突起を有する対向基板との組み合わせが可能であり、上記引き出し配線は、少なくともその一部が上記液晶分子配向制御用突起と重畳するように形成されていることが好ましい。
【００２７】
このように液晶分子配向制御用突起を対向基板（対向電極）に設けることで、本アクティブマトリクス基板を液晶表示装置に適用したときに、その広視野角化を実現させることができる。また、液晶分子配向制御用突起は光透過領域（開口部）として機能していない領域であることから、上記引き出し配線（遮光性）をこの液晶分子配向制御用突起と重なるように形成することで、引き出し配線による開口率の低下を回避することができる。
【００２８】
本アクティブマトリクス基板は、トランジスタと、該トランジスタの一方の導通電極に接続する画素電極と、保持容量配線とを備えたアクティブマトリクス基板であって、上記保持容量配線を延伸し、この保持容量配線の延伸部と上記引き出し配線とが絶縁層を介して重畳する重畳部を設けることで、上記絶縁層の貫通による上記延伸部および引き出し配線の接続を可能にしたことを特徴とすると表現することもできる。
【００２９】
本アクティブマトリクス基板は、各画素領域に、第１および第２のトランジスタと、第１のトランジスタの一方の導通電極に接続する第１の画素電極と、第２のトランジスタの一方の導通電極に接続する第２の画素電極と、第１および第２の保持容量配線とを備えたアクティブマトリクス基板であって、上記第１のトランジスタの一方の導通電極から引き出された第１の引き出し配線と、上記第１の保持容量配線から引き出された第１の修正用配線と、上記第２のトランジスタの一方の導通電極から引き出された第２の引き出し配線と、上記第２の保持容量配線から引き出された第２の修正用配線とを備え、上記第１の修正用配線は、絶縁層を介して上記第１の引き出し配線の一部と重なり、上記第２の修正用配線は、絶縁層を介して上記第２の引き出し配線の一部と重なっている構成とすることもできる。
【００３０】
上記構成においては、１つの画素が２以上の副画素に分割され、副画素それぞれが個別に駆動される（いわゆるマルチ画素駆動）。該構成では、副画素の総輝度でもって表示を行うため、例えば１つの副画素を修正して黒点化しても画素全体は黒点にはならない。したがって、欠陥画素をより目立ちにくくすることができる。
【００３１】
本発明の表示装置は、上記アクティブマトリクス基板を備えることを特徴とする。
【００３２】
本発明の表テレビジョン受像機は、上記表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とする。
【００３３】
本発明のアクティブマトリクス基板の欠陥修正方法は、トランジスタと、該トランジスタの一方の導通電極に接続する画素電極と、保持容量配線とを備えたアクティブマトリクス基板の欠陥を修正する、アクティブマトリクス基板の欠陥修正方法であって、上記トランジスタの一方の導通電極に接続する引き出し配線を形成するとともに、上記保持容量配

線あるいはこれに接続する修正用配線を、上記引き出し配線の一部と絶縁層を介して重畳するように形成し、かつ、上記引き出し配線をコンタクトホールによって画素電極に接続しておき、上記トランジスタに動作不良が発生した場合には、上記絶縁層を貫通させて引き出し配線および保持容量配線を接続するとともに、この引き出し配線を上記一方の導通電極およびコンタクトホール間にて断線させることを特徴とする。

【００３４】

上記方法によれば、上記トランジスタに動作不良が発生した場合に、画素電極と修正用配線とを引き出し配線を介して接続し、欠陥画素の画素電極を保持容量配線の電位に落とすことができる。したがって、例えばノーマリーブラックの液晶表示装置に用いた場合には、動作不良が発生した画素（欠陥画素）を黒点化し、これを目立ちにくくすることができる。上記方法では、上記断線を、画素電極のエッジ部分と重畳する位置で行うことが好ましい。また、上記画素電極に、上記断線を行う箇所と重畳する切り欠き部を形成しておくことが好ましい。

【００３５】

上記方法においては、画素電極に、電極が形成されていない液晶分子配向制御用スリットが設けられる場合に、上記断線を行う箇所がこの液晶分子配向制御用スリットと重畳するように上記引き出し配線を形成しておくことが好ましい。こうしておけば、断線工程が容易である。

【発明の効果】

【００３６】

以上のように、本アクティブマトリクス基板によれば、トランジスタに動作不良が発生した場合に、画素電極と保持容量配線とを、修正用配線および引き出し配線を介して接続することができる。これにより、例えばノーマリーブラックの液晶表示装置に用いた場合には、動作不良のある画素（欠陥画素）を黒点化し、これを目立ちにくくすることができる。これにより、歩留りを向上させることができる。さらに、上記構成では、アクティブ素子を並列に配置する従来の構成と比較して容量負荷増加を大幅に抑えることができる。これにより、高速駆動への対応が可能となり、不要な消費電力増加も回避することができる。

【図面の簡単な説明】

【００３７】

【図１】本実施の形態に係るアクティブマトリクス基板の構成を示す平面図である。
【図２】本アクティブマトリクス基板の構造を示す断面図である。
【図３】本アクティブマトリクス基板の構造を示す断面図である。
【図４】本実施の形態に係るアクティブマトリクス基板（欠陥修正後）の構成を示す平面図である。
【図５】本アクティブマトリクス基板の構成例を示す平面図である。
【図６】本アクティブマトリクス基板の構成例を示す平面図である。
【図７】本アクティブマトリクス基板の構成例を示す平面図である。
【図８】本アクティブマトリクス基板の構成例を示す平面図である。
【図９】本アクティブマトリクス基板の構成例を示す平面図である。
【図１０】本アクティブマトリクス基板を備える液晶パネルの断面図である。
【図１１】本実施の形態に係る液晶表示装置の構成を示すブロック図である。
【図１２】本実施の形態に係るテレビジョン受像機の構成を示すブロック図である。
【図１３】本実施の形態に係るテレビジョン受像機の構成を示す斜視図である。
【図１４】本アクティブマトリクス基板の構成例を示す平面図である。
【図１５】従来のアクティブマトリクス基板の構成を示す平面図である。

【発明を実施するための形態】

【００３８】

本発明の実施の一形態を図１～図１４に基づいて説明すれば以下のとおりである。

【００３９】

図１は、本実施の形態に係るアクティブマトリクス基板の構成を示す（基板裏面からの）透視平面図である。

【００４０】

図１に示されるように、アクティブマトリクス基板１０には、互いに直交するように図中左右方向に形成された複数の走査信号線１６および図中上下方向に形成されたデータ信号線１５と、各信号線（１５・１６）の交点近傍に形成されたＴＦＴ１２（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ：薄膜トランジスタ）と、画素電極１７とを備える。ＴＦＴ１２は、そのソース電極９がデータ信号線１５に接続され、そのドレイン電極８がドレイン引き出し配線７（引き出し配線）を介して画素電極１７に接続される。なお、走査信号線１６は、ＴＦＴ１２のゲート電極を兼ねている。このＴＦＴオンゲート構造によって開口率を向上させることができる。画素電極１７はＩＴＯ等の透明電極であり、アクティブマトリクス基板１０下からの光（バックライト光）を透過させる。

【００４１】

このアクティブマトリクス基板１０においては、走査信号線１６に送られる走査信号（ゲートＯＮ電圧）によってＴＦＴ１２がＯＮ（ソース電極９とドレイン電極８とが導通状態）状態となり、この状態においてデータ信号線１５に送られるデータ信号（信号電圧）が、ソース電極９、ドレイン電極８およびドレイン引き出し配線７を介して画素電極１７に書き込まれる。本アクティブマトリクス基板１０の各部の詳細は以下のとおりである。

【００４２】

画素電極１７には、液晶分子の配向を制御するためのスリット（液晶分子配向制御用スリット）５５が横Ｖ字形状（Ｖ字を９０度回転させた形状）に設けられている。これは、広視野角化を目的として、特に大型液晶ＴＶ等に用いられるＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）方式に用いられる構成である（例えば、特開２００１－８３５２３号公報参照）。このＭＶＡ方式は、アクティブマトリクス基板の画素電極にスリット（電極切除パターン）を設けるとともに、対向基板の対向電極に液晶分子配向制御用突起（リブ）を設け、これによって形成されるフリンジフィールド（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ）を利用するものである。このフリンジフィールドによって液晶分子の配向方向を複数方向に分散させることができ、広視野角が実現される。なお、スリット５５の（基板面垂直方向から見たときの）平面形状としては、図１に示すように、一定の周期でジグザクに屈曲した帯状等が考えられる。

【００４３】

保持容量（Ｃｓ）配線１８は、図１において、データ信号線１５と直交して（走査信号線１６に平行に）画素電極１７を横切るように形成されている。保持容量配線１８からは修正用配線１９が引き出され、また保持容量配線延伸部２０が延伸している。

【００４４】

修正用配線１９は、保持容量配線１８の中程（画素電極１７の中央部下付近）から斜めに引き出され、その端部が重畳部５７となっている。この重畳部５７において、ドレイン引き出し配線７の端部と修正用配線１９の端部とが重畳する。一方、保持容量配線延伸部２０は、データ信号線１５に沿って画素電極１７のエッジを跨ぐ（保持容量配線延伸部２０の一部が画素電極１７に重畳し、他の部分が重畳しない）ように形成されている。

【００４５】

ここで、保持容量配線１８と画素電極１７と両者間に位置する（層間）絶縁膜とによって保持容量が形成され、また、保持容量配線延伸部２０と画素電極１７と両者間に位置する（層間）絶縁膜とによって保持容量が形成される。なお、修正用配線１９と画素電極１７と両者間に位置する（層間）絶縁膜とによっても保持容量が形成される。これらの保持容量は、画素電極１７に次のデータ信号が入力されるまでの間、画素電極１７に書き込まれた電位を保持するための補助的な容量として機能する。

【００４６】

さらに、本アクティブマトリクス基板１０では、修正用配線１９がＴＦＴ不良の修正用として（後に詳述）、保持容量配線延伸部２０がデータ信号線１５および画素電極１７間

の電界の遮蔽あるいは低減用として利用される。

【００４７】

なお、修正用配線１９が保持容量配線１８から斜めに引き出されているのは、この修正用配線１９と、アクティブマトリクス基板１０の対向基板（対向電極）に設けられる液晶分子配向制御用突起（リブ）とを重畳させるためである。このように、遮光性の修正用配線１９を、同じく遮光性の配向制御用突起（リブ）下に形成することで、修正用配線１９による開口率低下を回避することができる。また、光漏れも防止できる。

【００４８】

ドレイン引き出し配線７は、重畳部５７（一方の端部）とドレイン電極８（もう一方の端部）との間に、コンタクト領域Ｃ１・Ｃ２を備える。このコンタクト領域Ｃ１にはコンタクトホール１１ａが形成され、このコンタクトホール１１ａ内においてドレイン引き出し配線７と画素電極１７とが接続される。また、コンタクト領域Ｃ２にはコンタクトホール１１ｂが形成され、このコンタクトホール１１ｂ内においてドレイン引き出し配線７と画素電極１７とが接続される。ここで、ドレイン引き出し配線７も、上記した対向基板（対向電極）の液晶分子配向制御用突起（リブ）と重畳するように形成されている。このように、遮光性のドレイン引き出し配線７を、同じく遮光性のリブ下に形成することで、ドレイン引き出し配線７による開口率低下を回避することができる。また、光漏れも防止できる。

【００４９】

図２は、図１のＴＦＴ１２の断面図である。同図に示すように、ガラス基板６０上にゲート電極を兼ねる走査信号線１６が形成され、このゲート電極上にゲート絶縁膜２３が形成される。このゲート絶縁膜２３上には半導体層（ｉ層）５０が形成され、この半導体層５０上に、ドレイン電極８およびソース電極９が形成される。このドレイン電極８上にはドレイン引き出し配線７が形成され、ソース電極９上にはデータ信号線１５が形成される。そして、ドレイン引き出し配線７上、ドレイン電極８およびソース電極９間、およびデータ信号線１５上にパッシベーション膜２６が形成されている。

【００５０】

図３は、図１の重畳部（５７）を含む断面図である。同図に示すように、ガラス基板６０上に修正用配線１９が形成され、この修正用配線１９上にゲート絶縁膜２３を介してドレイン引き出し配線７が形成される。この修正用配線１９とドレイン引き出し配線７とがゲート絶縁膜２３を介して重なる部分が重畳部５７である。本実施の形態では、上記重畳部５７の面積を約２００μｍ^{2}としており、ＴＦＴ１２に短絡等の不良が発生した場合に絶縁層（ゲート絶縁膜）２３を貫通させて修正用配線１９およびドレイン引き出し配線７を導通させることが可能である。

【００５１】

このように、重畳部５７の面積を約２００μｍ^{2}とすることで、イットリウムアルミニウムガーネット（ＹＡＧ）レーザ等にて絶縁膜の溶融加工を行う場合に、充分なレーザ照射領域が確保され、修正用配線１９とドレイン引き出し配線７との導通の信頼性を向上させることができる。また、フォトリソグラフィ工程でのアライメントずれによる重畳部の面積の変動、レーザ照射時におけるＹＡＧレーザの照射ビーム径の広がり、レーザ照射後の修正用配線１９やドレイン引き出し配線７の溶融箇所がテーパ状となる膜形状を考慮した場合には、重畳部の面積をある程度大きくすることがより好ましく、具体的には、４００μｍ^{2}以上であることがより好ましい。

【００５２】

ドレイン引き出し配線７上にはパッシベーション膜２６が形成される。なお、図１の場合は、重畳部５７がスリット５５に重ならないため、パッシベーション膜２６上に画素電極（ＩＴＯ）が形成される（この点、図示せず）。

【００５３】

以下に、本実施の形態におけるＴＦＴ不良（画素欠陥）の修正方法について説明する。

【００５４】

ＴＦＴ１２に不良があったものとして、これを修正した後のアクティブマトリクス基板を図４に示す。同図に示されるように、ＴＦＴ１２に不良が認められた場合、ドレイン引き出し配線７をドレイン電極８およびコンタクトホール１１ｂ間で断線させるとともに、重畳部５７においてゲート絶縁膜２３（図３参照）を貫通させ、修正用配線１９およびドレイン引き出し配線７を導通させる。これにより、修正用配線１９と画素電極１７とがドレイン引き出し配線の一部７ｒおよびコンタクトホール１１ａ・１１ｂを介して電気的に接続される。これにより、画素電極１７の電位を常に保持容量配線１８に等しくすることができ、ノーマリーブラックの液晶表示装置において黒点（輝点に比べて目立たない）とすることができる。上記断線箇所は、ドレイン電極８およびコンタクトホール１１ｂ（あるいはコンタクトホール１１ａ）間であればどこでも良い。もっとも、断線（切断）箇所を決定しておき、その箇所を予め細く形成する等、カットをし易くしておいても構わない。

【００５５】

ここで、ドレイン引き出し配線７を切断する際、その上部にＩＴＯ（画素電極１７）が存在しない方が、切断工程が容易である。そこで、図７のように、ドレイン引き出し配線７を、ドレイン電極８およびコンタクトホール１１ａ（１１ｂ）間においてスリット５５下を経由するように引き回しておき、このスリット５５の下で切断を行うことも可能である。また、図９のように、画素電極１７のエッジ部分に切り欠き部（あるいは刳り貫き部）６６を形成しておき、この下でドレイン引き出し配線７を切断することもできる。画素電極１７のエッジを対向基板のブラックマトリクス（図１０参照）と重畳させれば、切り欠き部６６による光漏れも防止できる。ここで、ブラックマトリクスはＴＦＴの遮光用のブラックマトリクスと兼用させることができるため、開口率の低下を抑制することができる。

【００５６】

ドレイン引き出し配線７のカットは、例えば、切断箇所に対してアクティブマトリクス基板１０の表面または裏面からレーザを照射することによって行われる（破壊分離）。使用するレーザ波長としては、例えば、ＹＡＧレーザの第４高調波（波長２６６ｎｍ）が挙げられる。一方、ドレイン引き出し配線７と修正用配線１９との導通（重畳部５７のメルト）には、導通箇所（重畳部５７）に対してアクティブマトリクス基板１０の表面または裏面からレーザを照射することによって行われる。使用するレーザ波長としては、例えば、ＹＡＧレーザの第２高調波（波長５３２ｎｍ）が挙げられる。

【００５７】

アクティブマトリクス基板の欠陥は、外観検査や電気的検査などによって特定できる。この電気的検査の一例として、結晶を電界中に設置すると電界強度に応じて結晶の光透過率が変化するという電気光学効果を応用した手法がある。すなわち、電界強度に応じて透過率が線形的に変化するモデュレータの一面に透明電極が形成され、その反対面は光が反射するように反射面が形成されている。モデュレータは、この反射面側がアクティブマトリクス基板１０と対向するように設置され、モデュレータの電極側から照射された光は、モデュレータ内を透過し、前記反射面で反射される。この反射光をＣＣＤ（電荷結合素子：Ｃｈａｒｇｅ　Ｃｏｕｐｌｅｄ　Ｄｅｖｉｃｅｓ）カメラで受光する。この反射光の強度に基づいて、アクティブマトリクス基板の欠陥箇所を特定する。また、外観検査の一例としては、パターン認識により隣接する絵素同士でパターンを比較し、差のある場合に欠陥と判定する方法がある。

【００５８】

なお、アクティブマトリクス基板の欠陥修正は、少なくとも画素電極を形成した後に行うことができ、ドレイン引き出し配線７形成後、チャネルエッチング後に行うこともできる。ただ、リークしているチャネルを確実に電気的に切り離し、迂回経路を形成するには、パネル点灯確認ができる液晶層形成後（アクティブマトリクス基板とカラーフィルタ基板とを貼り合わせ、液晶を注入・封止し、液晶パネル状態にした後）の方がより好ましい。

【００５９】
以下、本アクティブマトリクス基板の製造方法の一例について説明する。本実施の形態では、ガラス、プラスチック等の透明絶縁性基板６０上に、走査信号線１６に接続されたゲート電極が設けられる。ただし、本実施の形態では走査信号線上１６にＴＦＴ１２が設けられているため、走査信号線１６がＴＦＴ１２のゲート電極として機能している。走査信号線１６（ゲート電極）は、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属膜、それらの合金膜、あるいはそれらの積層膜を１０００Å～３０００Åの膜厚でスパッタリング法等の方法にて成膜し、これをフォトエッチング法等にて必要な形状にパターニングすることで形成される。

【００６０】
また、走査信号線１６（ゲート電極）の形成と同一工程にて保持容量配線１８、修正用配線１９、保持容量配線延伸部２０が形成される。このように同一工程にて形成することで、製造工程の短縮及び製造コストの低減が可能になる。修正用配線１９および保持容量配線延伸部２０は、後工程にて上層に形成されるドレイン引き出し配線７と重なるように形成しておく。

【００６１】
さらに、本実施の形態では、走査信号線１６（ゲート電極）、保持容量配線１８、修正用配線１９および保持容量配線延伸部２０上を覆うようにゲート絶縁膜２３が設けられている。ゲート絶縁膜２３は、窒化シリコンや酸化シリコン等の絶縁膜により形成される。その上には走査信号線１６（ゲート電極）と重なるように、アモルファスシリコンやポリシリコン等からなる高抵抗半導体層５０が設けられ、さらにオーミックコンタクト層として、ソース電極９およびドレイン電極８となる、リン等の不純物をドープしたn^+アモルファスシリコン等からなる低抵抗半導体層が設けられる。これら窒化シリコンや酸化シリコン等のゲート絶縁膜２３、アモルファスシリコン等の高抵抗半導体層５０、n^+アモルファスシリコン等の低抵抗半導体層（８・９）は、それぞれプラズマＣＶＤ（化学的気相成長）法等により成膜され、フォトエッチング法等によりパターン形成される。

【００６２】
本実施の形態では、例えば、ゲート絶縁膜２３としての窒化シリコン膜の膜厚を３０００Å～５０００Å程度、高抵抗半導体層５０としてのアモルファスシリコン膜の膜厚を１０００Å～３０００Å程度、低抵抗半導体層（８・９）としてn^+アモルファスシリコン膜の膜厚を４００Å～７００Å程度とした。

【００６３】
データ信号線１５およびドレイン引き出し配線７は同一工程により形成される。データ信号線１５およびドレイン引き出し配線７は、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属膜、それらの合金膜、あるいはそれらの積層膜を１０００Å～３０００Åの膜厚でスパッタリング法等の方法にて形成し、フォトエッチング法等にて必要な形状にパターン形成することで形成される。ＴＦＴ１２は、アモルファスシリコン膜等の高抵抗半導体層５０、n^+アモルファスシリコン膜等の低抵抗半導体層８・９に対して、データ信号線１５およびドレイン引き出し配線７のパターンをマスクにし、ドライエッチングにてチャネルエッチングを行うことで形成する。

【００６４】
本実施形態では、パッシベーション膜２６（層間絶縁膜）として、窒化シリコン、酸化シリコン等の無機絶縁膜、が設けられる。例えば、プラズマＣＶＤ法等により成膜した２０００Å～５０００Å程度の膜厚の窒化シリコン膜を用いることができる。

【００６５】
本実施の形態では、コンタクトホール１１（１１ａ・１１ｂ）は、ＴＦＴ１２、走査信号線１６、データ信号線１５、ドレイン引き出し配線７の上部を覆うように形成されたパッシベーション膜２６を貫いて形成されている。コンタクトホール１１は、フォトエッチング法等にて必要な形状にパッシベーション膜２６をパターニングすることで形成される。

【００６６】
本実施の形態では、画素電極１７は、パッシベーション膜２６の上層に形成され、例えば、ＩＴＯ、ＩＺＯ、酸化亜鉛、酸化スズ等の透明性を有する導電膜を、スパッタリング法等により１０００Å～２０００Å程度の膜厚で成膜し、これをフォトエッチング法等にて必要な形状にパターニングすることで形成される。
【００６７】
本アクティブマトリクス基板１０を液晶パネル化したときの構成を図１０に示す。同図に示すように、本アクティブマトリクス基板１０を備える液晶パネル８０は、バックライト光源側から順に、偏光板８１、本アクティブマトリクス基板１０、配向膜８２、液晶層８３、カラーフィルタ基板８４、および偏光板８５を備える。カラーフィルタ基板８４は、液晶層８３側から順に、配向膜８５、共通（対向）電極８６、着色層８７（ブラックマトリクス９９を含む）、ガラス基板８８を備える。そして、この共通（対向）電極８６に液晶分子配向制御用突起（リブ）８６ｘが設けられている。液晶分子配向制御用突起８６ｘは、例えば、感光性樹脂等により形成される。リブ８６ｘの（基板面垂直方向から見たときの）平面形状としては、一定の周期でジグザクに屈曲した帯状（横Ｖ字形状）等が挙げられる。
【００６８】
ここで、液晶パネル化する際の、アクティブマトリクス基板とカラーフィルタ基板との間に液晶を封入する方法を説明しておく。液晶の封入方法については、基板周辺に液晶注入のため注入口を設けておいて真空で注入口を液晶に浸し、大気開放することによって液晶を注入した後ＵＶ硬化樹脂などで注入口を封止する、真空注入法などの方法で行ってもよい。しかしながら、垂直配向の液晶パネルでは、水平配向パネルに比べ注入時間が非常に長くなることから、以下に示す液晶滴下貼り合せ法を用いることが好ましい。まず、アクティブマトリクス基板の周囲にＵＶ硬化型シール樹脂を塗布し、カラーフィルタ基板に滴下法により液晶の滴下を行う。液晶滴下法により液晶によって所望のセルギャップとなるよう最適な液晶量をシールの内側部分に規則的に滴下する。次に、上記のようにシール描画および液晶滴下を行ったカラーフィルタ基板とアクティブマトリクス基板とを貼合せるため、貼り合わせ装置内の雰囲気を１Ｐａまで減圧し、この減圧下において基板の貼合せを行う。その後、雰囲気を大気圧にしてシール部分を押しつぶし、所望のセルギャップを得る。ついでＵＶ照射によってシール樹脂を仮硬化した後、シール樹脂の最終硬化を行うためにベークを行う。この時点でシール樹脂の内側に液晶が行き渡り液晶がセル内に充填された状態となる。そして、ベーク完了後にパネル単位への分断を行い、偏光板を貼り付ける。以上により、図１０に示すような液晶パネルが完成する。
【００６９】
本実施の形態では、アクティブマトリクス基板を図５のように構成することも可能である。すなわち、１つの画素Ｐの中に２つの副画素Ｐ１・Ｐ２を設ける。副画素Ｐ１において、ＴＦＴ１２ａと、ＴＦＴ１２ａのドレイン電極に接続するドレイン引き出し配線７ａと、画素電極１７ａと、保持容量配線１８ａとが設けられるとともに、画素電極１７ａがコンタクトホール１１ａ・１１ｂを介してドレイン引き出し配線７ａに接続され、かつ、保持容量配線１８ａから引き出された修正用配線１９ａとドレイン引き出し配線７ａとが絶縁層を介して重畳する重畳部５７ａが設けられる。また、副画素Ｐ２において、ＴＦＴ１２ｂと、ＴＦＴ１２ｂのドレイン電極に接続するドレイン引き出し配線７ｂと、画素電極１７ｂと、保持容量配線１８ｂとが設けられるとともに、上記画素電極１７ｂがコンタクトホール１１ｘ・１１ｙを介してドレイン引き出し配線７ｂに接続され、かつ、保持容量配線１８ｂから引き出された修正用配線１９ｂとドレイン引き出し配線７ｂとが絶縁層を介して重畳する重畳部５７ｂが設けられる。なお、ＴＦＴ１２ａ・１２ｂのゲート電極は、ともに走査信号線１６が兼ねている。
【００７０】
ここで、保持容量配線１８aは、画素電極１７ａの、走査信号線１６の反対側にあってデータ信号線１５と直角をなすエッジに重畳するように形成され、修正用配線１９ａは、

保持容量配線１８aにおけるデータ信号線１５との交差部分近傍から、画素電極１７ａ内に横Ｖ字（Ｖ字を９０度回転させた形状）を描くように引き出され、その端部が重畳部５７ａとなっている。また、保持容量配線１８ｂは、画素電極１７ｂの、走査信号線１６の反対側にあってデータ信号線１５と直角をなすエッジに重畳するように形成され、修正用配線１９ｂは、保持容量配線１８ｂにおけるデータ信号線１５との交差部分近傍から、画素電極１７ｂ内に横Ｖ字（Ｖ字を９０度回転させた形状）を描くように引き出され、その端部が重畳部５７ｂとなっている。

【００７１】

図５のような構成は、マルチ画素構造と呼ばれる。このような２以上の副画素により画素を構成することで、画素欠陥が発生し修正を行っても、正常画素の割合の低下が抑えられる。本構成によれば、例えば３７インチ９６０×５４０ドットの表示装置の場合、１画素サイズは２８４μｍ×８５４μｍであるが、２つの副画素から構成すれば１画素サイズはその２分の１となり、正常画素の割合の低下を抑えることができる。

【００７２】

このマルチ画素構造が適用される場合には、副画素Ｐ１・Ｐ２の輝度が互いに異なるように駆動することが好ましい。こうすれば、１つの画素内に明るい副画素および暗い副画素の両方が存在するため、面積階調によって中間調を表現することができ、液晶ディスプレイ画面の斜め視角における白浮きを改善できる。

【００７３】

このマルチ画素構成においては、１つの画素Ｐに、互いに逆の位相の信号電圧が印加される２以上の保持容量配線（１８ａ・１８ｂ）が設けられる。そして、各保持容量配線（１８ａ・１８ｂ）は、異なる副画素（Ｐ１・Ｐ２）の画素電極（１７ａ・１７ｂ）と絶縁層を介して重畳する。これにより、明るい副画素および暗い副画素を形成することができる。なお、各保持容量配線（１８ａ・１８ｂ）に印加される互いに逆の位相の信号電圧とは、複数の副画素を有する画素において、面積階調を操作するために用いられるＣｓ波形電圧のことを意味し、ゲート信号のオフ後に、容量結合を行うタイミングで、ソースから供給されるドレイン信号電圧（Ｖｓ）の突き上げに寄与するＣｓ波形電圧（Ｃｓ極性が＋）と、Ｖｓの突き下げに寄与するＣｓ波形電圧（Ｃｓ極性が－）との２種類がある。このようなマルチ画素構造（面積階調技術）においては、Ｃｓ波形電圧、Ｃｓ容量及び液晶容量の容量結合により、画素への実効電圧を副画素毎に変えて明・暗の副画素を形成させ、これらのマルチ駆動を実現することができる。なお、マルチ画素構造（面積階調技術）については、例えば、特開２００４－６２１４６号公報等に詳細が開示されている。

【００７４】

なお、マルチ画素構造にする場合、例えば、明るい副画素の面積が暗い副画素の面積と等しい１：１画素分割構造や、明るい副画素の面積が暗い副画素の面積の１／３である１：３画素分割構造等が挙げられる。中でも、１：３画素分割構造が液晶ディスプレイ画面の斜め視角における白浮き対策（視野角改善）として特に有効である。

【００７５】

なお、明るい副画素をＰ１、暗い副画素をＰ２として、暗い副画素Ｐ２のＴＦＴ１２ｂにてチャネルリークした場合は、明るい副画素Ｐ１よりも比較的欠陥として認識されにくい。したがって、明るい副画素Ｐ１のみに修正用配線１９ａとドレイン引き出し配線７ａとが重なる部分５７ａを設け（すなわち、図５において、画素Ｐ２には重畳部５７ｂを設けない）、欠陥画素修正を実施するようにしても構わない。こうすれば、画素欠陥修正工程を削減でき、また、開口率の低下を抑えることもできる。

【００７６】

本実施の形態では、アクティブマトリクス基板を図６のように構成することも可能である。すなわち、修正用配線１９を画素電極１７のスリット５５に重なるように形成する。このように、画素電極スリット５５下に画素電極１７と異なる電位の修正用配線１９を配設することで、スリット５５におけるフリンジフィールド効果がより効果的に発現し、液晶の配向規制力が向上する。また、光漏れも防止できる。さらに、開口率に寄与しないス

リット５５の下に遮光性の修正用配線１９を形成することで、修正用配線１９による開口率低下を回避することができる。この場合、図１４のように、画素電極１７のスリット５５のできるだけ多くの部分の下（好ましくはスリット５５の下すべて）に保持容量配線１８の延伸部２１を設けておけば、一層効果的である。

【００７７】

さらに、図６のように、ドレイン引き出し配線７の（できるだけ多くの部分）を画素電極１７のスリット５５に重なるように形成することが好ましい。こうすれば、開口率に寄与しない液晶分子配向制御用スリット５５の下に遮光性のドレイン引き出し配線７を形成することで、ドレイン引き出し配線７による開口率低下を回避することができる。また、光漏れも防止できる。また、トランジスタ１２に動作不良が発生した場合に、ドレイン引き出し配線７を、液晶分子配向制御用スリット５５との重畳部分（すなわち、上に画素電極１７がない部分）で切断することが可能となり、切断工程が容易となる。

【００７８】

本実施の形態では、アクティブマトリクス基板を図８のように構成することも可能である。すなわち、コンタクト領域Ｃ１（のドレイン引き出し配線７）に、図中上下方向を長手方向とする長方形形状の刳り貫き部５ａ（電極非形成領域）を設ける。そして、ドレイン引き出し配線７と画素電極１７との間に配される絶縁膜（図示せず）に、上記刳り貫き部５ａとその中程部分で略直角に交差する、図中左右方向を長手方向とする長方形形状の穴を設ける。これにより、上記絶縁膜の穴がホール開口部となって、コンタクトホール１１ａが形成され、このコンタクトホール１１ａ内においてドレイン引き出し配線７と画素電極１７とが接続される。また、コンタクト領域Ｃ２（のドレイン引き出し配線７）に、図中左右方向を長手方向とする長方形形状の刳り貫き部５ｂ（電極非形成領域）を設ける。そして、ドレイン引き出し配線７と画素電極１７との間に配される絶縁膜（図示せず）に、上記刳り貫き部５ｂとその中程部分で略直角に交差する、図中上下方向を長手方向とする長方形形状の穴を設ける。これにより、上記絶縁膜の穴がホール開口部となって、コンタクトホール１１ｂが形成され、このコンタクトホール１１ｂ内においてドレイン引き出し配線７と画素電極１７とが接続される。このように、光が透過しないドレイン引き出し配線７に電極が形成されていない刳り貫き部５ａ・５ｂ（光透過部）を設けることで、光透過率（開口率）を向上させることができる。加えて、コンタクトホール１１を、その開口部が上記刳り貫き部５と交差する延伸形状となるように形成しているため、製造工程（フォトリソグラフ等）での位置ずれに強く、電極領域および画素電極間のコンタクト面積の変動（減少）を回避あるいは大幅に抑えることができる。この図８の構成は、ドレイン引き出し配線７のコンタクト領域が、画素電極１７のスリット５５や液晶分子配向制御用突起（リブ）の下に形成しない（できない）場合に特に好適といえる。

【００７９】

本実施の形態では、図１に示すように、重畳部５７の形状を四角形としているがこれに限定されない。例えば、円形、三角形、半円形、台形等であってもよい。すなわち、修正用配線１９の一部が、ゲート絶縁膜２３を介してドレイン引き出し配線７のパターンに重なるように設けられ、少なくともレーザ照射用の領域が確保されていれば良い。また、重畳部５７の配置場所も特に限定されるものではない。また、保持容量配線１８、修正用配線１９、あるいは保持容量配線延伸部２０の形成位置も上記した各構成に限定されない。

【００８０】

上記実施の形態で得られるアクティブマトリクス基板と、アクティブマトリクス基板の各画素に対応するようにマトリクス状に設けられた赤、緑、青のうちのいずれか１つの着色層と、各着色層の間に設けられた遮光性のブラックマトリクスからなるように形成されたカラーフィルタ基板を貼り合わせ、液晶を注入・封止することで、液晶表示パネルが形成される（図１０参照）。この液晶パネルにドライバ（液晶駆動用ＬＳＩ）等を接続し、偏光板やバックライトを装着することで本発明の液晶表示装置が形成される。

【００８１】

この液晶表示装置を適用したテレビジョン受信機について、図１１～図１３を参照しな

がら以下に説明する。

【００８２】

図１１は、テレビジョン受信機用における液晶表示装置６０１の回路ブロックである。液晶表示装置６０１は、図１１に示すように、Ｙ／Ｃ分離回路５００、ビデオクロマ回路５０１、Ａ／Ｄコンバータ５０２、液晶コントローラ５０３、液晶パネル５０４、バックライト駆動回路５０５、バックライト５０６、マイコン５０７、階調回路５０８を備えた構成となっている。上記構成の液晶表示装置６０１において、まず、テレビ信号の入力映像信号は、Ｙ／Ｃ分離回路５００に入力され、輝度信号と色信号に分離される。輝度信号と色信号はビデオクロマ回路５０１にて光の３原色である、Ｒ、Ｇ、Ｂ に変換され、さらに、このアナログＲＧＢ信号はＡ／Ｄコンバータ５０２により、デジタルＲＧＢ信号に変換され、液晶コントローラ５０３に入力される。液晶パネル５０４では液晶コントローラ５０３からのＲＧＢ信号が所定のタイミングで入力されると共に、階調回路５０８からのＲＧＢそれぞれの階調電圧が供給され、画像が表示されることになる。これらの処理を含め、システム全体の制御はマイコン５０７が行うことになる。なお、映像信号として、テレビジョン放送に基づく映像信号、カメラにより撮像された映像信号、インターネット回線を介して供給される映像信号など、様々な映像信号に基づいて表示可能である。

【００８３】

さらに、本テレビジョン受像機は、図１２に示すように、チューナ部６００と液晶表示装置６０１を備えており、チューナ部６００はテレビジョン放送を受信して映像信号を出力し、液晶表示装置６０１はチューナ部６００から出力された映像信号に基づいて画像（映像）表示を行う。

【００８４】

また、本テレビジョン受信機は、例えば、図１３に示すように、液晶表示装置６０１を第１筐体３０１と第２筐体３０６とで包み込むようにして挟持した構成となっている。第１筐体３０１は、液晶表示装置６０１で表示される映像を透過させる開口部３０１ａが形成されている。また、第２筐体３０６は、液晶表示装置６０１の背面側を覆うものであり、該液晶表示装置６０１を操作するための操作用回路３０５が設けられるとともに、下方に支持用部材３０８が取り付けられている。

【００８５】

表示装置としては、図１１に示した液晶表示装置を適用できるが、有機EL表示装置などの他の表示装置でも適用可能である。

【００８６】

なお、本発明は液晶表示装置に限定されるものではなく、例えば、カラーフィルタ基板と、カラーフィルタ基板と対向するように本発明のアクティブマトリクス基板を配置し、それら基板と基板との間に有機ＥＬ層を配置することで有機ＥＬパネルとし、パネルの外部引き出し端子にドライバ等を接続することにより有機ＥＬ表示装置を構成することも可能である。また、液晶表示装置や有機ＥＬ表示装置以外であっても、アクティブマトリクス基板で構成される表示装置であれば、本発明は適用可能である。

【産業上の利用可能性】

【００８７】

本発明のアクティブマトリクス基板は、例えば液晶テレビに好適である。

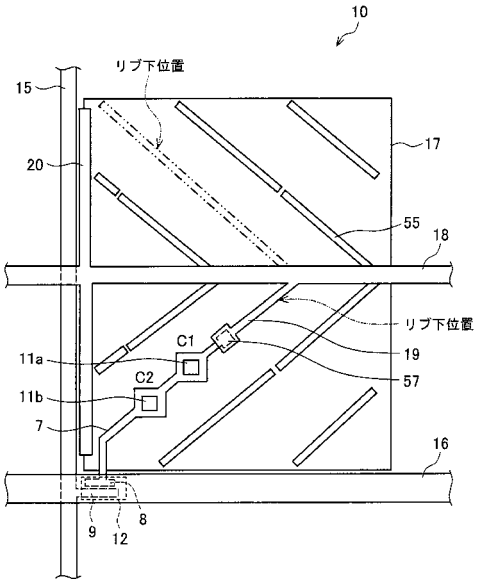
【符号の説明】

【００８８】

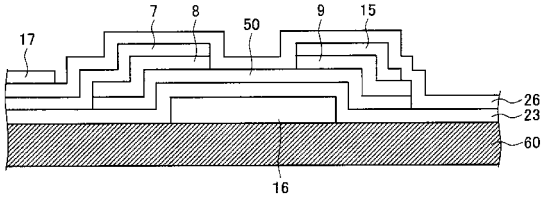
５　刳り貫き部
７　ドレイン引き出し配線（引き出し配線）
８　ドレイン電極
１０　アクティブマトリクス基板
１１　コンタクトホール
１８・１８ａ・１８ｂ　保持容量配線
１９　修正用配線

２０　保持容量配線延伸部
１２　ＴＦＴ
１５　データ信号線
１６　走査信号線
１７　画素電極
５５　スリット
５７　重畳部
６６　切り欠き部
８６ｘ　液晶分子配向制御用突起
９９　ブラックマトリクス

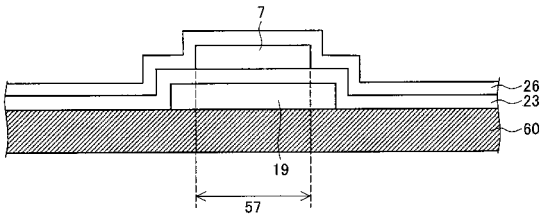
【図１】



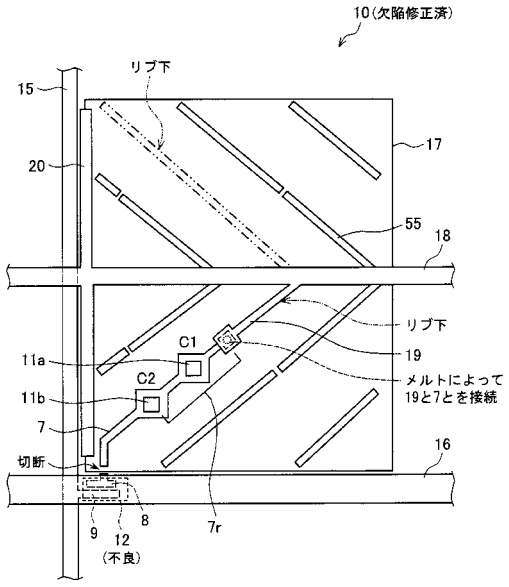
【図２】



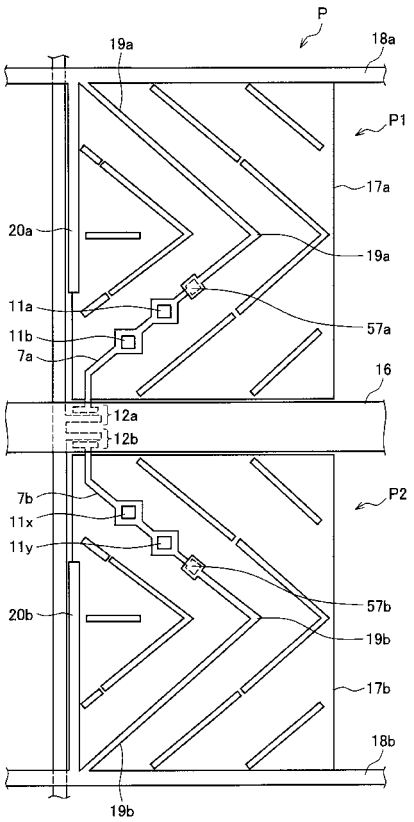
【図３】



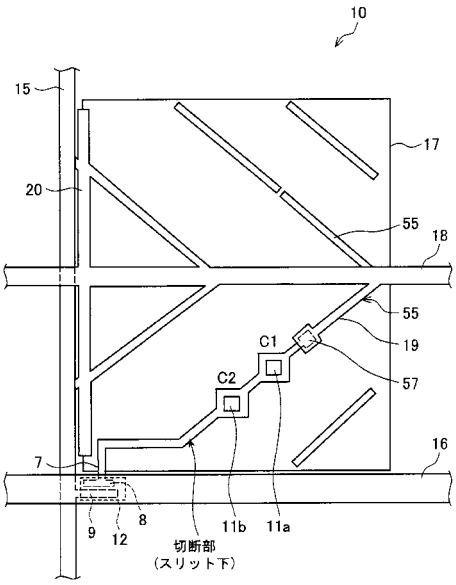
【図４】



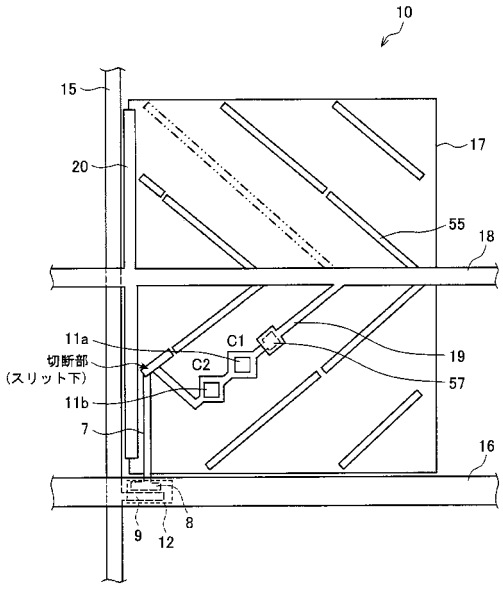
【図５】


P
19a
18a
P1
17a
20a
19a
11a
11b
7a
57a
16
12a
12b
7b
11x
11y
P2
20b
57b
19b
17b
18b
19b

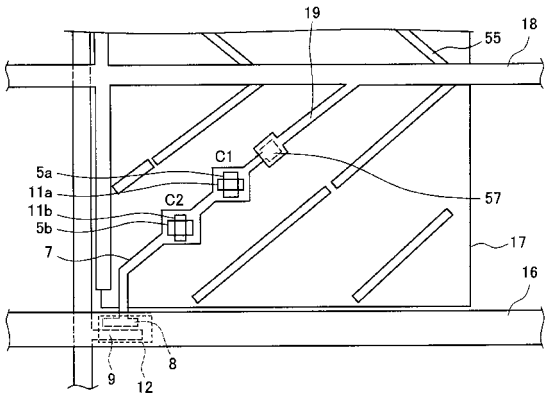
【図６】


10
15
17
20
55
18
55
19
C1
57
C2
16
7
9
12
8
11b
11a
切断部
(スリット下)

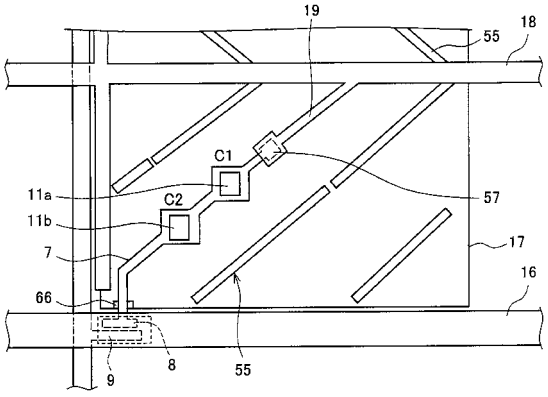
【図７】


10
15
17
20
55
18
11a
切断部
(スリット下)
C1
C2
19
57
11b
7
16
9
12
8

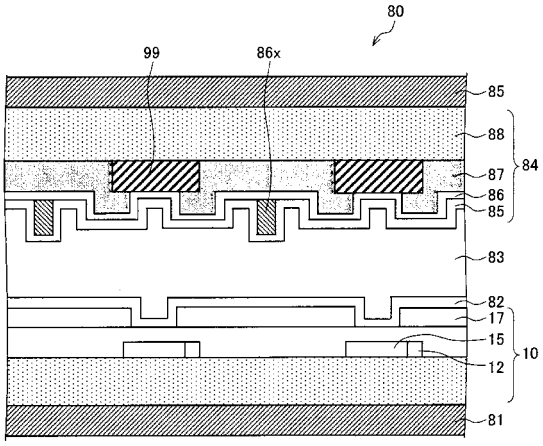
【図８】


19
55
18
5a
11a
11b
5b
7
C1
C2
57
17
16
9
12
8

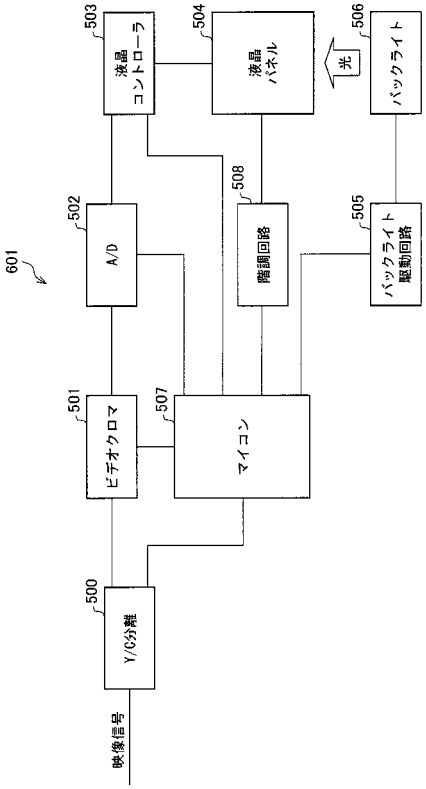
【図９】


19
55
18
11a
11b
7
66
C1
C2
57
17
16
9
8
55

【図１０】

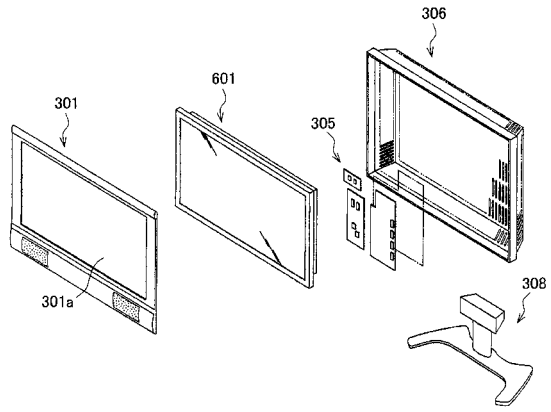


【図１１】

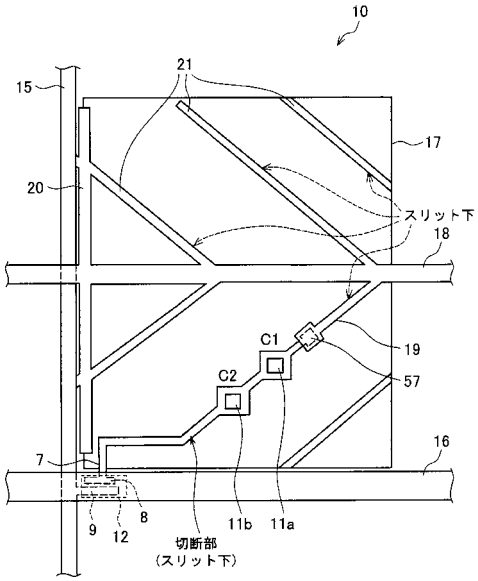


【図１２】

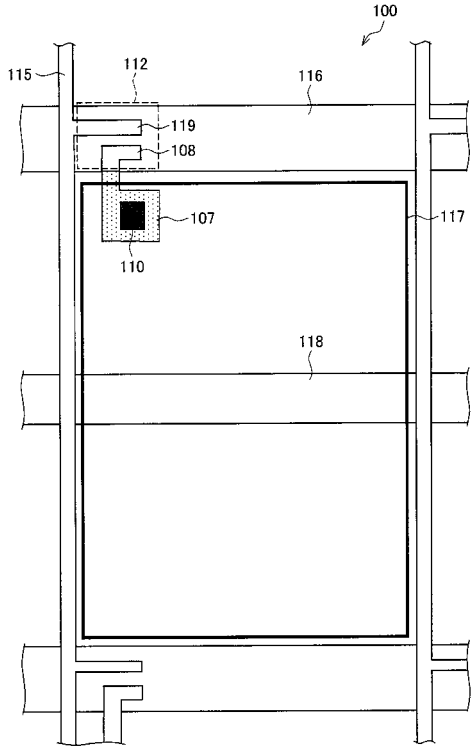
【図１３】



【図１４】



【図１５】



フロントページの続き

(72)発明者　杉原　利典
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内

審査官　請園　信博

(56)参考文献　特開平１１－０５２４１８（ＪＰ，Ａ）
特許第３４９１０７９（ＪＰ，Ｂ２）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０９Ｆ　９／００　－　９／３０
９／３０７　－　９／４６
Ｈ０１Ｌ　２７／３２
Ｇ０２Ｆ　１／１３４３－　１／１３４５
１／１３５　－　１／１３６８

专利名称(译)	有源矩阵基板，液晶面板，液晶显示装置，电视接收器		
公开(公告)号	JP5154503B2	公开(公告)日	2013-02-27
申请号	JP2009109976	申请日	2009-04-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英 岡田美広 伴厚志 杉原利典		
发明人	津幡 俊英 岡田 美広 伴 厚志 杉原 利典		
IPC分类号	G09F9/30 G02F1/1343		
CPC分类号	G02F1/136259 G02F1/133707 G02F2001/136263 G02F2001/136268 H01L27/124 H01L27/1255 H01L2924/19041		
FI分类号	G09F9/30.338 G02F1/1343		
F-TERM分类号	2H092/GA24 2H092/GA61 2H092/JA24 2H092/JB62 2H092/JB66 2H092/JB69 2H092/JB73 2H092/NA29 2H092/NA30 2H092/PA06 5C094/AA03 5C094/AA22 5C094/AA32 5C094/AA42 5C094/AA43 5C094/AA46 5C094/AA53 5C094/BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DA15 5C094/DB04 5C094/DB10 5C094/EA04 5C094/EA05 5C094/EA10		
审查员(译)	请园 信博		
优先权	2005373485 2005-12-26 JP		
其他公开文献	JP2009169436A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于校正薄膜晶体管（TFT）故障的有源矩阵基板（例如，源电极和漏电极之间的短路），执行高速显示并抑制功耗。ΣSOLUTION：有源矩阵基板包括晶体管，与晶体管的电流流动电极之一连接的像素电极;存储电容器布线;从晶体管的一个电流流动电极延伸的引线;以及从存储电容器布线延伸的修复布线。修复布线与引线之间的一部分重叠，绝缘层介于它们之间。Ž

【図４】