

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4881475号
(P4881475)

(45) 発行日 平成24年2月22日 (2012. 2. 22)

(24) 登録日 平成23年12月9日 (2011. 12. 9)

(51) Int. Cl.

F I

G 0 9 F 9/30 (2006. 01)

G 0 9 F 9/30 3 3 8

G 0 2 F 1/1368 (2006. 01)

G 0 2 F 1/1368

請求項の数 2 (全 23 頁)

(21) 出願番号 特願2010-507127 (P2010-507127)
 (86) (22) 出願日 平成21年2月4日 (2009. 2. 4)
 (86) 国際出願番号 PCT/JP2009/000430
 (87) 国際公開番号 W02009/125532
 (87) 国際公開日 平成21年10月15日 (2009. 10. 15)
 審査請求日 平成22年7月2日 (2010. 7. 2)
 (31) 優先権主張番号 特願2008-103531 (P2008-103531)
 (32) 優先日 平成20年4月11日 (2008. 4. 11)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (72) 発明者 上田 修義
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 飯田 宏之
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板及び液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に規定された複数の画素領域と、
 上記各画素領域の間に互いに平行に延びるように設けられた複数のソース線と、
 上記各画素領域の間に上記各ソース線と交差する方向に互いに平行に延びるように設けられた複数のゲート線と、
 上記各ゲート線の間にそれぞれ延びるように設けられた複数の補助容量線と、
 上記各画素領域毎に設けられ、各々、対応する上記ゲート線に電氣的に接続されたゲート電極、該ゲート電極に重なるように設けられた半導体層、上記ゲート電極及び上記半導体層に重なるように設けられて対応する上記ソース線に電氣的に接続されたソース電極、
上記ゲート電極端を跨いで該ゲート電極及び上記半導体層に重なるように設けられたドレイン電極、及び上記ゲート電極を覆い該ゲート電極と上記ドレイン電極との間に設けられた絶縁膜を有する複数の薄膜トランジスタと、
 上記各薄膜トランジスタのドレイン電極と同一の層において、上記各補助容量線に沿って延びると共に該各補助容量線に重なるように上記各画素領域にそれぞれ設けられた補助容量電極とを備えるアクティブマトリクス基板であって、
 上記各補助容量線は、上記絶縁膜によって覆われ、上記ゲート線に沿って延びるように設けられた容量幹線と、上記各画素領域毎に上記容量幹線から両側方に突出するように一組だけ設けられた一対の容量支線とを有し、
上記一対の容量支線は、各々、上記ソース線及びゲート線に対して斜め方向に延び、一

10

20

端側が上記容量幹線に接続されると共に、他端側に向かうに連れて上記容量幹線から離間するように且つ同一のソース線側に接近するように形成され、

上記各画素領域の補助容量電極は、上記容量幹線及び各容量支線に沿って延びると共に該容量幹線及び各容量支線に上記絶縁膜を介して重なるように設けられており、

上記一对の容量支線に沿う各補助容量電極部分において、上記ドレイン電極が上記ゲート電極端を跨いで該ゲート電極の外側から内側に入る方向の一方側の側端は上記容量支線の内側に配置されていると共に、上記ドレイン電極が上記ゲート電極端を跨いで該ゲート電極の内側から外側に出る方向の他方側の側端は上記容量支線の外側に配置されていることを特徴とするアクティブマトリクス基板。

【請求項 2】

10

請求項 1 に記載のアクティブマトリクス基板と、

上記アクティブマトリクス基板に対向して配置された対向基板と、

上記アクティブマトリクス基板と上記対向基板との間に設けられた液晶層とを備えることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板及び液晶表示装置に関するものである。

【背景技術】

【0002】

20

従来から、液晶表示装置は、薄型で低消費電力であるという特徴を生かして、テレビやパーソナルコンピュータ等の身近な機器に限らず、計測機器、医療機器及び産業機器全般の表示装置として広く使用されている。この液晶表示装置として、画像表示の最小単位である画素毎に薄膜トランジスタ (Thin Film Transistor、以下、TFT と称する) が設けられ、精細な画像表示が可能なアクティブマトリクス駆動方式の液晶表示装置が知られている。

【0003】

アクティブマトリクス駆動方式の液晶表示装置は、複数の上記 TFT 等が設けられたアクティブマトリクス基板と、アクティブマトリクス基板に対向して配置されて共通電極等が形成された対向基板と、これらアクティブマトリクス基板と対向基板との間に設けられた液晶層とを備えている。

30

【0004】

図 17 は、従来のアクティブマトリクス基板の一部を概略的に示す平面図である。

【0005】

アクティブマトリクス基板には、図 17 に示すように、互いに平行に延びる複数のソース線 100 と、互いに平行に延びる複数のゲート線 101 とが交差するように設けられている。そして、アクティブマトリクス基板には、これら各ソース線 100 と各ゲート線 101 との交差部付近に各 TFT 102 が設けられ、それら各 TFT 102 を覆う絶縁膜 (図示省略) に形成された各コンタクトホール 103 を介して各 TFT 102 にそれぞれ電氣的に接続された複数の画素電極 104 (透過して図示) がマトリクス状に形成されている。

40

【0006】

さらに、このアクティブマトリクス基板には、各ゲート線 101 の間に延びるように複数の補助容量線 105 が設けられている。これら各補助容量線 105 上には、各 TFT 102 のドレイン電極 106 とそれぞれ一体に形成された複数の補助容量電極 107 が設けられており、互いに重なる各補助容量線 105 と補助容量電極 107 との間に各画素電極 104 に書き込まれた電位を保持するための補助容量が構成されている。

【0007】

図 18 に、ゲート線、ソース線及び画素電極にそれぞれ印加される信号パターンの関係を示す。図 18 に示すように、ゲート線に電位 V_{gh} が印加されると、そのゲート線に接

50

続されたTFTがオン状態になり、そのTFTに接続されたソース線に印加されている電位 V_s がドレイン電極を介して画素電極に印加される。このとき、画素電極の電位 V_{p0} はソース線の電位と同じ V_s まで書き込まれるが、ゲート線に電位 V_{g1} が印加されると画素電極の電位が降下して書き込み終了時の電位 V_{p0} に対して差分 ΔV_{gd} が生じる。この画素電極の電位の降下による差分 ΔV_{gd} は、各画素におけるドレイン電極とゲート電極との間の寄生容量によって生じ、フィードスルー電圧と呼ばれる。このフィードスルー電圧 ΔV_{gd} が各画素において異なる場合には、輝度ムラやフリッカ等の表示不良が視認されやすくなる。

【0008】

フィードスルー電圧 ΔV_{gd} は以下の式で簡易的に表される。尚、 V_{gpp} は V_{gh} と V_{g1} との差($V_{gh} - V_{g1}$)を、 C_{gd} はゲート電極とドレイン電極との間の寄生容量を、 C_s は補助容量を、 C_{lc} は液晶容量をそれぞれ示している。

【0009】

$$\Delta V_{gd} = V_{gpp} \times C_{gd} / (C_{lc} + C_s + C_{gd})$$

ところで、近年、テレビ等の表示画面を大型化することが要請されていることから、アクティブマトリクス基板が大型化している。アクティブマトリクス基板を作製するには、一般に、フォトリソグラフィーによって各配線や各電極等をパターン形成する。大型のアクティブマトリクス基板を作製する際のフォトリソグラフィーでは、ガラス基板上に塗布されたレジストをフォトマスクを介して露光する露光処理として、当該ガラス基板よりも小さいフォトマスクをガラス基板上に配置し、ガラス基板を段階的に移動させて、必要に応じてフォトマスクを交換しながら複数のショットに分割して露光するステップ分割露光方式の露光処理が行われる。

【0010】

このステップ分割露光方式の露光処理では、複数のショットに分割してガラス基板上のレジストを露光するため、各ショットで露光されるガラス基板上の領域毎に規定された複数のブロック間において、比較的高いアライメント精度の露光が求められる。仮に、各ブロックにおいて露光装置のアライメントずれが生じた場合には、各配線、各電極及び半導体層等の配置関係が各ブロック間で異なるため、ゲート電極とドレイン電極との重なり面積で決定される寄生容量 C_{gd} が各ブロック間で異なる。その結果、各ブロック間でフィードスルー電圧に差が生じ、表示画面において各ブロック間に輝度分かれが視認されやすくなる。

【0011】

そこで、特許文献1に開示された液晶表示装置では、TFTにおける半導体層及びこれに重なるドレイン電極のゲート電極端を跨ぐ部分の幅をTFTのチャンネル幅であるドレイン電極の幅よりも狭くすることにより、各ブロック間において上記チャンネル幅に垂直な方向へのアライメントずれによって生じるゲート電極とドレイン電極との重なり面積の差を小さくしている。

【特許文献1】特許第3881160号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかし、特許文献1の液晶表示装置であっても、ドレイン電極を形成する際の露光処理において、各ブロック間で露光装置のアライメントずれが生じた場合には、ドレイン電極に一体に形成された補助容量電極と補助容量線との配置関係もゲート電極とドレイン電極との配置関係と共に各ブロック間で異なるため、補助容量電極と補助容量線との重なり面積で決定される補助容量 C_s も各ブロック間でばらつくことになる。その結果、各ブロック間において寄生容量 C_{gd} のばらつき及び補助容量 C_s のばらつきが共に生じることで、これら2つの要因が重なって各ブロック間でのフィードスルー電圧 ΔV_{gd} の差を十分に抑制できずに、上述したように表示画面に輝度分かれが視認される虞があるので、改善の余地がある。

【 0 0 1 3 】

本発明は、斯かる点に鑑みてなされたものであり、その目的とするところは、露光処理の各ショットで露光される基板上の領域毎に規定された複数のブロック間において、ゲート電極とドレイン電極との間の寄生容量により生じるフィードスルー電圧のばらつきを抑制することにある。

【課題を解決するための手段】

【 0 0 1 4 】

上記の目的を達成するために、この発明では、ゲート電極とドレイン電極との重なり面積の変動に合わせて補助容量電極と補助容量線との重なり面積も変動するように電極及び配線の配置構成を工夫したものである。

【 0 0 1 5 】

具体的に、本発明に係るアクティブマトリクス基板は、マトリクス状に規定された複数の画素領域と、上記各画素領域の間に互いに平行に延びるように設けられた複数のソース線と、上記各画素領域の間に上記各ソース線と交差する方向に互いに平行に延びるように設けられた複数のゲート線と、上記各ゲート線の間にそれぞれ延びるように設けられた複数の補助容量線と、上記各画素領域毎に設けられ、各々、対応する上記ゲート線に電氣的に接続されたゲート電極、該ゲート電極に重なるように設けられた半導体層、上記ゲート電極及び上記半導体層に重なるように設けられて対応する上記ソース線に電氣的に接続されたソース電極、上記ゲート電極端を跨いで該ゲート電極及び上記半導体層に重なるように設けられたドレイン電極、及び上記ゲート電極を覆い該ゲート電極と上記ドレイン電極との間に設けられた絶縁膜を有する複数のT F Tと、上記各T F Tのドレイン電極と同一の層において、上記各補助容量線に沿って延びると共に該各補助容量線に重なるように上記各画素領域にそれぞれ設けられた補助容量電極とを備えるアクティブマトリクス基板であって、上記各補助容量線は、上記絶縁膜によって覆われ、上記ゲート線に沿って延びるように設けられた容量幹線と、上記各画素領域毎に上記容量幹線から両側方に突出するように一組だけ設けられた一对の容量支線とを有し、上記一对の容量支線は、各々、上記ソース線及びゲート線に対して斜め方向に延び、一端側が上記容量幹線に接続されると共に、他端側に向かうに連れて上記容量幹線から離間するように且つ同一のソース線側に接近するように形成され、上記各画素領域の補助容量電極は、上記容量幹線及び各容量支線に沿って延びると共に該容量幹線及び各容量支線に上記絶縁膜を介して重なるように設けられており、上記一对の容量支線に沿う各補助容量電極部分において、上記ドレイン電極が上記ゲート電極端を跨いで該ゲート電極の外側から内側に入る方向の一方側の側端は上記容量支線の内側に配置されていると共に、上記ドレイン電極が上記ゲート電極端を跨いで該ゲート電極の内側から外側に出る方向の他方側の側端は上記容量支線の外側に配置されていることを特徴とする。

【 0 0 1 6 】

この構成によると、各補助容量電極が容量幹線及び各容量支線の双方に重なるように設けられていることにより、各補助容量線と各補助容量電極との重なり面積が大きくなって補助容量が増加するため、フィードスルー電圧が小さくなる。そして、各画素領域の一对の容量支線に沿う各補助容量電極部分において、ドレイン電極がゲート電極端を跨いでそのゲート電極の外側から内側に入る方向の一方側の側端は補助容量線（容量支線）の内側に配置されていると共に、ドレイン電極がゲート電極端を跨いでそのゲート電極の内側から外側に出る方向の他方側の側端は補助容量線（容量支線）の外側に配置されている。そのことにより、ゲート電極とドレイン電極との重なり面積の変動に伴いその変動に合わせてドレイン電極と同一の層に設けられた補助容量電極と補助容量線との重なり面積も変動する。すなわち、ドレイン電極がゲート電極端を跨いでそのゲート電極の外側から内側に入る方向側にドレイン電極がずれてドレイン電極とゲート電極との重なり面積が増加した場合には、補助容量電極もドレイン電極と同一方向側にずれて補助容量電極と補助容量線との重なり面積もドレイン電極がずれた分増加する。また、ドレイン電極がゲート電極端を跨いでそのゲート電極の内側から外側に出る方向側にドレイン電極がずれてドレイン電

10

20

30

40

50

極とゲート電極との重なり面積が減少した場合には、補助容量電極もドレイン電極と同一方向側にずれて補助容量電極と補助容量線との重なり面積もドレイン電極がずれた分減少する。したがって、ゲート電極とドレイン電極との間の寄生容量の増減に合わせて補助容量電極と補助容量線との間の補助容量が増減するため、それら寄生容量と補助容量とのフィードスルー電圧に及ぼす影響が互いに打ち消し合うこととなる。しかも、この構成では、一對の容量支線のそれぞれに沿う補助容量電極部分において、上記一方側の側端が補助容量線の内側に配置されていると共に上記他方側の側端が補助容量線の外側に配置されているので、1本の容量支線に沿う補助容量電極部分のみにおいて同様な配置構造が採用されている場合に比べて、ゲート電極とドレイン電極との間の寄生容量の増減に合わせて増減する補助容量をより大きくすることが可能である。その結果、ゲート電極とドレイン電極との間の寄生容量によって生じるフィードスルー電圧のばらつきを良好に抑制することが可能になる。

10

【0017】

また、本発明に係る液晶表示装置は、上記アクティブマトリクス基板と、上記アクティブマトリクス基板に対向して配置された対向基板と、上記アクティブマトリクス基板と上記対向基板との間に設けられた液晶層とを備えることを特徴とする。

【0018】

この構成によると、上記アクティブマトリクス基板を備えていることにより、ゲート電極とドレイン電極との間の寄生容量の増減に合わせて補助容量電極と補助容量線との間の補助容量が増減する結果、ゲート電極とドレイン電極との間の寄生容量によって生じるフィードスルー電圧のばらつきが抑制される。これにより、液晶表示装置において、表示画面に輝度分かれが視認され難くなる。

20

【発明の効果】

【0019】

本発明によれば、各補助容量電極が容量幹線及び容量支線の双方に重なるように設けられているので、補助容量を増加させることができ、フィードスルー電圧を小さくできる。そして、各画素領域の一對の容量支線に沿う各補助容量電極部分において、ドレイン電極がゲート電極端を跨いでそのゲート電極の外側から内側に入る方向の一方側の側端は容量支線の内側に配置されていると共に、ドレイン電極がゲート電極端を跨いでそのゲート電極の内側から外側に出る方向の他方側の側端は容量支線の外側に配置されているので、ゲート電極とドレイン電極との間の寄生容量によって生じるフィードスルー電圧のばらつきを良好に抑制できる。

30

【図面の簡単な説明】

【0020】

【図1】図1は、液晶表示装置を概略的に示す平面図である。

【図2】図2は、図1のII-II線断面を概略的に示す図である。

【図3】図3は、参考例1における液晶表示装置の表示部の一部を拡大して概略的に示す平面図である。

【図4】図4は、参考例1におけるアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

40

【図5】図5は、図3のV-V線断面を概略的に示す図である。

【図6】図6は、ゲート絶縁膜が形成された状態のガラス基板を概略的に示す断面図である。

【図7】図7は、ドレイン電極及び補助容量電極が形成されたガラス基板を概略的に示す断面図である。

【図8】図8は、画素電極が形成された状態のガラス基板を概略的に示す断面図である。

【図9】図9は、参考例2における液晶表示装置の表示部の一部を拡大して概略的に示す平面図である。【図10】図10は、参考例2におけるアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

50

【図 1 1】図 1 1 は、図 9 のXI - XI線断面を概略的に示す図である。

【図 1 2】図 1 2 は、実施形態におけるアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

【図 1 3】図 1 3 は、参考例 3 における液晶表示装置の表示部の一部を拡大して概略的に示す断面図である。

【図 1 4】図 1 4 は、参考例 4 における液晶表示装置の表示部の一部を拡大して概略的に示す平面図である。

【図 1 5】図 1 5 は、参考例 4 におけるアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

【図 1 6】図 1 6 は、その他の参考例におけるアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

10

【図 1 7】図 1 7 は、従来のアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

【図 1 8】図 1 8 は、ゲート線、ソース線及び画素電極にそれぞれ印加される信号パターンの関係を示す図である。

【図 1 9】図 1 9 は、各画素領域における行方向の長さが列方向の長さの略 3 倍程度の従来のアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

【符号の説明】

【 0 0 2 1 】

(S) 液晶表示装置

20

(11) 画素

(11r) 赤色の画素

(11g) 緑色の画素

(11b) 青色の画素

(12) 画素群

(14) 液晶層

(15) シール材

(17) ソースドライバ I C チップ

(18) ゲートドライバ I C チップ

(20) アクティブマトリクス基板

30

(22) 画素領域

(23) 画素領域群

(24) ソース線

(25) ゲート線

(26) 補助容量線

(26a) 容量幹線

(26b) 容量支線

(27) T F T (薄膜トランジスタ)

(28) ゲート電極

(30) 半導体層

40

(31) ソース電極

(32) ドレイン電極

(33) 補助容量電極

(36) 画素電極

(36a) スリット (配向規制部)

(37) 配向膜 (垂直配向膜)

(40) 対向基板

(44) 共通電極

(44a) スリット (配向規制部)

(45) 配向膜 (垂直配向膜)

50

(46) 突出部(配向規制部)

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態及び参考例を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態及び参考例に限定されるものではない。

【0023】

《参考例1》

図1～図8は、参考例1を示している。図1は、液晶表示装置Sを概略的に示す平面図である。図2は、図1のII-II線に沿って液晶表示装置Sを概略的に示す断面図である。図3は、液晶表示装置Sの一部を拡大して概略的に示す平面図である。図4は、液晶表示装置Sを構成する一方の基板20の一部を拡大して概略的に示す平面図である。図5は、図3のV-V線に沿って液晶表示装置Sを概略的に示す断面図である。尚、図4では、積層絶縁膜35及び各画素電極36を透過して図示している。

【0024】

液晶表示装置Sは、図1及び図2に示すように、一对の基板20, 40が貼り合わせられた液晶表示パネル10を備えている。この液晶表示パネル10は、アクティブマトリクス基板20と、アクティブマトリクス基板20に対向して配置された対向基板40と、これらアクティブマトリクス基板20と対向基板40との間に設けられた液晶層14とを備えている。この液晶表示パネル10は、画像表示を行う表示部Dと、表示部Dの外側に配置された非表示部である額縁部Fとを有している。

【0025】

アクティブマトリクス基板20及び対向基板40は、例えば矩形状等に形成され、図2に示すように、液晶層14側の表面に配向膜37, 45がそれぞれ設けられていると共に、液晶層14とは反対側の表面に偏光板(図示省略)がそれぞれ設けられている。これらアクティブマトリクス基板20と対向基板40の間には、エポキシ樹脂等からなる枠状のシール材15が配置されており、このシール材15の内側に液晶材料が封入されていることにより、上記液晶層14が設けられている。

【0026】

表示部Dは、図3に示すように、マトリクス状に設けられた複数の画素11によって構成されている。これら複数の画素11は、行方向(図3中横方向)に並ぶ複数個毎に複数の画素群12を構成している。ここで、本明細書においては、画像表示の最小単位を「画素」と呼び、複数色の「画素」から1つの「画素群」が構成されていることとする。具体的に、本参考例における各画素群12は、行方向にストライプ状に配列された赤色、緑色及び青色の画素11r, 11g, 11bから構成されている。これら各画素11は、列方向(図3中縦方向)の長さが行方向の長さの略3倍程度に設けられている。尚、本参考例では、対向基板40に後述するブラックマトリクス43が設けられているので、ブラックマトリクス43の各開口部が形成された領域が各画素11に対応する。

【0027】

アクティブマトリクス基板20には、図4に示すように、各画素11をそれぞれ構成する複数の画素領域22がマトリクス状に規定されている。すなわち、各画素11は各画素領域22と対向基板40とが液晶層14を介して対向することによってそれぞれ構成されており、複数の画素領域22は各画素群12に対応して行方向に並ぶ複数個毎に複数の画素領域群23を構成している。

【0028】

このアクティブマトリクス基板20は、図5に示すガラス基板21を有し、ガラス基板21における表示部Dに、図4に示すように、各画素領域22の間に互いに平行に延びるように設けられた複数のソース線24と、各画素領域22の間に各ソース線24に交差する方向に互いに平行に延びるように設けられた複数のゲート線25と、各画素領域22毎に設けられたTFT27と、各TFT27にそれぞれ電氣的に接続された複数の画素電極36とを備えている。

【 0 0 2 9 】

各ソース線 2 4 は列方向にそれぞれ延びるように線状に設けられており、各ゲート線 2 5 は行方向にそれぞれ延びるように線状に設けられている。各ゲート線 2 5 の間には、これら各ゲート線 2 5 に沿って延びるように補助容量線 2 6 が線状にそれぞれ設けられている。

【 0 0 3 0 】

各 T F T 2 7 は、各ソース線 2 4 と各ゲート線 2 5 との交差部付近に設けられ、対応するソース線 2 4 及びゲート線 2 5 に接続されている。各画素領域群 2 3 における各 T F T 2 7 は、互いに異なるソース線 2 4 に接続されていると共に同一のゲート線 2 5 に接続されている。これら各 T F T 2 7 は、図 5 に示すように、ボトムゲート型の T F T であり、各々、対応するゲート線 2 5 に電氣的に接続されたゲート電極 2 8 と、ゲート電極 2 8 に重なるように設けられた半導体層 3 0 と、ゲート電極 2 8 の一方側で半導体層 3 0 に接続されたソース電極 3 1 と、ゲート電極 2 8 の他方側で半導体層 3 0 に接続されたドレイン電極 3 2 とを有している。

10

【 0 0 3 1 】

上記各ゲート線 2 5 は、図中に示すように、各補助容量線 2 6 と共にガラス基板 2 1 の表面に形成されてゲート絶縁膜 2 9 によって覆われている。各 T F T 2 7 の半導体層 3 0 は、ゲート絶縁膜 2 9 を介して各ゲート線 2 5 を一部跨ぐように形成されている。そうして、各半導体層 3 0 に重なる各ゲート線 2 5 の一部が、各 T F T 2 7 のゲート電極 2 8 を構成している。

20

【 0 0 3 2 】

各半導体層 3 0 は、図示は省略するが、例えば真性アモルファスシリコン層及び n + アモルファスシリコン層が順に積層されて構成されている。n + アモルファスシリコン層はゲート電極 2 8 に重なる領域が一部除去されて 2 つに分断され、n + アモルファスシリコン層から露出した真性アモルファスシリコン層の領域がチャンネル部 3 0 a を構成している。

【 0 0 3 3 】

各ソース電極 3 1 は、各ゲート線 2 5 の幅方向におけるゲート電極 2 8 の一端を跨いでそのゲート電極 2 8 及び半導体層 3 0 に重なるように形成されており、図 4 に示すように、対応するソース線 2 4 に接続されている。また、各ドレイン電極 3 2 は、ゲート電極 2 8 の他端を跨いでそのゲート電極 2 8 及び半導体層 3 0 に重なるようにソース電極 3 1 に対してチャンネル部 3 0 a を挟んで離間して形成されている。

30

【 0 0 3 4 】

これら各ドレイン電極 3 2 と同一の層には各補助容量線 2 6 に沿って延びると共にそれら各補助容量線 2 6 に重なるように各画素領域 2 2 に補助容量電極 3 3 がそれぞれ設けられており、各画素領域 2 2 において、互いに重なる補助容量線 2 6 と補助容量電極 3 3 との間に画素電極 3 6 に書き込まれた電位を保持するための補助容量が構成されている。各補助容量電極 3 3 は、これら各補助容量電極 3 3 が設けられた各画素領域 2 2 の T F T 2 7 のドレイン電極 3 2 と一体に形成されている。

【 0 0 3 5 】

各画素領域 2 2 において、補助容量電極 3 3 は、図 4 に示すように、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の外側から内側に入る方向の一方側（図中下側）の側端が補助容量線 2 6 の内側に配置されていると共に、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の内側から外側に出る方向の他方側（図中上側）の側端が補助容量線 2 6 の外側に配置されている。そうして、各画素領域 2 2 における補助容量電極 3 3 は、一体に形成されたドレイン電極 3 2 の形成位置の列方向（図 4 中縦方向）のずれに起因して生じるゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量の増減に合わせて補助容量線 2 6 とその補助容量電極 3 3 との間の補助容量が増減するように配置されている。

40

【 0 0 3 6 】

50

ここで、各ドレイン電極 3 2 及び各補助容量電極 3 3 は、各画素領域 2 2 において、ドレイン電極 3 2 とゲート電極 2 8 との間の寄生容量の大きさに拘わらずにその寄生容量によって生じるフィードスルー電圧を一定にする観点から、ドレイン電極 3 2 の形成位置のずれに起因して生じるドレイン電極 3 2 とゲート電極 2 8 との間の寄生容量の増減に対し、補助容量線 2 6 と補助容量電極 3 3 との間の補助容量と、液晶容量との和の増減が一致するように形成されていることが好ましい。

【 0 0 3 7 】

これら各 T F T 2 7 及び各補助容量電極 3 3 には、窒化シリコン膜及びアクリル系樹脂膜（共に図示省略）が順に積層されてなる図 5 に示す積層絶縁膜 3 5 が積層されている。この積層絶縁膜 3 5 の表面には、上記各画素電極 3 6 が形成されている。

10

【 0 0 3 8 】

各画素電極 3 6 は、図 4 に示すように、列方向の長さが行方向の長さに対して略 3 倍程度長い矩形状に形成され、各画素領域 2 2 毎に設けられている。尚、本参考例では、各画素電極 3 6 が矩形状に形成されているとしているが、各画素電極 3 6 は、矩形状の電極を一部切り欠いた形状や一部突出させた形状等の種々の形状に形成することが可能である。

【 0 0 3 9 】

上記積層絶縁膜 3 5 には、各補助容量電極 3 3 に接続するための複数のコンタクトホール 3 5 a が形成されている。各コンタクトホール 3 5 a 付近では液晶分子の配向が乱れやすいことから、これら各コンタクトホール 3 5 a は各補助容量電極 3 3 の中央部を露出するように形成されている。そのことにより、各コンタクトホール 3 5 a 付近の領域が補助容量線 2 6 及び補助容量電極 3 3 によって遮光されて、光漏れによるコントラストの低下が抑制される。そして、それら各コンタクトホール 3 5 a を介して各補助容量電極 3 3 が各画素電極 3 6 に接続されていることにより、各 T F T 2 7 のドレイン電極 3 2 が各補助容量電極 3 3 を介して各画素電極 3 6 に電気的に接続されている。

20

【 0 0 4 0 】

また、このアクティブマトリクス基板 2 0 は、図 1 及び図 2 に示すように、例えば隣接する 2 辺側が対向基板 4 0 から外側に L 字状等に突出した実装部 2 0 a を額縁部 F に有している。実装部 2 0 a は、例えば、一辺側（図 1 中下辺側）に所定の数のゲート線 2 5 がそれぞれ接続された複数のゲートドライバ I C（Integrated Circuit）チップ 1 7 が実装され、他辺側（図 1 中左辺側）に所定の数のソース線 2 4 がそれぞれ接続された複数のソースドライバ I C チップ 1 8 が実装されている。そして、これら実装部 2 0 a の各辺側には、各ゲートドライバ I C チップ 1 7 群及び各ソースドライバ I C チップ 1 8 群にそれぞれ電気的に接続され、これら各ドライバ I C チップ 1 7、1 8 に信号及び電源を供給する複数のフレキシブルプリント配線基板（図示省略）がそれぞれ実装されている。

30

【 0 0 4 1 】

上記対向基板 4 0 は、図 5 に示すように、ガラス基板 4 1 を有し、そのガラス基板 4 1 における表示部 D に、各画素電極 3 6 に重なり合うように各画素 1 1 の色に対応した色の複数のカラーフィルタ 4 2 が設けられ、これら各カラーフィルタ 4 2 を区画するようにブラックマトリクス 4 3 が設けられている。さらに、対向基板 4 0 の液晶層 1 4 側には、各カラーフィルタ 4 2 及びブラックマトリクス 4 3 を覆うように共通電極 4 4 が形成されている。

40

【 0 0 4 2 】

このように、液晶表示装置 S は、各ゲート線 2 5 にゲート信号を供給して各 T F T 2 7 を順にオン状態にし、オン状態の T F T 2 7 に接続されたソース線 2 4 にソース信号を供給することにより、T F T 2 7 のソース電極 3 1 に印加された電位を各画素電極 3 6 に順に書き込んで各画素電極 3 6 と共通電極 4 4 との間で液晶層 1 4 に電圧を印加し、各画素 1 1 毎に液晶分子の配向を制御して所望の画像表示を行うように構成されている。

【 0 0 4 3 】

- 製造方法 -

次に、上記液晶表示装置 S の製造方法について説明する。

50

【0044】

液晶表示装置Sを製造するには、まず、アクティブマトリクス基板20及び対向基板40をそれぞれ作製して両基板20, 40に配向膜37, 45を形成した後、これら両基板20, 40をシール材15を介して互いに貼り合わせると共に、そのシール材15によって両基板20, 40の間に液晶層14を封入することによって液晶表示パネル10を作製する。そして、その液晶表示パネル10に対して両面に偏光板を貼り付けた後に各ドライバICチップ17, 18及び各フレキシブルプリント配線基板を実装する。本発明に係る液晶表示装置Sは、特にアクティブマトリクス基板20の構造に特徴があるので、アクティブマトリクス基板20の作製方法について、以下に図6～図8を参照しながら詳述する。図6～図8は、アクティブマトリクス基板20の作製方法を説明するための図であり、ガラス基板21の1つの画素領域22に対応する領域を概略的に示す断面図である。

10

【0045】

アクティブマトリクス基板20を作製するには、まず、ガラス基板21の一方の表面全体に、例えばアルミニウムを含む金属膜（例えば厚さ50nm～500nm程度）をスパッタリング法によって成膜した後、その金属膜をフォトリソグラフィーによってパターンニングして、図6に示すように、各ゲート線（各ゲート電極28）25及び各補助容量線26を形成する。

【0046】

このとき、フォトリソグラフィーでは、ガラス基板21上に塗布されたレジストをフォトマスクを介して露光する露光処理として、ガラス基板21よりも小さいフォトマスクをガラス基板21上に配置させ、ガラス基板21を段階的に移動させて、必要に応じてフォトマスクを交換しながら複数のショットに分割して露光するステップ分割露光方式の露光処理を行う。以降のフォトリソグラフィーについても説明は省略するがステップ分割露光方式の露光処理を行うものとする。

20

【0047】

続いて、各ゲート線（各ゲート電極28）25及び各補助容量線26が形成された表面全体に、プラズマCVD（Chemical Vapor Deposition）法によって窒化シリコン膜（例えば厚さ100nm～500nm程度）等を成膜することにより、ゲート絶縁膜29を形成する。

【0048】

次に、各ゲート絶縁膜29の全面に、プラズマCVD法によって真性アモルファスシリコン膜（例えば厚さ50nm～100nm程度）と、リン等のn型不純物元素がドーパされたn+アモルファスシリコン膜（例えば厚さ50nm～100nm程度）とを連続して成膜した後に、これら真性アモルファスシリコン膜及びn+アモルファスシリコン膜をフォトリソグラフィーによってゲート電極28上に島状にパターンニングして、図7に示すように、各半導体層30を形成する。

30

【0049】

ここで、各半導体層30は、上述したようにアモルファスシリコン膜から形成してもよいが、ポリシリコン膜から形成してもよい。また、アモルファスシリコン膜又はポリシリコン膜にレーザーアニール処理を行って結晶性を向上させてもよい。

40

【0050】

続いて、各半導体層30が形成されたゲート絶縁膜29の全面に、例えばアルミニウムを含む金属膜（例えば厚さ50nm～500nm程度）をスパッタリング法によって成膜した後、その金属膜をフォトリソグラフィーによってパターンニングすることにより、各ソース線24、各ソース電極31、各ドレイン電極32及び各補助容量電極33を形成する。

【0051】

次に、各ソース電極31及び各ドレイン電極32をマスクとして、各半導体層のn+アモルファスシリコン層の一部をエッチングによって除去して、図8に示すように、チャネル部30aを形成することにより、各TFT27を形成する。

50

【 0 0 5 2 】

次に、プラズマ CVD 法によって各 TFT 27 を覆うように窒化シリコン膜（例えば厚さ 100 nm ~ 300 nm 程度）等を成膜した後、スピニング法によってアクリル系樹脂膜（例えば厚さ 1000 nm ~ 5000 nm 程度）等を成膜することにより、積層絶縁膜 35 を形成する。

【 0 0 5 3 】

次に、積層絶縁膜 35 における各補助容量電極 33 に重なる領域の一部をエッチングによって除去して、各コンタクトホール 35a を形成する。その後、各コンタクトホール 35a が形成された積層絶縁膜 35 の全面に、ITO (Indium Tin Oxide) 等からなる透明導電膜（例えば厚さ 100 nm ~ 200 nm 程度）をスパッタリング法によって成膜した後、その透明導電膜をフォトリソグラフィーによってパターニングすることにより、各画素電極 36 を形成する。以上のようにして、アクティブマトリクス基板 20 が作製される。

【 0 0 5 4 】

- 参考例 1 の効果 -

したがって、この参考例 1 によると、各画素領域 22 において、補助容量電極 33 は、ド레인電極 32 がゲート電極 28 端を跨いでそのゲート電極 28 の外側から内側に入る方向の一方側の側端が補助容量線 26 の内側に配置されていると共に、ド레인電極 32 がゲート電極 28 端を跨いでそのゲート電極 28 の内側から外側に出る方向の他方側の側端が補助容量線 26 の外側に配置されている。そのことにより、ゲート電極 28 とド레인電極 32 との重なり面積の変動に伴いその変動に合わせてド레인電極 32 に一体に形成された補助容量電極 33 と補助容量線 26 との重なり面積を変動させることができる。すなわち、ド레인電極 32 がゲート電極 28 端を跨いでそのゲート電極 28 の外側から内側に入る方向側（図 4 中下側）にド레인電極 32 がずれてド레인電極 32 とゲート電極 28 との重なり面積が増加した場合には、補助容量電極 33 もド레인電極 32 と同一方向側にずれて補助容量電極 33 と補助容量線 26 との重なり面積をド레인電極 32 がずれた分増加させることができる。また、ド레인電極 32 がゲート電極 28 端を跨いでそのゲート電極 28 の内側から外側に出る方向側（図 4 中上側）にド레인電極 32 がずれてド레인電極 32 とゲート電極 28 との重なり面積が減少した場合には、補助容量電極 33 もド레인電極 32 と同一方向側にずれて補助容量電極 33 と補助容量線 26 との重なり面積をド레인電極 32 がずれた分減少させることができる。したがって、ゲート電極 28 とド레인電極 32 との間の寄生容量の増減に合わせて補助容量電極 33 と補助容量線 26 との間の補助容量を増減させることができるため、それら寄生容量と補助容量とのフィードスルー電圧に及ぼす影響が互いに打ち消し合うこととなる。その結果、ステップ分割露光方式の露光処理を含むフォトリソグラフィーによって各配線 24, 25, 26 及び各電極 28, 31, 32, 33 を形成したとしても、各ショットで露光されるガラス基板 21 上の領域毎に規定された複数のブロック間において、ゲート電極 28 とド레인電極 32 との間の寄生容量によって生じるフィードスルー電圧のばらつきを抑制できる。これによって、表示画面に各ブロック間で輝度分かれが視認され難くすることができる。

【 0 0 5 5 】

《参考例 2》

図 9 ~ 図 11 は、参考例 2 を示している。尚、以降の各参考例及び実施形態では、図 1 ~ 図 8 と同じ部分については同じ符号を付して、その詳細な説明を省略する。図 9 は、本参考例の液晶表示装置 S の 1 つの画素群 12 を概略的に示す平面図である。図 10 は、本参考例のアクティブマトリクス基板 20 の 1 つの画素領域群 23 を概略的に示す平面図である。図 11 は、図 9 の XI - XI 線に沿って液晶表示装置 S を概略的に示す断面図である。

【 0 0 5 6 】

本参考例の液晶表示装置 S は、いわゆる MVA (Multidomain Vertical Alignment) 方式の液晶表示装置である。液晶層 14 は負の誘電率異方性を有する垂直配向型のネマチッ

10

20

30

40

50

ク液晶材料によって構成されており、配向膜 37, 45 はそれぞれ垂直配向膜である。

【0057】

アクティブマトリクス基板 20 及び対向基板 40 の液晶層 14 側には、図 9 及び図 11 に示すように、液晶層 14 を、各画素領域 22 毎に、つまり各画素 11 において、複数のドメインに分割するための複数の配向規制部 36a, 46 がそれぞれ設けられている。アクティブマトリクス基板 20 の各配向規制部 36a は、図 10 及び図 11 に示すように、各画素電極 36 に形成された開口部からなるスリット 36a によって構成されている。また、対向基板 40 の各配向規制部 46 は、図 11 に示すように、液晶層 14 側に突出して形成された突出部 46 によって構成され、共通電極 44 と垂直配向膜 45 との間に設けられている。

10

【0058】

上記各スリット 36a 及び各突出部 46 は、図 9 に示すように、各ゲート線 25 及び各ソース線 24 に対して斜め方向に延びるように線状に形成されている。これら各スリット 36a 及び各突出部 46 は、各画素 11 において、図 9 中上側半分の領域では図中左上から右下に延びるようにそれぞれ形成されて図中右上から左下に向かって交互に配置されている一方、図 9 中下側半分の領域では図中右上から左下に延びるようにそれぞれ形成されて図中左上から右下に向かって交互に配置されている。

【0059】

また、本参考例のアクティブマトリクス基板 20 の各補助容量線 26 は、図 10 に示すように、各ゲート線 25 に沿って延びるように設けられた容量幹線 26a と、その容量幹線 26a から両側方に突出するように設けられた一対の容量支線 26b とを有している。

20

【0060】

各容量支線 26b は、図 9 及び図 11 に示すように、各突出部 46 に重なるように形成され、各ソース線 24 及び各ゲート線 25 に対して斜め方向に延びるように形成されている。すなわち、複数の突出部 46 の一部は、各容量支線 26b に重なるように形成されている。尚、図 9 及び図 10 では、容量支線 26b を各配向規制部 36a, 46 よりも太く図示しているが、容量支線 26b は、各配向規制部 36a, 46 と等しい太さに、又は配向規制部 36a, 46 よりも太く形成されていてもよい。

【0061】

また、各補助容量電極 33 は、図 10 に示すように、容量幹線 26a 及び各容量支線 26b に沿って延びてこれら容量幹線 26a 及び各容量支線 26b の双方に重なるように設けられている。そして、各画素領域 22 において、補助容量電極 33 は、容量幹線 26a 及び各容量支線 26b にそれぞれ沿う部分のうち図 10 中上側の容量支線 26b に沿う一部の部分のみにおいて、ドレイン電極 32 がゲート電極 28 端を跨いでそのゲート電極 28 の外側から内側に入る方向の一方側（図 10 中下側）の側端がその容量支線 26b の一方側の側端に沿って補助容量線 26 の内側に配置されていると共に、ドレイン電極 32 がゲート電極 28 端を跨いでそのゲート電極 28 の内側から外側に出る方向の他方側（図 10 中上側）の側端がその容量支線 26b の他方側の側端に沿って補助容量線 26 の外側に配置されている。

30

【0062】

- 参考例 2 の効果 -

したがって、この参考例 2 によっても、各画素領域 22 において、補助容量電極 33 は、ドレイン電極 32 がゲート電極 28 端を跨いでそのゲート電極 28 の外側から内側に入る方向の一方側の側端が補助容量線 26 の内側に配置されていると共に、ドレイン電極 32 がゲート電極 28 端を跨いでそのゲート電極 28 の内側から外側に出る方向の他方側の側端が補助容量線 26 の外側に配置されているので、上記参考例 1 と同様の効果を得ることができる。

40

【0063】

そのことに加えて、アクティブマトリクス基板 20 及び対向基板 40 の液晶層 14 側に、垂直配向膜 37, 45、及び液晶層 14 を各画素 11 において複数のドメインに分割す

50

るための複数の配向規制部 3 6 a , 4 6 がそれぞれ設けられているため、液晶層 1 4 に電圧が印加されていないときには、各スリット 3 6 a 及び各突出部 4 6 の付近の液晶分子だけが各スリット 3 6 a 及び各突出部 4 6 を中心として傾斜配向すると共に、それ以外の各スリット 3 6 a 及び各突出部 4 6 から離れた液晶分子がアクティブマトリクス基板 2 0 (対向基板 4 0) の表面に対して垂直に配向する。そして、液晶層 1 4 に電圧が印加されているときには、各スリット 3 6 a 及び各突出部 4 6 から離れた液晶分子も各スリット 3 6 a 及び各突出部 4 6 の付近における液晶分子の傾斜配向に整合するように配向する。そのことにより、視認角度によって光の透過量が変化することを抑制できて画像表示の際の視角特性を改善でき、視野角を広くすることができる。

【 0 0 6 4 】

10

さらに、各補助容量電極 3 3 が容量幹線 2 6 a 及び容量支線 2 6 b の双方に重なるように設けられているため、補助容量電極 3 3 と補助容量線 2 6 との重なり面積が大きくなり補助容量が増加してフィードスルー電圧が小さくなる。そのことに加えて、補助容量電極 3 3 における補助容量線 2 6 の側端を跨ぐ部分を長くしてゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量の増減に合わせて増減する補助容量を大きくすることが可能になる。これによって、ゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量の増減に対する補助容量の増減を適正に調整してフィードスルー電圧のばらつきを可及的に抑制できる。

【 0 0 6 5 】

ところで、各配向規制部 3 6 a , 4 6 が設けられた領域では、液晶分子の配向が乱れやすいため、光の透過率が低下しやすいと共に光漏れが生じやすい。また、補助容量線 2 6 及び補助容量電極 3 3 が設けられた領域では、これら補助容量線 2 6 及び補助容量電極 3 3 によって光の透過が遮断されて光の透過率が低減する。本実施形態では、複数の突出部 4 6 の一部が各容量支線 2 6 b に重なるように形成されているため、それら複数の突出部 4 6 が補助容量線 2 6 及び補助容量電極 3 3 のいずれにも重ならず形成されている場合に比べて、光の透過率の低下を抑制でき、且つ上記液晶分子が乱れやすい領域からの光漏れを抑制してコントラストを高めることができる。

20

【 0 0 6 6 】

《 発明の実施形態 》

図 1 2 は、発明の実施形態を示している。図 1 2 は、本実施形態のアクティブマトリクス基板 2 0 の 1 つの画素領域群 2 3 を概略的に示す平面図である。

30

【 0 0 6 7 】

本実施形態の液晶表示装置 S も、上記参考例 2 と同様に、MVA 方式の液晶表示装置であり、各画素領域 2 2 の補助容量電極 3 3 において、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の外側から内側に入る方向の一方側の側端が補助容量線 2 6 の内側に配置されていると共に、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の内側から外側に出る方向の他方側の側端が補助容量線 2 6 の外側に配置されている。

【 0 0 6 8 】

そして、上記参考例 2 では、各補助容量電極 3 3 において、容量幹線 2 6 a 及び各容量支線 2 6 b にそれぞれ沿う部分のうち図 1 0 中上側の容量支線 2 6 b に沿う一部の部分における上記一方側の側端が補助容量線 2 6 の内側に配置されていると共に上記他方側の側端が補助容量線 2 6 の外側に配置されているとしたが、本実施形態では、各補助容量電極 3 3 において、図 1 2 に示すように、図中上下方向両側の各容量支線 2 6 b に沿う複数の部分における上記一方側 (図中下側) の側端がそれら各容量支線 2 6 b の一方側の側端に沿って補助容量線 2 6 の内側に配置されていると共に上記他方側 (図中上側) の側端がそれら各容量支線 2 6 b の他方側の側端に沿って補助容量線 2 6 の外側に配置されている。

40

【 0 0 6 9 】

- 実施形態の効果 -

したがって、この実施形態によっても、各画素領域 2 2 において、補助容量電極 3 3 は

50

、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の外側から内側に入る方向の一方側の側端が補助容量線 2 6 の内側に配置されていると共に、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の内側から外側に出る方向の他方側の側端が補助容量線 2 6 の外側に配置されているので、上記参考例 1 と同様の効果を得ることができる。

【 0 0 7 0 】

さらに、各補助容量電極 3 3 における容量幹線 2 6 a 及び各容量支線 2 6 b にそれぞれ沿う部分のうち各容量支線 2 6 b に沿う複数の部分において、上記一方側の側端が補助容量線 2 6 の内側に配置されていると共に上記他方側の側端が補助容量線 2 6 の外側に配置されていることにより、容量幹線 2 6 a 及び各容量支線 2 6 b にそれぞれ沿う部分のうち一の部分のみにおいて上記一方側の側端が補助容量線 2 6 の内側に配置されていると共に上記他方側の側端が補助容量線 2 6 の外側に配置されている場合に比べて、ゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量の増減に合わせて増減する補助容量をより大きくできる。これによって、ゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量の増減に対する補助容量の増減を適正に調整してフィードスルー電圧のばらつきを可及的に抑制できる。

【 0 0 7 1 】

《参考例 3》

図 1 3 は、参考例 3 を示している。図 1 3 は、本参考例のアクティブマトリクス基板 2 0 の 1 つの画素領域 2 2 を概略的に示す平面図である。

【 0 0 7 2 】

上記参考例 2 及び実施形態では、MVA 方式の液晶表示装置 S について説明したが、本参考例の液晶表示装置 S は、いわゆる PVA (Patterned Vertical Alignment) 方式の液晶表示装置である。

【 0 0 7 3 】

アクティブマトリクス基板 2 0 は上記参考例 2 と同様に構成されている。また、上記参考例 2 と同様に、アクティブマトリクス基板 2 0 及び対向基板 4 0 の各配向規制部 3 6 a , 4 4 a が配置され、アクティブマトリクス基板 2 0 の各配向規制部 3 6 a が各画素電極 3 6 に形成されたスリットによって構成されている。そして、対向基板 4 0 の各配向規制部 4 4 a は、図 1 3 に示すように、共通電極 4 4 に形成されたスリットによって構成されている。

【 0 0 7 4 】

尚、アクティブマトリクス基板 2 0 は上記実施形態と同様に構成されていてもよい。

【 0 0 7 5 】

- 参考例 3 の効果 -

したがって、この参考例 3 によっても、アクティブマトリクス基板 2 0 が上記参考例 2 と同様に構成されているので、上記参考例 1 と同様の効果を得ることができる。

【 0 0 7 6 】

そして、アクティブマトリクス基板 2 0 及び対向基板 4 0 の双方の各配向規制部 3 6 a , 4 4 a がスリットによってそれぞれ構成されていても、液晶層 1 4 に電圧が印加されていないときには、各スリット 3 6 a , 4 4 a の付近の液晶分子だけが各スリット 3 6 a , 4 4 a を中心として傾斜配向すると共に、それ以外の各スリット 3 6 a , 4 4 a から離れた液晶分子がアクティブマトリクス基板 2 0 (対向基板 4 0) の表面に対して垂直に配向する。そして、液晶層 1 4 に電圧が印加されているときには、各スリット 3 6 a , 4 4 a から離れた液晶分子も各スリット 3 6 a , 4 4 a の付近における液晶分子の傾斜配向に整合するように配向する。そのことにより、視認角度によって光の透過量が変化することを抑制できて画像表示の際の視角特性を改善でき、視野角を広くすることができる。

【 0 0 7 7 】

《参考例 4》

図 1 4 及び図 1 5 は、参考例 4 を示している。図 1 4 は、本参考例における液晶表示装

置 5 の 1 つの画素群 1 2 を概略的に示す平面図である。図 1 5 は、本参考例におけるアクティブマトリクス基板 2 0 の 1 つの画素領域群 2 3 を概略的に示す平面図である。

【 0 0 7 8 】

本参考例の複数の画素 1 1 は、図 1 4 に示すように、列方向にストライプ状に配列されて各ソース線 2 4 に沿って並ぶ複数色の画素 1 1 r , 1 1 g , 1 1 b 毎に複数の画素群 1 2 を構成している。各画素 1 1 は、行方向の長さが列方向の長さの略 3 倍程度に設けられている。

【 0 0 7 9 】

そして、上記参考例 1 では、各画素領域群 2 3 における各 T F T 2 7 が互いに異なるソース線 2 4 に接続されていると共に同一のゲート線 2 5 に接続されているとしたが、本参考例では、図 1 5 に示すように、各画素領域群 2 3 における各 T F T 2 7 は、各ソース電極 3 1 が同一のソース線 2 4 に接続されていると共に、各ゲート電極 2 8 が互いに異なるゲート線 2 5 に接続されている。

【 0 0 8 0 】

また、上記参考例 1 と同様に、各画素領域 2 2 において、補助容量電極 3 3 は、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の外側から内側に入る方向の一方側（図 1 5 中下側）の側端が補助容量線 2 6 の内側に配置されていると共に、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の内側から外側に出る方向の他方側（図 1 5 中上側）の側端が補助容量線 2 6 の外側に配置されている。

【 0 0 8 1 】

- 参考例 4 の効果 -

したがって、この参考例 4 によっても、各画素領域 2 2 において、補助容量電極 3 3 は、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の外側から内側に入る方向の一方側の側端が補助容量線 2 6 の内側に配置されていると共に、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の内側から外側に出る方向の他方側の側端が補助容量線 2 6 の外側に配置されているので、上記参考例 1 と同様の効果を得ることができる。

【 0 0 8 2 】

ところで、図 1 9 に示すように、従来のアクティブマトリクス基板において、各画素領域 1 0 8 における行方向の長さが列方向の長さの略 3 倍程度に設けられている場合には、各画素領域における列方向の長さが行方向の長さの略 3 倍程度になっている場合に比べて、積層絶縁膜のコンタクトホール 1 0 3 付近の領域を補助容量線 1 0 5 で十分に遮光する観点から各ゲート線 1 0 1 と各補助容量線 1 0 5 との間隔 1 0 9 が小さくなり、これら各配線 1 0 1 , 1 0 5 が互いに短絡しやすくなるので、歩留りが低下しやすい。

【 0 0 8 3 】

これに対して、本参考例 4 では、図 1 5 に示すように、各画素領域 2 2 において、補助容量電極 3 3 におけるドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の内側から外側に出る方向側（図中上側）の側端が補助容量線 2 6 の外側に配置されていることにより、コンタクトホール 3 5 a に対して補助容量線 2 6 の外側に補助容量電極 3 3 が配置された側の領域での遮光をその補助容量電極 3 3 によって十分に行うことが可能になるため、各ゲート線 2 5 と各補助容量線 2 6 との間隔 3 8 が小さくなることを抑制でき、これら各配線 2 5 , 2 6 の互いの短絡を抑制できる。

【 0 0 8 4 】

さらに、各画素領域群 2 3 において、各ソース電極 3 1 が同一のソース線 2 4 に接続されていると共に各ゲート電極 2 8 が互いに異なるゲート線 2 5 に接続されているため、各画素領域群 2 3 において、各ソース電極 3 1 が互いに異なるソース線 2 4 に接続されていると共に各ゲート電極 2 8 が同一のゲート線 2 5 に接続されている場合に比べて、各画素領域群 2 3 の各ソース電極 3 1 に接続されるソース線 2 4 の数を減らすことができる。そのことにより、ゲートドライバ IC チップ 1 7 よりも高価なソースドライバ IC チップ 1 8 の数を減らすことができるため、コストを低減できる。

【 0 0 8 5 】

《その他の参考例及び実施形態》

上記各参考例及び実施形態では、各画素領域 2 2 における補助容量電極 3 3 を、一体に形成されたドレイン電極 3 2 の形成位置の列方向のずれに起因して生じるゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量の増減に合わせて補助容量線 2 6 とその補助容量電極 3 3 との間の補助容量が増減するように配置しているが、本発明はこれに限られず、図 1 6 に示すように、各画素領域 2 2 における補助容量電極 3 3 は、一体に形成されたドレイン電極 3 2 の形成位置の行方向（図中横方向）のずれに起因して生じるゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量の増減に合わせて補助容量線 2 6 とその補助容量電極 3 3 との間の補助容量が増減するように配置されていてもよい。

10

【 0 0 8 6 】

具体的には、図 1 6 に示すように、各ゲート電極 2 8 が各ゲート線 2 5 から補助容量線 2 6 側（図中上側）に突出して設けられ、それら各ゲート電極 2 8 に重なるように各半導体層 3 0 が設けられ、各画素領域 2 2 において、ドレイン電極 3 2 は、一方側（図中左側）の側端が半導体層 3 0 の内側に配置されていると共に、他方側（図中右側）の側端が半導体層 3 0 の外側に配置されている。各補助容量線 2 6 には、各補助容量電極 3 3 に重なる部分に列方向に膨出した膨出部 2 6 c が設けられている。そして、各画素領域 2 2 において、補助容量電極 3 3 は、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の外側から内側に入る方向の一方側（図 1 6 中左側）の側端が補助容量線 2 6 における膨出部 2 6 c の一方側の側端に沿ってその補助容量線 2 6 の内側に配置されていると共に、ドレイン電極 3 2 がゲート電極 2 8 端を跨いでそのゲート電極 2 8 の内側から外側に出る方向の他方側（図 1 6 中右側）の側端が補助容量線 2 6 における各膨出部 2 6 c の他方側の側端に沿ってその補助容量線 2 6 の外側に配置されていてもよい。

20

【 0 0 8 7 】

このような構成であっても、ゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量の増減に合わせて補助容量電極 3 3 と補助容量線 2 6 との間の補助容量を増減させることができるため、それら寄生容量と補助容量とのフィードスルー電圧に及ぼす影響が互いに打ち消し合うこととなる結果、ゲート電極 2 8 とドレイン電極 3 2 との間の寄生容量によって生じるフィードスルー電圧のばらつきを抑制することが可能になる。

【 0 0 8 8 】

30

上記各参考例及び実施形態では、各ドレイン電極 3 2 と各補助容量電極 3 3 とがそれぞれ一体に形成されているとしたが、本発明はこれに限られず、各ドレイン電極と各補助容量電極とは別個に形成されていてもよい。このように各ドレイン電極と各補助容量電極とが別個に形成されている場合には、例えば、各ドレイン電極及び各補助容量電極上に積層絶縁膜を貫通するコンタクトホールがそれぞれ形成され、それら各ドレイン電極及び各補助容量電極がコンタクトホールを介して各画素電極にそれぞれ接続されていることにより、各ドレイン電極と各補助容量電極とが電氣的に接続されているようにアクティブマトリクス基板を構成する。

【 0 0 8 9 】

40

上記参考例 2 , 3 及び実施形態では、アクティブマトリクス基板 2 0 の各配向規制部 3 6 a が各画素電極 3 6 に形成された開口部からなるスリットによって構成され、対向基板 4 0 の各配向規制部 4 6 が突出部によって構成されているとしたが、本発明はこれに限られず、アクティブマトリクス基板 2 0 の各配向規制部が液晶層 1 4 側に突出して形成された突出部によって構成され、対向基板 4 0 の各配向規制部が共通電極 4 4 に形成された開口部からなるスリットによって構成されていてもよい。また、アクティブマトリクス基板 2 0 のスリットは、切欠部によって構成されていてもよい。このような構成であっても、上記参考例 2 , 3 及び実施形態と同様の効果を得ることが可能になる。

【 0 0 9 0 】

また、上記参考例 2 , 3 及び実施形態では、各容量支線 2 6 b が各突出部 4 6 に重なるように形成されているとしたが、本発明はこれに限られず、各容量支線 2 6 b は各スリッ

50

ト 3 6 a に重なるように形成されて各スリット 3 6 a の一部が各容量支線 2 6 b に重なるように形成されていてもよく、複数の配向規制部 3 6 a , 4 6 の少なくとも一部が各補助容量線 2 6 及び各補助容量電極 3 3 の少なくとも一部に重なるように形成されていることが好ましい。

【 0 0 9 1 】

このように構成されていれば、付近で液晶分子の配向が乱れやすい複数の配向規制部 3 6 a , 4 6 の一部が光の透過を遮る各補助容量線 2 6 及び各補助容量電極 3 3 の少なくとも一部に重なるように形成されているので、その複数の配向規制部 3 6 a , 4 6 の一部がその他の領域に形成されている場合、つまり複数の配向規制部 3 6 a , 4 6 が補助容量線 2 6 及び補助容量電極 3 3 のいずれにも重ならず形成されている場合に比べて、光の透過率の低下を抑制でき、且つ上記液晶分子の配向が乱れやすい領域からの光漏れが抑制されてコントラストを高めることが可能になる。

10

【 0 0 9 2 】

上記参考例 4 では、図 1 5 に 1 つの線状に形成された補助容量線 2 6 を図示したが、本発明はこれに限られず、各画素領域群 2 3 における各ソース電極 3 1 が同一のソース線 2 4 に接続されると共に各ゲート電極 2 8 が互いに異なるゲート線 2 5 に接続されたアクティブマトリクス基板 2 0 において、上記参考例 2 と同様に、各補助容量線 2 6 が、ゲート線 2 5 に沿って延びるように設けられた容量幹線と、その容量幹線から側方に突出するように設けられた容量支線とを有していてもよく、さらに補助容量電極 3 3 がこれら容量幹線及び容量支線に重なるように設けられていてもよい。

20

【 0 0 9 3 】

上記各参考例及び実施形態では、アクティブマトリクス基板 2 0 が適用された液晶表示装置 S を例に挙げてそれぞれ説明したが、本発明はこれに限られず、有機エレクトロルミネッセンス表示装置等の他の表示装置に適用することも可能である。

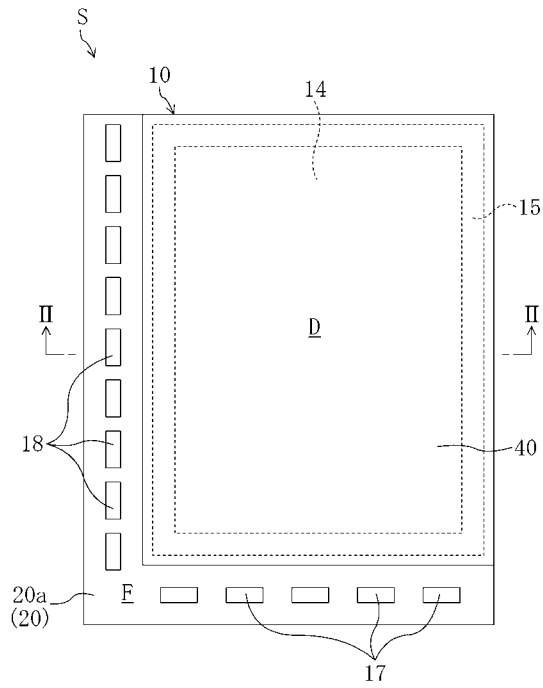
【 産業上の利用可能性 】

【 0 0 9 4 】

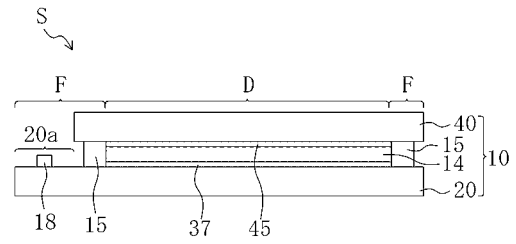
以上説明したように、本発明は、アクティブマトリクス基板及び液晶表示装置について有用であり、特に、ゲート電極とドレイン電極との間の寄生容量によって生じるフィードスルー電圧のばらつきを抑制することが要望されるアクティブマトリクス基板及び液晶表示装置に適している。

30

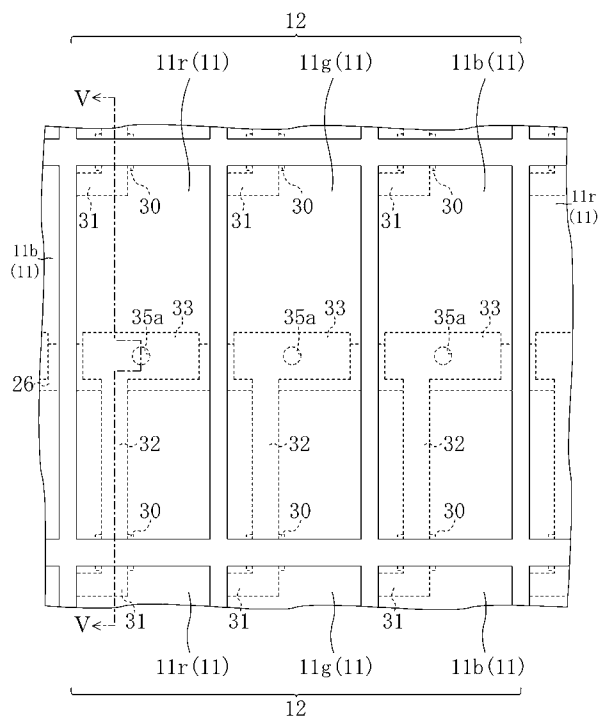
【図 1】



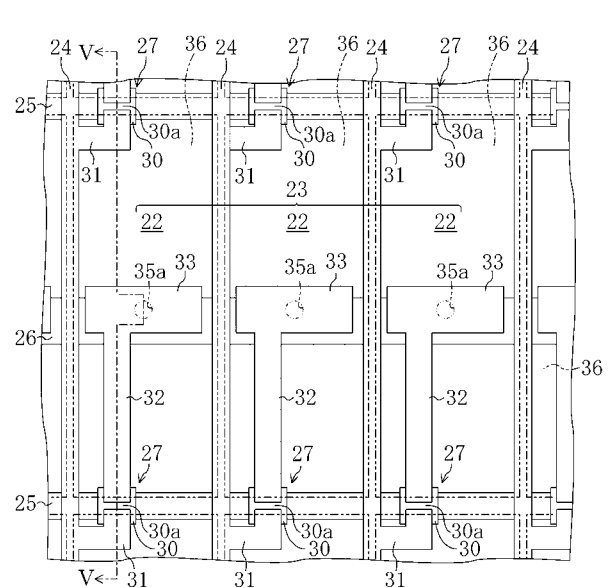
【図 2】



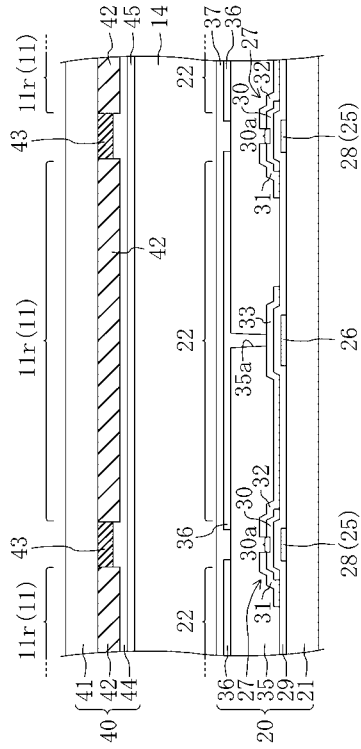
【図 3】



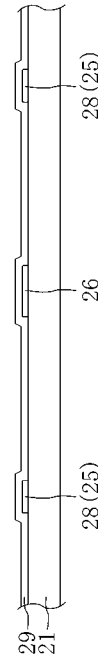
【図 4】



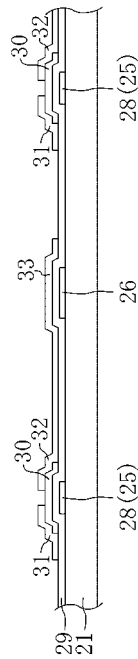
【図 5】



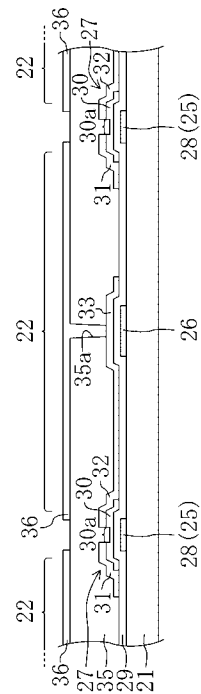
【図 6】



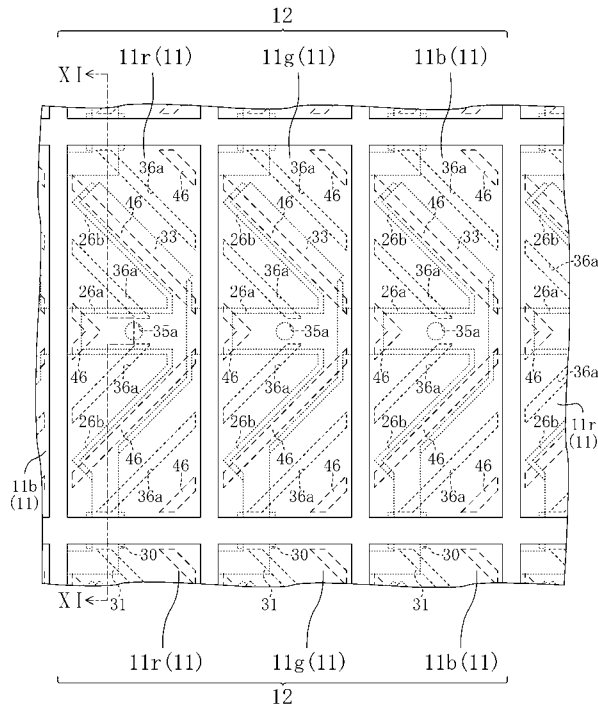
【図 7】



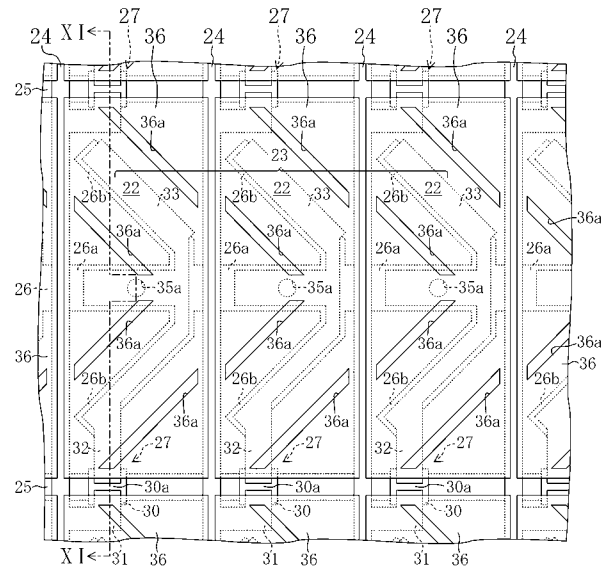
【図 8】



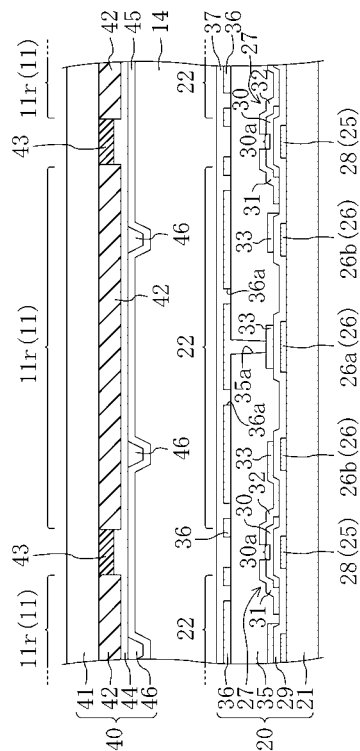
【 図 9 】



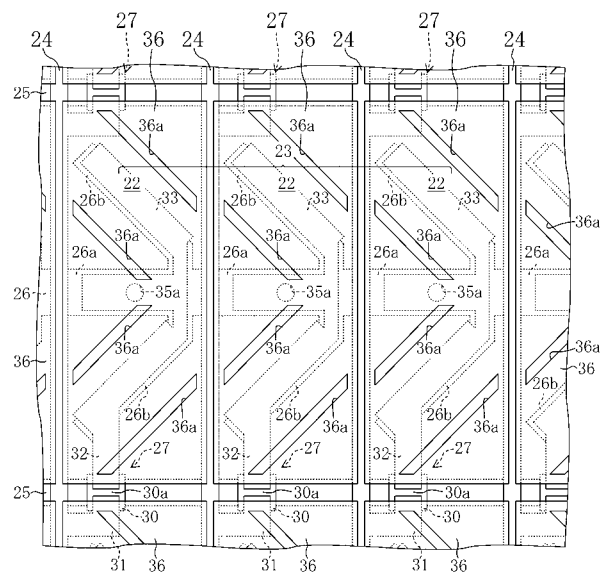
【 図 1 0 】



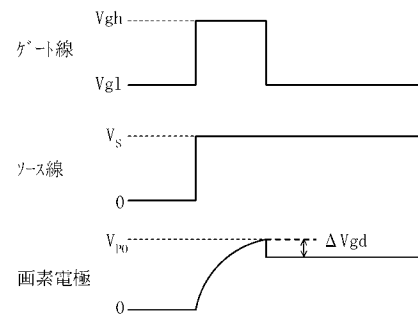
【 図 1 1 】



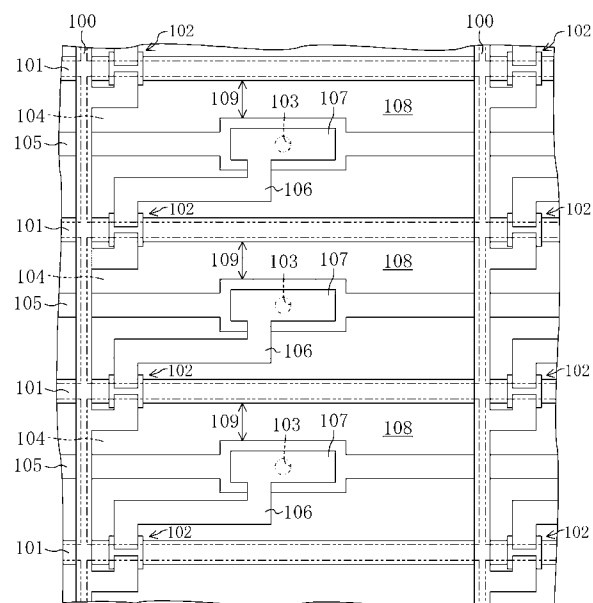
【 図 1 2 】



【 図 1 8 】



【 図 19 】



フロントページの続き

- (72)発明者 山田 崇晴
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 伊藤 了基
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 堀内 智
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 渡邊 吉喜

- (56)参考文献 特開 2 0 0 0 - 0 0 2 8 8 9 (J P , A)
特開 2 0 0 6 - 1 5 4 0 8 0 (J P , A)
特開平 0 6 - 2 3 5 9 3 8 (J P , A)
特開平 0 9 - 3 0 4 7 9 0 (J P , A)
特開 2 0 0 3 - 0 7 5 8 7 1 (J P , A)
特開 2 0 0 3 - 0 2 2 0 5 7 (J P , A)
特開 2 0 0 5 - 1 2 8 1 9 0 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G02F 1/1343- 1/1345、
1/135- 1/1368、
G09F 9/00- 9/46、
H01L 27/32

专利名称(译)	有源矩阵基板和液晶显示装置		
公开(公告)号	JP4881475B2	公开(公告)日	2012-02-22
申请号	JP2010507127	申请日	2009-02-04
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	上田修義 飯田宏之 山田崇晴 伊藤了基 堀内智		
发明人	上田 修義 飯田 宏之 山田 崇晴 伊藤 了基 堀内 智		
IPC分类号	G09F9/30 G02F1/1368		
CPC分类号	G02F1/136213		
FI分类号	G09F9/30.338 G02F1/1368		
代理人(译)	前田弘 竹内雄二		
优先权	2008103531 2008-04-11 JP		
其他公开文献	JPWO2009125532A1		
外部链接	Espacenet		

摘要(译)

在每个像素区域 (22) 的存储电容器电极 (33) 中，漏电极 (32) 的一个侧端穿过栅电极 (28) 端从栅电极 (28) 的外侧延伸到内侧。栅电极 (28) 的另一侧设置在电容线 (26) 的内侧，漏电极 (32) 横跨栅电极 (28) 的端部。位于线外 (26) 。

【 图 1 】

