

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2020-42308

(P2020-42308A)

(43) 公開日 令和2年3月19日 (2020.3.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621M	5C006
G02F 1/133 (2006.01)	G09G 3/20 680G	5C080
	G09G 3/20 622D	
	G09G 3/20 612T	
審査請求 有 請求項の数 2 O L (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2019-222726 (P2019-222726)	(71) 出願人	000153878
(22) 出願日	令和1年12月10日 (2019.12.10)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2018-1019 (P2018-1019)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	山崎 舜平
原出願日	平成25年7月23日 (2013.7.23)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-167281 (P2012-167281)		半導体エネルギー研究所内
(32) 優先日	平成24年7月27日 (2012.7.27)	(72) 発明者	小山 潤
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		F ターム (参考)	2H193 ZA04 ZA07 ZE10 ZF21
			5C006 AA01 AA02 AA16 AC11 AC22
			AC25 AF42 AF44 AF51 AF68
			AF72 AF73 BA19 BB16 BC03
			BC20 BF03 BF15 BF24 BF42
			EC02 FA33 FA38 GA04
			最終頁に続く

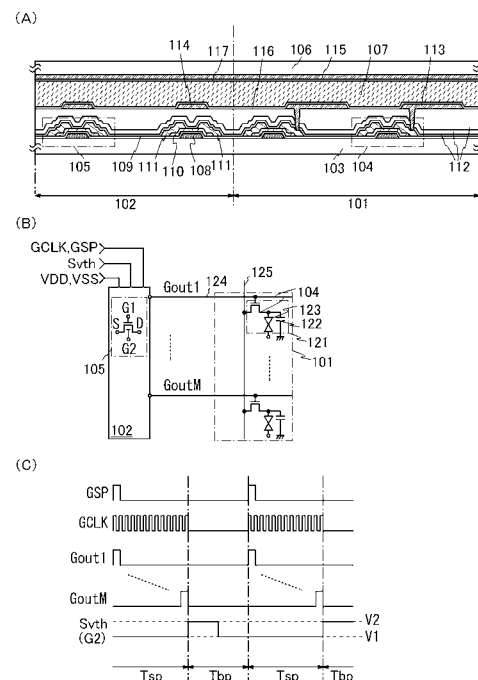
(54) 【発明の名称】 半導体装置、及び液晶表示装置

(57) 【要約】

【課題】画素電極と同じ導電層で形成されるバックゲートに印加される閾値電圧のシフトを抑制するための電圧による、液晶材料の劣化を抑制する。

【解決手段】液晶層に電界を印加するための画素電極を有する画素回路と、第1のゲートと、画素電極と同じ層に設けられた第2のゲートと、が半導体膜を挟んで対向するように設けられたトランジスタを有し、且つトランジスタが液晶層と重畳して設けられた駆動回路と、を備え、第1のゲートには、トランジスタの導通状態または非導通状態を制御するための信号が入力され、第2のゲートには、ゲート線選択期間において第1の電圧を印加する信号が入力され、垂直帰線期間において第1の電圧及び第2の電圧を交互に印加する信号が入力される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

液晶層に電界を印加するための画素電極を有する画素回路と、

第 1 のゲートと、前記画素電極と同じ層に設けられた第 2 のゲートと、が半導体膜を挟んで対向するように設けられたトランジスタを有し、且つ前記トランジスタが前記液晶層と重畳して設けられた駆動回路と、を備え、

前記第 1 のゲートには、前記トランジスタの導通状態または非導通状態を制御するための信号が入力され、

前記第 2 のゲートには、ゲート線選択期間において第 1 の電圧を印加する信号が入力され、垂直帰線期間において前記第 1 の電圧及び第 2 の電圧を交互に印加する信号が入力される液晶表示装置の駆動方法。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置、及びその駆動方法に関する。

【背景技術】**【0002】**

液晶表示装置は、近年の技術革新の結果、コモディティ化が進んでいる。今後は、より付加価値の高い製品が求められており、未だ技術開発が活発である。

【0003】

20

液晶表示装置に求められる付加価値としては、表示部の周囲の外枠を細くする、いわゆる狭額縁化が挙げられる。狭額縁化は、駆動回路が有するトランジスタを画素回路が有するトランジスタと共に基板上に同じ製造工程で作製することで実現することができる。

【0004】

駆動回路が有するトランジスタの半導体層としては、アモルファスシリコンと同等の生産性が見込めるために低コスト化がしやすい等の点から、酸化物半導体を採用することが好適である。特許文献 1 では、駆動回路が有するトランジスタを画素回路が有するトランジスタと共に基板上に同じ製造工程で作製する構成について記載している。

【先行技術文献】**【特許文献】**

30

【0005】

【特許文献 1】特開 2011-77503 号公報

【発明の概要】**【発明が解決しようとする課題】****【0006】**

駆動回路が有するトランジスタは、画素回路が有するトランジスタと比べて、電気的特性の劣化を防ぐことが求められる。具体的に特許文献 1 では、閾値電圧のシフトなどの電気的特性の劣化に備えて、駆動回路が有するトランジスタにバックゲートを設ける構成としている。

【0007】

40

特許文献 1 に示す駆動回路が有するトランジスタのバックゲートは、製造に必要なフォトリソマスク数の増加を抑制するために、画素回路が有するトランジスタに接続された画素電極と同じ導電膜を用いて形成されている。しかしながら、特許文献 1 に記載の構成では、バックゲート上に設けられる液晶材料が、バックゲートに印加される閾値電圧のシフトを抑制するための電圧により劣化してしまうといった問題がある。

【0008】

そこで本発明は、画素電極と同じ導電膜で形成されるバックゲートに印加される閾値電圧のシフトを抑制するための電圧による、液晶材料の劣化を抑制することができる、液晶表示装置、及び液晶表示装置の駆動方法を提供することを課題の一とする。

【課題を解決するための手段】

50

【 0 0 0 9 】

本発明の一態様は、液晶層に電界を印加するための画素電極を有する画素回路と、第1のゲートと、画素電極と同じ層に設けられた第2のゲートと、が半導体膜を挟んで対向するように設けられたトランジスタを有し、且つトランジスタが液晶層と重畳して設けられた駆動回路と、を備え、第1のゲートには、トランジスタの導通状態または非導通状態を制御するための信号が入力され、第2のゲートには、ゲート線選択期間において第1の電圧を印加する信号が入力され、垂直帰線期間において第1の電圧及び第2の電圧を交互に印加する信号が入力される液晶表示装置の駆動方法である。

【 0 0 1 0 】

本発明の一態様は、液晶層に電界を印加するための画素電極を有する画素回路と、第1のゲートと、画素電極と同じ層に設けられた第2のゲートと、が半導体膜を挟んで対向するように設けられたトランジスタを有し、且つトランジスタが液晶層と重畳して設けられた駆動回路と、を備え、第1のゲートには、トランジスタの導通状態または非導通状態を制御するための信号が入力され、第2のゲートには、ゲート線選択期間において第1の電圧を印加する信号が入力され、垂直帰線期間において第1の電圧及び第2の電圧を交互に印加する信号が入力され、垂直帰線期間では、駆動回路に入力するクロック信号を停止する液晶表示装置の駆動方法である。

10

【 0 0 1 1 】

本発明の一態様において、第1の電圧は、トランジスタの閾値電圧をプラスシフトするための電圧である液晶表示装置の駆動方法が好ましい。

20

【 0 0 1 2 】

本発明の一態様において、第1の電圧は、グラウンド電圧または低電源電圧であり、第2の電圧は、高電源電圧である液晶表示装置の駆動方法が好ましい。

【 0 0 1 3 】

本発明の一態様において、半導体膜は、酸化物半導体膜である液晶表示装置の駆動方法が好ましい。

【 発明の効果 】

【 0 0 1 4 】

本発明の一態様によれば、画素電極と同じ導電膜で形成されるバックゲートに印加される閾値電圧のシフトを抑制するための電圧による、液晶材料の劣化を抑制することができる。

30

【 図面の簡単な説明 】

【 0 0 1 5 】

【 図 1 】 液晶表示装置を説明するための断面図、回路図、及びタイミングチャート図。

【 図 2 】 液晶表示装置を説明するためのタイミングチャート図。

【 図 3 】 液晶表示装置を説明するためのブロック図及び回路図。

【 図 4 】 液晶表示装置を説明するためのタイミングチャート図。

【 図 5 】 液晶表示装置を説明するための回路図。

【 図 6 】 液晶表示装置を説明するための上面図及び断面図。

【 図 7 】 液晶表示装置を説明するためのブロック図、模式図及び断面図。

40

【 図 8 】 液晶素子を説明するための断面図。

【 図 9 】 電子機器を示す図。

【 図 1 0 】 電子機器を示す図。

【 発明を実施するための形態 】

【 0 0 1 6 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 1 7 】

50

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、信号波形、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0018】

なお本明細書にて用いる第1、第2、第3、乃至第N（Nは自然数）という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0019】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

10

【0020】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0021】

（実施の形態1）

本実施の形態では、液晶表示装置及び液晶表示装置の駆動方法の一形態を図1乃至図5を用いて説明する。

【0022】

まずは、本実施の形態で説明する液晶表示装置の駆動方法を説明する前に、液晶表示装置が有する画素回路及び駆動回路の構成について説明する。

20

【0023】

図1（A）は、液晶表示装置が有する画素回路が有するトランジスタ、及び駆動回路が有するトランジスタの断面模式図の一例である。

【0024】

図1（A）では、画素回路101の一部の断面模式図として基板103上にトランジスタ104を図示し、駆動回路102の一部の断面模式図として基板103上にトランジスタ105を示している。また基板106は、基板103と対をなして、基板103に対向して設けられている。基板103と基板106との間には、液晶層107が設けられている。

30

【0025】

基板103上に設けられるトランジスタ104及びトランジスタ105は、ゲートとして機能する導電膜108（第1のゲートともいう）、ゲート絶縁膜として機能する絶縁膜109、半導体膜110、及びソースまたはドレインとして機能する導電膜111を有する。

【0026】

トランジスタ104上及びトランジスタ105上には、層間絶縁膜として機能する絶縁膜112を有する。なお絶縁膜112は、トランジスタ104上及びトランジスタ105に対する、外部からの不純物をブロックするバリア層としての機能を有する膜を積層して設ける構成としてもよい。

40

【0027】

画素回路101の絶縁膜112上では、開口部でトランジスタ104の導電膜111に接続された画素電極として機能する導電膜113（第1の電極ともいう）が設けられる。また駆動回路102の絶縁膜112上では、駆動回路102のトランジスタ105のバックゲート（第2のゲートともいう）として機能する導電膜114が設けられる。導電膜113及び導電膜114上には、液晶層の配向膜として機能する絶縁膜116が設けられる。

【0028】

トランジスタ105は、第1のゲートとして機能する導電膜108と、第2のゲートとして機能する導電膜114と、が半導体膜110を挟んで対向するように設けられる。

50

【 0 0 2 9 】

本発明の一態様に係る構成では、駆動回路 1 0 2 のトランジスタ 1 0 5 にバックゲートを設ける。駆動回路 1 0 2 のトランジスタ 1 0 5 にバックゲートを設け、バックゲートとして機能する導電膜 1 1 4 に与える電圧を制御することで、トランジスタの閾値電圧が所望の値に定まるように制御することができる。よって、バックゲートを用いた閾値電圧の制御により、液晶表示装置の信頼性をさらに高めることができる。

【 0 0 3 0 】

駆動回路 1 0 2 のトランジスタ 1 0 5 では、トランジスタの電気的特性の変動により誤動作を引き起こすと、表示品位に及ぼす影響が大きい。そのため、駆動回路 1 0 2 のトランジスタ 1 0 5 での、バックゲートを用いた閾値電圧の制御は重要である。

10

【 0 0 3 1 】

なお図 1 (A) に示すように、導電膜 1 1 3 と導電膜 1 1 4 は、同じ層に設けられる膜である。そのため、一の導電膜をエッチング等により所望の形状に加工することにより、導電膜 1 1 3 と導電膜 1 1 4 とを形成することができる。その結果、フォトリソ加工の増加に伴う液晶表示装置の作製工程を増やすことなく、バックゲートとして機能する導電膜 1 1 4 を設けることができる。

【 0 0 3 2 】

なお導電膜 1 0 8、絶縁膜 1 0 9、半導体膜 1 1 0、導電膜 1 1 1、及び絶縁膜 1 1 2 は、図 1 (A) では単層として図示したが、2 以上の膜で形成される多層であっても良い。

【 0 0 3 3 】

画素回路 1 0 1 の基板 1 0 6 上では、導電膜 1 1 5 (第 2 の電極ともいう) が設けられる。導電膜 1 1 3 と導電膜 1 1 5 とに挟持される液晶層 1 0 7 を含めて液晶素子を構成することができる。液晶層 1 0 7 は、導電膜 1 1 3 と導電膜 1 1 5 に印加される電圧によって生じる電界に応じてバックライトの光の制御を行うことができる。なお液晶素子の第 2 の電極として機能する導電膜 1 1 5 は、基板 1 0 6 上に限らず、基板 1 0 3 上に設ける構成でもよいし、基板 1 0 3 と基板 1 0 6 の双方に設ける構成としてもよい。導電膜 1 1 5 上には、液晶層の配向膜として機能する絶縁膜 1 1 7 が設けられる。

20

【 0 0 3 4 】

なお液晶層 1 0 7 は、液晶材料を封止するための封止材の内側に設けられる。封止材は、画素回路 1 0 1 及び駆動回路 1 0 2 の外側に配置される。そのため液晶層 1 0 7 は、図 1 (A) に図示するように、液晶素子として設けられる画素回路 1 0 1 から駆動回路 1 0 2 にわたって設けられている。そして、駆動回路 1 0 2 が有するトランジスタ 1 0 5 は、液晶層 1 0 7 と重畳して設けられている。

30

【 0 0 3 5 】

次いで、本実施の形態で説明する液晶表示装置の駆動方法を説明する前に、液晶表示装置が有する画素回路及び駆動回路の構成において入出力される信号について説明する。

【 0 0 3 6 】

図 1 (B) は、図 1 (A) で示した画素回路 1 0 1 が有するトランジスタ 1 0 4 を含む画素の回路図、及び図 1 (A) で示した駆動回路 1 0 2 が有するトランジスタ 1 0 5 を含む回路図の一例である。

40

【 0 0 3 7 】

なお、本実施の形態では、駆動回路 1 0 2 として、特にゲート線駆動回路を図示して説明を行う。なお、ゲート線駆動回路が有するトランジスタとともにデータ線駆動回路が有するトランジスタを同じ基板上に同じ作製工程を用いて形成する構成としてもよい。

【 0 0 3 8 】

図 1 (B) に示す画素回路 1 0 1 が有する画素 1 2 1 は、トランジスタ 1 0 4、容量素子 1 2 2、及び液晶素子 1 2 3 を有する。トランジスタ 1 0 4 のゲートは、ゲート線 1 2 4 に接続される。トランジスタ 1 0 4 のソース及びドレインの一方は、データ線 1 2 5 に接続される。トランジスタ 1 0 4 のソース及びドレインの他方は、容量素子 1 2 2 の一方の電極及び液晶素子 1 2 3 の第 1 の電極に接続される。容量素子 1 2 2 の他方の電極は、容

50

量線に接続される。液晶素子 1 2 3 の第 2 の電極は、コモン電圧 V_{com} を供給するコモン線に接続される。

【0039】

図 1 (B) に示す駆動回路 102 であるゲート線駆動回路が有するトランジスタ 105 は、複数のトランジスタを組み合わせることでシフトレジスタを構成することができる。シフトレジスタは、M 本 (M は自然数) のゲート線 1 2 4 に順に走査信号 G_{out1} 乃至 G_{outM} を出力する。シフトレジスタには、ゲート線クロック信号 G_{CLK} 、ゲート線スタートパルス G_{SP} 、閾値電圧制御信号 S_{vth} 、高電源電圧 V_{DD} 、及び低電源電圧 V_{SS} が供給される。

【0040】

図 1 (B) に示す駆動回路 102 が有するトランジスタ 105 は、4 端子の素子として表すことができる。具体的には、第 1 のゲートを G_1 、バックゲートとして機能する第 2 のゲートを G_2 、ソースを S 、ドレインを D とする、図 1 (B) に示す回路記号で表すことができる。

【0041】

第 1 のゲート G_1 、ソース S またはドレイン D は、ゲート線クロック信号 G_{CLK} 、ゲート線スタートパルス G_{SP} 、高電源電圧 V_{DD} 、または低電源電圧 V_{SS} を供給するための配線、若しくは別のトランジスタ 105 の第 1 のゲート G_1 、ソース S またはドレイン D に接続される。第 1 のゲート G_1 は、接続される配線からの信号により、トランジスタの導通状態または非導通状態が制御される。

【0042】

なおゲート線クロック信号 G_{CLK} 及びゲート線スタートパルス G_{SP} は、駆動回路 102 が有するシフトレジスタより走査信号を出力するための信号である。なおゲート線クロック信号 G_{CLK} は、位相の異なる複数の信号であってもよい。また高電源電圧 V_{DD} 、及び低電源電圧 V_{SS} は、駆動回路に電源電圧を供給するための電圧である。

【0043】

また第 2 のゲート G_2 は、閾値電圧制御信号 S_{vth} を供給するための配線に接続される。第 2 のゲート G_2 は、ゲート線を選択する走査信号を出力する期間において、閾値電圧制御信号 S_{vth} により第 1 の電圧 V_1 が印加される。また第 2 のゲート G_2 は、垂直帰線期間において、閾値電圧制御信号 S_{vth} により第 1 の電圧 V_1 及び第 2 の電圧 V_2 が交互に印加される。

【0044】

なお閾値電圧制御信号 S_{vth} による第 1 の電圧 V_1 は、トランジスタの閾値電圧が所望の値に定まるようにする電圧であり、第 2 の電圧 V_2 は、第 1 の電圧 V_1 と交互に印加することで、液晶層が有する液晶材料の劣化を低減する電圧である。

【0045】

なお駆動回路 102 が有するトランジスタ 105 は、閾値電圧がマイナスシフトすると、導通状態または非導通状態の制御が難しくなる。したがって、閾値電圧制御信号 S_{vth} が、ゲート線を選択する走査信号を出力する期間に印加する第 1 の電圧 V_1 としては、トランジスタ 105 の閾値電圧をプラスシフトするための電圧であることが好ましい。トランジスタ 105 の閾値電圧をプラスシフトするための電圧としては、グラウンド電圧 GND または低電源電圧 V_{SS} 等とすればよい。

【0046】

トランジスタ 105 の閾値電圧をプラスシフトするための電圧には、一例としては駆動回路 102 中で最も低電位であるゲート線クロック信号 G_{CLK} の Low レベルの信号 (以下、 L 信号) の電圧、低電源電圧 V_{SS} またはグラウンド電圧等を用いるのが好ましいが、それより低い電圧であってもよい。第 2 のゲート G_2 に第 1 のゲート G_1 よりも低い電圧が与えられると、トランジスタ 105 の閾値電圧はプラスシフトする。この閾値電圧のシフト量は、第 2 のゲート G_2 に与えられる電圧が小さければ小さいほど、より大きくなる。よって、電気的特性の劣化によりトランジスタ 105 の閾値電圧がマイナスシフトし

10

20

30

40

50

たとしても、第2のゲートG2に印加する電圧の値を制御することで、マイナスシフトした閾値電圧をプラスシフトさせることができる。

【0047】

なお駆動回路102が有するトランジスタ105では、トランジスタ105の閾値電圧をプラスシフトするためにバックゲートとして機能する導電膜114に定電圧を印加する期間を設けることとなる。そのため、トランジスタ105に重畳して設けられる液晶層107の液晶材料の劣化が懸念される。液晶材料の劣化には、交流電圧を印加することで、劣化を低減できる。そのため、上述した閾値電圧制御信号Svthが、印加する第2の電圧V2としては高電源電圧VDDが好ましい。そして閾値電圧制御信号Svthは、垂直帰線期間に第1の電圧V1及び第2の電圧V2を交互に印加することで、交流電圧を液晶材料に印加することができ、液晶材料の劣化を低減することができる。

10

【0048】

なお上述したコモン電圧Vcomは、第1の電圧V1及び第2の電圧V2の間の電圧であることが好ましい。具体的には、高電源電圧VDDと低電源電圧VSSとの中間の電圧であることが好ましい。または低電源電圧VSSがグラウンド電圧の場合、コモン電圧は $1/2 VDD$ であることが好ましい。

【0049】

次いで、本実施の形態で説明する液晶表示装置の駆動方法について説明する。

【0050】

図1(C)では、図1(B)に示したゲート線クロック信号GCLK、ゲート線スタートパルスGSP、閾値電圧制御信号Svth、及び走査信号Gout1乃至GoutMについてのタイミングチャート図を示す。

20

【0051】

なお図1(C)に示すタイミングチャート図において、期間Tspは、走査信号Gout1乃至GoutMにより各行の画素を選択するゲート線選択期間である。また、図1(C)に示すタイミングチャート図において、期間Tbpは、1行目からM行目までのゲート線に順に走査信号を出力した後に、再度1行目に走査信号を出力するまでのブランク期間である、垂直帰線期間である。

【0052】

本実施の形態で説明する液晶表示装置の駆動方法では、期間Tspにおいて、ゲート線クロック信号GCLK、ゲート線スタートパルスGSPが入力され、ゲート線に走査信号Gout1乃至GoutMを順に出力するとともに、閾値電圧制御信号Svthによりバックゲートに第1の電圧V1を印加することができる。また期間Tbpにおいて、ゲート線クロック信号GCLKをL信号に固定して信号の発振を停止するとともに、閾値電圧制御信号Svthによりバックゲートに第1の電圧V1と第2の電圧V2とを交互に印加することができる。

30

【0053】

上述の液晶表示装置の駆動方法とすることで、ゲート線選択期間でトランジスタの閾値電圧のシフトを抑制するための電圧を印加する構成とすることができる。加えて、画素電極と同じ導電膜で形成される、バックゲートに印加される閾値電圧のシフトを抑制するための電圧による、液晶材料の劣化を低減する構成とすることができる。

40

【0054】

なお、図1(C)で示した、期間Tbpにおける、閾値電圧制御信号Svthの第1の電圧V1と第2の電圧V2による交流電圧の印加は、図2(A)に示すように、複数回振幅させて行う構成としてもよい。

【0055】

また別の構成として、図1(C)で示した、期間Tbpにおける閾値電圧制御信号Svthは、期間Tbpにわたって第2の電圧V2を印加する構成としてもよい。具体的には、図2(B)に示すように、期間Tbpで第2の電圧V2を印加し、期間Tspと期間Tbpとの切り替わり時における、第1の電圧V1から第2の電圧V2への信号の立ち上がり

50

、及び第 2 の電圧 V_2 から第 1 の電圧 V_1 への信号の立ち下がりを利用して、液晶材料の劣化を低減する構成とすることができる。

【0056】

次いで図 1 (A) 乃至 (C) で説明した駆動回路であるゲート線駆動回路が有する、バックゲートが設けられたトランジスタを有するパルス信号出力回路、及びパルス信号出力回路を含むシフトレジスタの回路構成の一例を示し、液晶表示装置の駆動方法についてさらに説明する。

【0057】

まず、パルス信号出力回路、及びパルス信号出力回路を含むシフトレジスタの回路構成例について図 3 (A) 乃至 (C) を参照して説明する。

10

【0058】

シフトレジスタは、第 1 のパルス信号出力回路 10_1 乃至第 M のパルス信号出力回路 10_M と、ゲート線クロック信号 $GCLK$ を伝達する信号線 11 乃至信号線 14 と、閾値電圧制御信号 $Svth$ を伝達する信号線 16 と、を有する (図 3 (A) 参照)。信号線 11 にはゲート線クロック信号 $GCLK_1$ が与えられ、信号線 12 にはゲート線クロック信号 $GCLK_2$ が与えられ、信号線 13 にはゲート線クロック信号 $GCLK_3$ が与えられ、信号線 14 にゲート線クロック信号 $GCLK_4$ が与えられる。信号線 16 には、閾値電圧制御信号 $Svth$ が与えられる。

【0059】

クロック信号は、一定の間隔で $High$ レベルの信号 (以下、 H 信号) と、 L 信号を繰り返す信号である。ここでは、ゲート線クロック信号 $GCLK_1$ 乃至ゲート線クロック信号 $GCLK_4$ は、 $1/4$ 周期ずつ遅延した信号とする。図 3 (A) 乃至 (C) に示す回路では、上記クロック信号を利用して、パルス信号出力回路の制御等を行う。

20

【0060】

第 1 のパルス信号出力回路 10_1 乃至第 M のパルス信号出力回路 10_M は、それぞれ、入力端子 21、入力端子 22、入力端子 23、入力端子 24、入力端子 25、出力端子 26、出力端子 27、及び入力端子 28 を有する (図 3 (B) 参照)。

【0061】

入力端子 21、入力端子 22、及び入力端子 23 は、信号線 11 乃至信号線 14 のいずれかに接続される。例えば、第 1 のパルス信号出力回路 10_1 において、入力端子 21 は信号線 11 に接続され、入力端子 22 が信号線 12 に接続され、入力端子 23 が信号線 13 に接続されている。また、第 2 のパルス信号出力回路 10_2 において、入力端子 21 が信号線 12 に接続され、入力端子 22 が信号線 13 に接続され、入力端子 23 が信号線 14 に接続されている。なお、ここでは、第 M のパルス信号出力回路 10_M と接続される信号線が、信号線 12、信号線 13、信号線 14 である場合を示しているが、第 M のパルス信号出力回路 10_M と接続される信号線は、 M の値によって異なるものになる。このため、ここで示す構成はあくまでも一例に過ぎないことを付記する。

30

【0062】

また、本実施の形態で示すシフトレジスタの第 m のパルス信号出力回路 (m は 3 以上の自然数) において、入力端子 24 は第 $(m-1)$ のパルス信号出力回路の出力端子 26 に接続され、入力端子 25 は第 $(m+2)$ のパルス信号出力回路の出力端子 26 に接続され、出力端子 26 は第 $(m+1)$ のパルス信号出力回路の入力端子 24 と、第 $(m-2)$ のパルス信号出力回路の入力端子 25 と、に接続され、出力端子 27 は $Gout(m)$ に信号を出力し、入力端子 28 は信号線 16 に接続される。

40

【0063】

また、第 1 のパルス信号出力回路 10_1 では、入力端子 24 に信号線 15 からのゲート線スタートパルス ($GSP1$) が入力される。また、第 k のパルス信号出力回路 10_k (k は 2 以上 M 以下の自然数) では、前段の出力パルスが入力端子 24 に入力される。また、第 $(M-1)$ のパルス信号出力回路 $10_ (M-1)$ では、ゲート線スタートパルス ($GSP2$) が入力端子 25 に入力される。また、第 M のパルス信号出力回路 10_M で

50

は、ゲート線スタートパルス（GSP3）が入力端子25に輸入される。なお、ゲート線スタートパルス（GSP2）及びゲート線スタートパルス（GSP3）は、外部より輸入される信号としてもよいし、回路内部で生成される信号としてもよい。

【0064】

次に、第1のパルス信号出力回路10₁乃至第Mのパルス信号出力回路10_Mの具体的な構成に関して説明する。

【0065】

第1のパルス信号出力回路10₁乃至第Mのパルス信号出力回路10_Mの各々は、図3（C）に示すように、トランジスタ201乃至トランジスタ211で構成される。

【0066】

また、トランジスタ201乃至トランジスタ211はそれぞれ、図1（B）で説明した、第1のゲート、第2のゲート、ソース及びドレイン、の各端子を有する。なお以下の説明では、第1のゲートの端子を第1のゲート端子、第2のゲートの端子を第2のゲート端子、ソース及びドレインの一方の端子を第1の端子、ソース及びドレインの他方の端子を第2の端子という。

【0067】

図3（C）に示すパルス信号出力回路の構成について説明する。

【0068】

トランジスタ201は、第1の端子が入力端子21と接続され、第2の端子が出力端子26と接続され、第1のゲート端子がトランジスタ207の第2の端子と接続され、第2のゲート端子が入力端子28と接続されている。

【0069】

トランジスタ202は、第1の端子が出力端子26と接続され、第2の端子が電源線31と接続され、第1のゲート端子がトランジスタ208の第2の端子と接続され、第2のゲート端子が入力端子28と接続されている。

【0070】

トランジスタ203は、第1の端子が入力端子21と接続され、第2の端子が出力端子27と接続され、第1のゲート端子がトランジスタ207の第2の端子と接続され、第2のゲート端子が入力端子28と接続されている。

【0071】

トランジスタ204は、第1の端子が出力端子27と接続され、第2の端子が電源線31と接続され、第1のゲート端子がトランジスタ208の第2の端子と接続され、第2のゲート端子が入力端子28と接続されている。

【0072】

トランジスタ205は、第1の端子が電源線32と接続され、第2の端子がトランジスタ206の第1の端子及びトランジスタ207の第1の端子と接続され、第1のゲート端子が入力端子24と接続され、第2のゲート端子が入力端子28と接続されている。

【0073】

トランジスタ206は、第1の端子がトランジスタ205の第2の端子及びトランジスタ207の第1の端子と接続され、第2の端子が電源線31と接続され、第1のゲート端子がトランジスタ208の第2の端子と接続され、第2のゲート端子が入力端子28と接続されている。

【0074】

トランジスタ207は、第1の端子がトランジスタ205の第2の端子及びトランジスタ206の第1の端子と接続され、第2の端子がトランジスタ201の第1のゲート端子及びトランジスタ203の第1のゲート端子と接続され、第1のゲート端子が電源線32と接続され、第2のゲート端子が入力端子28と接続されている。

【0075】

トランジスタ208は、第1の端子がトランジスタ210の第2の端子と接続され、第2の端子が、トランジスタ202の第1のゲート端子、トランジスタ204の第1のゲート

10

20

30

40

50

端子、及びトランジスタ 206 の第 1 のゲート端子と接続され、第 1 のゲート端子が入力端子 22 と接続され、第 2 のゲート端子が入力端子 28 と接続されている。

【0076】

トランジスタ 209 は、第 1 の端子がトランジスタ 208 の第 2 の端子と接続され、第 2 の端子が電源線 31 と接続され、第 1 のゲート端子が入力端子 24 と接続され、第 2 のゲート端子が入力端子 28 と接続されている。

【0077】

トランジスタ 210 は、第 1 の端子が電源線 32 と接続され、第 2 の端子がトランジスタ 208 の第 1 の端子と接続され、第 1 のゲート端子が入力端子 23 と接続され、第 2 のゲート端子が入力端子 28 と接続されている。

10

【0078】

トランジスタ 211 は、第 1 の端子が電源線 32 と接続され、第 2 の端子がトランジスタ 208 の第 2 の端子と接続され、第 1 のゲート端子が入力端子 25 と接続され、第 2 のゲート端子が入力端子 28 と接続されている。

【0079】

上述したパルス信号出力回路の各構成は一例にすぎず、本発明の一態様がこれに限定されるものではない。

【0080】

図 3 (C) におけるパルス信号出力回路が図 3 (A) に示す第 1 のパルス信号出力回路 10₁ の場合、入力端子 21 にはゲート線クロック信号 GCLK1 が入力され、入力端子 22 にはゲート線クロック信号 GCLK2 が入力され、入力端子 23 にはゲート線クロック信号 GCLK3 が入力され、入力端子 24 には、ゲート線スタートパルス GSP1 が入力され、入力端子 25 には、第 3 のパルス信号出力回路 10₃ の出力信号 (out3 と記す) が入力される。また、出力端子 26 から第 1 のパルス信号出力回路 10₁ の出力信号 (out1 と記す) が第 2 のパルス信号出力回路 10₂ の入力端子 24 に出力され、出力端子 27 から走査信号 Gout1 が出力され、入力端子 28 から閾値電圧制御信号 Svth が入力される。なお、各入力端子に与えられる H 信号は VDD とし、L 信号は VSS とする。

20

【0081】

また、電源線 31 には低電源電圧 VSS が与えられ、電源線 32 には高電源電圧 VDD が与えられる。

30

【0082】

トランジスタ 201 乃至トランジスタ 211 の導通状態または非導通状態を伴う動作は、出力端子 26 から出力される信号 out1、及び出力端子 27 から出力される走査信号 Gout1 に影響する。そこで図 1 (A) 乃至 (C) でも説明したように本実施の形態における、駆動回路が有するトランジスタは、バックゲートとして機能する第 2 のゲートを設け、ゲート線選択期間でトランジスタの閾値電圧のシフトを抑制するための電圧を印加する構成とすることで、信号 out1、及び走査信号 Gout1 へのトランジスタ 201 乃至トランジスタ 211 の電気的特性の劣化に伴う影響を低減することができる。加えて図 1 (A) 乃至 (C) でも説明したように本実施の形態における、駆動回路が有するトランジスタは、画素電極と同じ導電膜で形成され、バックゲートに印加される閾値電圧のシフトを抑制するための電圧による、液晶材料の劣化を低減する構成とすることができる。

40

【0083】

次に、図 3 (A) 乃至 (C) に示すシフトレジスタの動作について図 4 に示すタイミングチャート図を参照して説明する。なお図 4 で説明するタイミングチャート図において、トランジスタ 201 乃至トランジスタ 211 は、全て n チャンネル型のトランジスタとする。

【0084】

図 4 に示すタイミングチャート中、GCLK1 乃至 GCLK4 はそれぞれゲート線クロック信号を示し、Svth は閾値電圧制御信号を示し、GSP1 はゲート線スタートパルスを示し、Gout1 乃至 GoutM は、第 1 のパルス信号出力回路 10₁ 乃至第 M のパ

50

ルス信号出力回路 10_M の出力端子 27 からの出力を示し、out 1 乃至 out M は、第 1 のパルス信号出力回路 10₁ 乃至第 M のパルス信号出力回路 10_M の出力端子 26 からの出力を示す。

【0085】

なお図 4 に示すタイミングチャート図において、期間 T_{sp} 及び期間 T_{bp} は、図 1 (C) での説明と同様である。また図 4 で示すタイミングチャート図において、期間 T_v は、期間 T_{bp} での閾値電圧制御信号 S_{vth} による第 1 の電圧 V₁ と第 2 の電圧 V₂ とを交互に印加する期間である。また図 4 で示すタイミングチャート図において、期間 T_c は、ゲート線クロック信号 GCLK を L 信号に固定して信号の発振を停止する期間である。

【0086】

本実施の形態で説明する液晶表示装置の駆動方法では、期間 T_{sp} において、ゲート線クロック信号 GCLK、ゲート線スタートパルス GSP が入力され、ゲート線に走査信号 Gout 1 乃至 Gout M を順に出力するとともに、閾値電圧制御信号 S_{vth} によりバックゲートに第 1 の電圧 V₁ を印加することができる。また期間 T_{bp} において、ゲート線クロック信号 GCLK を L 信号に固定して信号の発振を停止するとともに、閾値電圧制御信号 S_{vth} によりバックゲートに第 1 の電圧 V₁ と第 2 の電圧 V₂ とを交互に印加することができる。

【0087】

特に図 4 に示すタイミングチャート図では、垂直帰線期間である期間 T_{bp} において、期間 T_c は先に開始し、期間 T_v が開始及び終了した後に、期間 T_c が終了となる。すなわち、垂直帰線期間では、先にゲート線クロック信号を停止した後に、バックゲートに第 1 の電圧 V₁ と第 2 の電圧 V₂ とを交互に印加する期間を設け、該期間が終了した後に、ゲート線クロック信号による信号の発振を再開する構成としている。該構成とすることで、バックゲートに第 1 の電圧 V₁ と第 2 の電圧 V₂ とを交互に印加する期間の前に、ゲート線クロック信号の信号を L 信号に固定することができるため、出力端子 26 から出力される信号 out 1、及び出力端子 27 から出力される走査信号 Gout 1 での誤動作を低減することができる。

【0088】

上述の液晶表示装置の駆動方法とすることで、ゲート線選択期間でトランジスタの閾値電圧のシフトを抑制するための電圧を印加する構成とすることができる。加えて、画素電極と同じ導電膜で形成される、バックゲートに印加される閾値電圧のシフトを抑制するための電圧による、液晶材料の劣化を低減する構成とすることができる。

【0089】

なお、本発明の一態様は、図 3 (C) で示したパルス信号出力回路の構成のように全てのトランジスタにバックゲートを設ける構成に限らない。一例としては図 5 (A) に示すように、電源線 32 と電源線 31 との間のトランジスタにいずれかにバックゲートとして機能する導電膜を設けたトランジスタとする構成としてもよい。なお図 5 (A) では、トランジスタ 201、トランジスタ 203、トランジスタ 205、トランジスタ 208、トランジスタ 210、及びトランジスタ 211 をバックゲートとして機能する導電膜を設けたトランジスタとする構成について示しているが、他の構成でもよい。

【0090】

またバックゲートとして機能する導電膜に供給される閾値電圧制御信号 S_{vth} による閾値電圧のシフトを抑制するための電圧は、第 2 の電圧 V₂ に限らず、異なる値の電圧を印加する構成としてもよい。該構成の場合、バックゲートとして機能する導電膜に供給する信号を複数用意し、図 5 (B) に示すように入力端子 28A 及び入力端子 28B より、第 1 の閾値電圧制御信号 S_{vth} 及び第 2 の閾値電圧制御信号 S_{vth} を入力する構成とすればよい。

【0091】

本実施の形態において述べた液晶表示装置の駆動方法によると、ゲート線選択期間でトランジスタの閾値電圧のシフトを抑制するための電圧を印加する構成とすることで、駆動回

10

20

30

40

50

路が有するトランジスタの電気的特性の劣化に伴う影響を低減することができる。加えて、本実施の形態において述べた液晶表示装置の駆動方法によると、垂直帰線期間で、画素電極と同じ導電膜で形成されるバックゲートに印加される閾値電圧のシフトを抑制するための電圧による、液晶材料の劣化を抑制することができる。

【0092】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0093】

(実施の形態2)

本実施の形態においては、上記実施の形態1で説明した、画素回路が有するトランジスタ、及び駆動回路が有するトランジスタの構成について説明する。本実施の形態では、特にバックゲートとして機能する導電膜を設ける前までの、いわゆるボトムゲート型のトランジスタの構成について詳述する。

10

【0094】

上記実施の形態で説明した液晶表示装置が有するトランジスタの構成において、トランジスタにおけるチャネル形成領域を形成する半導体膜には、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体膜が用いられていても良いし、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜が用いられていても良い。シリコンとしては、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

20

【0095】

または半導体膜には、酸化物半導体を用いてもよい。酸化物半導体は非晶質シリコンより電界効果移動度が大きいので、オン電流の大きいトランジスタを得ることができる。また酸化物半導体膜をチャネル形成領域に有するトランジスタは、非晶質シリコンのトランジスタの既存の生産設備を一部変更するだけで製造することができる。そのため、酸化物半導体膜をチャネル形成領域に有するトランジスタを用いて作製される液晶表示装置は、追加の設備投資を抑えてトランジスタの製造コストを低減することができる。

【0096】

以下、酸化物半導体膜にチャネル形成領域を有するトランジスタの一例について、図面を参照して説明する。

30

【0097】

図6(A)乃至図6(C)に、酸化物半導体膜にチャネル形成領域を有するトランジスタ50の上面図及び断面図を示す。図6(A)はトランジスタ50の上面図であり、図6(B)は、図6(A)の一点鎖線A-B間の断面図であり、図6(C)は、図6(A)の一点鎖線C-D間の断面図である。なお、図6(A)では、明瞭化のため、トランジスタ50の構成要素の一部(例えば、絶縁膜53、絶縁膜56、絶縁膜57など)を省略している。

【0098】

図6(B)及び図6(C)に示すトランジスタ50は、基板51上に、第1のゲートとして機能する導電膜52を有する。また、基板51及び導電膜52上に、絶縁膜53が形成され、絶縁膜53を介して、導電膜52と重なる酸化物半導体膜54と、ソースまたはドレインとして機能し、なおかつ酸化物半導体膜54に接する一対の導電膜55とを有する。また、絶縁膜53、酸化物半導体膜54、及び一対の導電膜55上には、絶縁膜56及び絶縁膜57で構成される保護膜58が形成される。

40

【0099】

本実施の形態に示すトランジスタ50において、酸化物半導体膜54に接するように、絶縁膜56が形成されている。絶縁膜56は、酸素を透過する酸化絶縁膜であることが望ましい。この場合、絶縁膜56においては、外部から絶縁膜56に入った酸素が全て絶縁膜

50

56の外部に移動せず、絶縁膜56にとどまる酸素が存在していても良い。また、絶縁膜56に酸素が入ると共に、絶縁膜56に含まれる酸素が絶縁膜56の外部へ移動することで、絶縁膜56において酸素の移動が生じてても良い。

【0100】

絶縁膜56として酸素を透過する酸化絶縁膜を用いることで、絶縁膜56上に設けられる、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜から放出される酸素を、絶縁膜56を介して酸化物半導体膜54に移動させることができる。

【0101】

絶縁膜56としては、厚さが5nm以上150nm以下、好ましくは5nm以上50nm以下、好ましくは10nm以上30nm以下の酸化シリコン、酸化窒化シリコン等を用いることができる。

10

【0102】

絶縁膜56に接するように絶縁膜57が形成されている。絶縁膜57は化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜であることが望ましい。この場合、絶縁膜57としては、厚さが30nm以上500nm以下、好ましくは150nm以上400nm以下の、酸化シリコン、酸化窒化シリコン等を用いることができる。

【0103】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜は、加熱により酸素の一部が脱離する酸化絶縁膜である。このため、加熱により酸素の一部が脱離する酸化絶縁膜を絶縁膜57として、酸素を透過する絶縁膜56上に設けることで、酸化物半導体膜54に酸素を移動させ、酸化物半導体膜54に含まれる酸素欠損を補填することが可能である。または、加熱しながら酸素を透過する絶縁膜56上に絶縁膜57を形成することで、酸化物半導体膜54に酸素を移動させ、酸化物半導体膜54に含まれる酸素欠損を補填することが可能である。または、酸素を透過する絶縁膜56上に絶縁膜57を形成した後、加熱処理することにより、酸素を酸化物半導体膜54に移動させ、酸化物半導体膜54に含まれる酸素欠損を補填することが可能である。この結果、酸化物半導体膜に含まれる酸素欠損量を低減することができる。

20

【0104】

酸化物半導体膜54のバックチャネル（酸化物半導体膜54において、導電膜52と対向する面と反対側の面）に、酸素を透過する酸化絶縁膜を介して、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を設けることで、酸化物半導体膜54のバックチャネル側に酸素を移動させることが可能であり、当該領域の酸素欠損を低減することができる。

30

【0105】

なお、絶縁膜57の形成工程において、酸化物半導体膜54にダメージが入らない場合は、絶縁膜56を設けず、加熱により酸素の一部が脱離する酸化絶縁膜である絶縁膜57のみを保護膜として設けてもよい。

【0106】

なお、酸化物半導体膜を有するトランジスタはnチャネル型トランジスタであるため、本明細書において、ゲート電圧が0Vの場合、ドレイン電流が流れていないとみなすことができるトランジスタを、ノーマリーオフ特性を有するトランジスタと定義する。また、ゲート電圧が0Vの場合、ドレイン電流が流れているとみなすことができるトランジスタを、ノーマリーオン特性を有するトランジスタと定義する。

40

【0107】

以下に、トランジスタ50の他の構成の詳細について説明する。

【0108】

基板51の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板51として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI

50

基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 5 1 として用いてもよい。

【0109】

また、基板 5 1 として、可撓性基板を用い、可撓性基板上に直接、トランジスタ 5 0 を形成してもよい。または、基板 5 1 とトランジスタ 5 0 の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板 5 1 より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ 5 0 は耐熱性の劣る基板や可撓性の基板にも転載できる。

【0110】

なお、基板 5 1 及び導電膜 5 2 の間に下地絶縁膜を設けてもよい。下地絶縁膜としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、下地絶縁膜として、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム等を用いることで、基板 5 1 から不純物、代表的にはアルカリ金属、水、水素等の酸化物半導体膜 5 4 への拡散を抑制することができる。なお、本明細書中において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多い膜を指し、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多い膜を指す。

10

【0111】

導電膜 5 2 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、導電膜 5 2 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

20

30

【0112】

また、導電膜 5 2 は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0113】

また、導電膜 5 2 と絶縁膜 5 3 との間に、In-Ga-Zn 系酸窒化物半導体膜、In-Sn 系酸窒化物半導体膜、In-Ga 系酸窒化物半導体膜、In-Zn 系酸窒化物半導体膜、Sn 系酸窒化物半導体膜、In 系酸窒化物半導体膜、金属窒化膜 (InN、ZnN 等) 等を設けてもよい。これらの膜は 5 eV 以上、好ましくは 5.5 eV 以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタの閾値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn 系酸窒化物半導体膜を用いる場合、少なくとも酸化物半導体膜 5 4 より高い窒素濃度、具体的には 7 原子% 以上の In-Ga-Zn 系酸窒化物半導体膜を用いる。

40

【0114】

絶縁膜 5 3 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga-Zn 系金属酸化物、

50

窒化シリコンなどを用いればよく、積層または単層で設ける。また、絶縁膜 53 として、加熱により酸素が脱離する酸化絶縁物を用いてもよい。絶縁膜 53 に加熱により酸素が脱離する膜を用いることで、酸化物半導体膜 54 及び絶縁膜 53 の界面における界面準位を低減することが可能であり、電気的特性の劣化の少ないトランジスタを得ることができる。また、絶縁膜 53 に、酸素、水素、水等のブロッキング効果を有する絶縁膜を用いることで、酸化物半導体膜 54 からの酸素の外部への拡散と、外部から酸化物半導体膜 54 への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。また、絶縁膜 53 に、水素、水等のブロッキング効果を有する絶縁膜を用いることで、外部から酸化物半導体膜 54 への水素、水等の侵入を防ぐことができる。水素、水等のブロッキング効果を有する絶縁膜としては、窒化シリコン、窒化酸化シリコン等がある。

10

【0115】

また、絶縁膜 53 として、ハフニウムシリケート (HfSiO_x)、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどの high-k 材料を用いることでトランジスタのゲートリークを低減できる。

【0116】

絶縁膜 53 の厚さは、5 nm 以上 400 nm 以下、より好ましくは 10 nm 以上 300 nm 以下、より好ましくは 50 nm 以上 250 nm 以下とするとよい。

20

【0117】

酸化物半導体膜 54 は、少なくともインジウム (In) 若しくは亜鉛 (Zn) を含むことが好ましい。または、In と Zn の双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすため、それらと共に、スタビライザーの一または複数を有することが好ましい。

【0118】

スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、またはジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) 等がある。

30

【0119】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn 系金属酸化物、Sn-Zn 系金属酸化物、Al-Zn 系金属酸化物、Zn-Mg 系金属酸化物、Sn-Mg 系金属酸化物、In-Mg 系金属酸化物、In-Ga 系金属酸化物、In-W 系金属酸化物、In-Ga-Zn 系金属酸化物 (IGZO と表記する)、In-Al-Zn 系金属酸化物、In-Sn-Zn 系金属酸化物、Sn-Ga-Zn 系金属酸化物、Al-Ga-Zn 系金属酸化物、Sn-Al-Zn 系金属酸化物、In-Hf-Zn 系金属酸化物、In-La-Zn 系金属酸化物、In-Ce-Zn 系金属酸化物、In-Pr-Zn 系金属酸化物、In-Nd-Zn 系金属酸化物、In-Sm-Zn 系金属酸化物、In-Eu-Zn 系金属酸化物、In-Gd-Zn 系金属酸化物、In-Tb-Zn 系金属酸化物、In-Dy-Zn 系金属酸化物、In-Ho-Zn 系金属酸化物、In-Er-Zn 系金属酸化物、In-Tm-Zn 系金属酸化物、In-Yb-Zn 系金属酸化物、In-Lu-Zn 系金属酸化物、In-Sn-Ga-Zn 系金属酸化物、In-Hf-Ga-Zn 系金属酸化物、In-Al-Ga-Zn 系金属酸化物、In-Sn-Al-Zn 系金属酸化物、In-Sn-Hf-Zn 系金属酸化物、In-Hf-Al-Zn 系金属酸化物を用いることができる。

40

50

【0120】

なお、ここで、例えば、In-Ga-Zn系金属酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0121】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0122】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$)、あるいは $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ ($=1/2:1/6:1/3$)の原子数比のIn-Ga-Zn系金属酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$)あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$)の原子数比のIn-Sn-Zn系金属酸化物やその組成の近傍の酸化物を用いるとよい。

【0123】

しかし、これらに限られず、必要とする電気的特性(電界効果移動度、閾値電圧等)に応じて適切な組成のものを用いればよい。また、必要とする電気的特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0124】

例えば、In-Sn-Zn系金属酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn系金属酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0125】

また、酸化物半導体膜54に形成することが可能な金属酸化物は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【0126】

以下では、酸化物半導体膜の構造について説明する。

【0127】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜などをいう。

【0128】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0129】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶(ナノ結晶ともいう。)を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0130】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、CAAC-O

10

20

30

40

50

S 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。CAAC-OSS 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OSS 膜について詳細な説明を行う。

【0131】

CAAC-OSS 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OSS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0132】

CAAC-OSS 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OSS 膜の膜を形成する面 (被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OSS 膜の被形成面または上面と平行に配列する。

【0133】

一方、CAAC-OSS 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0134】

断面 TEM 観察および平面 TEM 観察より、CAAC-OSS 膜の結晶部は配向性を有していることがわかる。

【0135】

CAAC-OSS 膜に対し、X 線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する CAAC-OSS 膜の out-of-plane 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、CAAC-OSS 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0136】

一方、CAAC-OSS 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in-plane 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) として試料を回転させながら分析 (ϕ スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、CAAC-OSS 膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

【0137】

以上のことから、CAAC-OSS 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 TEM 観察で確認された層状に配列した金属原子の各層は、結晶の ab 面に平行な面である。

【0138】

なお、結晶部は、CAAC-OSS 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、CAAC-OSS 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OSS 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が CAAC-OSS 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0139】

また、CAAC-OSS 膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OSS 膜

10

20

30

40

50

の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【 0 1 4 0 】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *out - of - plane* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、*c* 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

10

【 0 1 4 1 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 4 2 】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【 0 1 4 3 】

また、酸化物半導体膜 5 4 は、複数の酸化物半導体膜が積層された構造でもよい。例えば、酸化物半導体膜 5 4 を、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜の積層として、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜に、異なる組成の金属酸化物を用いてもよい。

20

【 0 1 4 4 】

また、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第 1 の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ とし、第 2 の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ としてもよい。また、第 1 の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ とし、第 2 の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ としてもよい。なお、各酸化物半導体膜の原子数比は、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。

【 0 1 4 5 】

この時、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜のうち、第 1 のゲートとして機能する導電膜に近い側（チャネル側）の酸化物半導体膜の In と Ga の含有率を $\text{In} > \text{Ga}$ とするとよい。また第 1 のゲートとして機能する導電膜から遠い側（バックチャネル側）の酸化物半導体膜の In と Ga の含有率を $\text{In} \leq \text{Ga}$ とするとよい。

30

【 0 1 4 6 】

また、酸化物半導体膜 5 4 を 3 層構造とし、第 1 の酸化物半導体膜乃至第 3 の酸化物半導体膜の構成元素を同一とし、且つそれぞれの組成を異ならせてもよい。例えば、第 1 の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ とし、第 2 の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ とし、第 3 の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ としてもよい。

40

【 0 1 4 7 】

Ga 及び Zn より In の原子数比が小さい酸化物半導体膜、代表的には原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である第 1 の酸化物半導体膜は、 Ga 及び Zn より In の原子数比が大きい酸化物半導体膜、代表的には第 2 の酸化物半導体膜、並びに Ga 、 Zn 、及び In の原子数比が同じ酸化物半導体膜、代表的には第 3 の酸化物半導体膜と比較して、酸素欠損が生じにくいいため、キャリア密度が増加することを抑制することができる。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である第 1 の酸化物半導体膜が非晶質構造であると、第 2 の酸化物半導体膜が C A A C - O S 膜となりやすい。

【 0 1 4 8 】

また、第 1 の酸化物半導体膜乃至第 3 の酸化物半導体膜の構成元素は同一であるため、第

50

1の酸化物半導体膜は、第2の酸化物半導体膜との界面におけるトラップ準位が少ない。このため、酸化物半導体膜54を上記構造とすることで、トランジスタの経時変化や光BTストレス試験による閾値電圧の変動量を低減することができる。

【0149】

酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、In>Gaの組成となる酸化物はInGaの組成となる酸化物と比較して高いキャリア移動度を備える。また、GaはInと比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、InGaの組成となる酸化物はIn>Gaの組成となる酸化物と比較して安定した特性を備える。

10

【0150】

チャネル側にIn>Gaの組成となる酸化物半導体を適用し、バックチャネル側にInGaの組成となる酸化物半導体を適用することで、トランジスタの電界効果移動度及び信頼性をさらに高めることが可能となる。

【0151】

また、第1の酸化物半導体膜乃至第3の酸化物半導体膜に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、またはCAAC-OSを適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜乃至第3の酸化物半導体膜のいずれかに非晶質酸化物半導体を適用すると、酸化物半導体膜54の内部応力や外部からの応力を緩和し、トランジスタの電気的特性のばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

20

【0152】

酸化物半導体膜54の厚さは、1nm以上100nm以下、更に好ましくは1nm以上50nm以下、更に好ましくは1nm以上30nm以下、更に好ましくは3nm以上20nm以下とすることが好ましい。

【0153】

酸化物半導体膜54において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であることが望ましい。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流の上昇の原因となるためである。

30

【0154】

酸化物半導体膜54において、二次イオン質量分析法により得られる水素濃度を、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることが好ましい。

【0155】

酸化物半導体膜54に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子(あるいは酸素が脱理した部分)には欠損が形成されてしまう。また、水素の一部が酸素と結合することで、キャリアである電子が生じてしまう。これらのため、酸化物半導体膜の成膜工程において、水素を含む不純物を極めて減らすことにより、酸化物半導体膜の水素濃度を低減することが可能である。このため、水素をできるだけ除去し、高純度化された酸化物半導体膜をチャネル領域とすることにより、閾値電圧のマイナスシフトを低減することができ、またトランジスタのソース及びドレインにおけるリーク電流を、代表的には、オフ電流を低減することが可能であり、トランジスタの電気的特性を向上させることができる。

40

【0156】

酸化物半導体膜54には、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の窒素が含まれてもよい。

50

【 0 1 5 7 】

一対の導電膜 5 5 は、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

10

【 0 1 5 8 】

なお、図 6 に示すトランジスタ 5 0 は、例えば平面的に見てゲートとして機能する導電膜 5 2 が、酸化物半導体膜 5 4 を完全に包含するようなレイアウトを有していても良い。このようなレイアウトにすると、基板 5 1 からの光照射に対し、導電膜 5 2 により完全遮光を実現できる。よって、トランジスタ 5 0 の閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【 0 1 5 9 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【 0 1 6 0 】

(実施の形態 3)

本発明の一態様に係る液晶表示装置のブロック図、外観、及び外観に対応した断面の模式図について、図 7 を用いて説明する。

【 0 1 6 1 】

図 7 (A) は、基板 3 0 1 上に画素回路 3 0 2 と、駆動回路を構成するデータ線駆動回路 3 0 3 及びゲート線駆動回路 3 0 4 と、駆動回路及び画素回路の動作に必要な信号及び電源電圧等を供給する信号生成回路 3 0 0 A、及び電源回路 3 0 0 B と、を有する液晶表示装置のブロック図である。

30

【 0 1 6 2 】

信号生成回路 3 0 0 A は、一例としてはデータ線駆動回路 3 0 3 に、データ線画像信号 $d a t a$ 、閾値電圧制御信号 $S v t h$ 、データ線スタートパルス $S S P$ 、及びデータ線クロック信号 $S C L K$ を出力する。また、信号生成回路 3 0 0 A は、一例としてはゲート線駆動回路 3 0 4 に、閾値電圧制御信号 $S v t h$ 、ゲート線スタートパルス $G S P$ 、及びゲート線クロック信号 $G C L K$ を出力する。

【 0 1 6 3 】

電源回路 3 0 0 B は、一例としては画素回路 3 0 2、データ線駆動回路 3 0 3、及びゲート線駆動回路 3 0 4 に高電源電圧 $V D D$ 、低電源電圧 $V S S$ 、コモン電圧 $V c o m$ を出力する。

40

【 0 1 6 4 】

次いで、図 7 (B) は、基板 3 0 1 と基板 3 1 7 とを封止材 3 0 5 によって接着させた液晶表示装置の上面図である。また、図 7 (C) は、図 7 (B) の破線 E - F における断面図に相当する。なお、図 7 では、TN ($T w i s t e d \quad N e m a t i c$) モードの液晶表示装置を例示している。

【 0 1 6 5 】

基板 3 0 1 上に設けられた画素回路 3 0 2 と、データ線駆動回路 3 0 3 と、一対のゲート線駆動回路 3 0 4 とを囲むように、封止材 3 0 5 が設けられている。また、画素回路 3 0 2、データ線駆動回路 3 0 3、ゲート線駆動回路 3 0 4 の上に基板 3 1 7 が設けられている。よって、画素回路 3 0 2 と、データ線駆動回路 3 0 3 と、ゲート線駆動回路 3 0 4 と

50

は、基板 301 と封止材 305 と基板 317 とによって封止されている。

【0166】

また、基板 301 上に設けられた画素回路 302、ゲート線駆動回路 304 は、トランジスタを複数有している。図 7 (C) では、画素回路 302 に含まれるトランジスタ 311 と、ゲート線駆動回路 304 に含まれるトランジスタ 312 とを例示している。

【0167】

画素回路 302 及びゲート線駆動回路 304 において、トランジスタ 311 及びトランジスタ 312 上には、樹脂を用いた絶縁膜 313 が設けられている。そして、絶縁膜 313 上には、液晶素子 321 の第 1 電極 314 と、導電膜 315 とが設けられている。導電膜 315 は、トランジスタ 312 のバックゲートとして機能する第 2 のゲートである。

10

【0168】

また、絶縁膜 313、第 1 電極 314、及び導電膜 315 上には、絶縁膜 316 が設けられている。絶縁膜 316 は、液晶層 320 が有する液晶材料の配向膜として機能する。

【0169】

また、基板 317 上には、液晶素子 321 の第 2 電極 318 が設けられている。第 2 電極 318 上には、絶縁膜 319 が設けられている。絶縁膜 319 は、液晶層 320 が有する液晶材料の配向膜として機能する。

【0170】

第 2 電極 318 及び絶縁膜 316 と、基板 317 との間には、液晶層 320 が設けられている。液晶素子 321 は、第 1 電極 314、第 2 電極 318、及び液晶層 320 を有する。

20

【0171】

液晶素子 321 では、第 1 電極 314 と第 2 電極 318 の間に与えられる電圧の値に従って、液晶層 320 に含まれる液晶分子の配向が変化し、透過率が変化する。よって、液晶素子 321 は、第 1 電極 314 に与えられる画像信号の電圧によって、その透過率が制御されることで、階調を表示することができる。また第 1 電極 314 と第 2 電極と 318 との間には、電極間距離を保持するためのスペーサ 322 が設けられる。スペーサ 322 の形状は、球状を一例として示したが、角柱状または円柱状であってもよい。

【0172】

なお、本発明の一態様に係る液晶表示装置では、カラーフィルタを用いることでカラーの画像を表示しても良いし、異なる色相の光を発する複数の光源を順次点灯させることで、カラーの画像を表示しても良い。

30

【0173】

また、画像信号や、閾値電圧制御信号 S_{vth} 、各種制御信号及び電源電圧は、FPC 306 を介して、データ線駆動回路 303、ゲート線駆動回路 304 または画素回路 302 に与えられる。

【0174】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【0175】

(実施の形態 4)

40

本実施の形態においては、実施の形態 3 で説明した液晶素子の表示モードについて説明する。なお実施の形態 3 では、TN (Twisted Nematic) モードの断面となる液晶素子の一例を示したが、他の表示モードとすることもできる。以下では、各表示モードにおける液晶を動作させる電極及び基板について模式図を示して説明を行う。

【0176】

図 8 (A) は、TN モードの断面となる液晶素子の模式図を示す。

【0177】

互いに対向するように配置された第 1 の基板 5801 及び第 2 の基板 5802 に、液晶層 5800 が挟持されている。第 1 の基板 5801 には、第 1 の電極 5805 が形成されている。第 2 の基板 5802 には、第 2 の電極 5806 が形成されている。

50

【0178】

図8(B)は、VA(Vertical Alignment)モードの断面の模式図を示す。VAモードは、無電界の時に液晶分子が基板に垂直となるように配向されているモードである。

【0179】

互いに対向するように配置された第1の基板5811及び第2の基板5812に、液晶層5810が挟持されている。第1の基板5811には、第1の電極5815が形成されている。第2の基板5812には、第2の電極5816が形成されている。

【0180】

図8(C)は、MVA(Multi-domain Vertical Alignment)モードの断面の模式図を示す。MVAモードは、突起物を設けることで、液晶分子の配向制御が複数方向となるようにして視野角依存性を補償する方法である。

10

【0181】

互いに対向するように配置された第1の基板5821及び第2の基板5822に、液晶層5820が挟持されている。第1の基板5821には、第1の電極5825が形成されている。第2の基板5822には、第2の電極5826が形成されている。第1の電極5825上には、配向制御用に第1の突起物5827が形成されている。第2の電極5826上には、配向制御用に第2の突起物5828が形成されている。

【0182】

図8(D)は、IPS(In-Plane-Switching)モードの断面の模式図を示す。IPSモードは、液晶分子を基板に対して常に平面内で回転させるモードであり、画面を見る角度による液晶層の屈折率の違いが小さいため、視野角依存が少ない。IPSモードは、電極を一方の基板側のみに設けた横電界方式をとる。

20

【0183】

互いに対向するように配置された第1の基板5851及び第2の基板5852に、液晶層5850が挟持されている。第2の基板5852には、第1の電極5855及び第2の電極5856が形成されている。

【0184】

また、IPSモードの電極構造では、配向膜を用いないブルー相を示す液晶を用いてもよい。

30

【0185】

図8(E)は、FFS(Fringe Field Switching)モードの断面の模式図を示す。FFSモードは、液晶分子を基板に対して常に平面内で回転させるモードであり、画面を見る角度による液晶層の屈折率の違いが小さいため、視野角依存が少ない。FFSモードは、電極を一方の基板側のみに設けた横電界方式をとる。

【0186】

互いに対向するように配置された第1の基板5861及び第2の基板5862に、液晶層5860が挟持されている。第2の基板5862には、第2の電極5866が形成されている。第2の電極5866には、絶縁膜5867が形成されている。絶縁膜5867上には、第1の電極5865が形成されている。

40

【0187】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0188】

(実施の形態5)

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【0189】

図9(A)は携帯型遊技機であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、記録媒体読込部9672、等を有することができ

50

る。図 9 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図 9 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 9 0 】

図 9 (B) はデジタルカメラであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、シャッターボタン 9 6 7 6、受像部 9 6 7 7、等を有することができる。図 9 (B) に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図 9 (B) に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

10

【 0 1 9 1 】

図 9 (C) はテレビ受像器であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、等を有することができる。図 9 (C) に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 9 (C) に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

20

【 0 1 9 2 】

図 1 0 (A) はコンピュータであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、ポインティングデバイス 9 6 8 1、外部接続ポート 9 6 8 0 等を有することができる。図 1 0 (A) に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図 1 0 (A) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

30

【 0 1 9 3 】

次に、図 1 0 (B) は携帯電話であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、マイクロフォン 9 6 3 8、外部接続ポート 9 6 8 0 等を有することができる。図 1 0 (B) に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 1 0 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 9 4 】

次に、図 1 0 (C) は電子ペーパー（E - b o o k ともいう）であり、筐体 9 6 3 0、表示部 9 6 3 1、操作キー 9 6 3 5 等を有することができる。図 1 0 (C) に示した電子ペーパーは、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 1 0 (C) に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。

40

【 0 1 9 5 】

本実施の形態において述べた電子機器は、上記実施の形態で説明した液晶表示装置の駆動方法で動作させることで、画素電極と同じ導電膜で形成されるバックゲートに印加される閾値電圧のシフトを抑制するための電圧による、液晶材料の劣化を抑制される構成とすることができる。

50

【 0 1 9 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 符号の説明 】

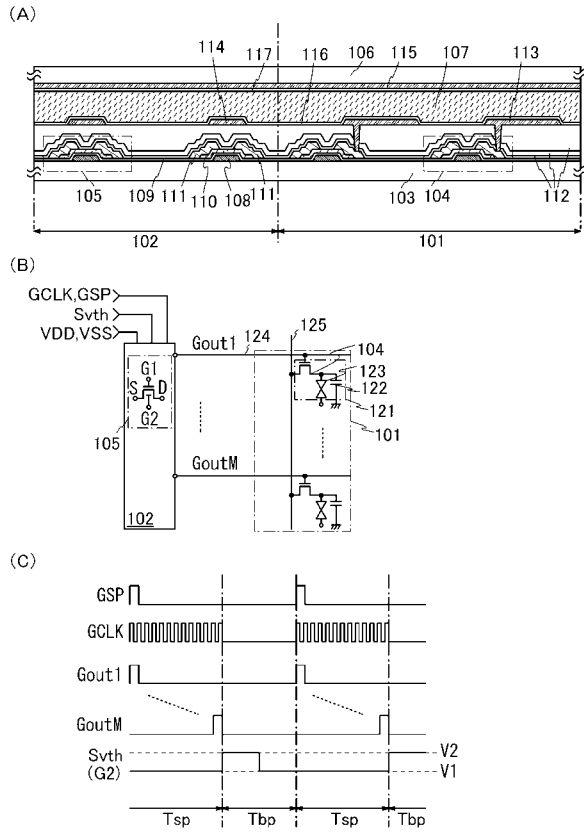
【 0 1 9 7 】

G C L K	ゲート線クロック信号	
S C L K	データ線クロック信号	
G C L K 1	ゲート線クロック信号	
G C L K 2	ゲート線クロック信号	
G C L K 3	ゲート線クロック信号	10
G C L K 4	ゲート線クロック信号	
G o u t 1	走査信号	
G o u t M	走査信号	
G S P	ゲート線スタートパルス	
S S P	データ線スタートパルス	
G S P 1	ゲート線スタートパルス	
1 1	信号線	
1 2	信号線	
1 3	信号線	
1 4	信号線	20
1 5	信号線	
1 6	信号線	
2 1	入力端子	
2 2	入力端子	
2 3	入力端子	
2 4	入力端子	
2 5	入力端子	
2 6	出力端子	
2 7	出力端子	
2 8	入力端子	30
2 8 A	入力端子	
2 8 B	入力端子	
3 1	電源線	
3 2	電源線	
5 0	トランジスタ	
5 1	基板	
5 2	導電膜	
5 3	絶縁膜	
5 4	酸化物半導体膜	
5 5	導電膜	40
5 6	絶縁膜	
5 7	絶縁膜	
5 8	保護膜	
1 0 1	画素回路	
1 0 2	駆動回路	
1 0 3	基板	
1 0 4	トランジスタ	
1 0 5	トランジスタ	
1 0 6	基板	
1 0 7	液晶層	50

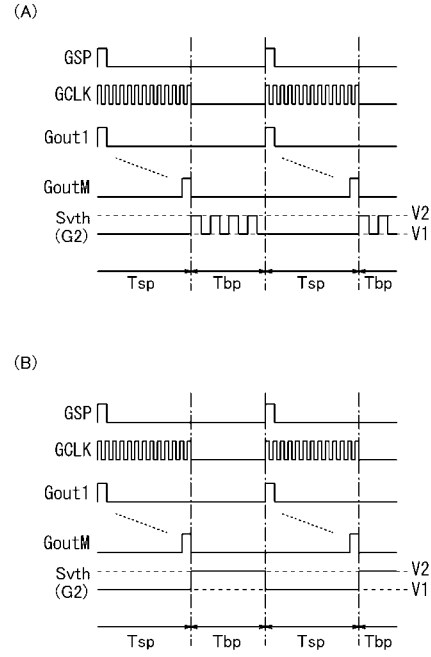
1 0 8	導電膜	
1 0 9	絶縁膜	
1 1 0	半導体膜	
1 1 1	導電膜	
1 1 2	絶縁膜	
1 1 3	導電膜	
1 1 4	導電膜	
1 1 5	導電膜	
1 1 6	絶縁膜	
1 1 7	絶縁膜	10
1 2 1	画素	
1 2 2	容量素子	
1 2 3	液晶素子	
1 2 4	ゲート線	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	トランジスタ	
2 0 4	トランジスタ	
2 0 5	トランジスタ	
2 0 6	トランジスタ	20
2 0 7	トランジスタ	
2 0 8	トランジスタ	
2 0 9	トランジスタ	
2 1 0	トランジスタ	
2 1 1	トランジスタ	
3 0 0 A	信号生成回路	
3 0 0 B	電源回路	
3 0 1	基板	
3 0 2	画素回路	
3 0 3	データ線駆動回路	30
3 0 4	ゲート線駆動回路	
3 0 5	封止材	
3 0 6	F P C	
3 1 1	トランジスタ	
3 1 2	トランジスタ	
3 1 3	絶縁膜	
3 1 4	電極	
3 1 5	導電膜	
3 1 6	絶縁膜	
3 1 7	基板	40
3 1 8	電極	
3 1 9	絶縁膜	
3 2 0	液晶層	
3 2 1	液晶素子	
3 2 2	スペーサ	
5 8 0 0	液晶層	
5 8 0 1	基板	
5 8 0 2	基板	
5 8 0 5	電極	
5 8 0 6	電極	50

5 8 1 0	液 晶 層	
5 8 1 1	基 板	
5 8 1 2	基 板	
5 8 1 5	電 極	
5 8 1 6	電 極	
5 8 2 0	液 晶 層	
5 8 2 1	基 板	
5 8 2 2	基 板	
5 8 2 5	電 極	
5 8 2 6	電 極	10
5 8 2 7	突 起 物	
5 8 2 8	突 起 物	
5 8 5 0	液 晶 層	
5 8 5 1	基 板	
5 8 5 2	基 板	
5 8 5 5	電 極	
5 8 5 6	電 極	
5 8 6 0	液 晶 層	
5 8 6 1	基 板	
5 8 6 2	基 板	20
5 8 6 5	電 極	
5 8 6 6	電 極	
5 8 6 7	絶 縁 膜	
9 6 3 0	筐 体	
9 6 3 1	表 示 部	
9 6 3 3	ス ピ ー カ	
9 6 3 5	操 作 キ ー	
9 6 3 6	接 続 端 子	
9 6 3 8	マ イ ク ロ フ ォ ン	
9 6 7 2	記 録 媒 体 読 込 部	30
9 6 7 6	シャ ッ タ ー ボ タ ン	
9 6 7 7	受 像 部	
9 6 8 0	外 部 接 続 ポ ー ト	
9 6 8 1	ポ イ ン テ ィ ン グ デ バ イ ス	

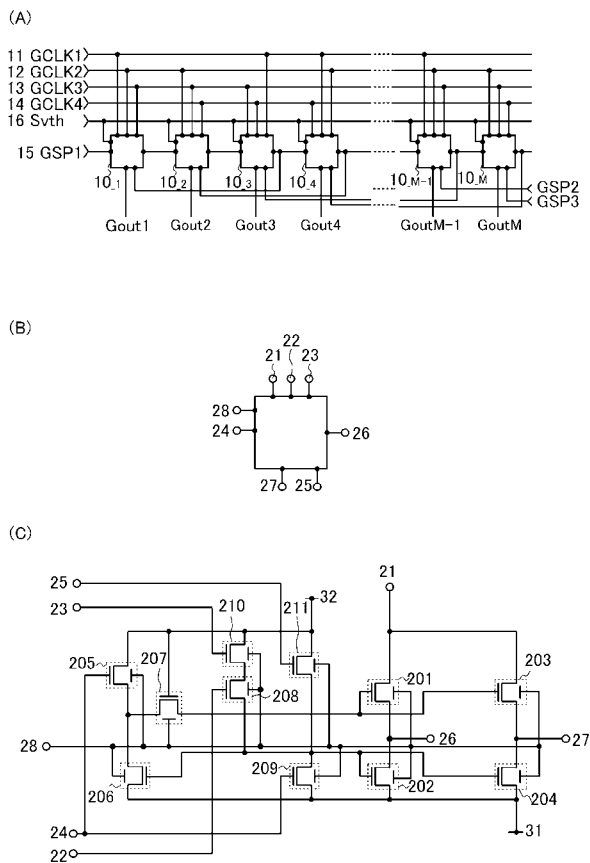
【図 1】



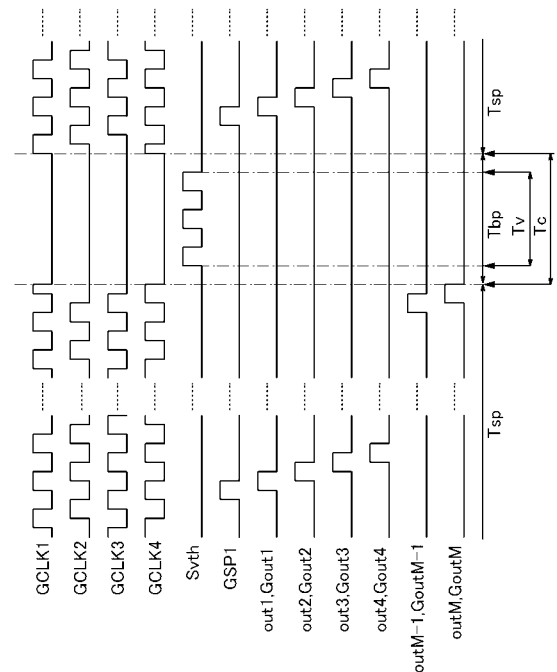
【図 2】



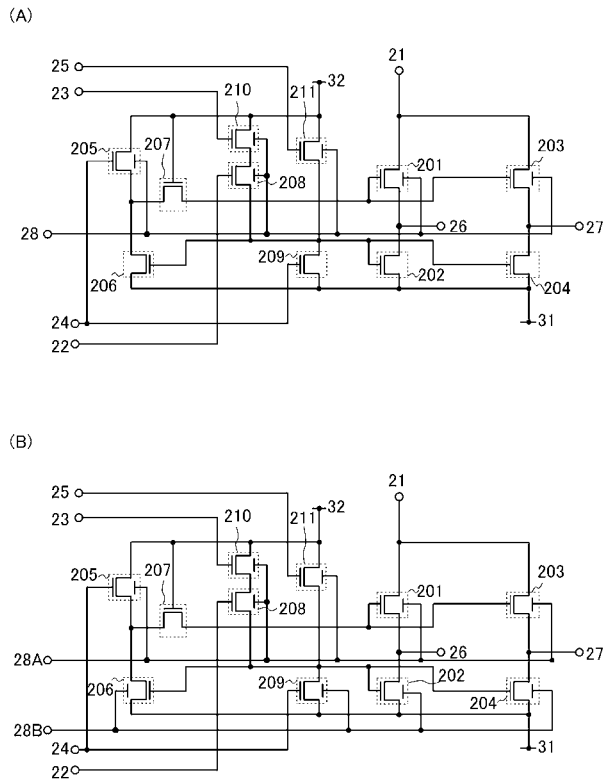
【図 3】



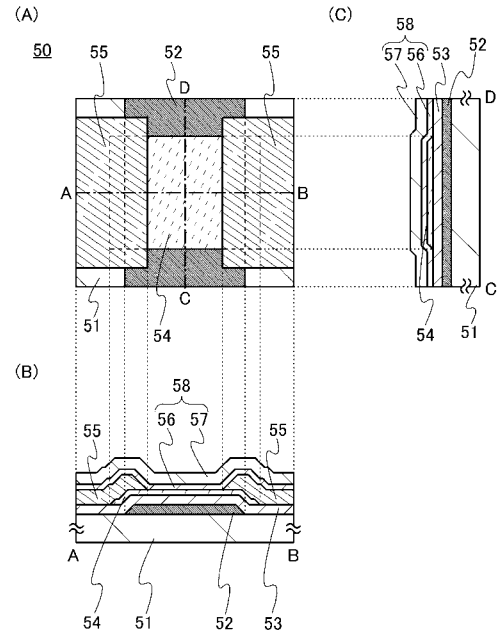
【図 4】



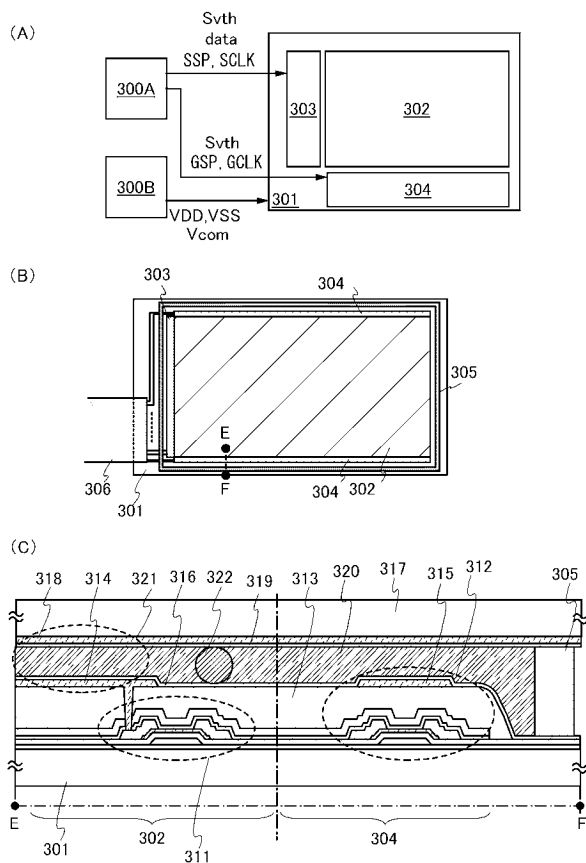
【図 5】



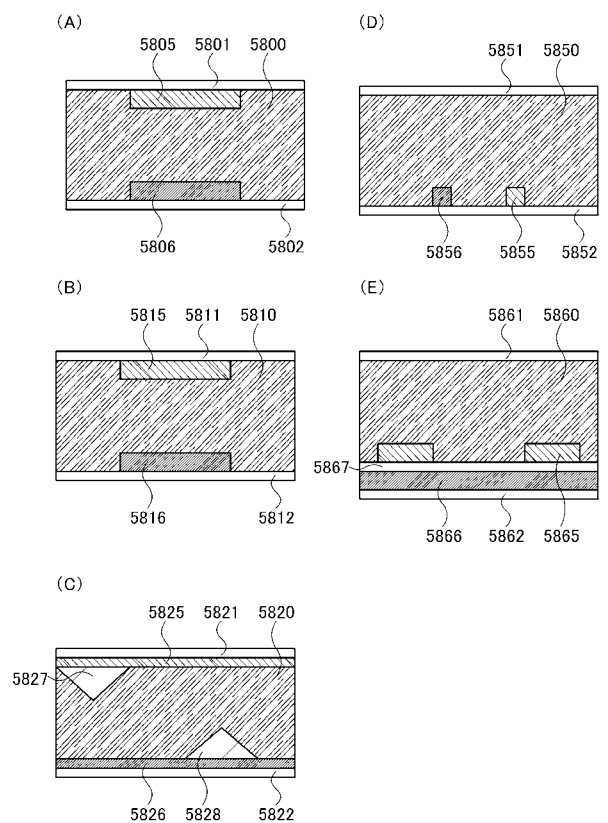
【図 6】



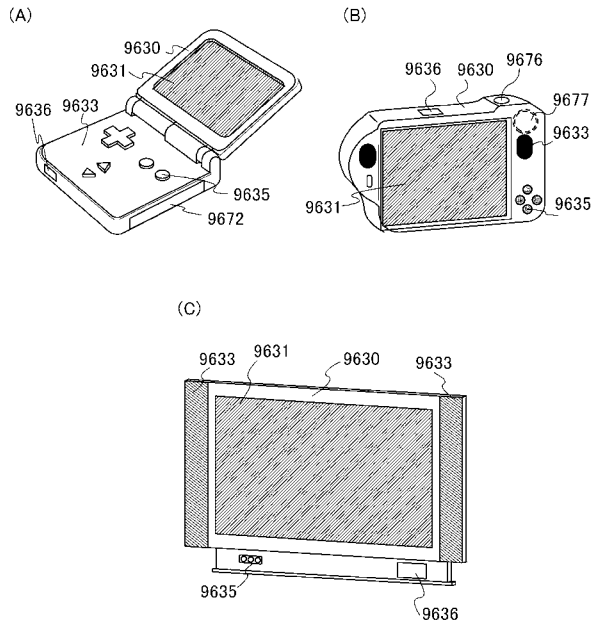
【図 7】



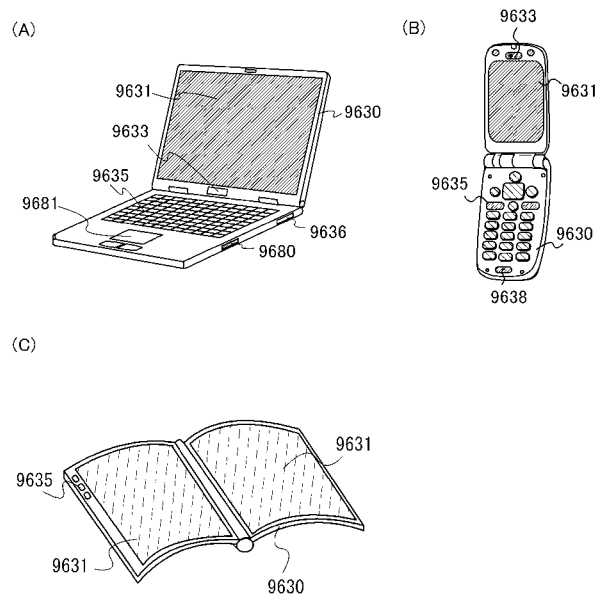
【図 8】



【図 9】



【図 10】



【手続補正書】

【提出日】令和2年1月7日(2020.1.7)

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート線駆動回路と、第 1 の配線と、第 2 の配線と、を有し、

前記ゲート線駆動回路は、トランジスタを有し、

前記トランジスタは、ゲート電極と、半導体膜と、前記ゲート電極と前記半導体膜との間のゲート絶縁膜と、ソース電極と、ドレイン電極と、を有し、

前記半導体膜は、第 1 の半導体膜と、前記第 1 の半導体膜上の第 2 の半導体膜と、を有し、

前記第 1 の配線は、前記ゲート線駆動回路にクロック信号を入力する機能を有し、

前記第 2 の配線は、前記ゲート電極に第 1 の電圧と、前記第 1 の電圧よりも大きい第 2 の電圧と、を入力する機能を有し、

前記クロック信号が入力されているときに、前記ゲート電極に前記第 1 の電圧が入力され、

前記クロック信号が入力されていないときに、前記ゲート電極に前記第 2 の電圧が入力される半導体装置。

【請求項 2】

第 1 の基板と、第 2 の基板と、前記第 1 の基板と前記第 2 の基板との間の液晶層と、を有し、

前記第 1 の基板上に、ゲート線駆動回路と、第 1 の配線と、第 2 の配線と、を有し、
前記ゲート線駆動回路は、トランジスタを有し、
前記トランジスタは、ゲート電極と、半導体膜と、前記ゲート電極と前記半導体膜との
間のゲート絶縁膜と、ソース電極と、ドレイン電極と、を有し、
前記半導体膜は、第 1 の半導体膜と、前記第 1 の半導体膜上の第 2 の半導体膜と、を有
し、
前記第 1 の配線は、前記ゲート線駆動回路にクロック信号を入力する機能を有し、
前記第 2 の配線は、前記ゲート電極に第 1 の電圧と、前記第 1 の電圧よりも大きい第 2
の電圧と、を入力する機能を有し、
前記トランジスタは、前記液晶層と重なる領域を有し、
前記クロック信号が入力されているときに、前記ゲート電極に前記第 1 の電圧が入力さ
れ、
前記クロック信号が入力されていないときに、前記ゲート電極に前記第 2 の電圧が入力
される液晶表示装置。

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 S
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/20	6 7 0 E
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 2 1 B
	G 0 2 F 1/133	5 5 0

F ターム(参考) 5C080 AA10 AA13 BB05 DD09 DD25 DD29 EE01 EE19 EE29 FF03
FF11 GG02 GG05 GG07 GG08 JJ02 JJ03 JJ04 JJ06 KK02
KK04 KK07 KK08 KK43 KK50

专利名称(译)	半导体装置及液晶显示装置		
公开(公告)号	JP2020042308A	公开(公告)日	2020-03-19
申请号	JP2019222726	申请日	2019-12-10
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G02F1/1368 G09G3/3677 G09G2300/0408 G09G2300/043 G09G2300/0495 G09G2380/02 G11C19/28 H03K17/302 H03K2217/0018 G09G3/36		
FI分类号	G09G3/36 G09G3/20.621.M G09G3/20.680.G G09G3/20.622.D G09G3/20.612.T G09G3/20.622.S G09G3/20.670.J G09G3/20.670.E G09G3/20.670.K G09G3/20.621.B G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZE10 2H193/ZF21 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AF42 5C006/AF44 5C006/AF51 5C006/AF68 5C006/AF72 5C006/AF73 5C006/BA19 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF15 5C006/BF24 5C006/BF42 5C006/EC02 5C006/FA33 5C006/FA38 5C006/GA04 5C080/AA10 5C080/AA13 5C080/BB05 5C080/DD09 5C080/DD25 5C080/DD29 5C080/EE01 5C080/EE19 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG02 5C080/GG05 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK04 5C080/KK07 5C080/KK08 5C080/KK43 5C080/KK50		
优先权	2012167281 2012-07-27 JP		
外部链接	Espacenet		

摘要(译)

施加到由与像素电极相同的导电层形成的背栅的阈值电压偏移。用于抑制的电压引起的液晶材料的劣化 一种像素电路,具有用于向液晶层施加电场的像素电极和第一栅极 第二栅极设置在与像素电极相同的层中,以彼此面对,并且在其间插入半导体膜。一种驱动电路,具有设置的晶体管和与液晶层重叠的晶体管。第一栅极,用于控制晶体管的导通状态或非导通状态。输入信号,并且在栅极线选择时段期间将第一电压施加到第二栅极。在垂直消隐期间,输入信号并交替施加第一电压和第二电压。输入信号。[选型图]图1

