

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-90979

(P2019-90979A)

(43) 公開日 令和1年6月13日(2019.6.13)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1339 (2006.01)	G02F 1/1339 500	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H189
G02F 1/1343 (2006.01)	G02F 1/1343	2H192
H01L 21/336 (2006.01)	H01L 29/78 612Z	5F110
H01L 29/786 (2006.01)		

審査請求 未請求 請求項の数 12 O L (全 31 頁)

(21) 出願番号 特願2017-221314 (P2017-221314)
 (22) 出願日 平成29年11月16日 (2017.11.16)

(71) 出願人 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100109210
 弁理士 新居 広守
 (74) 代理人 100137235
 弁理士 寺谷 英作
 (74) 代理人 100131417
 弁理士 道坂 伸一
 (72) 発明者 壬生 隆
 兵庫県姫路市飾磨区妻鹿日田町1-6 パ
 ナソニック液晶ディスプレイ株式会社内

最終頁に続く

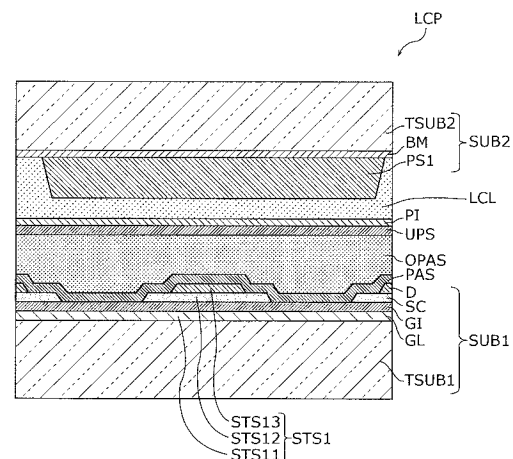
(54) 【発明の名称】 液晶表示パネル

(57) 【要約】 (修正有)

【課題】第1基板と第2基板との間隔を容易に一定にすることができる液晶表示パネルを提供する。

【解決手段】第1基板SUB1と、第1基板SUB1に対向する第2基板SUB2と、第1基板SUB1に設けられた複数のトランジスタと、第2基板SUB2に設けられた第1スペーサPS1と、第1基板SUB1に設けられた第1積層構造体STS1とを備え、トランジスタは、各画素に複数ずつ設けられ、第1スペーサPS1は、隣り合う2つのトランジスタの間に位置し、第1積層構造体STS1は、第1スペーサPS1に対向する位置に設けられ、第1積層構造体STS1は、トランジスタのゲート電極と同層に形成された第1の膜STS11と、トランジスタの半導体層SC及びソースドレイン電極の一方と同層に形成された第2の膜STS12とを有する。

【選択図】 図10



【特許請求の範囲】**【請求項 1】**

マトリクス状に配列された複数の画素を有する液晶表示パネルであって、
第 1 基板と、
前記第 1 基板に対向する第 2 基板と、
前記第 1 基板及び前記第 2 基板の間に配置された液晶層と、
前記第 1 基板に設けられた複数のトランジスタと、
前記第 2 基板に設けられた第 1 スペースと、
前記第 1 基板に設けられた第 1 積層構造体とを備え、
前記トランジスタは、前記複数の画素の各々において複数ずつ設けられ、
前記第 1 スペースは、前記複数の画素における複数の前記トランジスタのうち隣り合う
2 つのトランジスタの間に位置し、
前記第 1 積層構造体は、前記第 1 スペースに対向する位置に設けられ、
前記トランジスタは、ゲート電極と、半導体層と、ソースドレイン電極とを有し、
前記第 1 積層構造体は、前記ゲート電極と同層に形成された第 1 の膜と、前記半導体層
及びソースドレイン電極の一方と同層に形成された第 2 の膜とを有する、
液晶表示パネル。

10

【請求項 2】

前記第 1 積層構造体は、前記半導体層及びソースドレイン電極の他方と同層に形成され
た第 3 の膜を有する、
請求項 1 に記載の液晶表示パネル。

20

【請求項 3】

前記第 2 の膜は、前記半導体層と同層に形成され、
前記第 3 の膜は、前記ソースドレイン電極と同層に形成され、
前記第 1 の膜、前記第 2 の膜及び前記第 3 の膜は、この順で下から上に積層されている、
請求項 2 に記載の液晶表示パネル。

【請求項 4】

平面視において、前記第 1 スペースの一部は、前記隣り合う 2 つのトランジスタの一部
に重なっている、
請求項 1 ～ 3 のいずれか 1 項に記載の液晶表示パネル。

30

【請求項 5】

平面視において、前記第 1 スペースは、前記隣り合う 2 つのトランジスタと重なって
いない、
請求項 1 ～ 4 のいずれか 1 項に記載の液晶表示パネル。

【請求項 6】

前記第 2 基板に設けられた第 2 スペースを備え、
前記第 2 スペースは、先端部が前記第 1 基板に接触しており、
前記第 1 スペースは、先端部が前記第 1 基板に接触していない、
請求項 1 ～ 5 のいずれか 1 項に記載の液晶表示パネル。

40

【請求項 7】

前記第 2 スペースに対向する位置において、前記第 1 基板に設けられた第 2 積層構造
体を備え、
前記第 2 積層構造体は、前記第 1 積層構造体の積層構造と同じ積層構造に、さらに配線
が積層された構造を有する、
請求項 6 に記載の液晶表示パネル。

【請求項 8】

前記複数の画素の各々に設けられた画素電極と、
前記画素電極に対向し、前記複数の画素にわたって設けられた共通電極と、
前記共通電極の直上に設けられたコモン線とを備え、

50

前記配線は、前記コモン線である、
請求項 7 に記載の液晶表示パネル。

【請求項 9】

前記第 1 スペースの高さと前記第 2 スペースの高さが異なっている、
請求項 6 ～ 8 のいずれか 1 項に記載の液晶表示パネル。

【請求項 10】

前記第 1 スペースの先端部の平面視における面積は、前記第 2 スペースの先端部の平面視における面積よりも大きい、

請求項 6 ～ 9 のいずれか 1 項に記載の液晶表示パネル。

【請求項 11】

10

マトリクス状に配列された複数の画素を有する液晶表示パネルであって、
第 1 基板と、

前記第 1 基板に対向する第 2 基板と、

前記第 1 基板及び前記第 2 基板の間に配置された液晶層と、

前記複数の画素の各々において、前記第 1 基板に設けられたトランジスタと、

前記第 2 基板に設けられ、先端部が前記第 1 基板に接触していない第 1 スペースと、

前記第 2 基板に設けられ、先端部が前記第 1 基板に接触している第 2 スペースと、

前記第 1 基板に設けられた第 1 積層構造体と、

前記第 1 基板に設けられた第 2 積層構造体と、

前記トランジスタを覆う絶縁膜と、

20

前記絶縁膜の上に形成された配線とを備え、

前記第 1 積層構造体は、前記第 1 スペースに対向する位置に設けられ、

前記第 2 積層構造体は、前記第 2 スペースに対向する位置に設けられ、

前記トランジスタは、ゲート電極と、半導体層と、ソースドレイン電極とを有し、

前記第 1 積層構造体は、前記ゲート電極と同層に形成された第 1 の膜と、前記半導体層と同層に形成された第 2 の膜と、前記ソースドレイン電極と同層に形成された第 3 の膜とを有し、

前記第 2 積層構造体は、前記ゲート電極と同層に形成された第 1 の膜と、前記半導体層と同層に形成された第 2 の膜と、前記ソースドレイン電極と同層に形成された第 3 の膜と、前記配線と同層に形成された第 4 の膜とを有する、

30

液晶表示パネル。

【請求項 12】

前記絶縁膜の上方において、前記複数の画素の各々に設けられた画素電極と、

前記画素電極と対向し、前記複数の画素にわたって設けられた共通電極と、

前記共通電極の直上に設けられたコモン線とを備え、

前記配線は、前記コモン線である、

請求項 11 に記載の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

40

本開示は、液晶表示パネルに関する。

【背景技術】

【0002】

液晶パネルを用いた液晶表示装置は、低消費電力で画像を表示することができるため、テレビ又はモニタ等の画像表示装置として利用されている。

【0003】

液晶表示パネルは、画素電極及び薄膜トランジスタ (TFT; Thin Film Transistor) が形成された TFT 基板と、TFT 基板に対向する対向基板と、TFT 基板と対向基板との間に配置された液晶層とを備えている。液晶表示パネルでは、画素毎に設けられた画素電極によって液晶層による光透過率を画素毎に制御することで画像

50

を表示している（例えば特許文献１）。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２０１５－１１４３７５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

液晶表示パネルでは、画像表示領域の全域においてＴＦＴ基板と対向基板との間隔（セルギャップ）を一定に維持するために、ＴＦＴ基板と対向基板との間に複数のスペーサが配置されている。 10

【０００６】

従来、スペーサとしてビーズ等を液晶層内に分散させていたが、近年、ＴＦＴ基板と対向基板との間の間隔をより正確に制御するために、対向基板に複数の柱状のスペーサを形成することが行われている。

【０００７】

しかしながら、ＴＦＴ基板の最上層の表面が凹凸になっているため、対向基板にスペーサを設けた場合に、液晶表示パネルの全体においてＴＦＴ基板と対向基板との間隔を一定に維持することが容易ではない。

【０００８】

本開示は、トランジスタが設けられた第１基板に対向する第２基板にスペーサを設けた場合であっても、液晶表示パネルの全体において第１基板と第２基板との間隔を容易に一定にすることができる液晶表示パネルを提供することを目的とする。 20

【課題を解決するための手段】

【０００９】

上記目的を達成するために、本開示に係る液晶表示パネルの一態様は、マトリクス状に配列された複数の画素を有する液晶表示パネルであって、第１基板と、前記第１基板に対向する第２基板と、前記第１基板及び前記第２基板の間に配置された液晶層と、前記第１基板に設けられた複数のトランジスタと、前記第２基板に設けられた第１スペーサと、前記第１基板に設けられた第１積層構造体とを備え、前記トランジスタは、前記複数の画素の各々において複数ずつ設けられ、前記第１スペーサは、前記複数の画素における複数の前記トランジスタのうち隣り合う２つのトランジスタの間に位置し、前記第１積層構造体は、前記第１スペーサに対向する位置に設けられ、前記トランジスタは、ゲート電極と、半導体層と、ソースドレイン電極とを有し、前記第１積層構造体は、前記ゲート電極と同層に形成された第１の膜と、前記半導体層及びソースドレイン電極の一方と同層に形成された第２の膜とを有する。 30

【００１０】

また、本開示に係る液晶表示パネルの他の一態様は、マトリクス状に配列された複数の画素を有する液晶表示パネルであって、第１基板と、前記第１基板に対向する第２基板と、前記第１基板及び前記第２基板の間に配置された液晶層と、前記複数の画素の各々において、前記第１基板に設けられたトランジスタと、前記第２基板に設けられ、先端部が前記第１基板に接触していない第１スペーサと、前記第２基板に設けられ、先端部が前記第１基板に接触している第２スペーサと、前記第１基板に設けられた第１積層構造体と、前記第１基板に設けられた第２積層構造体と、前記トランジスタを覆う絶縁膜と、前記絶縁膜の上に形成された配線とを備え、前記第１積層構造体は、前記第１スペーサに対向する位置に設けられ、前記第２積層構造体は、前記第２スペーサに対向する位置に設けられ、前記トランジスタは、ゲート電極と、半導体層と、ソースドレイン電極とを有し、前記第１積層構造体は、前記ゲート電極と同層に形成された第１の膜と、前記半導体層と同層に形成された第２の膜と、前記ソースドレイン電極と同層に形成された第３の膜とを有し、前記第２積層構造体は、前記ゲート電極と同層に形成された第１の膜と、前記半導体層と同 40 50

層に形成された第２の膜と、前記ソースドレイン電極と同層に形成された第３の膜と、前記配線と同層に形成された第４の膜とを有する。

【発明の効果】

【００１１】

本開示に係る液晶表示パネルによれば、トランジスタが設けられた第１基板に対向する第２基板にスペーサを設けた場合であっても、液晶表示パネルの全体において第１基板と第２基板との間隔を容易に一定にすることができる。

【図面の簡単な説明】

【００１２】

【図１】実施の形態１に係る液晶表示装置の概略構成を模式的に示す図である。

10

【図２】実施の形態１に係る液晶表示パネルの画素回路を示す図である。

【図３】実施の形態１に係る液晶表示パネルの画素の構成を示す平面図である。

【図４】実施の形態１に係る液晶表示パネルの画素におけるトランジスタ周辺の拡大平面図である。

【図５】図３のⅤ-Ⅴ線における実施の形態１に係る液晶表示パネルの断面図である。

【図６】図４のⅥ-Ⅵ線における実施の形態１に係る液晶表示パネルの断面図である。

【図７】図４のⅦ-Ⅶ線における実施の形態１に係る液晶表示パネルの断面図である。

【図８】実施の形態１に係る液晶表示パネルにおけるトランジスタ周辺の共通電極の形状を示す図である。

20

【図９】図４の破線で囲まれる領域Ⅸの拡大図である。

【図１０】図４のⅩ-Ⅹ線における実施の形態１に係る液晶表示パネルの断面図である。

【図１１】図４のⅪ-Ⅺ線における実施の形態１に係る液晶表示パネルの断面図である。

【図１２】実施の形態２に係る液晶表示装置の概略構成を模式的に示す図である。

【図１３Ａ】実施の形態２に係る液晶表示装置における第１液晶表示パネルの画素のレイアウトを示す図である。

【図１３Ｂ】実施の形態２に係る液晶表示装置における第２液晶表示パネルの画素のレイアウトを示す図である。

【発明を実施するための形態】

【００１３】

以下、本開示の実施の形態について説明する。なお、以下に説明する実施の形態は、いずれも本開示の好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、及び、構成要素の配置位置や接続形態などは、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

30

【００１４】

各図は模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺等は必ずしも一致していない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【００１５】

40

（実施の形態１）

まず、液晶表示パネルＬＣＰを用いた液晶表示装置ＬＣＤ１の概略構成について、図１及び図２を用いて説明する。図１は、実施の形態１に係る液晶表示装置ＬＣＤ１の概略構成を模式的に示す図である。図２は、実施の形態１に係る液晶表示パネルＬＣＰの画素回路を示す図である。

【００１６】

液晶表示装置ＬＣＤ１は、静止画像又は動画像を表示する画像表示装置の一例であって、図１に示すように、液晶表示パネルＬＣＰと、液晶表示パネル駆動回路ＰＤＣ（ソースドライバＳＤＣ、ゲートドライバＧＤＣ）と、バックライトＢＬと、画像処理部ＩＰＵとを備える。

50

【 0 0 1 7 】

液晶表示パネル L C P は、バックライト B L の光出射側に配置される。液晶表示パネル L C P は、画像表示領域 D S P にカラー画像又はモノクロ画像を表示する。液晶表示パネル L C P の駆動方式は、例えば I P S (In Plane Switching) 方式又は F F S (Fringe Field Switching) 方式等の横電界方式である。また、液晶表示パネル L C P は、例えば、ノーマリーブラック方式により電圧の制御が行われるが、電圧制御の方式は、ノーマリーブラック方式に限らない。

【 0 0 1 8 】

図 1 及び図 2 に示すように、液晶表示パネル L C P は、マトリクス状に配列された複数の画素 P I X を有する。画像が表示される画像表示領域 D S P は、マトリクス状に配列された複数の画素 P I X によって構成されている。

10

【 0 0 1 9 】

図 2 に示すように、複数の画素 P I X の各々には、トランジスタ T R 、画素電極 P I T 及び共通電極 M I T が設けられている。トランジスタ T R は、薄膜トランジスタであり、ゲート電極 G 、ソース電極 S 及びドレイン電極 D を有する。なお、本明細書において、ソース電極 S 及びドレイン電極 D は、まとめてソースドレイン電極と記載することもあり、ソースドレイン電極とは、ソース電極 S 及びドレイン電極 D の少なくとも一方のこと、ソース電極 S 及びドレイン電極 D のいずれかのみのこと、あるいは、ソース電極 S 及びドレイン電極 D の両方のことを意味する。

【 0 0 2 0 】

本実施の形態において、トランジスタ T R 及び画素電極 P I T は、各画素 P I X に複数ずつ設けられている。具体的には、各画素 P I X には、7 つのトランジスタ T R と 7 つの画素電極 P I T とが設けられている。各画素 P I X における 7 つの画素電極 P I T の各々は、サブ画素電極であり、分離して形成されている。

20

【 0 0 2 1 】

一方、共通電極 M I T は、複数の画素 P I X にわたって設けられている。本実施の形態において、共通電極 M I T は、画像表示領域 D S P の全ての画素 P I X にわたって設けられている。つまり、共通電極 M I T は、全ての画素 P I X に共通する 1 つの平面状の電極であり、画像表示領域 D S P の全体に形成されている。

【 0 0 2 2 】

図 2 に示すように、液晶表示パネル L C P には、行方向 (第 1 方向) に延在する複数の走査線 (ゲート線) G L と、行方向に直交する列方向 (第 2 方向) に延在する複数の映像信号線 (ソース線) S L とが形成されている。

30

【 0 0 2 3 】

複数の走査線 G L の各々は、列方向に隣り合う 2 つの画素 P I X の境界部ごとに設けられている。本実施の形態において、走査線 G L は、列方向に隣り合う 2 つの画素 P I X の境界部ごとに 1 本ずつ設けられている。

【 0 0 2 4 】

各走査線 G L は、行方向に配列された複数の画素 P I X の各々の複数のトランジスタ T R と接続されている。つまり、各走査線 G L は、各画素 P I X において、複数のトランジスタ T R と接続されている。具体的には、各走査線 G L は、各トランジスタ T R のゲート電極 G と接続されている。

40

【 0 0 2 5 】

複数の映像信号線 S L は、行方向に隣り合う 2 つの画素 P I X の境界部ごとに設けられている。本実施の形態において、映像信号線 S L は、行方向に隣り合う 2 つの画素 P I X の境界部ごとに、一对の第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 として 2 本ずつ設けられている。

【 0 0 2 6 】

各映像信号線 S L は、列方向に配列された複数の画素 P I X の各々の複数のトランジスタ T R と接続されている。具体的には、各映像信号線 S L は、各トランジスタ T R のソー

50

ス電極 S 及びドレイン電極 D のうちドレイン電極 D に接続されている。つまり、本実施の形態において、映像信号線 S L は、ドレイン線である。

【 0 0 2 7 】

また、液晶表示パネル L C P は、1 G 2 D の配線接続構造を有しており、複数の走査線 G L は、列方向において、2 本ずつ接続されている。つまり、奇数行目の第 1 走査線 G L 1 と偶数行目の第 2 走査線 G L 2 との隣り合う 2 本の走査線 G L 同士が接続されている。第 1 走査線 G L 1 及び第 2 走査線 G L 2 は、例えば、ゲートドライバ G D C 側において配線パターン等によって接続されていてもよいし、ゲートドライバ G D C 内で接続されていてもよい。

【 0 0 2 8 】

互いに接続された 2 本の走査線 G L のうちの一方が接続されたトランジスタ T R のドレイン電極 D は、第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 の一方に接続されている。また、互いに接続された 2 本の走査線 G L のうちの他方が接続されたトランジスタ T R のドレイン電極 D は、第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 の他方に接続されている。

【 0 0 2 9 】

具体的には、奇数行目の第 1 走査線 G L 1 が接続されたトランジスタ T R のドレイン電極 D は、第 2 映像信号線 S L 2 に接続されており、偶数行目の第 2 走査線 G L 2 が接続されたトランジスタ T R のドレイン電極 D は、第 1 映像信号線 S L 1 に接続されている。

【 0 0 3 0 】

なお、各画素 P I X において、トランジスタ T R のソース電極 S は、画素電極 P I T に接続されている。具体的には、7 つのトランジスタ T R のソース電極 S と 7 つの画素電極 P I T とは一対一で接続されており、各トランジスタ T R のソース電極 S は、各画素電極 P I T に接続されている。

【 0 0 3 1 】

図 1 に示すように、液晶表示パネル L C P には、入力された映像信号に応じた画像を表示するために、液晶表示パネル駆動回路 P D C が接続されている。液晶表示パネル駆動回路 P D C は、ソースドライバ S D C 及びゲートドライバ G D C を含む。ソースドライバ S D C 及びゲートドライバ G D C は、例えばドライバ I C (I C パッケージ) であり、プリント配線基板に実装されている。ソースドライバ S D C が実装されたプリント配線基板及びゲートドライバ G D C が実装されたプリント配線基板は、F F C (F l e x i b l e F l a t C a b l e) 又は F P C (F l e x i b l e P r i n t e d C a b l e) 等のフレキシブル配線基板を介して液晶表示パネル L C P に接続される。

【 0 0 3 2 】

図 2 に示すように、ソースドライバ S D C は、液晶表示パネル L C P の映像信号線 S L に接続されている。ソースドライバ S D C は、ゲートドライバ G D C による走査線 G L の選択に合わせて、画像処理部 I P U から入力される映像信号に応じた電圧 (データ電圧) を映像信号線 S L に供給する。具体的には、ソースドライバ S D C は、第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 の各々にデータ電圧を供給する。

【 0 0 3 3 】

ゲートドライバ G D C は、走査線 G L に接続されている。ゲートドライバ G D C は、画像処理部 I P U から入力されるタイミング信号に応じて映像信号を書き込む画素 P I X を選択し、選択した画素 P I X のトランジスタ T R をオンする電圧 (ゲートオン電圧) を走査線 G L に供給する。本実施の形態では、走査線 G L が 2 本ずつ接続されているので、ゲートドライバ G D C は、接続された 2 本の第 1 走査線 G L 1 及び第 2 走査線 G L 2 に共通するゲートオン電圧として、2 倍のゲート H i 期間 (2 H) のゲートパルス信号を走査線 G L に供給する。これにより、選択された画素 P I X の画素電極 P I T には、トランジスタ T R を介してデータ電圧が供給される。なお、共通電極 M I T には、コモンドライバ (図示せず) から共通電圧が供給される。

【 0 0 3 4 】

10

20

30

40

50

このように、ゲートドライバGDCからゲートオン電圧が走査線GLに供給されると、選択された画素PIXのトランジスタTRがオンし、このトランジスタTRに接続された映像信号線SLからデータ電圧が画素電極PITに供給される。そして、画素電極PITに供給されたデータ電圧と共通電極MITに供給された共通電圧との差により液晶層に電界が生じる。この電界により各画素PIXにおける液晶層の液晶分子の配向状態が変化し、液晶表示パネルLCPを通過するバックライトBLの光の透過率が画素PIXごとに制御される。これにより、液晶表示パネルLCPの表示領域（画素領域）に所望の画像が表示される。

【0035】

バックライトBLは、図1に示すように、液晶表示パネルLCPの背面側に配置されており、液晶表示パネルLCPに向けて光を照射する。本実施の形態において、バックライトBLは、LED(Light Emitting Diode)を光源とするLEDバックライトであるが、これに限るものではない。また、バックライトBLは、液晶表示パネルLCPに対面するようにLEDが基板上に二次元状に配列された直下型のLEDバックライトであるが、エッジ型であってもよい。バックライトBLは、平面状の均一な散乱光（拡散光）を照射する面発光ユニットである。この場合、バックライトBLは、光源からの光を拡散させるために拡散板（拡散シート）等の光学部材を有していてもよい。

【0036】

画像処理部IPUは、CPU等の演算処理回路と、ROMやRAM等のメモリとを備える制御装置である。画像処理部IPUには、液晶表示パネルLCPに表示するための画像データが入力される。画像処理部IPUは、CPUがメモリに格納されたプログラムを読み出して実行することにより各種の処理を実行する。具体的には、画像処理部IPUは、外部のシステム（図示せず）から入力された映像データに対して色調整等の各種の画像信号処理を行って各画素PIXの階調値を示す映像信号と各画素PIXに映像信号を書き込むタイミングを示すタイミング信号とを生成し、映像信号をソースドライバSDCに出力するとともにタイミング信号をゲートドライバGDCに出力する。

【0037】

次に、液晶表示パネルLCPの具体的な構造について、図2を参照しつつ、図3～図7を用いて説明する。図3は、実施の形態1に係る液晶表示パネルLCPの画素PIXの構成を示す平面図である。図4は、同液晶表示パネルLCPの画素PIXにおけるトランジスタTR周辺の拡大平面図である。図5は、図3のV-V線における同液晶表示パネルLCPの断面図である。図6は、図4のVI-VI線における同液晶表示パネルLCPの断面図である。図7は、図4のVII-VII線における同液晶表示パネルLCPの断面図である。

【0038】

図2及び図3に示すように、各画素PIXは、行方向に延在する走査線GLと列方向に延在する映像信号線SLとによって囲まれる領域である。本実施の形態において、1つの画素PIXの画素サイズは、比較的に大きくなっており、一例として、行方向の長さが630 μm で、列方向の長さが630 μm である。また、本実施の形態において、1つの画素PIXは、行方向の長さと同列方向の長さと同じである。つまり、1つの画素PIXのアスペクト比（行方向長さ：列方向長さ）は、1：1である。なお、1つの画素PIXのアスペクト比は、これに限るものではなく、例えば、1：3等であってもよい。

【0039】

また、上述のように、本実施の形態における液晶表示パネルLCPでは、1つの画素PIXに複数の画素電極PIT及び複数のトランジスタTRが設けられている。図3及び図4に示すように、各画素PIXにおいて、複数の画素電極PIT及び複数のトランジスタTRの各々は、行方向（第1方向）に並んでいる。具体的には、7つの画素電極PITは、行方向に沿ってほぼ等間隔に並んでいる。また、7つのトランジスタTRは、行方向に沿ってほぼ等間隔に並んでいる。

【0040】

図3及び図4に示すように、各画素電極PITには複数のスリットが形成されており、

10

20

30

40

50

各画素電極 P I T は、列方向（第 2 方向）に延在する複数本のライン電極 P I T L を有する。本実施の形態では、各画素電極 P I T は、11 本のライン電極 P I T L を含む。11 本のライン電極 P I T L の長手方向の両端部は、走査線 G L の近傍において行方向に沿って延在する連結電極 P I T C によって連結されている。各画素電極 P I T における全てのライン電極 P I T L は、平行に形成されている。

【0041】

各ライン電極 P I T L は、互いに同一の幅で、かつ、中央部に屈曲部を有する略「く」の字状に形成されている。なお、各画素電極 P I T において、隣り合う 2 本のライン電極 P I T L の間隔（スリット幅）は一定である。また、11 本の全てのライン電極 P I T L の間隔は、互いに同じである。

10

【0042】

さらに、図 4 に示すように、7 つの画素電極 P I T の全てにおいて、隣り合う 2 つの画素電極 P I T の間隔 s_{p1} （つまり、一方の画素電極 P I T の最後の列のライン電極と他方の画素電極 P I T の最初の列のライン電極との間隔）は、1 つの画素電極 P I T において隣り合う 2 本のライン電極 P I T L の間隔 s_{p2} と同じになっている。この結果、1 つの画素 P I X において、全てのライン電極 P I T L（11 本 $\times$ 7 = 77 本）の間隔が同じになっており、全てのライン電極 P I T L のラインアンドスペース（ L/S ）が一定になっている。これにより、各画素電極 P I T での画素容量 C_{PIX} の差を小さくすることができる。例えば、各画素電極 P I T での画素容量 C_{PIX} を全て同じにすることもできる。

20

【0043】

また、トランジスタ T R のゲートソース間容量を C_{gs} とすると、各画素 P I X における複数の画素電極 P I T と複数のトランジスタ T R の全てについて、画素容量比率を示す C_{PIX}/C_{gs} は $\pm 10\%$ 以内であるとよい。好ましくは、画素電極 P I T 及び当該画素電極 P I T に対応するトランジスタ T R の全てについて、 C_{PIX}/C_{gs} は同じであるとよい。

【0044】

さらに、トランジスタ T R の半導体層 S C のチャネル幅を $W_{TF T}$ とすると、各画素 P I X における複数の画素電極 P I T と複数のトランジスタ T R の全てについて、画素容量比率を示す $C_{PIX}/W_{TF T}$ は $\pm 10\%$ 以内であるとよい。好ましくは、画素電極 P I T 及び当該画素電極 P I T に対応するトランジスタ T R の全てについて、 $C_{PIX}/W_{TF T}$ は同じであるとよい。

30

【0045】

このように、画素電極 P I T と当該画素電極 P I T に対応するトランジスタ T R とにおける画素容量比率（ C_{PIX}/C_{gs} 、 $C_{PIX}/W_{TF T}$ ）が一定の範囲内に収まっていれば、画素電極 P I T 及びトランジスタ T R の形状及び大きさは異なってもよい。つまり、画素容量比率を一定の範囲内に収めることで、画素電極 P I T 及びトランジスタ T R の設計の自由度が向上する。したがって、一つの画素 P I X に含まれる複数の画素電極 P I T のうちの少なくとも一つは、当該画素 P I X 内に含まれる他の画素電極 P I T とは形状が異なってもよい。つまり、一つの画素 P I X に含まれる複数の画素電極 P I T には、形状が異なる画素電極 P I T が含まれていてもよい。

40

【0046】

本実施の形態において、7 つの画素電極 P I T は、互いに同じ形状及び同じ大きさである。これにより、各画素電極 P I T の画素容量 C_{PIX} を容易に同じにすることができる。また、各画素電極 P I T の幅は、 $200\mu m$ 以下であるとよく、より好ましくは、 $100\mu m$ 以下である。これにより、複数の画素電極 P I T の一つに不具合が発生して画素欠陥が生じたとしても、画素欠陥を目立たなくすることができる。

【0047】

また、7 つのトランジスタ T R は、互いに同じ形状及び同じ大きさである。これにより、各トランジスタ T R のゲートソース間容量 C_{gs} 及びチャネル幅 $W_{TF T}$ を容易に同じ

50

にすることができる。また、7つのトランジスタTRの形状及び大きさを全て同じにすることで、画素PIXにDC電圧が残留して表示画像に残像(DC残像)が発生することを抑制できる。

【0048】

図3に示すように、映像信号線SL(第1映像信号線SL1、第2映像信号線SL2)は、画素電極PITのライン電極PITLに沿って形成されている。つまり、第1映像信号線SL1及び第2映像信号線SL2は、いずれも屈曲部を有する略「く」の字状に形成されている。第1映像信号線SL1及び第2映像信号線SL2は、並行しており、隣接して形成されている。具体的には、第1映像信号線SL1及び第2映像信号線SL2は、平行に形成されている。なお、本実施の形態において、第1映像信号線SL1及び第2映像信号線SL2は、いずれも一定の幅で、互いに同じ幅であるが、これに限らない。

10

【0049】

また、図3及び図5に示すように、画素電極PITにおける複数のライン電極PITLの少なくとも一つは、第1映像信号線SL1と第2映像信号線SL2との間に存在している。

【0050】

例えば、行方向に隣り合う2つの画素PIXのうちの一方の画素PIXである第1画素PIX1(図3の右側の画素PIX)の画素電極PITを第1画素電極PIT1とし、行方向に隣り合う2つの画素PIXのうちの他方の画素PIXである第2画素PIX2(図3の左側の画素PIX)の画素電極PITを第2画素電極PIT2とすると、第2画素PIX2の複数の第2画素電極PIT2のうち最も第1画素PIX1に近い第2画素電極PIT2について、当該第2画素電極PIT2を構成する複数のライン電極PITLのうち最も第1画素PIX1に近いライン電極PITLが、第1映像信号線SL1と第2映像信号線SL2との間に存在している。

20

【0051】

さらに、第1映像信号線SL1及び第2映像信号線SL2は、一方が画素電極PITと重なっており、他方が画素電極PITと重なっていない。本実施の形態では、図3に示すように、平面視において、第1映像信号線SL1は、第2画素PIX2の第2画素電極PIT2のライン電極PITLに重なっており、第2映像信号線SL2は、第1画素PIX1の第1画素電極PIT1と第2画素PIX2の第2画素電極PIT2との間に位置している。

30

【0052】

具体的には、第1映像信号線SL1は、第2画素PIX2における複数の第2画素電極PIT2のうち最も第1画素PIX1に近い第2画素電極PIT2のライン電極PITLに重なっている。本実施の形態において、第1映像信号線SL1は、第2画素PIX2において第1画素PIX1に最も近い第2画素電極PIT2における11本のライン電極PITLのうち第1画素PIX1側から数えて2本目と3本目の2本のライン電極PITLに重なっている。なお、第1画素PIX1に最も近い第2画素電極PIT2における11本のライン電極PITLのうち第1画素PIX1側から数えて1本目のライン電極PITL(つまり、最も第1画素PIX1に近いライン電極PITL)は、第1映像信号線SL1と第2映像信号線SL2との間に位置している。

40

【0053】

一方、第2映像信号線SL2は、第1画素PIX1における複数の第1画素電極PIT1のうち最も第2画素PIX2に近い第1画素電極PIT1と、第2画素PIX2における複数の第2画素電極PIT2のうち最も第1画素PIX1に近い第2画素電極PIT2との間に位置している。具体的には、第2映像信号線SL2は、第1画素PIX1の第1画素電極PIT1における11本のライン電極PITLのうち最も第2画素電極PIT2に近いライン電極PITLと、第2画素PIX2の第2画素電極PIT2における11本のライン電極PITLのうち最も第1画素電極PIT1に近いライン電極PITLとの間に位置している。

50

【0054】

図4に示すように、各画素PIXには、映像信号線SLのデータ電圧を複数のトランジスタTRの各々に供給するために、映像信号線SLと各画素PIX内の複数のトランジスタTRとを接続するリード線LDLが設けられている。リード線LDLは、ソース電極S及びドレイン電極Dと同層に形成されている。つまり、リード線LDLとソース電極S及びドレイン電極Dとは、同じ金属膜をパターンングすることによって形成される。

【0055】

リード線LDLは、映像信号線SLから行方向に延在する共通リード線LDLCと、共通リード線LDLCと各画素PIX内の複数のトランジスタTRの各々のドレイン電極Dと接続された複数の第1個別リード線LDL1とを有する。

10

【0056】

共通リード線LDLCは、映像信号線SLから引き出された引き出し線である。共通リード線LDLCは、共通電極MITの開口部OPNと重なる位置に形成されており、平面視において、走査線GLと重なっていない。本実施の形態において、共通リード線LDLCは、他のどの導電部材とも重なっていない。これにより、共通リード線LDLCと走査線GL等の配線との間で生じる寄生容量を低減することができる。なお、共通リード線LDLCは、第2基板SUB2の遮光層BMと重なっている。

【0057】

第1個別リード線LDL1は、画素PIX内の複数のトランジスタTRごとに形成されている。本実施の形態では、1つの画素PIXに7つのトランジスタTRが設けられているので、第1個別リード線LDL1も7つ形成されている。第1個別リード線LDL1は、各トランジスタTRに向かって共通リード線LDLCから列方向に延在するように形成されている。

20

【0058】

また、各画素PIXには、複数の画素電極PITの各々と複数のトランジスタTRの各々のソース電極Sとを接続する複数の第2個別リード線LDL2が設けられている。第2個別リード線LDL2は、画素電極PITと同層に形成されている。つまり、第2個別リード線LDL2と画素電極PITとは、同じ透明導電膜をパターンングすることによって形成される。

【0059】

30

第2個別リード線LDL2は、画素PIX内の複数のトランジスタTRごとに形成されている。本実施の形態では、1つの画素PIXに7つのトランジスタTRが設けられているので、第2個別リード線LDL2も7つ形成されている。第2個別リード線LDL2は、各トランジスタTRに向かって画素電極PITから列方向に延在するように形成されている。具体的には、第2個別リード線LDL2は、画素電極PITの連結電極PITCの中央部から引き出された引き出し配線である。

【0060】

各トランジスタTRに接続される第1個別リード線LDL1及び第2個別リード線LDL2は、画素PIXに画素欠陥が生じた場合に、画素PIXを修復させるときに利用することができる。画素欠陥は、導電性異物が混入して画素電極PITと共通電極MITとが短絡したりトランジスタTRの電極間が短絡したりして発生する。このような画素欠陥が発生した場合、共通電極MITと短絡した異常状態の画素電極PIT又は電極間が短絡した異常状態のトランジスタTRを、正常な画素電極又は正常なトランジスタTRと分離するために、第1個別リード線LDL1及び第2個別リード線LDL2を切断する。

40

【0061】

例えば、画素電極PITと共通電極MITとが短絡した場合、まず、画素PIXの欠陥検査によって共通電極MITと短絡した異常状態の画素電極PITを特定し、短絡した画素電極PITに対応するトランジスタTRに接続される第1個別リード線LDL1の一部をレーザ光によって切断する。次に、短絡した画素電極PITに接続される第2個別リード線LDL2の一部をレーザ光によって切断する。これにより、短絡した画素電極PIT

50

に接続されていたトランジスタT Rを電氣的に浮いた状態（フローティング状態）にすることができ、短絡した画素電極P I Tと正常な画素電極P I Tとを分離することができる。

【0062】

また、トランジスタT Rの電極間が短絡した場合についても同様に、まず、画素P I Xの欠陥検査によって電極間が短絡した異常状態のトランジスタT Rを特定し、異常状態のトランジスタT Rに接続される第1個別リード線L D L 1の一部をレーザ光によって切断する。次に、異常状態のトランジスタT Rに対応する画素電極P I Tに接続される第2個別リード線L D L 2の一部をレーザ光によって切断する。これにより、異常状態のトランジスタT Rを電氣的に浮いた状態にして、異常状態のトランジスタT Rとこれに接続される画素電極P I T及び他のトランジスタT Rとを分離することができる。

10

【0063】

このように、第1個別リード線L D L 1の一部又は第2個別リード線L D L 2の一部を個別に切断することで、異常状態の画素電極P I T又は異常状態のトランジスタT Rを個別に分離することができる。

【0064】

なお、第1個別リード線L D L 1の少なくとも一部は、平面視において、他の導電部材と重なっていない方がよい。具体的には、第1個別リード線L D L 1における共通リード線L D L C側の根元部分が他のどの導電部材とも重なっていない。

【0065】

20

また、第2個別リード線L D L 2の少なくとも一部は、平面視において、他の導電部材と重なっていない方がよい。具体的には、第2個別リード線L D L 2における画素電極P I T側の根元部分が他のどの導電部材とも重なっていない。

【0066】

これにより、異常状態のトランジスタT R又は異常状態の画素電極P I Tを分離するために第1個別リード線L D L 1又は第2個別リード線L D L 2の根元部分をレーザ光で切断する際に、他の導電部材までもレーザ光によって切断してしまうことを回避することができる。

【0067】

30

次に、液晶表示パネルL C Pの断面構造を中心に説明する。

【0068】

図5～図7に示すように、液晶表示パネルL C Pは、第1基板S U B 1と、第1基板S U B 1に対向する第2基板S U B 2と、第1基板S U B 1と第2基板S U B 2との間に配置された液晶層L C Lとを備えている。本実施の形態において、第1基板S U B 1がバックライトB L側に位置し、第2基板S U B 2が観察者側に位置する。液晶層L C Lは、第1基板S U B 1と第2基板S U B 2との間に封止されている。

【0069】

第1基板S U B 1は、トランジスタT RとしてT F Tを有するT F T基板である。また、第1基板S U B 1には、トランジスタT Rだけではなく、映像信号線S L及び走査線G L等の各種配線、これらの配線間を絶縁する層間絶縁膜、画素電極P I T、共通電極M I T及び配向膜P I等が設けられている。これらは、第1透明基材T S U B 1に形成される。第1透明基材T S U B 1は、例えば、ガラス基板等の透明基板である。

40

【0070】

第1透明基材T S U B 1に形成されたトランジスタT Rは、ゲート電極Gと、ソース電極Sと、ドレイン電極Dと、チャネル層となる半導体層S Cとによって構成されている。本実施の形態において、トランジスタT Rは、ボトムゲート構造のT F Tであり、第1透明基材T S U B 1の上に形成されたゲート電極Gと、ゲート電極Gの上に形成されたゲート絶縁層G Iと、ゲート絶縁層G Iを介してゲート電極Gの上方に形成された半導体層S Cとを備える。ソース電極S及びドレイン電極Dは、半導体層S Cの上に形成されている。

50

【 0 0 7 1 】

ゲート電極 G は、例えば、下層のモリブデン膜（例えば 1 0 n m）と上層の銅膜（例えば 3 0 0 n m）との 2 層構造からなる金属膜によって構成されている。ゲート絶縁層 G I は、例えば、窒化シリコン膜（例えば 3 9 0 n m）によって構成されている。半導体層 S C は、例えば、下層の i - アモルファスシリコン膜（例えば 1 5 5 n m）と上層の n - アモルファスシリコン膜（例えば 2 5 n m）との 2 層構造からなる半導体膜によって構成されている。ソース電極 S 及びドレイン電極 D は、例えば、下層のモリブデン膜（例えば 2 0 n m）と上層の銅膜（例えば 3 0 0 n m）との 2 層構造からなる金属膜によって構成されている。

【 0 0 7 2 】

なお、ゲート電極 G、ソース電極 S、ドレイン電極 D、半導体層 S C 及びゲート絶縁層 G I の材料は、これらに限定されるものではない。例えば、半導体層 S C の材料としては、I n - G a - Z n - O 系酸化物半導体等を用いてもよい。また、ゲート電極 G、ソース電極 S、ドレイン電極 D 及び半導体層 S C は、2 層で構成されるものに限らず、単層で構成されていてもよいし、3 層以上で構成されていてもよい。また、ゲート絶縁層 G I も、単層で構成されるものに限らず、2 層以上で構成されていてもよい。

【 0 0 7 3 】

また、図 5 ~ 図 7 に示すように、第 1 基板 S U B 1 には、走査線 G L 及び映像信号線 S L が形成されている。走査線 G L は、ゲート電極 G と同層に形成されている。つまり、走査線 G L とゲート電極 G とは、同じ金属膜をパターニングすることによって形成される。一方、映像信号線 S L は、ソース電極 S 及びドレイン電極 D と同層に形成されている。つまり、映像信号線 S L とソース電極 S 及びドレイン電極 D とは、同じ金属膜をパターニングすることによって形成される。なお、図 4 に示すように、本実施の形態において、トランジスタ T R のドレイン電極 D は、映像信号線 S L に接続されており、トランジスタ T R のソース電極 S は、画素電極 P I T に接続されている。

【 0 0 7 4 】

図 4 及び図 7 に示すように、第 1 基板 S U B 1 には、遮光体 S L D が設けられている。図 4 に示すように、遮光体 S L D は、平面視において、トランジスタ T R を囲むように形成されている。図 7 に示すように、本実施の形態において、遮光体 S L D は、半導体層 S C と同層に形成されている。つまり、遮光体 S L D と半導体層 S C は、同じ半導体膜をパターニングすることによって形成される。したがって、遮光体 S L D は、光を吸収するアモルファスシリコン膜によって構成されているので光吸収層として機能する。つまり、遮光体 S L D は、光を吸収することで遮光する。このように、トランジスタ T R の周囲に遮光体 S L D を設けることで、光が入射することでトランジスタ T R の特性が変化することを抑制することができる。

【 0 0 7 5 】

図 5 ~ 図 7 に示すように、第 1 透明基材 T S U B 1 の上には、トランジスタ T R、走査線 G L（第 1 走査線 G L 1、第 2 走査線 G L 2）及び映像信号線 S L（第 1 映像信号線 S L 1、第 2 映像信号線 S L 2）を覆うように、第 1 絶縁膜 P A S が形成されている。第 1 絶縁膜 P A S は、例えば、窒化シリコン膜等の無機材料からなる無機絶縁膜（例えば 2 0 0 n m）によって構成されている。無機絶縁膜である第 1 絶縁膜 P A S は、例えば C V D 法によって成膜することができる。

【 0 0 7 6 】

さらに、第 1 絶縁膜 P A S を覆うように第 2 絶縁膜 O P A S が形成されている。本実施の形態において、第 2 絶縁膜 O P A S の厚さは、第 1 絶縁膜 P A S の厚さよりも厚い。具体的には、第 2 絶縁膜 O P A S の厚さは、第 1 絶縁膜 P A S の厚さの 1 0 倍以上であり、一例として、3 0 0 0 n m である。これにより、走査線 G L 及び映像信号線 S L 等の配線と共通電極 M I T との間の厚み方向の距離を大きくすることができるので、走査線 G L 及び映像信号線 S L 等の配線と共通電極 M I T とで形成される寄生容量を軽減することができる。しかも、第 2 絶縁膜 O P A S を厚くすることで、トランジスタ T R、走査線 G L 及

10

20

30

40

50

び映像信号線 S L を形成することで生じる T F T 層の凹凸差を軽減して T F T 層を平坦化することができる。これにより、表面が平坦化された第 2 絶縁膜 O P A S を形成することができるので、第 2 絶縁膜 O P A S の直上の共通電極 M I T を平坦な平面状に形成することができる。

【 0 0 7 7 】

本実施の形態において、第 2 絶縁膜 O P A S は、炭素を含む有機材料からなる有機絶縁膜によって構成されている。有機絶縁膜である第 2 絶縁膜 O P A S は、例えば液状の有機材料を塗布して硬化することによって形成することができる。これにより、第 2 絶縁膜 O P A S を容易に厚膜化することができるので、全ての画素 P I X にわたって第 2 絶縁膜 O P A S の表面を容易に平坦にすることができる。つまり、第 2 絶縁膜 O P A S は、平坦化層として機能している。

10

【 0 0 7 8 】

また、第 1 基板 S U B 1 には、共通電極 M I T 及び画素電極 P I T が形成されている。具体的には、共通電極 M I T 及び画素電極 P I T は、第 3 絶縁膜 U P S を介して対向して積層されている。

【 0 0 7 9 】

本実施の形態において、共通電極 M I T は、第 2 絶縁膜 O P A S の上に形成されている。そして、共通電極 M I T を覆うように第 3 絶縁膜 U P S が形成され、第 3 絶縁膜 U P S の上に画素電極 P I T が所定形状で形成されている。共通電極 M I T 及び画素電極 P I T は、例えば、インジウム錫酸化物 (I T O : I n d i u m T i n O x i d e) 等の透明金属酸化物によって構成された透明電極である。また、第 3 絶縁膜 U P S は、例えば、窒化シリコン膜等の無機絶縁膜 (例えば 6 0 0 n m) によって構成されている。無機絶縁膜である第 3 絶縁膜 U P S は、例えば C V D 法によって成膜することができる。

20

【 0 0 8 0 】

上述のように、共通電極 M I T は、全ての画素 P I X にわたって形成された平面状のべた電極である。これにより、走査線 G L (第 1 走査線 G L 1 、第 2 走査線 G L 2) 、映像信号線 S L (第 1 映像信号線 S L 1 、第 2 映像信号線 S L 2) 等の配線が共通電極 M I T によって覆われるので、走査線 G L 及び映像信号線 S L 等の配線で発生する電界を共通電極 M I T によって遮蔽することができる。つまり、T F T 層で発生する電界を共通電極 M I T によってシールドすることができる。したがって、共通電極 M I T の上に形成する画素電極 P I T の形状及び大きさの設計の自由度が向上するので、画素 P I X の光透過率及び開口率を容易に向上させることができる。

30

【 0 0 8 1 】

なお、共通電極 M I T は薄膜平面状のべた電極であるが、図 4 及び図 8 に示すように、共通電極 M I T における走査線 G L の上には、行方向に沿って延在する開口部 O P N が形成されている。図 8 は、トランジスタ T R 周辺の共通電極 M I T の形状を示す図であり、図 4 の破線で囲まれる領域に対応している。また、図 8 では、共通電極 M I T が存在する箇所を示すために、共通電極 M I T には便宜上ハッチングを施している。

【 0 0 8 2 】

また、画素電極 P I T は、上述のように、1つの画素 P I X に複数設けられており、各画素電極 P I T は、列方向に延在する複数本のライン電極 P I T L を有する。各画素 P I X では、画素電極 P I T と共通電極 M I T とによって画素容量 $C_{P I X}$ が生成される。なお、共通電極 M I T の開口部 O P N には、図 6 及び図 7 に示すように、第 1 絶縁膜 P A S 、第 2 絶縁膜 O P A S 及び第 3 絶縁膜 U P S の 3 層構造の絶縁層 I L を貫通するコンタクトホール C H が設けられている。

40

【 0 0 8 3 】

第 1 絶縁膜 P A S 、第 2 絶縁膜 O P A S 及び第 3 絶縁膜 U P S の 3 層構造の絶縁層 I L は、全ての画素 P I X にわたって形成されており、各画素 P I X における複数のトランジスタ T R と複数の画素電極 P I T との間に設けられている。したがって、各画素 P I X において、絶縁層 I L には、トランジスタ T R 及び画素電極 P I T の数と同数の複数のコン

50

タクトホールCHが形成されている。

【0084】

そして、各画素PIXにおいて、複数のトランジスタTRの各々と複数の画素電極PITの各々とは複数のコンタクトホールCHの各々を介して電氣的に接続されている。具体的には、各画素電極PITは、コンタクトホールCHを介してトランジスタTRのソース電極Sに接続されている。

【0085】

図4及び図7に示すように、本実施の形態において、コンタクトホールCHは、画素電極PITとトランジスタTRのソース電極Sとが電氣的に接続される部分であるコンタクト部CH1と、コンタクト部CH1から延伸する部分である延伸部CH2とを有する。具体的には、コンタクト部CH1では、画素電極PITから引き出された第2個別リード線LDL2がトランジスタTRのソース電極Sと接続されている。

【0086】

延伸部CH2は、平面視において画素電極PITと重なっておらず、コンタクトホールCHが形成された画素PIX内において、画素電極PIT側とは反対側の方向に延伸している。また、図9に示すように、延伸部CH2の幅W2は、コンタクト部CH1の幅W1よりも狭くなっている。図9は、図4の破線で囲まれる領域IXの拡大図である。ただし、図9において、半導体層SC、半導体層SCと同層に形成される層、及び、画素電極PITは、図示されていない。

【0087】

図4及び図9に示すように、本実施の形態では、コンタクトホールCH全体が共通電極MITの開口部OPNに形成されている。このため、コンタクト部CH1が共通電極MITと重なっていないだけでなく、延伸部CH2も共通電極MITと重なっていない。延伸部CH2は、平面視において、トランジスタTRのドレイン電極Dと重なっている。

【0088】

また、図3～図5に示すように、行方向に隣り合う2つの画素PIXの境界部ごとに、列方向に延在するコモン線（縦コモン）CMTが設けられている。コモン線CMTは、共通電極MITの直上に設けられている。つまり、コモン線CMTは、共通電極MITに接触して共通電極MITに積層されている。コモン線CMTは、例えば、銅膜（例えば300nm）からなる金属膜によって構成されている。このように、共通電極MITに金属膜からなるコモン線CMTを積層することによって共通電極MITの時定数を下げることができる。

【0089】

図3に示すように、コモン線CMTは、映像信号線SLに沿って形成されている。つまり、コモン線CMTは、屈曲部を有する略「く」の字状に形成されている。コモン線CMTは、平面視において、第1映像信号線SL1又は第2映像信号線SL2に重なっている。具体的には、コモン線CMTは、第1映像信号線SL1に重なっている。

【0090】

また、コモン線CMTの幅は、第1映像信号線SL1の幅よりも狭くなっており、平面視において、コモン線CMTは、第1映像信号線SL1からはみ出さないように形成されているが、これに限らない。例えば、共通電極MITの時定数をより下げするためにコモン線CMTの幅を大きくし、コモン線CMTを第1映像信号線SL1と第2映像信号線SL2とに跨るように形成してもよい。

【0091】

また、図4及び図7に示すように、複数の画素電極PITの各々と共通電極MITとの厚み方向の間には、金属電極METが設けられている。金属電極METは、コモン線CMTと同層に形成されている。つまり、金属電極METとコモン線CMTとは、同じ金属膜をパターンングすることによって形成される。金属電極METは、コモン線CMTと同層であるので共通電極MITの直上に形成されており、図7に示すように、断面視において、第3絶縁膜UPSを介して画素電極PITと対向している。具体的には、金属電極ME

10

20

30

40

50

Tは、画素電極P I Tごとに形成されており、厚み方向において、各画素電極P I Tの連結電極P I T Cと対向している。つまり、金属電極M E Tは、画素電極P I Tの下方に形成されている。

【0092】

金属電極M E Tは、画素P I Xに画素欠陥が生じた場合に、黒点化により画素P I Xを修復させるときに利用することができる。例えば、トランジスタT Rの電極間が短絡して画素欠陥が発生した場合、上記のように、まず、異常状態のトランジスタT Rに接続される第1個別リード線L D L 1の一部をレーザ光によって切断し、次に、異常状態のトランジスタT Rに対応する画素電極P I Tに接続される第2個別リード線L D L 2の一部をレーザ光によって切断する。これにより、異常状態のトランジスタT Rを電氣的に浮いた状態にして、異常状態のトランジスタT Rを分離することができる。この場合、画素電極P I Tも電氣的に浮いた状態になってしまうが、電氣的に浮いた状態の画素電極P I Tに意図しない信号(電荷)が乗ると、画像品位が低下する。そこで、電氣的に浮いた状態の画素電極P I Tに意図しない信号が乗らないように、画素電極P I Tと共通電極M I Tとを意図的に短絡するとよい。このとき、有色である金属電極M E Tを用いることで、画素電極P I Tと共通電極M I Tとを容易に短絡することができる。具体的には、欠陥検査によって異常状態のトランジスタT Rを特定し、この異常状態のトランジスタT Rに接続される画素電極P I Tに対応する金属電極M E Tの形成領域にレーザ光を照射する。これにより、金属電極M E Tの上方に位置する画素電極P I Tを共通電極M I Tに落とすことができるので、画素電極P I Tと共通電極M I Tとを容易に短絡させることができる。

10

20

【0093】

図5～図7に示すように、画素電極P I Tの上には配向膜P Iが形成されている。配向膜P Iは、第1透明基材T S U B 1の上方において、画素電極P I Tを覆うように全ての画素P I Xにわたって形成されている。配向膜P Iは、液晶層L C Lに接しており、液晶層L C Lの液晶分子の初期配向角度を制御する。本実施の形態では、液晶分子の初期配向角度を一定方向に揃えるために、配向膜P Iにはラビング処理が施されている。

【0094】

図7及び図9に示すように、画素電極P I TとトランジスタT Rのソース電極Sとを接続するためのコンタクトホールC Hの近傍における絶縁層I Lの上には、島状の積層膜S T Fが形成されている。

30

【0095】

このように、コンタクトホールC Hの近傍における絶縁層I Lの上に島状の積層膜S T Fを形成することで、絶縁層I Lの上に液状の配向膜材料を塗布したときに、積層膜S T Fによって配向膜材料を濡れ広がらせることができる。これにより、絶縁層I LのコンタクトホールC Hの縁で配向膜材料が留まってしまうことを抑制することができるとともに、配向膜材料をコンタクトホールC H内にすでに容易に導入することができる。したがって、絶縁層I Lの上に均一な膜厚の配向膜P Iを形成することができるとともに、コンタクトホールC H内にまで配向膜P Iを形成することができる。この結果、画像品位が低下することを抑制できる。

【0096】

本実施の形態において、積層膜S T Fは、コンタクトホールC Hの延伸部C H 2の先端部の近傍において、第2絶縁膜O P A Sの上に形成されている。具体的には、積層膜S T Fは、第2絶縁膜O P A Sと第3絶縁膜U P Sとの間に形成されている。

40

【0097】

また、図4に示すように、積層膜S T Fは、走査線G Lの上方に形成されている。つまり、積層膜S T Fは、平面視において、走査線G Lに重なっている。積層膜S T Fは、トランジスタT Rの数と同じ数だけ形成されている。本実施の形態において、積層膜S T Fは、7つ形成されている。7つの積層膜S T Fは、走査線G Lに沿って一列で形成されている。なお、映像信号線S LとトランジスタT Rとを接続するリード線L D Lの第1個別リード線L D L 1は、隣り合う2つの積層膜S T Fの間に設けられている。

50

【0098】

図7に示すように、各積層膜STFは、第1の膜STF1と、第1の膜STF1の上に積層された第2の膜STF2とを有する。本実施の形態において、積層膜STFは、第1の膜STF1と第2の膜STF2との2層構造である。

【0099】

第1の膜STF1は、共通電極MITと同層に形成されている。つまり、第1の膜STF1と共通電極MITとは、同じ透明導電膜をパターニングすることによって形成される。したがって、本実施の形態において、第1の膜STF1は、共通電極MITと同じITO膜である。図4に示すように、一例として、第1の膜STF1は、共通電極MITと間隔を空けて設けられた島状の膜である。第1の膜STF1の平面視形状は、行方向を長手方向とする矩形状である。

10

【0100】

第2の膜STF2は、コモン線CMTと同層に形成されている。つまり、第2の膜STF2とコモン線CMTとは、同じ金属膜をパターニングすることによって形成される。したがって、本実施の形態において、第2の膜STF2は、コモン線CMTと同じ銅膜である。図4に示すように、一例として、第2の膜STF2は、コモン線CMTと間隔を空けて設けられた島状の膜である。第2の膜STF2の平面視形状は、行方向を長手方向とする矩形状である。

【0101】

なお、積層膜STFは、共通電極MIT及びコモン線CMTと同じ材料によって構成されているが、島状に形成されているので、電気的には浮いた状態になっている。これにより、コンタクトホールCHからの距離が長いコモン線CMTの一部を引き回して積層膜STFを形成する場合と比べて、配線間による寄生容量が発生することを防止できる。

20

【0102】

図8及び図9に示すように、平面視において、下層の第1の膜STF1は、上層の第2の膜STF2よりも大きくなっている。これにより、積層膜STFの端部は階段状になっている。つまり、図7に示すように、第1の膜STF1は、当該第1の膜STF1の端部が第2の膜STF2の端部からはみ出している部分であるはみ出し部（階段部）STPを有する。はみ出し部STPは、第1の膜STF1のコンタクトホールCH側に設けられている。また、はみ出し部STPは、第1の膜STF1のコンタクトホールCH側とは反対側にも設けられている。つまり、第1の膜STF1は、コンタクトホールCH側の端部とコンタクトホールCH側とは反対側の端部との両端部にはみ出し部STPを有する。本実施の形態では、第1の膜STF1の端部の全周が第2の膜STF2の端部からはみ出ししており、第1の膜STF1の全周端部がはみ出し部STPとなっている。つまり、積層膜STFの全周端部が階段状に形成されている。

30

【0103】

なお、図9に示すように、第1の膜STF1の端部と延伸部CH2までの距離d1（第1の膜STF1の端部から第2絶縁膜OPASのはみ出し量）を $0.5\mu\text{m}$ とし、第2の膜STF2の端部と延伸部CH2までの距離d2（第2の膜STF2の端部から第2絶縁膜OPASのはみ出し量）を $1.0\mu\text{m}$ としている。

40

【0104】

図5～図7に示すように、観察者側の第2基板SUB2は、第1基板SUB1に対向する対向基板である。第2基板SUB2は、第2透明基材TSUB2と、第2透明基材TSUB2に形成された遮光層BMとを有する。第2透明基材TSUB2は、第1透明基材TSUB1と同様に、例えば、ガラス基板等の透明基板である。

【0105】

遮光層BMは、黒色層であり、例えばカーボンブラックによって構成されている。遮光層BMは、第2透明基材TSUB2の液晶層LCL側の面に形成される。本実施の形態において、遮光層BMは、列方向に隣り合う2つの画素PIXの境界部ごとに形成されている。具体的には、図4及び図6に示すように、遮光層BMは、第1基板SUB1における各

50

走査線 G L を覆うように複数形成されている。つまり、平面視において、各遮光層 B M は、各走査線 G L に重なっている。各遮光層 B M は、帯状であり、一定の幅で行方向に沿ってライン状に形成されている。

【 0 1 0 6 】

遮光層 B M の幅は、走査線 G L の幅よりも大きくなっており、走査線 G L は遮光層 B M からはみ出さないように形成されている。なお、遮光層 B M は、各画素 P I X に形成されたリード線 L D L も覆っている。

【 0 1 0 7 】

遮光層 B M を形成することによって、遮光層 B M によって外光等の光を遮光することができる。これにより、リード線 L D L 及び走査線 G L の表面で外光等の光が反射して画像品位が低下することを抑制できる。

10

【 0 1 0 8 】

本実施の形態において、行方向に隣り合う 2 つの画素 P I X の境界部には遮光層 B M が形成されていない。つまり、第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 が延在する方向に沿った遮光層 B M は形成されていない。したがって、第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 の間に存在するライン電極 P I T L は、遮光層 B M で覆われていない。

【 0 1 0 9 】

また、液晶表示パネル L C P がカラー画像を表示する場合、第 2 基板 S U B 2 は、カラーフィルタを有するカラーフィルタ基板となる。この場合、例えば、各画素 P I X に対応して、赤色カラーフィルタ、青色カラーフィルタ及び緑色カラーフィルタのいずれかのカラーフィルタが形成される。カラーフィルタは、遮光層 B M の間の領域（つまり遮光層 B M の開口部 O P N ）に形成される。一方、液晶表示パネル L C P がモノクロ画像を表示する場合は、第 2 基板 S U B 2 にはカラーフィルタが形成されない。

20

【 0 1 1 0 】

図 4 に示すように、第 2 基板 S U B 2 には、第 1 スペース P S 1 及び第 2 スペース P S 2 が設けられている。ここで、図 1 0 及び図 1 1 を用いて、第 1 スペース P S 1 及び第 2 スペース P S 2 とこれらに対向する第 1 積層構造体 S T S 1 及び第 2 積層構造体 S T S 2 とを説明する。図 1 0 は、図 4 の X - X 線における実施の形態 1 に係る液晶表示パネル L C P の断面図であり、図 1 1 は、図 4 の X I - X I 線における同液晶表示パネル L C P の断面図である。

30

【 0 1 1 1 】

図 1 0 及び図 1 1 に示すように、第 1 スペース P S 1 及び第 2 スペース P S 2 は、第 2 基板 S U B 2 から第 1 基板 S U B 1 に向かって突出するように形成されている。第 1 スペース P S 1 及び第 2 スペース P S 2 は、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間隔（セルギャップ）を一定に維持するための柱状のスペーサである。つまり、第 1 スペース P S 1 及び第 2 スペース P S 2 によって、液晶層 L C L の厚みを一定に維持することができる。本実施の形態において、第 1 スペース P S 1 及び第 2 スペース P S 2 は、円柱台形状であり、上端部及び下端部の平面視形状は円形である。

40

【 0 1 1 2 】

第 1 スペース P S 1 及び第 2 スペース P S 2 は、アクリル樹脂等の樹脂材料によって構成されており、弾性変形することができる。第 1 スペース P S 1 及び第 2 スペース P S 2 は、例えばフォトリソグラフィー等によって形成することができる。

【 0 1 1 3 】

本実施の形態において、第 1 スペース P S 1 の高さ第 2 スペース P S 2 の高さが異なっている。具体的には、第 2 スペース P S 2 の高さが第 1 スペース P S 1 の高さよりも高くなっている。また、図 4 に示すように、第 1 スペース P S 1 の先端部の平面視における面積は、第 2 スペースの先端部の平面視における面積よりも大きい。このように、高さ及び形状が異なる第 1 スペース P S 1 及び第 2 スペース P S 2 は、ハーフトーンマスク又は 2 回のマスクによって形成することができる。

50

【0114】

図11に示すように、第2スペーサPS2は、第1基板SUB1と第2基板SUB2との間隔を規定するメインスペーサであり、先端部が第1基板SUB1に接触している。第2スペーサPS2は、第1基板SUB1及び第2基板SUB2を常時支持しており、液晶表示パネルLCPの厚み方向に押圧が付与されていないときでも、第2スペーサPS2の先端部は、第1基板SUB1に接触している。本実施の形態において、第2スペーサPS2の先端部は、第1基板SUB1の最上層である配向膜PIに接触している。なお、第2スペーサPS2は弾性変形することができるので、第1基板SUB1の表面に凹凸が存在してセルギャップ変動が生じていたとしても、図11に示すように、第2スペーサPS2の先端部は第1基板SUB1の表面の凹凸に追従して変形することができる。

10

【0115】

一方、図10に示すように、第1スペーサPS1は、サブスペーサであり、液晶表示パネルLCPの厚み方向に押圧が付与されていないときには、先端部が第1基板SUB1に接触していないが、液晶表示パネルLCPの厚み方向に押圧が付与されたときには、先端部が第1基板SUB1に接触する。これにより、製造工程中又は環境温度変化等によって第2スペーサPS2に横ずれが生じたり液晶表示パネルLCPの厚み方向に押圧が付与されたりした場合であっても、第1基板SUB1及び第2基板SUB2を補助的に支持することができるので、第1基板SUB1と第2基板SUB2との間隔を容易に一定に維持することができる。なお、第1スペーサPS1も弾性変形することができるので、第1基板SUB1の表面に凹凸が存在してセルギャップ変動が生じていたとしても、第1スペーサPS1が第1基板SUB1に接触したときに、第1スペーサPS1の先端部は、第1基板SUB1の表面の凹凸に追従して変形することができる。

20

【0116】

複数の画素PIXの全域において、第1基板SUB1と第2基板SUB2との間隔を一定に維持するために、第1スペーサPS1及び第2スペーサPS2は、複数の画素PIXの全域にわたって複数配置されている。本実施の形態において、複数の画素PIXを1ブロックとして全画素を複数のブロックに分割したときに、第1スペーサPS1及び第2スペーサPS2は、1ブロックを繰り返し単位として各ブロックに配置されている。具体的には、第2スペーサPS2（メインスペーサ）は、1ブロックあたり数個配置され、第1スペーサPS1（サブスペーサ）は、各画素PIXに複数配置されている。一例として、3×2画素を1ブロックとすると、図4に示すように、1ブロックには第2スペーサPS2が4個配置され、各画素PIXには第1スペーサPS1が6個（1ブロックあたり36個）配置されている。

30

【0117】

図4に示すように、第1スペーサPS1及び第2スペーサPS2は、列方向に隣り合う2つの画素PIXの境界部に設けられている。具体的には、第1スペーサPS1及び第2スペーサPS2は、遮光層BMの上に形成されている。つまり、第1スペーサPS1及び第2スペーサPS2は、平面視において、遮光層BM及び走査線GLと重なっている。

【0118】

第1スペーサPS1は、各画素PIXにおいて、複数のトランジスタTRのうち隣り合う2つのトランジスタの間に位置している。本実施の形態では、第1スペーサPS1の一部は、平面視において、隣り合う2つのトランジスタTRの一部に重なっているが、第1スペーサPS1は、隣り合う2つのトランジスタTRと重なってなくてもよい。

40

【0119】

第2スペーサPS2は、平面視において、映像信号線SLと重なっている。具体的には、第2スペーサPS2は、第1映像信号線SL1及び第2映像信号線SL2のうち第1映像信号線SL1と重なっている。さらに、第2スペーサPS2は、コモン線CMTにも重なっている。

【0120】

図10に示すように、第1基板SUB1には、第1積層構造体STS1が設けられてい

50

る。第1積層構造体STS1は、第2基板SUB2に設けられた第1スペーサPS1に対向する位置に設けられている。第1積層構造体STS1は、第1スペーサPS1の台座として機能する。

【0121】

第1積層構造体STS1は、第1基板SUB1を構成する部材によって形成されている。本実施の形態において、第1積層構造体STS1は、トランジスタTRを構成する部材によって形成されており、トランジスタTRのゲート電極Gと同層に形成された第1の膜STS11と、半導体層SC及びソースドレイン電極の一方と同層に形成された第2の膜STS12と、半導体層SC及びソースドレイン電極の他方と同層に形成された第3の膜STS13とを有する。本実施の形態において、第1の膜STS11、第2の膜STS12及び第3の膜STS13は、この順で下から上に積層されている。

10

【0122】

具体的には、第1積層構造体STS1は、ゲート電極Gと同層に形成された最下層の第1の膜STS11と、半導体層SCと同層に形成された中間層の第2の膜STS12と、ソース電極S及びドレイン電極Dと同層に形成された最上層の第3の膜STS13との3層構造によって構成されている。

【0123】

また、図11に示すように、第1基板SUB1には、第2積層構造体STS2が設けられている。第2積層構造体STS2は、第2基板SUB2に設けられた第2スペーサPS2に対向する位置に設けられている。第2積層構造体STS2は、第2スペーサPS2の台座として機能する。

20

【0124】

第2積層構造体STS2は、第1積層構造体STS1と同様に、第1基板SUB1を構成する部材（本実施の形態では、トランジスタTRを構成する部材）によって形成されているが、第1積層構造体STS1の積層構造と同じ積層構造に、さらに配線が積層された構造を有する。本実施の形態において、第2積層構造体STS2は、第1積層構造体STS1の積層構造と同じ積層構造に、さらに配線としてコモン線CMTが積層された構造となっている。

【0125】

具体的には、第2積層構造体STS2は、トランジスタTRのゲート電極Gと同層に形成された第1の膜STS21と、半導体層SC及びソースドレイン電極の一方と同層に形成された第2の膜STS22と、半導体層SC及びソースドレイン電極の他方と同層に形成された第3の膜STS23とを有する。第2積層構造体STS2は、さらに、共通電極MITと同層に形成された第4の膜STS24と、コモン線CMTと同層に形成された第5の膜STS25とを有する。本実施の形態において、第1の膜STS21、第2の膜STS22、第3の膜STS23、第4の膜STS24及び第5の膜STS25は、この順で下から上に積層されている。

30

【0126】

より具体的には、第2積層構造体STS2は、ゲート電極Gと同層に形成された最下層の第1の膜STS21と、半導体層SCと同層に形成された第1中間層の第2の膜STS22と、ソース電極S及びドレイン電極Dと同層に形成された第2中間層の第3の膜STS23と、共通電極MITの一部である第3中間層の第4の膜STS24と、コモン線CMTの一部である最上層の第5の膜STS25との5層構造によって構成されている。

40

【0127】

なお、第2積層構造体STS2において、第4の膜STS24及び第5のSTS25は、いずれか一方であってもよい。また、第4の膜STS24は、共通電極MITと分離されていてよいし、第5の膜STS25もコモン線CMTと分離されていてよい。

【0128】

また、第1積層構造体STS1には、共通電極MITと同層の膜及びコモン線CMTと同層の膜が設けられていない。つまり、第2積層構造体STS2は、第1積層構造体STS

50

S 1 に対して、第 4 の膜 S T S 2 4 及び第 5 の膜 S T S 2 5 の分だけ高さが高くなっている。

【 0 1 2 9 】

このように構成される液晶表示パネル L C P には、一对の偏光板（不図示）が貼り合わされている。例えば、一对の偏光板の一方が第 1 基板 S U B 1 の外面に形成され、一对の偏光板の他方が第 2 基板 S U B 2 の外面に形成される。一对の偏光板は、偏光方向が互いに直交するように配置されている。また、一对の偏光板には、位相差板が貼り合わされている。

【 0 1 3 0 】

次に、本実施の形態に係る液晶表示パネル L C P の作用効果について、本発明に至った経緯も含めて説明する。

10

【 0 1 3 1 】

T F T 基板である第 1 基板には、複数の T F T が形成されているとともに、映像信号線及び走査線等の複数の配線が交差するように形成されているため、第 1 基板の最上層の表面は凹凸になってしまう。例えば、本実施の形態における液晶表示パネル L C P のように、厚膜の有機膜からなる第 2 絶縁膜 O P A S を設けたとしても第 1 基板 S U B 1 の最上層を完全に平坦にすることができない。

【 0 1 3 2 】

このため、T F T 基板の対向基板である第 2 基板に複数のスペーサを設けた場合に、複数のスペーサを第 1 基板に接触させたいにもかかわらず、第 1 基板の最上層の表面の凹凸によって、一部のスペーサが第 1 基板に接触しないことがある。あるいは、複数のスペーサと第 1 基板との間に一定のクリアランスを設けたい場合もあるが、この場合、第 1 基板の最上層の表面が凹凸であると、複数のスペーサと第 1 基板との間のクリアランスを一定に揃えることができないことがある。

20

【 0 1 3 3 】

このように、第 2 基板にスペーサを設けた場合に、液晶表示パネルの全体において第 1 基板と第 2 基板との間隔を一定に維持することが容易ではない。

【 0 1 3 4 】

そこで、本実施の形態に係る液晶表示パネル L C P では、各画素 P I X に設けられた複数のトランジスタ T R のうち隣り合う 2 つのトランジスタ T R の間で、かつ、第 2 基板 S U B 2 に設けられた第 1 スペーサ P S 1 に対向する位置に、第 1 積層構造体 S T S 1 を配置している。つまり、隣り合う 2 つのトランジスタ T R の間のフラットな部分を利用して、第 1 スペーサ P S 1 の台座として第 1 積層構造体 S T S 1 を設けている。

30

【 0 1 3 5 】

この構成により、隣り合う 2 つのトランジスタ T R の平坦性を確保することができるので、複数の第 1 スペーサ P S 1 と第 1 基板 S U B 1 とのクリアランスを一定に揃えることができる。これにより、液晶表示パネル L C P の全体において第 1 基板 S U B 1 と第 2 基板 S U B 2 との間隔を容易に一定にすることができる。

【 0 1 3 6 】

しかも、第 1 積層構造体 S T S 1 は、ゲート電極 G と同層に形成された第 1 の膜 S T S 1 1 と、半導体層 S C 及びソースドレイン電極の一方と同層に形成された第 2 の膜 S T S 1 2 とを有する。つまり、第 1 積層構造体 S T S 1 は、トランジスタ T R を構成する部材によって形成されている。

40

【 0 1 3 7 】

これにより、第 1 積層構造体 S T S 1 だけを別途形成する必要がないので、低コストかつ簡便に第 1 積層構造体 S T S 1 を形成することができる。

【 0 1 3 8 】

また、本実施の形態において、第 1 積層構造体 S T S 1 は、半導体層 S C 及びソースドレイン電極の他方と同層に形成された第 3 の膜 S T S 1 3 を有する。

【 0 1 3 9 】

50

この構成により、台座である第1積層構造体STS1の高さを第3の膜STS13によって調整することができる。これにより、隣り合う2つのトランジスタTRの平坦度を向上させたり、複数の第1スペーサPS1と第1基板SUB1とのクリアランスを調整したりすることができる。したがって、複数の第1スペーサPS1と第1基板SUB1とのクリアランスをより一定に揃えることができる。

【0140】

さらに、本実施の形態において、第2の膜STS12は、半導体層SCと同層に形成され、第3の膜STS13は、ソースドレイン電極と同層に形成され、第1の膜STS11、第2の膜STS12及び第3の膜STS13は、この順で下から上に積層されている。

【0141】

これにより、ボトム構造のTFEを製造するときのマスクパターンを調整することで、第1積層構造体STS1を容易に形成することができる。

【0142】

また、本実施の形態において、第1スペーサPS1の一部は、平面視において、隣り合う2つのトランジスタの一部に重なっている。

【0143】

この構成により、大きい第1スペーサPS1を形成することができる。これにより、第1基板SUB1と第2基板SUB2との間隔を、安定して一定に維持することができる。なお、第1スペーサPS1は、隣り合う2つのトランジスタと重なっていてもよい。この場合、トランジスタTRの厚みが厚い場合に、トランジスタTRの厚みによる第1基板SUB1の表面の凹凸に、第1スペーサPS1が必要以上に乗り上がってしまうことを抑制できる。

【0144】

また、本実施の形態における液晶表示パネルLCPは、さらに、第2基板SUB2に設けられた第2スペーサPS2を備えている。そして、第2スペーサPS2は、先端部が第1基板SUB1に接触しており、第1スペーサPS1は、先端部が第1基板SUB1に接触していない。

【0145】

つまり、第1基板SUB1に接触するメインスペーサとして第2スペーサPS2を設けるとともに、第1基板SUB1に接触せずに第1基板SUB1と一定のクリアランスを有するサブスペーサとして第1スペーサPS1を設けている。

【0146】

これにより、第2スペーサPS2（メインスペーサ）によって第1基板SUB1と第2基板SUB2との間隔を規定するとともに、偏光板貼り合わせ工程等の製造工程中又は環境温度変化等によって第2スペーサPS2に横ずれが生じたり、外部から液晶表示パネルLCPの厚み方向に応力が加わったりしたとしても、第1スペーサPS1（サブスペーサ）によって第1基板SUB1と第2基板SUB2との間隔を一定に維持することができる。したがって、画像品位の低下を抑制することができる。

【0147】

また、本実施の形態における液晶表示パネルLCPは、第2スペーサPS2に対向する位置において、第1基板SUB1に設けられた第2積層構造体STS2を備える。そして、第2積層構造体STS2は、第1積層構造体STS1の積層構造と同じ積層構造に、さらに配線が積層された構造を有する。また、この配線は、コモン線CMTである。

【0148】

この構成により、トランジスタTRを構成する部材を利用して、第1スペーサPS1及び第2スペーサPS2の両方に台座を設けることができる。これにより、複数の第1スペーサPS1と第1基板SUB1とのクリアランスを一定に揃えるだけでなく、複数の第2スペーサPS2の各々を同程度の接触力で第1基板SUB1に接触させることができる。この結果、第2スペーサPS2の先端部のうち第1基板SUB1に接触していない部分と第1スペーサPS1の先端部との差（スペーサ高さ差）を一定に揃えることもできる。

10

20

30

40

50

【0149】

また、本実施の形態において、第1スペーサP S 1の高さと第2スペーサP S 2の高さが異なっている。

【0150】

この構成により、第1スペーサP S 1と第1基板S U B 1とのクリアランスを調整することができるとともに、第1スペーサP S 1と第2スペーサP S 2とのスペーサ高さ差を調整することができる。

【0151】

また、本実施の形態において、第1スペーサP S 1の先端部の平面視における面積は、第2スペーサP S 2の先端部の平面視における面積よりも大きい。

10

【0152】

この構成により、隣り合う2つのトランジスタT Rのフラットな部分で第2スペーサP S 2の先端部の面積を稼ぐことができる。これにより、第1基板S U B 1と第2基板S U B 2との間隔を、より安定的に一定に維持することができる。

【0153】

(実施の形態2)

次に、実施の形態2に係る液晶表示装置L C D 2について、図12、図13A及び図13Bを用いて説明する。図12は、実施の形態2に係る液晶表示装置L C D 2の概略構成を模式的に示す図である。図13Aは、実施の形態2に係る液晶表示装置L C D 2における第1液晶表示パネルL C P 1の画素のレイアウトを示す図である。図13Bは、実施の形態2に係る液晶表示装置L C D 2における第2液晶表示パネルL C P 2の画素のレイアウトを示す図である。

20

【0154】

液晶表示装置L C D 2は、液晶表示パネルを複数重ね合わせて構成された画像表示装置である。液晶表示装置L C D 2を構成する複数の液晶表示パネルの一つとして、上記実施の形態における液晶表示パネルL C P が用いられる。

【0155】

図12に示すように、液晶表示装置L C D 2は、観察者に近い位置(前側)に配置された第1液晶表示パネルL C P 1と、第1液晶表示パネルL C P 1よりも観察者から遠い位置(後側)に配置された第2液晶表示パネルL C P 2と、第2液晶表示パネルL C P 2の後側に配置されたバックライトB Lとを備える。本実施の形態では、第2液晶表示パネルL C P 2が、上記実施の形態1における液晶表示パネルL C P である。

30

【0156】

第1液晶表示パネルL C P 1は、メインパネルであって、ユーザが視認する画像を表示する。本実施の形態において、第1液晶表示パネルL C P 1は、カラー画像を表示する。第1液晶表示パネルL C P 1には、入力映像信号に応じたカラー画像を第1画像表示領域D S P 1に表示するために、第1ソースドライバS D C 1及び第1ゲートドライバG D C 1が設けられている。第1液晶表示パネルL C P 1の駆動方式は、例えばI P S方式等の横電界方式であるが、これに限るものではなく、V A (V e r t i c a l A l i g n m e n t)方式又はT N (T w i s t e d N e m a t i c)方式等であってもよい。

40

【0157】

第2液晶表示パネルL C P 2は、第1液晶表示パネルL C P 1の背面側に配置されるサブパネルである。本実施の形態において、第2液晶表示パネルL C P 2は、第1液晶表示パネルL C P 1に表示されるカラー画像に対応した画像のモノクロ画像(白黒画像)を、そのカラー画像に同期させて表示する。第2液晶表示パネルL C P 2には、入力映像信号に応じたモノクロ画像を第2画像表示領域D S P 2に表示するために、第2ソースドライバS D C 2及び第2ゲートドライバG D C 2が設けられている。

【0158】

バックライトB Lは、上記実施の形態1における液晶表示装置L C D 1に用いられるバックライトB Lと同じである。

50

【0159】

液晶表示装置LCD2は、さらに、第1液晶表示パネルLCP1の第1ソースドライバSDC1及び第1ゲートドライバGDC1を制御する第1タイミングコントローラTC1と、第2液晶表示パネルLCP2の第2ソースドライバSDC2及び第2ゲートドライバGDC2を制御する第2タイミングコントローラTC2と、第1タイミングコントローラTC1及び第2タイミングコントローラTC2に画像データを出力する画像処理部IPUとを備える。

【0160】

本実施の形態において、画像処理部IPUは、外部のシステムから送信された映像データを受信し、画像処理を実行した後、第1タイミングコントローラTC1に第1画像データDAT1を出力し、第2タイミングコントローラTC2に第2画像データDAT2を出力する。また、画像処理部IPUは、第1タイミングコントローラTC1及び第2タイミングコントローラTC2に同期信号等の制御信号（不図示）を出力する。第1画像データDAT1は、カラー表示用の画像データであり、第2画像データDAT2は、モノクロ表示用の画像データである。

10

【0161】

図13A及び図13Bに示すように、液晶表示装置LCD2では、第1液晶表示パネルLCP1の単位面積当たりの画素PIXの数と、第2液晶表示パネルLCP2の単位面積当たりの画素PIXの数とが等しくなるように構成されている。また、第1液晶表示パネルLCP1の1つの画素PIXの面積と、第2液晶表示パネルLCP2の1つの画素PIXの面積とは等しくなっている。

20

【0162】

また、図13Aに示すように、第1液晶表示パネルLCP1では、1つの画素PIXに、赤色用画素PIX_R、緑色用画素PIX_G及び青色用画素PIX_Bの3つのサブ画素が含まれている。本実施の形態において、赤色用画素PIX_R、緑色用画素PIX_G及び青色用画素PIX_Bの各々には、画素電極PIT及びトランジスタTRが1つずつ配置されているが、これに限らない。

【0163】

このように、本実施の形態に係る液晶表示装置LCD2では、第1液晶表示パネルLCP1及び第2液晶表示パネルLCP2の2つの表示パネルを重ね合わせて画像を表示しているので、黒を引き締めることができる。これにより、高コントラスト比の画像を表示することができる。

30

【0164】

また、液晶表示装置LCD2は、例えばHDR(High Dynamic Range)対応テレビであり、バックライトBLとして、ローカルディミング制御を行うことができるバックライトを用いることにより、さらに高コントラスト比かつ高画質のカラー画像を表示することができる。

【0165】

(変形例)

以上、本開示に係る液晶表示パネル及び液晶表示装置について、実施の形態に基づいて説明したが、本開示は、上記実施の形態に限定されるものではない。

40

【0166】

例えば、上記実施の形態において、画素電極PITにおける複数のライン電極PITLは、2つの連結電極PITCによって連結されていたが、画素PIX内のトランジスタTRから遠い側の連結電極PITCについては設けなくてもよい。この場合、画素電極PITは、複数のライン電極PITLによって構成された櫛歯状の電極となる。

【0167】

また、上記実施の形態では、映像信号線SLとトランジスタTRのドレイン電極Dとを接続し、画素電極PITとトランジスタTRのソース電極Sとを接続したが、これに限らない。例えば、映像信号線SLとトランジスタTRのソース電極Sとを接続し、画素電極

50

P I TとトランジスタT Rのドレイン電極Dとを接続してもよい。

【0168】

また、上記実施の形態において、画素電極P I Tの複数本のライン電極P I T Lは、列方向（第2方向）に沿って延在していたが、これに限らない。すなわち、複数本のライン電極P I T Lの一部又は全部は、行方向（第1方向）に沿って延在していてもよい。この場合、複数本のライン電極P I T Lは、行方向に平行に延在する場合に限らず、行方向に対して傾斜して延在していてもよいし、略「へ」の字状に屈曲していてもよい。

【0169】

また、上記実施の形態では、コモン線C M Tが、共通電極M I Tの直上に設けられた例を示したが、これに限られない。コモン線C M Tは、共通電極M I Tよりも下層の層、換言すれば、共通電極M I Tよりも第1基板S U B 1側に設けられた層として構成されていてもよい。

10

【0170】

その他、上記実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

【符号の説明】

【0171】

L C D 1、L C D 2 液晶表示装置

L C P 液晶表示パネル

20

L C P 1 第1液晶表示パネル

L C P 2 第2液晶表示パネル

B L バックライト

P D C 液晶表示パネル駆動回路

S D C ソースドライバ

S D C 1 第1ソースドライバ

S D C 2 第2ソースドライバ

G D C ゲートドライバ

G D C 1 第1ゲートドライバ

G D C 2 第2ゲートドライバ

30

I P U 画像処理部

T C 1 第1タイミングコントローラ

T C 2 第2タイミングコントローラ

D S P 画像表示領域

D S P 1 第1画像表示領域

D S P 2 第2画像表示領域

P I X 画素

P I X 1 第1画素

P I X 2 第2画素

P I X R 赤色用画素

40

P I X G 緑色用画素

P I X B 青色用画素

S L 映像信号線

S L 1 第1映像信号線

S L 2 第2映像信号線

G L 走査線

G L 1 第1走査線

G L 2 第2走査線

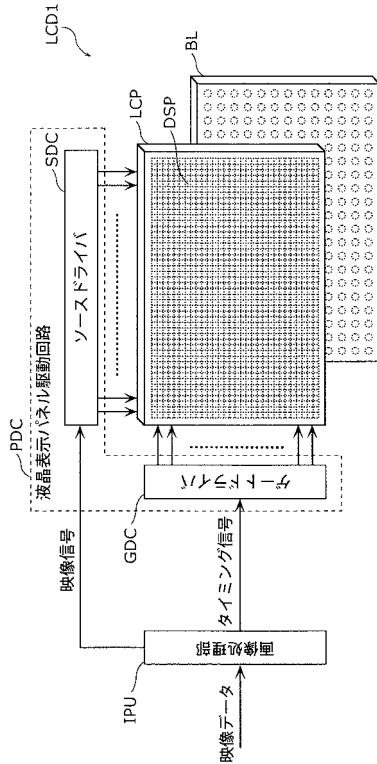
P I T 画素電極

P I T 1 第1画素電極

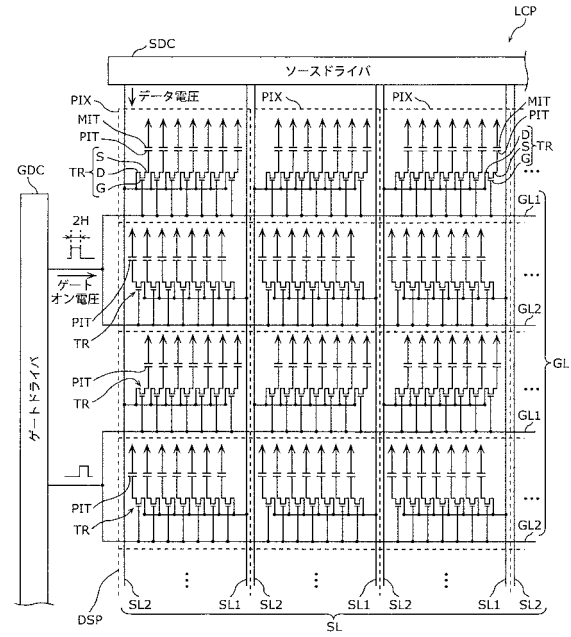
50

P I T 2	第 2 画素電極	
P I T L	ライン電極	
P I T C	連結電極	
M I T	共通電極	
C M T	コモン線	
T R	トランジスタ	
D	ドレイン電極	
G	ゲート電極	
S	ソース電極	
S C	半導体層	10
G I	ゲート絶縁層	
S U B 1	第 1 基板	
S U B 2	第 2 基板	
L C L	液晶層	
T S U B 1	第 1 透明基材	
T S U B 2	第 2 透明基材	
B M	遮光層	
P I	配向膜	
M E T	金属電極	
I L	絶縁層	20
P A S	第 1 絶縁膜	
O P A S	第 2 絶縁膜	
U P S	第 3 絶縁膜	
C H	コンタクトホール	
C H 1	コンタクト部	
C H 2	延伸部	
L D L	リード線	
L D L C	共通リード線	
L D L 1	第 1 個別リード線	
L D L 2	第 2 個別リード線	30
S T F	積層膜	
S T F 1	第 1 の膜	
S T F 2	第 2 の膜	
P S 1	第 1 スペース	
P S 2	第 2 スペース	
S T S 1	第 1 積層構造体	
S T S 1 1	第 1 の膜	
S T S 1 2	第 2 の膜	
S T S 1 3	第 3 の膜	
S T S 2	第 2 積層構造体	40
S T S 2 1	第 1 の膜	
S T S 2 2	第 2 の膜	
S T S 2 3	第 3 の膜	
S T S 2 4	第 4 の膜	
S T S 2 5	第 5 の膜	

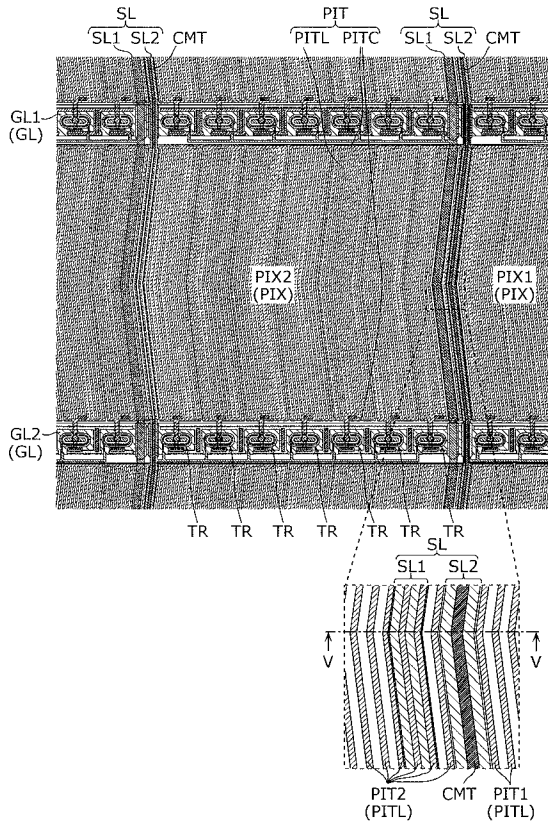
【図 1】



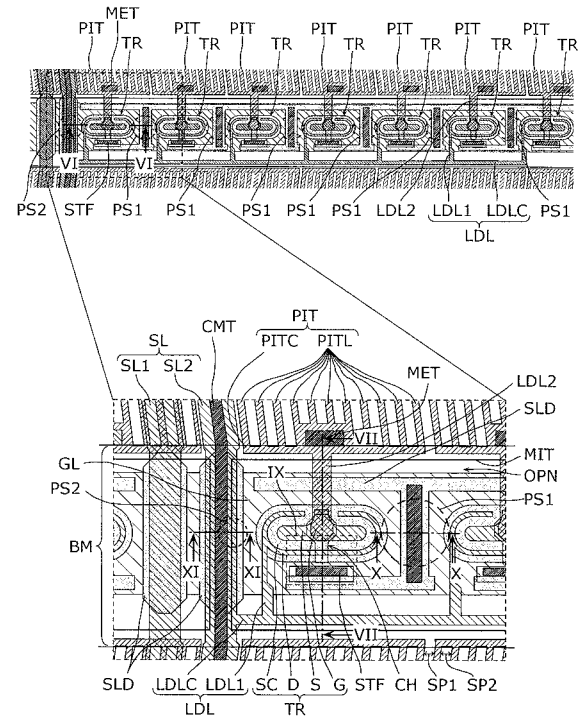
【図 2】



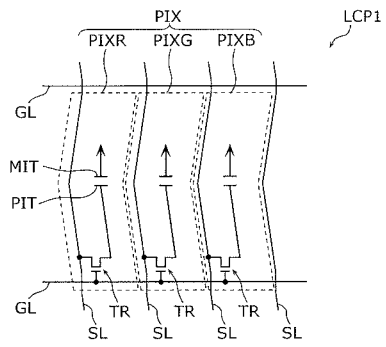
【図 3】



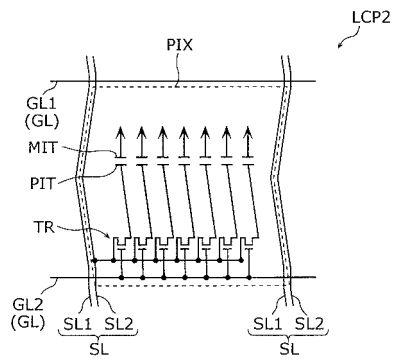
【図 4】



【図 13 A】



【図 13 B】



フロントページの続き

F ターム(参考) 2H092 GA14 GA17 JA26 JA29 JA40 JA42 JA44 JA46 JB58 JB72
KA05 KA08 MA07 MA14 MA49 MA52 PA03 PA13
2H189 AA22 AA27 CA36 DA07 DA25 DA26 DA31 DA32 DA43 DA47
FA16 JA05 JA10 JA14 LA03 LA10 LA14 LA15 LA19 LA20
2H192 AA24 AA33 AA62 BB03 BB53 BC31 BC42 CB05 CB35 CB37
CB45 CB56 CC32 CC42 CC55 CC62 CC64 CC72 EA22 EA43
EA67 GD23 HA44 HB34 HB38 HB46 HB64
5F110 BB01 CC07 DD02 EE02 EE04 EE14 EE15 FF03 GG01 GG02
GG15 GG19 GG24 GG25 GG35 HK02 HK04 HK21 HK22 HL07
NN03 NN04 NN05 NN24 NN27 NN35 NN48 QQ08

专利名称(译)	液晶显示面板		
公开(公告)号	JP2019090979A	公开(公告)日	2019-06-13
申请号	JP2017221314	申请日	2017-11-16
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	壬生隆		
发明人	壬生 隆		
IPC分类号	G02F1/1339 G02F1/1368 G02F1/1343 H01L21/336 H01L29/786		
CPC分类号	G02F1/133707 G02F1/13394 G02F2001/13396 G02F2001/13398 G02F2001/136236 G09G3/3611 G09G2300/023 H01L27/1222 H01L27/124 H01L29/786 G02F1/133512 G02F1/1343 G02F1/13624 G02F2001/133357 G09G2310/0264		
FI分类号	G02F1/1339.500 G02F1/1368 G02F1/1343 H01L29/78.612.Z		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/JA26 2H092/JA29 2H092/JA40 2H092/JA42 2H092/JA44 2H092/JA46 2H092/JB58 2H092/JB72 2H092/KA05 2H092/KA08 2H092/MA07 2H092/MA14 2H092/MA49 2H092/MA52 2H092/PA03 2H092/PA13 2H189/AA22 2H189/AA27 2H189/CA36 2H189/DA07 2H189/DA25 2H189/DA26 2H189/DA31 2H189/DA32 2H189/DA43 2H189/DA47 2H189/FA16 2H189/JA05 2H189/JA10 2H189/JA14 2H189/LA03 2H189/LA10 2H189/LA14 2H189/LA15 2H189/LA19 2H189/LA20 2H192/AA24 2H192/AA33 2H192/AA62 2H192/BB03 2H192/BB53 2H192/BC31 2H192/BC42 2H192/CB05 2H192/CB35 2H192/CB37 2H192/CB45 2H192/CB56 2H192/CC32 2H192/CC42 2H192/CC55 2H192/CC62 2H192/CC64 2H192/CC72 2H192/EA22 2H192/EA43 2H192/EA67 2H192/GD23 2H192/HA44 2H192/HB34 2H192/HB38 2H192/HB46 2H192/HB64 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE04 5F110/EE14 5F110/EE15 5F110/FF03 5F110/GG01 5F110/GG02 5F110/GG15 5F110/GG19 5F110/GG24 5F110/GG25 5F110/GG35 5F110/HK02 5F110/HK04 5F110/HK21 5F110/HK22 5F110/HL07 5F110/NN03 5F110/NN04 5F110/NN05 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN48 5F110/QQ08		
代理人(译)	新居 広守 荣作Teratani Dozaka真一		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示板，其中第一基板和第二基板之间的距离可以容易地保持恒定。第一基板（SUB1），面对第一基板（SUB1）的第二基板（SUB2），设置在第一基板（SUB1）上的多个晶体管，以及设置在第二基板（SUB2）上的第一间隔物（PS1）。提供设置在第一基板SUB1上的第一堆叠结构STS1，为每个像素提供多个晶体管，第一间隔物PS1位于两个相邻的晶体管之间，并且提供第一堆叠结构。主体STS1设置在面对第一隔离物PS1的位置处，并且第一堆叠结构STS1是形成在与晶体管的栅极电极，晶体管的半导体层SC和源极漏极相同的层中的第一膜STS11。并且第二膜STS12形成在与一个电极相同的层中。[选定图]图10

