

【特許請求の範囲】

【請求項 1】

入力電圧を受ける入力端子と、出力端子が接続される第 1 のノードの間に配置される第 1 のトランジスタと、

前記出力端子の電圧に応じたフィードバック電圧を生成する帰還部と、

基準電圧と前記フィードバック電圧の差を増幅した電圧を生成して、前記第 1 のトランジスタの制御電極に供給する誤差増幅器と、

前記第 1 のトランジスタに流れる電流を制限する電流制限回路とを備え、

前記電流制限回路は、

前記入力端子と第 2 のノードとの間に配置され、前記第 1 のトランジスタの制御電極に接続される制御電極を有する第 2 のトランジスタと、

前記第 2 のトランジスタに流れる電流を複製する第 1 のカレントミラー回路と、

前記入力端子と、前記第 1 のトランジスタの制御電極および前記第 2 のトランジスタの制御電極に接続される第 3 のノードとの間に配置される第 3 のトランジスタとを有し、

前記第 3 のトランジスタの制御電極の電圧は、前記第 1 のカレントミラー回路によって複製された電流が大きくなるほど、小さくなる、電圧レギュレータ回路。

10

【請求項 2】

前記第 1 のカレントミラー回路は、

前記第 2 のノードとグランドとの間に配置される第 4 のトランジスタと、

前記第 3 のトランジスタの制御電極が接続される第 4 のノードと、前記グランドとの間に配置され、前記第 4 のトランジスタの制御電極に接続される制御電極を有する第 5 のトランジスタとを有する、請求項 1 記載の電圧レギュレータ回路。

20

【請求項 3】

前記電流制限回路は、さらに、

前記入力端子と前記第 4 のノードとの間に配置される抵抗を含む、請求項 2 記載の電圧レギュレータ回路。

【請求項 4】

前記第 1 のトランジスタを流れる電流を複製する第 2 のカレントミラー回路を備え、

前記第 2 のカレントミラー回路は、

前記第 1 のノードとグランドとの間に配置される第 6 のトランジスタと、

前記第 2 のノードと、前記第 4 のトランジスタの前記第 2 のノードと接続していない方の電極との間に配置され、前記第 6 のトランジスタの制御電極と接続される制御電極を有する第 7 のトランジスタとを含む、請求項 3 記載の電圧レギュレータ回路。

30

【請求項 5】

前記抵抗は、可変抵抗である、請求項 3 記載の電圧レギュレータ回路。

【請求項 6】

前記第 1 のトランジスタおよび前記第 2 のトランジスタの各々は、MOS トランジスタである、請求項 1 記載の電圧レギュレータ回路。

【請求項 7】

前記第 3 のトランジスタは、バイポーラトランジスタである、請求項 1 記載の電圧レギュレータ回路。

40

【請求項 8】

液晶パネルと、

前記液晶パネルのデータ線を駆動するソースドライバと、

前記液晶パネルの走査線を駆動するゲートドライバと、

請求項 1 記載の電圧レギュレータ回路とを備え、

前記電圧レギュレータ回路の出力端子から出力される電圧は、前記複数のソースドライバに供給される、液晶表示装置。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、電圧レギュレータ回路および液晶表示装置に関する。

【背景技術】

【0002】

従来から、電圧レギュレータ回路から出力される電圧を液晶モジュールのソースドライバに供給するようにした液晶表示装置が知られている。

【0003】

たとえば、特許文献1に記載の液晶表示装置では、電圧レギュレータによって構成される第1アナログ電源回路が、外部電源の電源電圧に基づいて第1アナログ電圧を生成する。電圧レギュレータによって構成される第2アナログ電源回路が、第1アナログ電圧に基づいて、第2アナログ電圧を生成する。参照電圧生成回路は、第2アナログ電圧に基づいて参照電圧を生成し、ソースドライバであるデータ信号線駆動回路へ供給する。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-132320号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、電源投入時などに、電圧レギュレータ回路から負荷に突入電流が流れることがある。負荷に突入電流が流れると、負荷が損傷または破壊することがある。

20

【0006】

それゆえに、本発明の目的は、負荷に突入電流が流れるのを制限する電流制限機能を有する電圧レギュレータ、およびそのような電圧レギュレータを備える液晶表示装置を提供することである。

【課題を解決するための手段】

【0007】

本発明の電圧レギュレータ回路は、入力電圧を受ける入力端子と、出力端子が接続される第1のノードの間に配置される第1のトランジスタと、出力端子の電圧に応じたフィードバック電圧を生成する帰還部と、基準電圧とフィードバック電圧の差を増幅した電圧を生成して、第1のトランジスタの制御電極に供給する誤差増幅器と、第1のトランジスタに流れる電流を制限する電流制限回路とを備える。電流制限回路は、入力端子と第2のノードとの間に配置され、第1のトランジスタの制御電極に接続される制御電極を有する第2のトランジスタと、第2のトランジスタに流れる電流を複製する第1のカレントミラー回路と、入力端子と、第1のトランジスタの制御電極および第2のトランジスタの制御電極に接続される第3のノードとの間に配置される第3のトランジスタとを有する。第3のトランジスタの制御電極の電圧は、第1のカレントミラー回路によって複製された電流が大きくなるほど、小さくなる。

30

【0008】

好ましくは、第1のカレントミラー回路は、第2のノードとグランドとの間に配置される第4のトランジスタと、第3のトランジスタの制御電極が接続される第4のノードと、グランドとの間に配置され、第4のトランジスタの制御電極に接続される制御電極を有する第5のトランジスタとを有する。

40

【0009】

好ましくは、電流制限回路は、さらに、入力端子と第4のノードとの間に配置される抵抗を含む。

【0010】

好ましくは、電圧レギュレータ回路は、第1のトランジスタを流れる電流を複製する第2のカレントミラー回路を備える。第2のカレントミラー回路は、第1のノードとグランドとの間に配置される第6のトランジスタと、第2のノードと、第4のトランジスタの第

50

2のノードと接続していない方の電極との間に配置され、第6のトランジスタの制御電極と接続される制御電極を有する第7のトランジスタとを含む。

【0011】

好ましくは、抵抗は、可変抵抗である。

好ましくは、第1のトランジスタおよび第2のトランジスタの各々は、MOSトランジスタである。

【0012】

好ましくは、第3のトランジスタは、バイポーラトランジスタである。

本発明の液晶表示装置は、液晶パネルと、液晶パネルのデータ線を駆動するソースドライバと、液晶パネルの走査線を駆動するゲートドライバと、電圧レギュレータ回路とを備える。電圧レギュレータ回路の出力端子から出力される電圧は、複数のソースドライバに供給される。

10

【発明の効果】

【0013】

本発明によれば、負荷に突入電流が流れるのを制限することができる。

【図面の簡単な説明】

【0014】

【図1】液晶表示装置の構成を表わす図である。

【図2】第1の電圧生成部（電圧レギュレータ）300の構成を表わす図である。

【図3】誤差アンプ12の詳細な構成を表わす図である。

20

【図4】参考例の電流制限回路13aの構成を表わす図である。

【図5】第2の実施形態の電流制限回路13aの構成を表わす図である。

【図6】参考例のゲートドライバ駆動回路400の構成を表わす図である。

【図7】参考例のゲートドライバ駆動回路400における、制御信号FLK、ノードNXの電圧VX、および出力電圧VGGの遷移を表わす図である。

【図8】第3の実施形態のゲートドライバ駆動回路400の構成を表わす図である。

【図9】第3の実施形態のゲートドライバ駆動回路400の制御信号FLK、ノードNXの電圧VX、および出力電圧VGGの遷移を表わす図である。

【図10】シュミットリガ回路29の特性を表わす図である。

【図11】参考例のスイッチング電源回路500の構成を表わす図である。

30

【図12】ドライバ制御部31の構成を表わす図である。

【図13】第4の実施形態のスイッチング電源回路500の構成を表わす図である。

【図14】通常時の1周期内のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【図15】通常時のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【図16】軽負荷時のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【図17】無負荷時のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

40

【図18】シャットダウン時のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【図19】第4の実施形態の変形例の第3の電圧生成部500の構成を表わす図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態について、図面を用いて説明する。

[第1の実施形態]

図1は、液晶表示装置の構成を表わす図である。

【0016】

液晶表示装置は、液晶モジュール140と、駆動基板100に搭載された駆動回路12

50

0とを備える。液晶モジュール140は、液晶パネル700と、ソース回路900と、ゲート回路800とを備える。駆動回路120は、タイミングコントローラ600と、電力管理IC200とを備える。

【0017】

液晶パネル700は、たとえば、アクティブマトリクス駆動方式のパネルである。液晶パネル700は、液晶物質が充填された複数の画素で構成されたパネルと、パネルの背面に配置されたガラス基板を備える。このガラス基板には、垂直方向に複数配列されて、それぞれ水平方向に伸びる走査線（たとえば、G1～G4）と、水平方向に複数配列されて、それぞれ垂直方向に伸びるデータ線（たとえば、S1～S4）とが配置されている。走査線とデータ線との交差点に対応して、TFT（Thin Film Transistor）（たとえば、1-a～1-d）を介して画素（たとえば、2-a～2-d）がマトリクス状に設けられている。

10

【0018】

ゲート回路800は、複数のゲートドライバ（たとえば、0-1～90-4）を備える。ゲートドライバ90-iは、走査線G-iに接続される。

【0019】

ソース回路900は、複数のソースドライバ（たとえば、91～91-4）と、制御回路92とを備える。ソースドライバ91-iは、データ線Siに接続される。

【0020】

電力管理IC200は、入力電圧VINの供給を受けて動作し、各種の電圧を生成する。電力管理IC200は、第1の電圧生成部（電圧レギュレータ回路）300と、第2の電圧生成部（ゲートドライバ駆動回路）400と、第3の電圧生成部（スイッチング電源回路）500とを備える。

20

【0021】

第1の電圧生成部300は、ゲートドライバ駆動用の電圧VGGを生成して、ゲートドライバ90-1～90-4に供給する。

【0022】

第2の電圧生成部400は、アナログ系電源電圧AVDDを生成して、ソースドライバ91-1～91-4に供給する。

【0023】

第3の電圧生成部500は、ロジック系電源電圧VDDを生成して、タイミングコントローラ600および制御回路92に供給する。

30

【0024】

タイミングコントローラ600は、ロジック系電源電圧VDDの供給を受けて動作する。タイミングコントローラ600は、図示しないホスト装置から入力されるコマンドおよびデータに基づいて、ゲートドライバ（たとえば90-1～90-4）の垂直同期制御、およびソースドライバ（たとえば91-1～91-4）の水平同期制御などを行う。

【0025】

ゲートドライバ90-i（たとえば、i=1～4）は、電圧VGGの供給を受け、垂直同期信号に基づいて動作する。たとえば、ゲートドライバ90-iは、電圧VGGを受ける。ゲートドライバ90-iは、電圧VGGを電源電圧として利用して、ゲート電圧GXを生成して、走査線G-iに供給する。

40

【0026】

ソースドライバ91-i（たとえば、i=1～4）は、アナログ系電源電圧AVDDの供給を受け、水平同期信号に基づいて、動作する。たとえば、ソースドライバ91-iは、アナログ系電源電圧AVDDを用いてソースアンプを駆動することによって、ホスト装置から入力されるデジタルの映像信号の階調値（例えば0～255階調）に応じたソース電圧SSiを生成して、データ線Siを通じて液晶パネル700の画素に供給する。

【0027】

制御回路92は、ロジック系電源電圧VDDの供給を受けて動作する。制御回路92は

50

、ソースドライバ 9 1 - i (たとえば $i = 1 \sim 4$) を制御する。

【0028】

[第2の実施形態]

第2の実施形態は、第1の電圧生成部(電圧レギュレータ回路)300の詳細な構成および動作に関する。具体的には、電流制限機能を有する電圧レギュレータについて説明する。

【0029】

図2は、第1の電圧生成部(電圧レギュレータ)300の構成を表わす図である。

第1の電圧生成部300は、基準電圧生成部11と、誤差アンプ12と、電流制限回路13a, 13bと、PMOSトランジスタM1と、NMOSトランジスタM2と、帰還部68とを備える。

10

【0030】

基準電圧生成部11は、入力端子A1に入力される入力電圧VINから基準電圧VREFを生成して、誤差アンプ12へ出力する。

【0031】

PMOSトランジスタM1は、入力端子A1と、出力端子P1と接続されるノードND1との間に配置される。

【0032】

帰還部68は、抵抗R1と抵抗R2とからなる。抵抗R1と抵抗R2の間のノードND2の電圧がフィードバック電圧VFとして誤差アンプ12に供給される。フィードバック電圧VFは、出力端子P1から出力される出力電圧AVDDの $R1 / (R1 + R2)$ である。これによって、出力電圧AVDDの大きさがフィードバック電圧VFの大きさが基準電圧VREFの大きさに調整される。

20

【0033】

NMOSトランジスタM2は、ノードND1とグランドGNDとの間に配置される。NMOSトランジスタM2がオンすることによって、端子P1から入力された電流がグランドに流れる。

【0034】

誤差アンプ12は、PMOSトランジスタM1とNMOSトランジスタM2のオンおよびオフを制御する。

30

【0035】

電流制限回路13aは、PMOSトランジスタM1を流れる電流の増加を抑制する。電流制限回路13bは、NMOSトランジスタM2を流れる電流の増加を抑制する。

【0036】

図3は、誤差アンプ12の詳細な構成を表わす図である。

誤差アンプ12は、入力用差動増幅回路14と、出力用差動増幅回路15とを備える。

【0037】

入力用差動増幅回路14は、抵抗R61, R62と、NMOSトランジスタN61, N62と、定電流源IS1とを備える。

【0038】

抵抗R61は、入力電圧VINを受ける端子A1とノードND2の間に配置される。抵抗R62は、入力電圧VINを受ける端子A1とノードND3の間に配置される。

40

【0039】

NMOSトランジスタN61は、ノードND2とノードND61の間に配置される。NMOSトランジスタN61のゲートは、フィードバック電圧FBを受ける。NMOSトランジスタN62は、ノードND3とノードND61の間に配置される。NMOSトランジスタN62のゲートは、基準電圧VREFを受ける。定電流源IS1は、ノードND61とグランドGNDの間に配置される。

【0040】

出力用差動増幅回路15は、PMOSトランジスタP61, P62, P63と、NMO

50

SトランジスタN63, N65, N66とを備える。

【0041】

PMOSTランジスタP61は、ノードND2と、ノードND9との間に配置される。PMOSTランジスタP61のゲートは、電圧BIASを受ける。

【0042】

PMOSTランジスタP62は、ノードND3と、ノードND4との間に配置される。PMOSTランジスタP62のゲートは、電圧BIASを受ける。

【0043】

PMOSTランジスタP63は、ノードND4とノードND565の間に配置される。PMOSTランジスタP63のゲートは、電圧BIAS2を受ける。

10

【0044】

PMOSTランジスタP64は、ノードND4とノードND565の間に配置される。PMOSTランジスタP64のゲートは、電圧BIAS3を受ける。

【0045】

NMOSTランジスタN65は、ノードND9とグランドGNDとの間に配置される。NMOSTランジスタN66は、ノードND65とグランドGNDとの間に配置される。NMOSTランジスタN65のゲートおよびドレインと、NMOSTランジスタN66のゲートとが接続される。

【0046】

ノードND4は、PMOSTランジスタM1のゲートに接続される、ノードND65は、PMOSTランジスタM2のゲートに接続される。

20

【0047】

(参考例の電流制限回路)

図4は、参考例の電流制限回路13aの構成を表わす図である。

【0048】

参考例の電流制限回路13aは、PMOSTランジスタM3と、抵抗RAと、PNPトランジスタQとを備える。

【0049】

抵抗RAは、入力電圧VINを受ける入力端子A1とノードND10との間に配置される。PMOSTランジスタM3は、ノードND10とノードND1の間に配置される。PMOSTランジスタM1のゲートとPMOSTランジスタM3のゲートが、ノードND4に接続される。PNPトランジスタQ1は、入力電圧VINを受ける入力端子A1とノードND4の間に配置される。PNPトランジスタQ1のベースが、ノードND10に接続される。

30

【0050】

(参考例の電流制限回路の動作)

PMOSTランジスタM1のゲートとPMOSTランジスタM3のゲートとが接続され、PMOSTランジスタM1のドレインとPMOSTランジスタM3のドレインとが接続されているので、PMOSTランジスタM1を流れる電流が増加すると、PMOSTランジスタM3を流れる電流も増加する。PMOSTランジスタM1のサイズに対して、PMOSTランジスタM3のサイズがK倍とすると、PMOSTランジスタM1を流れる電流をI1としたときに、PMOSTランジスタM3を流れる電流I2は、 $K \times I1$ となると見込まれる。

40

【0051】

したがって、I1が増加すると、ノードND10の電位が低下する。PNPトランジスタQ1のベース・エミッタ間電圧が増加し、PNPトランジスタQ1のオン抵抗が低下する。その結果、PMOSTランジスタM1のゲート電圧であるノードND4の電圧の低下が抑制されるので、PMOSTランジスタM1の電流の増加が抑制される。

【0052】

(参考例の電流制限回路の問題点)

50

抵抗 R_A に電流 I_2 が流れることによって、PMOSトランジスタ M_3 のソース電位（ノード ND_{10} の電位）は、PMOSトランジスタ M_1 のソースの電位よりも低くなる。その結果、電流 I_2 は、 $K \times I_1$ からずれる場合が発生し、PMOSトランジスタ M_3 によって、PMOSトランジスタ M_1 を流れる電流 I_1 を正しくモニタすることができなくなる。特に抵抗 R_A が大きい場合に問題となる。

【0053】

（第2の実施形態の電流制限回路）

図5は、第2の実施形態の電流制限回路13aの構成を表わす図である。

【0054】

第2の実施形態の電流制限回路13aは、PMOSトランジスタ M_{30} と、PNPトランジスタ Q_2 と、可変抵抗 R_B と、PMOSトランジスタ M_4 、 M_5 と、NMOSトランジスタ M_6 、 M_7 と、定電流源 I_{S2} とを備える。

10

【0055】

PMOSトランジスタ M_{30} のサイズは、PMOSトランジスタ M_1 のサイズの K_1 倍である。PMOSトランジスタ M_5 のサイズは、PMOSトランジスタ M_5 のサイズの K_1 倍である。NMOSトランジスタ M_7 のサイズは、NMOSトランジスタ M_6 のサイズの K_2 倍である。

【0056】

PMOSトランジスタ M_{30} は、入力電圧 V_{IN} を受ける入力端子 A_1 とノード ND_{11} との間に配置される。

20

【0057】

抵抗 R_B は、入力電圧 V_{IN} を受ける入力端子 A_1 とノード ND_{12} の間に配置される。

【0058】

PNPトランジスタ Q_2 は、入力電圧 V_{IN} を受ける入力端子 A_1 とノード ND_4 の間に配置される。PNPトランジスタ Q_2 のベースが、ノード ND_{12} に接続される。

【0059】

NMOSトランジスタ M_7 は、ノード ND_{12} とグランド GND との間に配置される。

ノード ND_{11} とグランド GND との間に、PMOSトランジスタ M_5 とNMOSトランジスタ M_6 とが直列に接続される。

30

【0060】

ノード ND_1 とグランド GND との間に、PMOSトランジスタ M_4 と定電流源 I_{S2} とが直列に接続される。

【0061】

PMOSトランジスタ M_4 のゲートとPMOSトランジスタ M_5 のゲートとが接続され、PMOSトランジスタ M_4 のゲートとドレインとが接続される。PMOSトランジスタ M_4 とPMOSトランジスタ M_5 とがカレントミラー回路 CM_1 を構成する。

【0062】

カレントミラー回路 CM_1 が、PMOSトランジスタ M_4 を流れる電流 I_1 を複製することによって、PMOSトランジスタ M_5 には、複製された電流 I_2 が流れる。電流 I_2 は、 $K_1 \times I_1$ である。

40

【0063】

NMOSトランジスタ M_6 のゲートと、NMOSトランジスタ M_7 のゲートとが接続され、NMOSトランジスタ M_6 のゲートとドレインとが接続される。NMOSトランジスタ M_6 とNMOSトランジスタ M_7 とがカレントミラー回路 CM_2 を構成する。

【0064】

カレントミラー回路 CM_2 が、PMOSトランジスタ M_{30} 、PMOSトランジスタ M_4 、およびNMOSトランジスタ M_6 を流れる電流 I_2 を複製することによって、PMOSトランジスタ M_7 には、複製された電流 I_3 が流れる。電流 I_3 は、 $K_2 \times I_2$ である。

50

【 0 0 6 5 】

(第 2 の実施形態の電流制限回路の動作)

P M O S トランジスタ M 1 のゲートと P M O S トランジスタ M 3 のゲートとが接続され、P M O S トランジスタ M 1 のソースと P M O S トランジスタ M 3 のソースとが接続されているので、P M O S トランジスタ M 1 を流れる電流が増加すると、P M O S トランジスタ M 3 を流れる電流も増加する。P M O S トランジスタ M 1 のサイズに対して、P M O S トランジスタ M 3 のサイズが K 1 倍なので、P M O S トランジスタ M 1 を流れる電流を I_1 としたときに、P M O S トランジスタ M 3 を流れる電流 I_2 は $K_1 \times I_1$ となると見込まれる。

【 0 0 6 6 】

P M O S トランジスタ M 6 のサイズに対して、P M O S トランジスタ M 7 のサイズが K 2 倍なので、カレントミラー回路 C M 2 によって、P M O S トランジスタ M 7 を流れる電流 I_3 は、 $K_2 \times I_2$ (= $K_2 \times K_1 \times I_1$) となる。

【 0 0 6 7 】

電流 I_1 が増加すると電流 I_2 が増加し、電流 I_2 が増加すると電流 I_3 が増加する。電流 I_3 が増加すると、ノード N D 1 2 の電位が低下する。P N P トランジスタ Q 2 のベース・エミッタ間電圧が増加し、P N P トランジスタ Q 2 のオン抵抗が低下する。その結果、P M O S トランジスタ M 1 のゲート電圧であるノード N D 4 の電位の低下が抑制されるので、P M O S トランジスタ M 1 の電流の増加が抑制される。

【 0 0 6 8 】

本実施の形態では、P M O S トランジスタ M 1 のドレインと、P M O S トランジスタ M 3 のドレインとが接続されていないので、P M O S トランジスタ M 1 のドレインの電位と、P M O S トランジスタ M 3 のドレインの電位が等しくならず、電流 I_2 が $K \times I_1$ にならない場合がある。カレントミラー回路 C M 1 によって、P M O S トランジスタ M 1 のドレインの電位と、P M O S トランジスタ M 3 のドレインの電位とが同じとなり、電流 $I_2 = K_1 \times I_1$ を確認できる。

【 0 0 6 9 】

また、可変抵抗 R B の抵抗値を調整することによって、P M O S トランジスタ M 1 を流れる電流 I_1 の上限値を調整することができる。抵抗 R 1 および抵抗 R 2 の大きさは、タイミングコントローラ 6 0 0 からの信号によって調整可能である。

【 0 0 7 0 】

なお、可変抵抗 R B の代わりに、抵抗値が固定の抵抗を用いてもよい。

カレントミラー回路 C M 1 がなくても、P M O S トランジスタ M 1 のドレインの電位と、P M O S トランジスタ M 3 のドレインの電位との差が小さくて、問題とならない場合には、カレントミラー回路 C M 1 を省略することもできる。

【 0 0 7 1 】

以上のように、本実施の形態によれば、P M O S トランジスタ M 1 に流れる電流を正しくモニタして、負荷に突入電流が流れるのを制限することができる。

【 0 0 7 2 】

[第 3 の実施形態]

本実施の形態は、第 2 の電圧生成部 4 0 0 (ゲートドライバ駆動回路) の詳細な構成および動作に関する。具体的には、ゲートシェーディング機能を有するゲートドライバ制御回路について説明する。

【 0 0 7 3 】

(参考例のゲートドライバ駆動回路)

図 6 は、参考例のゲートドライバ駆動回路 4 0 0 の構成を表わす図である。

【 0 0 7 4 】

参考例のゲートドライバ駆動回路 4 0 0 は、ブリドライバ P D と、P M O S トランジスタ M 1 1 と、コンデンサ C A とを備える。

【 0 0 7 5 】

10

20

30

40

50

入力端子 A 2 は、急峻な立上り部分および急峻な立ち下り部分を有し、周期的に変化する制御信号 F L K を受ける。この制御信号 F L K は、たとえば、タイミングコントローラ 6 0 0 で生成され、垂直同期信号に同期した信号である。

【 0 0 7 6 】

ブリドライバ P D は、P M O S トランジスタ M 1 1 を駆動するために、制御信号 F L K に応答し、ノード N D X に電圧 V X を出力する。

【 0 0 7 7 】

P M O S トランジスタ M 1 1 は、電力管理 I C 2 0 0 で生成される電源電圧 V C C を受ける電源端子 A 3 と接続されるノード N D W と、ゲートドライバ 9 0 - 1 ~ 9 0 - 4 と接続される出力端子 P 2 と接続されるノード N D Z との間に配置される。

10

【 0 0 7 8 】

P M O S トランジスタ M 1 1 のゲートは、ノード N D X に接続され、電圧 V X を受ける。電圧 V X の大きさが小さくなると、P M O S トランジスタ M 1 1 がオンとなり、ノード N D Z の出力電圧 V G G の大きさが大きくなる。

【 0 0 7 9 】

コンデンサ C A は、ノード N D X と、ノード N D W との間に配置される。

図 7 は、参考例のゲートドライバ駆動回路 4 0 0 における、制御信号 F L K 、ノード N X の電圧 V X 、および出力電圧 V G G の遷移を表わす図である。

【 0 0 8 0 】

図 7 において、ブリドライバ P D の駆動能力が高いときの電圧 V X および V G G を実線で示し、ブリドライバ P D の駆動能力が低いときの電圧 V X および V G G を破線で示す。

20

【 0 0 8 1 】

まず、ブリドライバ P D の駆動能力が高いときの動作を説明する。

時刻 t_0 において、制御信号 F L K がロウレベルに立ち下がると、ブリドライバ P D によって、ノード N D X の電圧 V X が低下する。ブリドライバ P D は、急激に電圧 V X を立ち下げることができないため、電圧 V X は、傾き $K_1 X$ で P M O S トランジスタ M 1 1 の閾値電圧 V_{th} まで低下する。

【 0 0 8 2 】

時刻 t_1 において、電圧 V X は、P M O S トランジスタ M 1 1 の閾値電圧 V_{th} まで低下する。このタイミングで、P M O S トランジスタ M 1 1 がオンし、出力電圧 V G G の減少が開始される。

30

【 0 0 8 3 】

その後、コンデンサ C A の働きによって、電圧 V X は、一定時間だけ閾値電圧 V_{th} を維持する。この間、出力電圧 V G G が傾き $K_1 O$ で減少する。

【 0 0 8 4 】

時刻 t_3 のタイミングにおいて、ブリドライバ P D によって、電圧 V X が再び傾き $K_1 X$ で低下し始める。このタイミングで、出力電圧 V G G が最小値に達する。

【 0 0 8 5 】

時刻 t_4 において、電圧 V X が最小値に達する。

以上のように、制御信号 F L K の立下りのタイミングから $T_1 (= t_1 - t_0)$ 時間経過後に、出力電圧 V G G は一定の傾き $K_1 O$ で減少する。

40

【 0 0 8 6 】

電圧 V G G は、ゲートドライバ 9 0 - 1 ~ 9 0 - 4 に供給される。

たとえば、ゲートドライバ 9 0 - 1 は、電圧 V G G を受ける。ゲートドライバ 9 0 - i は、電圧 V G G を電源電圧として利用して、ゲート電圧 G X を生成して、走査線 G - 1 へ供給する。ゲート電圧 G X の外形は、電圧 V G G の外形と同じである。

【 0 0 8 7 】

ある時刻において、T F T 1 - a のゲートに供給される電圧が V_a であるとする。走査線 G - 1 に寄生容量が存在しない理想的な状態の場合に、T F T 1 - b , 1 - c , 1 - d のゲートには、 V_b , V_c , V_d の電圧が与えられるとする。ここで、 $V_b = 2 \times V_a$ 、

50

$V_c = 3 \times V_a$ 、 $V_d = 4 \times V_a$ とする。ゲートドライバ90-1と、TFT1-a, 1-b, 1-c, 1-dとの距離が、 D_1 、 $D_2 (= 2 \times D_1)$ 、 $D_3 (= 3 \times D_1)$ 、 $D_4 (= 4 \times D_1)$ とする。

【0088】

走査線G-1の寄生容量によって、TFT1-b、TFT1-c、TFT1-dに与えられる電圧が理想的な状態の $1/2$ 、 $1/3$ 、 $1/4$ になるとする。これにより、TFT1-a~1-dのゲートは、あり時刻において、すべて同じ大きさの電圧を受けて、オン状態となることとができる。これによって、液晶パネル700の走査線方向において、TFTがオンとなるタイミングがずれることがないので、液晶パネル700に輝度ムラが発生するのを防止できる。

10

【0089】

以上のように、制御信号FLKの立下りをトリガとして、一定の傾きで減少する電圧VGGを生成することによって、輝度ムラを防止できる。よって、参考例のゲートドライバ駆動回路400もゲートシェーディング機能を有する。

【0090】

しかしながら、制御信号FLKの立下りのタイミングから遅延して出力電圧VGGが減少を開始するため、液晶パネル700のTFTが制御信号FLKの立下りからすぐにオンとならず、液晶パネル700の表示が遅れることになる。

【0091】

次に、プリドライバPDの駆動能力が低いときの動作を説明する。

20

時刻 t_0 において、制御信号FLKがロウレベルに立ち下ると、プリドライバPDによって、ノードNDXの電圧VXが低下する。プリドライバPDによって、電圧VXは、傾き K_{2X} でPMOSトランジスタM11の閾値電圧 V_{th} まで低下する。

【0092】

時刻 t_2 において、電圧VXが、PMOSトランジスタM11の閾値電圧 V_{th} まで低下する。このタイミングで、PMOSトランジスタM11がオンし、出力電圧VGGの減少が開始される。

【0093】

その後、コンデンサCAの働きによって、電圧VXは、一定時間だけ、閾値電圧 V_{th} を維持する。この間、出力電圧VGGが傾き K_{20} で減少する。

30

【0094】

時刻 t_4 のタイミングによって、プリドライバPDによって、電圧VXが再び傾き K_{2X} で低下し始める。このタイミングで、出力電圧VGGが最小値に達する。

【0095】

時刻 t_5 において、電圧VXが最小値に達する。

以上のように、制御信号FLKの立下りのタイミングから $T_2 (= t_2 - t_0)$ 時間経過後に、出力電圧VGGは一定の傾き K_{20} で減少する。

【0096】

プリドライバPDの駆動能力を低くすることによって、制御信号FLKの立下りをトリガとして、より小さな傾きで減少する電圧VGGを生成することができる。しかしながら、出力電圧VGGが減少を開始する時刻の遅れも増加する。したがって、プリドライバPDの駆動能力を下げると、液晶パネル700の表示の遅れが増加することになる。

40

【0097】

(第3の実施形態のゲートドライバ駆動回路)

図8は、第3の実施形態のゲートドライバ駆動回路400の構成を表わす図である。

【0098】

ゲートドライバ駆動回路400は、プリドライバPDと、PMOSトランジスタM11と、コンデンサCAと、NMOSトランジスタM13と、制御回路78とを備える。

【0099】

入力端子A2は、参考例と同様に、急峻な立上り部分および急峻な立ち下り部分を有

50

し、周期的に変化する制御信号 F L K を受ける。

【 0 1 0 0 】

ブリドライバ P D は、参考例と同様に、P M O S トランジスタ M 1 1 を駆動するために、制御信号 F L K に応答し、ノード N D X に電圧 V X を出力する。

【 0 1 0 1 】

P M O S トランジスタ M 1 1 は、参考例と同様に、電源電圧 V C C を受ける電源端子 A 3 と接続されるノード N D W と、ゲートドライバ 9 0 - 1 ~ 9 0 - 4 と接続される出力端子 P 2 と接続されるノード N D Z との間に配置される。

【 0 1 0 2 】

P M O S トランジスタ M 1 1 のゲートは、ノード N D X に接続され、電圧 V X を受ける。電圧 V X の大きさが小さくなると、P M O S トランジスタ M 1 1 がオンとなり、ノード N D Z の出力電圧 V G G の大きさが大きくなる。

【 0 1 0 3 】

コンデンサ C A は、ノード N D X と、ノード N D W との間に配置される。

N M O S トランジスタ M 1 3 は、ノード N D X と、グランド G N D との間に配置される。N M O S トランジスタ M 1 3 のゲートは、制御回路 7 8 によって制御される。

【 0 1 0 4 】

制御回路 7 8 は、ノード N D X の電圧が P M O S トランジスタ M 1 1 をオンさせる閾値電圧 V_{th} よりも大きいときに、N M O S トランジスタ M 1 3 のゲートにハイレベルの電圧を与えることによって、N M O S トランジスタ M 1 3 をオンさせる。これによって、ノード N D X の電圧を急激に低下させることができる。制御回路 7 8 は、ノード N D X の電圧が P M O S トランジスタ M 1 1 をオンさせる閾値電圧 V_{rh} まで低下したときに、N M O S トランジスタ M 1 3 のゲートにロウレベルの電圧を与えることによって、N M O S トランジスタ M 1 3 をオフさせる。これによって、N M O S トランジスタ M 1 3 を介したノード N D X の電圧の制御が終了し、ブリドライバ P D によるノード N D X の電圧の制御が行われる。

【 0 1 0 5 】

制御回路 7 8 は、否定論理和回路 N O R と、P M O S トランジスタ M 1 2 と、抵抗 R d と、シュミットトリガ回路 2 9 とを備える。

【 0 1 0 6 】

否定論理和回路 N O R は、制御信号 F L K を受ける入力端子 I N 1 と、シュミットトリガ回路 2 9 の出力を受ける入力端子 I N 2 と、N M O S トランジスタ M 1 3 と接続される出力端子 O U T を有する。

【 0 1 0 7 】

P M O S トランジスタ M 1 2 は、ノード N D Z とノード N D Y との間に配置される。P M O S トランジスタ M 1 2 のゲートは、ノード N D X と接続される。

【 0 1 0 8 】

抵抗 R d は、ノード N D Y と、グランド G N D との間に配置される。

P M O S トランジスタ M 1 1 の閾値電圧と P M O S トランジスタ M 1 2 の閾値電圧は、いずれも V_{th} であるとする。

【 0 1 0 9 】

シュミットトリガ回路 2 9 は、ノード N D Y の電圧 V A を受けて、否定論理和回路 N O R の入力端子 I N 2 に電圧 V B を出力する。

【 0 1 1 0 】

図 9 は、第 3 の実施形態のゲートドライバ駆動回路 4 0 0 の制御信号 F L K 、ノード N X の電圧 V X 、および出力電圧 V G G の遷移を表わす図である。

【 0 1 1 1 】

時刻 t_0 において、制御信号 F L K がロウレベルに立ち下がる。このタイミングでは、否定論理和回路 N O R に入力される制御信号 F L K がロウレベル、シュミットトリガ回路 2 9 の出力がロウレベルなので、否定論理和回路 N O R の出力がハイレベルとなる。よっ

10

20

30

40

50

て、NMOSトランジスタM13がオンとなり、ノードNDXの電圧VXが急激にPMOSトランジスタM11の閾値電圧Vthまで低下する。この状態では、参考例と同様に、プリドライバPDもノードNDXの電圧VXを緩やかに低下させようとするが、NMOSトランジスタM13の寄与が支配的である。また、このタイミングで、PMOSトランジスタM11がオンし、出力電圧VGGの減少が開始される。

【0112】

ノードNDXの電圧が閾値電圧Vthまで低下すると、PMOSトランジスタM12もオンとなり、ノードNDYの電圧は、上昇する。その結果、シュミットトリガ回路29の出力がハイレベルに変化して、否定論理和回路NORの出力がロウレベルとなって、NMOSトランジスタM13がオフとなる。

10

【0113】

その後、プリドライバPDおよびコンデンサCAの働きによって、電圧VXは、一定時間だけ、閾値電圧Vthを維持する。この間、出力電圧VGGが傾きK30で減少する。

【0114】

時刻t6のタイミングで、プリドライバPDによって、電圧VXが再び傾きK3Xで低下し始める。このタイミングで、出力電圧VGGが最小値に達する。

【0115】

本実施の形態では、制御信号FLKの立下りのタイミングから遅延なしで、出力電圧VGGは一定の傾きK30で減少する。

【0116】

参考例と同様に、電圧VGGは、ゲートドライバ90-1~90-4に供給される。走査線G-1の寄生容量によって、TFT1-b、TFT1-c、TFT1-dに与えられる電圧が理想的な状態の1/2、1/3、1/4になるとする。これにより、TFT1-a~1-dのゲートは、ある時刻において、すべて同じ大きさの電圧を受けて、オンとなる。その結果、液晶パネル700の走査線方向において、TFTがオンとなるタイミングがずれることがない。

20

【0117】

さらに、本実施の形態では、制御信号FLKの立下りのタイミングから遅延せずに、出力電圧VGGが減少を開始するため、液晶パネル700のTFTが制御信号FLKの立下りからすぐにオンとなり、液晶パネル700の表示が遅れるのが防止できる。

30

【0118】

図10は、シュミットトリガ回路29の特性を表わす図である。

ノードNDYの電圧VAが上昇するときには、閾値VHを超えたときに、出力電圧VBがハイレベルとなる。ノードNDYの電圧VAが減少するときには、閾値VLよりも小さくなったときに、出力電圧VBがロウレベルとなる。これにより、ノードNDYの電圧VAのノイズによるゆらぎを除去することができるので、誤動作を防止できる。

【0119】

以上のように、本実施の形態によれば、NMOSトランジスタM13および制御回路78を設けることによって、液晶パネルにちらつきが発生せず、かつ液晶パネルの表示が遅れることのないような電圧をゲートドライバ駆動回路に供給できる。

40

【0120】

[第4の実施形態]

本実施の形態は、第3の電圧生成部(スイッチング電源回路)500の詳細な構成および動作に関する。具体的には、部品の音鳴りを防止する機能を備えたスイッチング電源回路について説明する。

【0121】

(参考例のスイッチング電源回路)

図11は、参考例のスイッチング電源回路500の構成を表わす図である。

【0122】

参考例のスイッチング電源回路500は、非同期整流DC-DC回路35と、ドライバ

50

制御部 3 1 と、ディスチャージ制御部 3 2 とを備える。

【 0 1 2 3 】

非同期整流 DC - DC 回路 3 5 は、第 1 のスイッチング素子である PMOS トランジスタ M 2 1 と、抵抗 RC と、NMOS トランジスタ M 2 2 と、チョークコイル LA と、ダイオード DA と、平滑コンデンサ CB とを備える。

【 0 1 2 4 】

PMOS トランジスタ M 2 1 は、入力電圧 VIN を受ける入力端子 A 4 と、ノード NX の間に配置される。PMOS トランジスタ 2 1 のゲートは、ドライバ制御部 3 1 に接続される。PMOS トランジスタ M 2 1 のゲートは、ドライバ制御部 3 1 からのスイッチング信号 SW を受ける。

10

【 0 1 2 5 】

チョークコイル LA は、ノード NX と、出力端子 P 3 と接続されるノード NY の間に配置される。出力端子 P 3 は、負荷 LD に接続される。負荷 LD は、具体的には、タイミングコントローラ 6 0 0 および制御回路 9 2 である。

【 0 1 2 6 】

コンデンサ CB は、ノード NY とグラウンド GND との間に配置される。

ダイオード DA は、ノード NX とグラウンド GND との間に配置される。ダイオード DA のアノードがグラウンド GND と接続し、ダイオード DA のカソードがノード NX に接続される。

【 0 1 2 7 】

抵抗 RC は、ノード NX とノード NZ の間に配置される。

20

NMOS トランジスタ M 2 2 は、ノード NZ とグラウンド GND との間に配置される。NMOS トランジスタ M 2 2 のゲートは、ディスチャージ制御部 3 2 に接続される。NMOS トランジスタ M 2 2 のゲートは、ディスチャージ制御部 3 2 からディスチャージ信号 DSC を受ける。

【 0 1 2 8 】

スイッチング素子である PMOS トランジスタ M 2 1 がオン状態であるときに、入力端子 A 4 から出力端子 P 3 に流れる電流によりチョークコイル LA にエネルギーが蓄えられる。PMOS トランジスタ M 2 1 がオン状態からオフ状態となったときに、チョークコイル LA は蓄えたエネルギーを放出して、電流変化を妨げる向きに起電力が発生して誘導電流を流すことにより直流電流が得られる。この直流電流がコンデンサ CB で平滑化されて出力端子 P 3 に出力される。

30

【 0 1 2 9 】

ディスチャージ制御部 3 2 は、電源をオフするときに、シャットダウン信号 SDW を受けて、ディスチャージ信号 DSC をハイレベルにすることによって NMOS トランジスタ M 2 2 をオンにする。これによって、コンデンサ CB に蓄えられた電荷を放電される。NMOS トランジスタ M 2 2 は、電流を引き抜く動作をするため、サイズの大きなものが用いられる。

【 0 1 3 0 】

図 1 2 は、ドライバ制御部 3 1 の構成を表わす図である。

40

ドライバ制御部 3 1 は、分圧抵抗 R 1 1 , R 1 2 と、基準電圧生成部 3 4 と、過電圧閾値制御部 3 8 と、誤差増幅器 3 6 と、過電圧検出器 3 7 と、PWM (Pulse Width Modulation) 信号生成回路 3 9 とを備える。

【 0 1 3 1 】

分圧抵抗 R 1 1 及び分圧抵抗 R 1 0 は、ノード NY の電圧 VDD を分圧して、フィードバック電圧 VB を生成する。

【 0 1 3 2 】

基準電圧生成部 3 4 は、入力電圧 VIN から基準電圧 VREF を生成して、誤差増幅器 3 6 および過電圧検出器 3 7 へ出力する。

【 0 1 3 3 】

50

誤差増幅器 36 は、フィードバック電圧 V_B と基準電圧 V_{REF} との差を増幅した誤差電圧 V_{EA} を出力する。

【0134】

過電圧閾値制御部 38 は、基準電圧 V_{REF} を受けて、基準電圧 V_{REF} よりも V だけ大きな閾値電圧 V_{REF2} を出力する。

【0135】

過電圧検出器 37 は、フィードバック電圧 V_B が閾値電圧 V_{REF2} 以下のときにはロウレベルのスキップ信号 SK を出力し、フィードバック電圧 V_B が閾値電圧 V_{REF2} を超えるときにはハイレベルのスキップ信号 SK を出力する。

【0136】

通常時には、フィードバック電圧 V_B は、閾値電圧 V_{REF2} を超えることがないので、過電圧検出器 37 から出力されるスキップ信号 SK がロウレベルとなる。

【0137】

PWM 信号生成回路 39 は、スキップ信号 SK がロウレベルのときには、一定の周期ごとに、スイッチング素子である PMOS トランジスタ M_{21} を駆動する。すなわち、PWM 信号生成回路 39 は、誤差電圧 V_{EA} が 0 から設定電圧 TH に達するまでの間は、オン時間を最小オン時間に維持する。PWM 信号生成回路 39 は、誤差電圧 V_{EA} が設定電圧 TH を超えるときには、誤差電圧 V_{EA} の増加に正比例してオン時間を増加させる。PWM 信号生成回路 39 は、オン時間に基づいて、スイッチング信号 SW を生成する。PWM 信号生成回路 39 は、オン時間が最小オン時間に設定されたときに、パルス幅が最小のスイッチング信号 SW を生成する。PWM 信号生成回路 39 は、オン時間が最小オン時間を超えるときには、オン時間の増加とともに、スイッチング信号 SW のパルス幅も増加させる。

【0138】

軽負荷時および無負荷時には、出力電圧 V_{DD} が上昇する。出力電圧 V_{DD} が上昇すると、フィードバック電圧 V_B も上昇して、閾値電圧 V_{REF2} を超える。これによって、過電圧検出器 37 から出力されるスキップ信号 SK がハイレベルとなる。PWM 信号生成回路 39 は、スキップ信号 SK がハイレベルの間、スイッチング動作をスキップする。すなわち、スイッチング信号 SW のパルスをスキップする。これによって、スイッチング損失を低減させるとともに、出力電圧 V_{DD} の上昇を防止することができる。

【0139】

軽負荷時および無負荷時において、パルススキップの結果、スイッチング信号 SW の周波数である PMOS トランジスタ M_{21} のスイッチング周波数が、可聴域 ($20\text{Hz} \sim 20\text{kHz}$) まで低下すると、スイッチング電源回路 500 を構成する部品が音鳴りする現象が発生する。参考例のスイッチング電源回路 500 には、このような音鳴りの問題がある。

【0140】

(第4の実施形態のスイッチング電源回路)

図13は、第4の実施形態のスイッチング電源回路500の構成を表わす図である。

【0141】

第4の実施形態のスイッチング電源回路500は、参考例の構成要素に加えて、第2のスイッチング素子である NMOS トランジスタ M_{23} と、ディスチャージ制御部 33 とを備える。

【0142】

NNOS トランジスタ M_{23} は、ノード NZ とグランド GND との間に NMOS トランジスタ M_{22} と並列に配置される。

【0143】

ディスチャージ制御部 33 は、PMOS トランジスタ M_{21} がオフの期間に、NMOS トランジスタ M_{23} をオンにするためのオン信号 ON を出力する。オン信号 ON がハイレベルとなって、NMOS トランジスタ M_{23} がオンとなると、コンデンサ CB に蓄えられ

10

20

30

40

50

た電荷を放電される。これによって、出力電圧 V_{DD} の増加が抑制されて、パルススキップが起こらないようにすることができる。

【0144】

ただし、 $NMOS$ トランジスタ M_{23} を通じて、少量の電流だけが流れるように、 $NMOS$ トランジスタ M_{23} のサイズは、 $NMOS$ トランジスタ M_{22} のサイズよりも小さいものとする。

【0145】

図14は、通常時の1周期内のスイッチング信号 SW およびオン信号 ON のタイミングを表わす図である。

【0146】

図14に示すように、ドライバ制御部31は、周期 T の内部クロック CLK がオフの期間のいずれかに、第1のスイッチング素子である $PMOS$ トランジスタ M_{21} をオンにするために、スイッチング信号 SW をロウレベルに活性化する。

【0147】

ディスチャージ制御部33は、周期 T の内部クロック CLK がオンの期間に、第2のスイッチング素子である $NMOS$ トランジスタ M_{23} をオンにするために、オン信号 ON をハイレベルに活性化する。

【0148】

図15は、通常時のスイッチング信号 SW およびオン信号 ON のタイミングを表わす図である。

【0149】

通常時には、フィードバック電圧 V_B が閾値電圧 V_{REF2} を超えないので、パルススキップが発生しない。ドライバ制御部31は、内部クロック CLK の周期ごとに、第1のスイッチング素子である $PMOS$ トランジスタ M_{21} がオンおよびオフするようにスイッチング信号 SW を変化させる。

【0150】

ディスチャージ制御部33は、内部クロック CLK の周期ごとに、第2のスイッチング素子である $NMOS$ トランジスタ M_{23} がオンおよびオフするようにオン信号 ON を変化させる。

【0151】

図16は、軽負荷時のスイッチング信号 SW およびオン信号 ON のタイミングを表わす図である。

【0152】

軽負荷時には、誤差電圧 V_{EA} が小さくなるため、スイッチング信号 SW のパルス幅が小さくなる。また、軽負荷時には、フィードバック電圧 V_B が閾値電圧 V_{REF2} を超えるので、パルススキップが発生する。その結果、スイッチング周期が大きくなる。

【0153】

しかし、 $NMOS$ トランジスタ M_{23} によって、コンデンサ C_B に蓄積された電荷の放電が行われる。これによって、スイッチング信号 SW の周波数である $PMOS$ トランジスタ M_{21} のスイッチング周波数が、可聴域 ($20\text{Hz} \sim 20\text{kHz}$) まで低下するのを防止できるので、スイッチング電源回路500を構成する部品から音鳴りが発生しないようにすることができる。

【0154】

図17は、無負荷時のスイッチング信号 SW およびオン信号 ON のタイミングを表わす図である。

【0155】

無負荷時においても、軽負荷時と同様に、フィードバック電圧 V_B が閾値電圧 V_{REF2} を超えるので、パルススキップが発生する。ただし、無負荷時でも、電流の漏れ成分の影響などによって、完全にパルスが消失しない場合がある。そのような場合には、軽負荷時と同様に、スイッチング周期が大きくなる。しかし、このような場合でも、 $NMOS$ ト

10

20

30

40

50

ランジスタM23によって、コンデンサCBに蓄積された電荷の放電が行われるので、スイッチング電源回路500を構成する部品から音鳴りが発生しないようにすることができる。

【0156】

図18は、シャットダウン時のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【0157】

ドライバ制御部31、ディスチャージ制御部32、およびディスチャージ制御部22は、電源オフ時にタイミングコントローラ600からシャットダウン信号SDWの供給を受ける。

【0158】

ドライバ制御部31は、シャットダウン信号SDWがハイレベルに活性化されると、PMOSTランジスタM21のスイッチングを終了する。

【0159】

ディスチャージ制御部33は、シャットダウン信号SDWがハイレベルに活性化されると、NMOSTランジスタM23のスイッチングを終了する。

【0160】

ディスチャージ制御部32は、シャットダウン信号SDWがハイレベルに活性化されると、NMOSTランジスタM22のゲートへのディスチャージ信号DSCをハイレベルに活性化する。NMOSTランジスタM22は、ディスチャージ信号DSCがハイレベルに活性化されると、オン状態となり、NMOSTランジスタM22を通じて、コンデンサCBに蓄積された電荷が放電される。

【0161】

以上のように、本実施の形態によれば、パルススキップ機能によって、スイッチング損失を低減するとともに、スイッチング周波数が可聴周波数帯域まで減少しないようにできるので、スイッチング電源回路を構成する部品から音鳴りが生じるのを防止できる。

【0162】

[第4の実施形態の変形例1]

第4の実施形態では、PMOSTランジスタM21のスイッチング周波数に関係なく、周期ごとに、オン信号を活性化させて、NMOSTランジスタM23を通じて、コンデンサCBの電荷を放電させたが、これに限定するものではない。

【0163】

たとえば、PMOSTランジスタM21のスイッチング周波数が可聴周波数帯域まで低下したときにのみ、NMOSTランジスタM23を通じて、コンデンサCBの電荷を放電させてもよい。

【0164】

ディスチャージ制御部33は、PMOSTランジスタM21のスイッチング周波数を検出する。たとえば、ディスチャージ制御部33は、ドライバ制御部31によるパルススキップをモニタすることによって、PMOSTランジスタM21のスイッチング周波数を検出する。ディスチャージ制御部33は、検出されたPMOSTランジスタM21のスイッチング周波数が所定の範囲に含まれる場合に、第1のスイッチング素子であるPMOSTランジスタM21がオフの期間に、第2のスイッチング素子であるNMOSTランジスタM23をオンにして、コンデンサCBの電荷を放電させる。

【0165】

[第4の実施形態の変形例2]

図19は、第4の実施形態の変形例の第3の電圧生成部500の構成を表わす図である。

【0166】

第4の実施形態では、スイッチング電源回路は、シャットダウン時にコンデンサCBの電荷を放電するためのNMOSTランジスタM22、およびNMOSTランジスタM22

10

20

30

40

50

を制御するディスチャージ制御部 32 を備えるものとしたが、これに限定されるものではない。

【0167】

図 19 に示すように、スイッチング電源回路 500 は、NMOS トランジスタ M22、およびディスチャージ制御部 32 を備えないものとしてもよい。

【0168】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

10

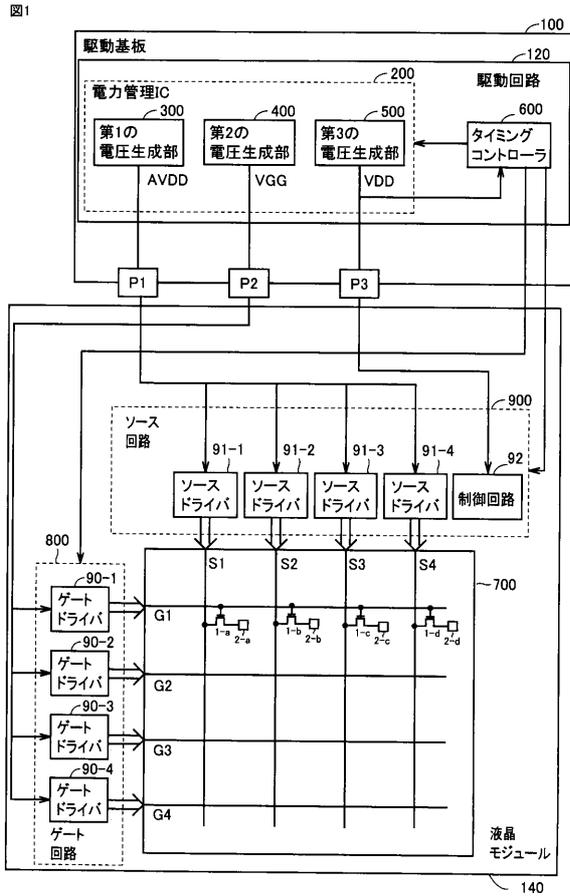
【符号の説明】

【0169】

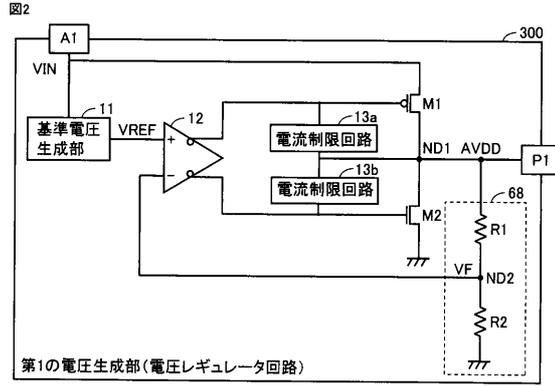
1 - a ~ 1 - d TFT、2 - a ~ 2 - d 画素、11, 34 基準電圧生成部、12 差動アンプ、13a, 13b 電流制限回路、14 入力用差動増幅回路、15 出力用差動増幅回路、29 シュミットリガ回路、31 ドライバ制御部、32, 33 ディスチャージ制御部、35, 45, 55 非同期整流回路、36 誤差増幅器、37 過電圧検出器、38 電圧閾値制御部、39 PWM 信号生成回路、68 帰還部、90 - 1 ~ 90 - 4 ゲートドライバ、91 - 1 ~ 91 - 4 ソースドライバ、78, 92 制御回路、100 駆動基板、120 駆動回路、140 液晶モジュール、200 電力回路 IC、300 第 1 の電圧生成部 (電圧レギュレータ回路)、400 第 2 の電圧生成部 (ゲートドライバ駆動回路)、500 第 3 の電圧生成部 (スイッチング電源回路)、600 タイミングコントローラ、700 液晶パネル、800 ゲート回路、900 ソース回路、DA ダイオード、CM1, CM2 カレントミラー回路、R1, R2, R10, R11, R61, R62, RA, RB, RC, Rd 抵抗、CA, CB コンデンサ、LD 負荷、A1, A2, A3, A4, P1, P2, P3 端子、M1, M4, M5, M11, M12, M21, M3, P61, P62, P63 PMOS トランジスタ、M2, M6, M7, M13, M22, M23, N61, N62, N63, N65, N66 NMOS トランジスタ、IS1, IS2 定電流源、Q1, Q2 PNP トランジスタ、PD ブリドライバ、NOR 否定論理和回路。

20

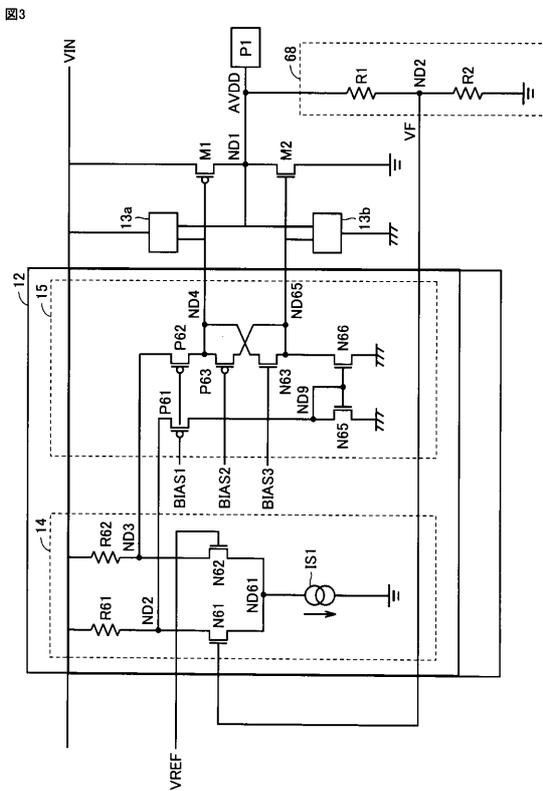
【図1】



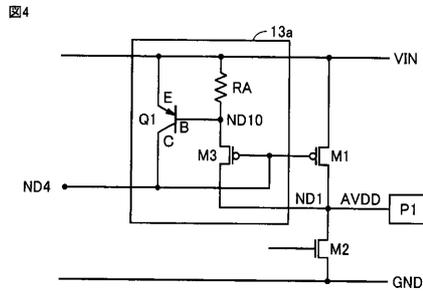
【図2】



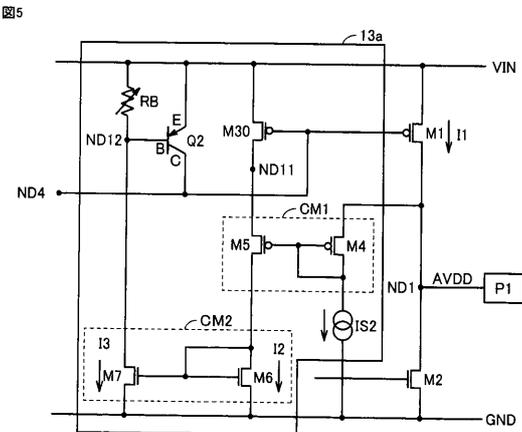
【図3】



【図4】

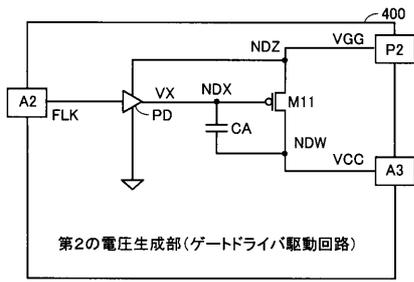


【図5】



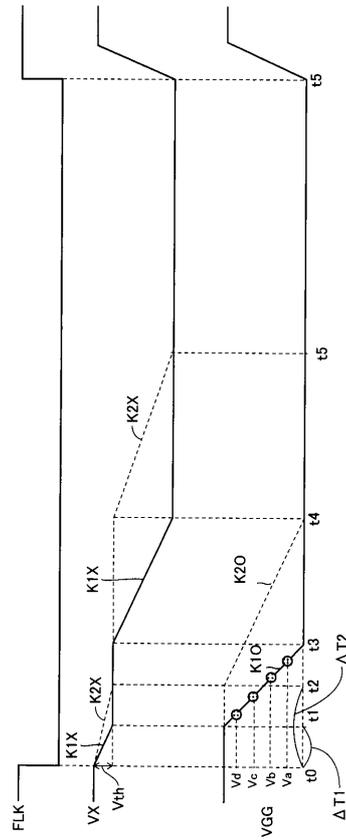
【 図 6 】

図6



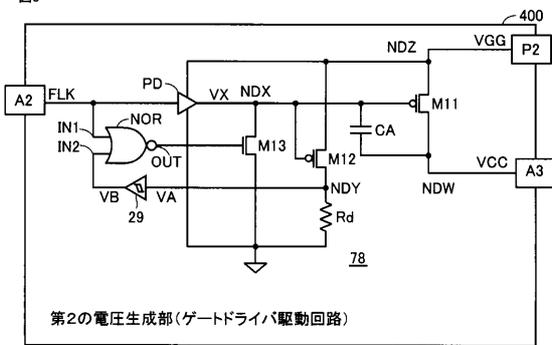
【 図 7 】

図7



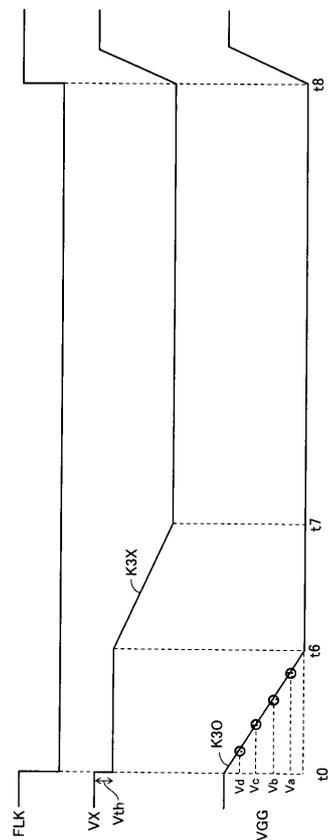
【 図 8 】

図8



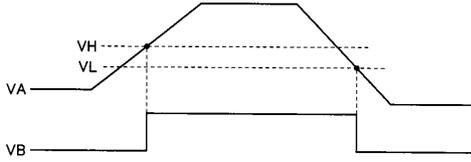
【 図 9 】

図9



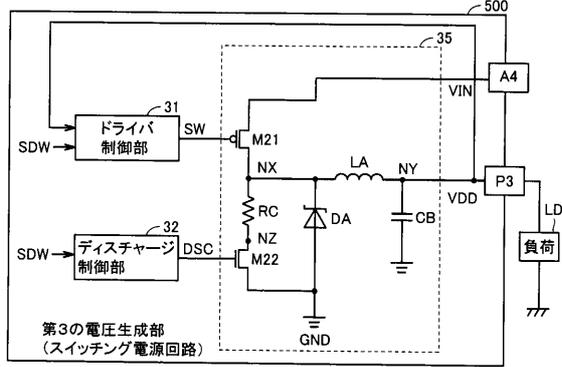
【図10】

図10



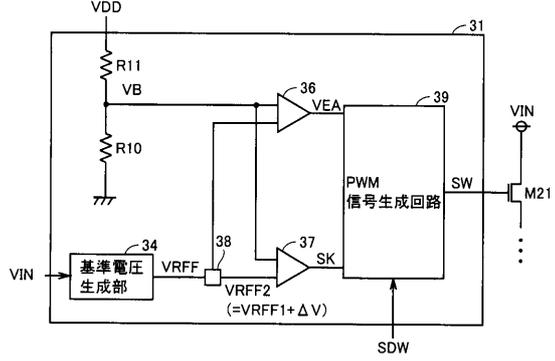
【図11】

図11



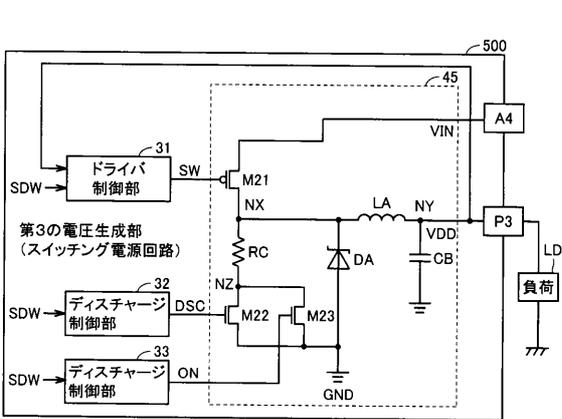
【図12】

図12



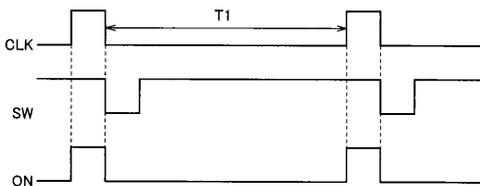
【図13】

図13



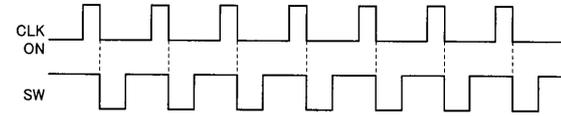
【図14】

図14



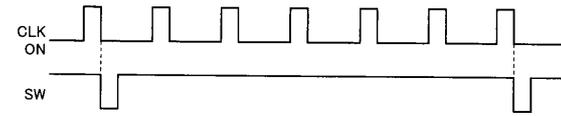
【図15】

図15



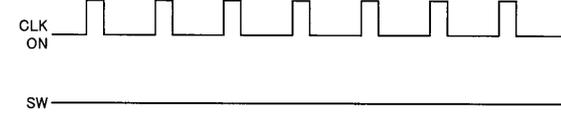
【図16】

図16



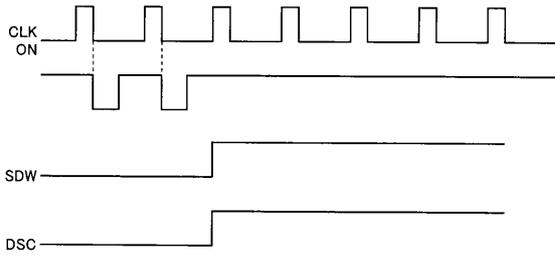
【図17】

図17



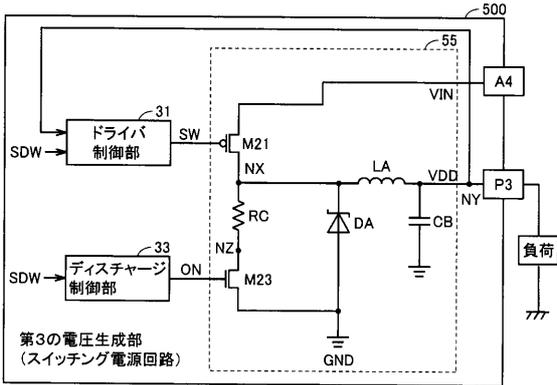
【 図 1 8 】

図18



【 図 1 9 】

図19



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 5 F	1/56	3 2 0 F
H 0 2 M	3/155	H
H 0 2 M	3/155	C

Fターム(参考) 5H430 BB01 BB05 BB09 BB11 BB12 EE04 EE12 FF02 FF07 HH03
LA07
5H730 AA02 AS05 BB13 BB57 DD04 DD12 EE52 EE59 FD01 FG05
FG25 XX03 XX12 XX23 XX32

专利名称(译)	电压调节电路和液晶显示装置		
公开(公告)号	JP2019060961A	公开(公告)日	2019-04-18
申请号	JP2017183759	申请日	2017-09-25
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
发明人	田古部 勲		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G05F1/56 H02M3/155		
FI分类号	G09G3/36 G09G3/20.670.D G09G3/20.670.C G09G3/20.612.A G02F1/133.520 G05F1/56.320.F H02M3/155.H H02M3/155.C		
F-TERM分类号	2H193/ZA04 2H193/ZD23 2H193/ZE32 2H193/ZE38 2H193/ZF06 5C006/AC22 5C006/AF52 5C006/AF54 5C006/AF61 5C006/AF67 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF25 5C006/BF26 5C006/BF31 5C006/BF34 5C006/BF37 5C006/BF42 5C006/BF50 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5H430/BB01 5H430/BB05 5H430/BB09 5H430/BB11 5H430/BB12 5H430/EE04 5H430/EE12 5H430/FF02 5H430/FF07 5H430/HH03 5H430/LA07 5H730/AA02 5H730/AS05 5H730/BB13 5H730/BB57 5H730/DD04 5H730/DD12 5H730/EE52 5H730/EE59 5H730/FD01 5H730/FG05 5H730/FG25 5H730/XX03 5H730/XX12 5H730/XX23 5H730/XX32		
外部链接	Espacenet		

摘要(译)

本发明提供一种具有限流功能的电压调节器，该限流功能限制到负载的涌入电流，以及包括这种电压调节器的液晶显示装置。第二晶体管M30设置在输入端子和第二节点ND1之间，并且具有连接到第一晶体管M1的控制电极的控制电极。第一电流镜电路CM2复制流到第二晶体管M30的电流。第三晶体管Q2设置在输入端和连接到第一晶体管M1的控制电极和第二晶体管M30的控制电极的第三节点ND4之间。随着第一电流镜电路CM2复制的电流增加，第三晶体管Q2的控制电极的电压减小。[选中图]图5

