

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2017-173513
(P2017-173513A)

(43) 公開日 平成29年9月28日(2017.9.28)

(51) Int.Cl.			F I			テーマコード (参考)	
G09G	3/36	(2006.01)	G09G	3/36		2H193	
G09G	3/20	(2006.01)	G09G	3/20	621A	5C006	
G02F	1/133	(2006.01)	G09G	3/20	642A	5C080	
			G09G	3/20	641E		
			G09G	3/20	621F		
審査請求 未請求 請求項の数 5 O L (全 24 頁) 最終頁に続く							

(21) 出願番号	特願2016-58623 (P2016-58623)	(71) 出願人	308036402
(22) 出願日	平成28年3月23日 (2016. 3. 23)		株式会社 J V C ケンウッド
			神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(72) 発明者	井澤 俊輔
			神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
		F ターム (参考)	2H193 ZA04 ZD25 ZD26 ZF31
最終頁に続く			

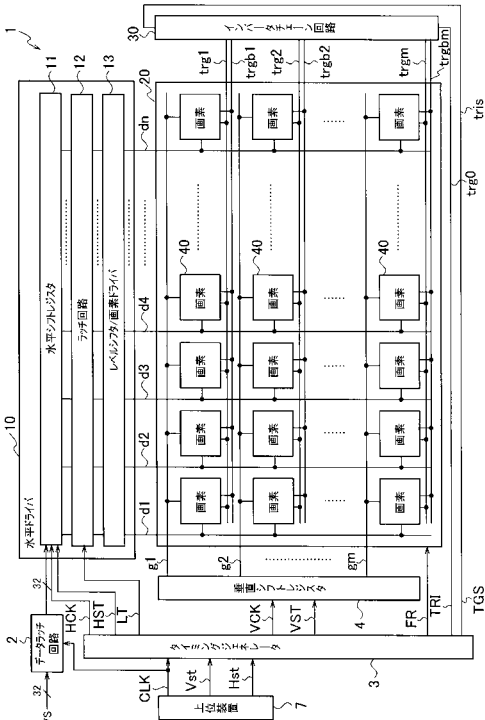
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】クロック漏れによる画質の劣化を抑制できる液晶表示装置を提供する。

【解決手段】液晶表示装置 1 は複数の画素を有する画像表示部 2 0 とインバータチェーン回路 3 0 とタイミングジェネレータ 3 とを備える。インバータチェーン回路 3 0 は複数のインバータ 3 1 とスイッチ切り替え回路 3 2 とを有する。画素 4 0 は画素データが書き込まれる第 1 のスイッチング回路 5 0 と第 1 のスイッチング回路 5 0 に書き込まれた画素データの転送を制御する第 2 のスイッチング回路 5 0 と液晶表示素子 7 0 とを有する。インバータチェーン回路 3 0 はインバータチェーン状態では、第 2 のトリガパルス信号 T R I を複数のインバータ 3 1 から第 1 のトリガ線 t r g c に出力し、ショート状態では第 2 のトリガパルス信号 T R I を第 1 のトリガ線 t r g c に出力する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

行方向及び列方向に配置された複数の画素を有する画像表示部と、

前記画像表示部に、各画素行に対応して配置された複数の第 1 のトリガ線を介して第 1 のトリガパルス信号を出力するインバータチェーン回路と、

前記インバータチェーン回路に、第 2 のトリガ線を介して第 2 のトリガパルス信号を出力し、スイッチ切り替え信号線を介してスイッチ切り替え信号を出力するタイミングジェネレータと

を備え、

前記画素は、

前記画素に対応する画素データが書き込まれる第 1 のスイッチング回路と、

前記第 1 のトリガ線に接続され、ハイレベルの前記第 1 のトリガパルス信号により前記第 1 のスイッチング回路に書き込まれた画素データが転送可能な状態にし、ローレベルの前記第 1 のトリガパルス信号により前記第 1 のスイッチング回路に書き込まれた画素データが転送不可能な状態にする第 2 のスイッチング回路と、

前記第 2 のスイッチング回路に転送された画素データに対応する電圧が供給される液晶表示素子と

を有し、

前記インバータチェーン回路は、

前記複数の第 1 のトリガ線に対応して接続され、前記第 2 のトリガパルス信号が入力されるインバータチェーンを構成する複数のインバータと、

前記スイッチ切り替え信号により、前記複数のインバータが直列に接続されたインバータチェーン状態と、前記複数のインバータを介さずに前記第 2 のトリガ線と前記複数の第 1 のトリガ線とが接続されたショート状態とを切り替えるスイッチ切り替え回路と

を有し、

前記インバータチェーン状態では、入力された前記第 2 のトリガパルス信号を前記複数のインバータから前記複数の第 1 のトリガ線に前記第 1 のトリガパルス信号として出力し、

前記ショート状態では、入力された前記第 2 のトリガパルス信号を前記複数の第 1 のトリガ線に前記第 1 のトリガパルス信号として出力する

ことを特徴とする液晶表示装置。

【請求項 2】

前記第 2 のスイッチング回路は、

前記画素データを保持する容量を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 のスイッチング回路へ転送された画素データは前記液晶表示素子に保持されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記複数の第 1 のトリガ線は、複数の正転トリガパルス用トリガ線と複数の反転トリガパルス用トリガ線とにより構成され、

前記第 1 のトリガパルス信号は、正転トリガパルス信号と反転トリガパルス信号とにより構成され、

前記インバータチェーン回路は、

前記複数の正転トリガパルス用トリガ線に前記正転トリガパルス信号を時間差を有して出力し、

前記複数の反転トリガパルス用トリガ線に前記反転トリガパルス信号を時間差を有して出力し、

前記第 1 のスイッチング回路に書き込まれている画素データは、前記正転トリガパルス信号及び前記反転トリガパルス信号により、画素行毎に時間差を有して前記第 2 のスイッ

10

20

30

40

50

チング回路へ転送される

ことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記インバータチェーン回路から出力された前記第 1 のトリガパルス信号に所定の電圧を供給するチャージポンプをさらに備えることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に複数のサブフレームの組み合わせによって階調表示を行う液晶表示装置に関する。

10

【背景技術】

【0002】

液晶表示装置における中間調表示方式の 1 つとしてサブフレーム駆動方式がある。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画像の場合には 1 画像の表示単位である 1 フレーム）を複数のサブフレームに分割する。表示されるべき階調に応じて複数のサブフレームを組み合わせることで各画素を駆動させることにより、1 フレームの画像が表示される。

【0003】

表示されるべき階調は、所定の期間内に占める画素の駆動期間の割合によって決定される。所定の期間内に占める画素の駆動期間の割合は、分割された各サブフレームの組み合わせによって定まる。

20

【0004】

特許文献 1 には、サブフレーム駆動方式により画像を表示する液晶表示装置が記載されている。液晶表示装置は、第 1 のデータ保持部とスイッチング素子と第 2 のデータ保持部とを画素毎に有している。サブフレームデータは第 1 のデータ保持部に画素毎に順次書き込まれる。スイッチング素子を全画素に対して同時に ON 状態にすることにより、第 1 のデータ保持部に書き込まれたサブフレームデータは第 2 のデータ保持部に全画素一斉に転送される。スイッチング素子は MOS (Metal Oxide Semiconductor) トランジスタで構成されている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2014 - 215498 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

MOS トランジスタで構成されたスイッチング素子では、MOS トランジスタをオン状態からオフ状態へ切り替えるときに、クロック漏れと称される現象により、MOS トランジスタのソース電極またはドレイン電極に電荷が発生することが知られている。

40

【0007】

クロック漏れは、例えば画素電極等のハイインピーダンスのノードにおいては、オフ動作による電位変動が発生するため、画質を劣化させる要因となる。クロック漏れの要因として、チャージインジェクション及びクロックフィードスルーがある。

【0008】

チャージインジェクションは、MOS トランジスタがオン状態のときにチャネルを形成していた電荷（電子または正孔）が、MOS トランジスタをオフ状態にすることによってソース電極またはドレイン電極に移動する現象である。

【0009】

クロックフィードスルーは、n チャネル型 MOS トランジスタの場合、ゲート電極の電

50

位がハイレベルからローレベルへ変化することにより、ゲート電極とドレイン電極（またはソース電極）との電極間の寄生容量に起因する静電効果により電位に影響を及ぼす現象である。また、クロックフィードスルーは、pチャネル型MOSトランジスタの場合、ゲート電極の電位がローレベルからハイレベルに変化することにより、ゲート電極とドレイン電極間（またはソース電極）との電極間の寄生容量に起因する静電効果により電位に影響を及ぼす現象である。

【0010】

クロック漏れの対策として、次のようなクロック漏れの影響を補償する技術が知られている。メインスイッチングトランジスタと、メインスイッチングトランジスタの半分のサイズ（半分のチャネル幅）のキャンセル用トランジスタとでスイッチング素子を構成する。メインスイッチングトランジスタがオン状態からオフ状態に切り替わるときに、キャンセル用トランジスタをメインスイッチングトランジスタのスイッチング動作と逆相で動作させる。しかしながら、キャンセル用トランジスタが画素毎に必要なため、各画素の構成が煩雑になり、高解像度に求められる画素の小型化を阻害する要因となる。

10

【0011】

また、回路構成を変更しない対策方法として、スイッチングトランジスタの電圧を段階的に変化させることによりクロックフィードスルーの影響を低減させる技術が知られている。しかしながら、スイッチングスピードが遅くなってしまうため、高解像度に求められる高速動作を阻害する要因となる。また、周辺回路が煩雑になってしまう。

20

【0012】

本発明は以上の点を鑑み、各画素や周辺回路が煩雑になったり、スイッチングスピードが遅くなったりすることを抑制し、クロック漏れによる画質の劣化を抑制することが可能な液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明は、行方向及び列方向に配置された複数の画素を有する画像表示部と、前記画像表示部に、各画素行に対応して配置された複数の第1のトリガ線を介して第1のトリガパルス信号を出力するインバータチェーン回路と、前記インバータチェーン回路に、第2のトリガ線を介して第2のトリガパルス信号を出力し、スイッチ切り替え信号線を介してスイッチ切り替え信号を出力するタイミングジェネレータとを備え、前記画素は、前記画素に対応する画素データが書き込まれる第1のスイッチング回路と、前記第1のトリガ線に接続され、ハイレベルの前記第1のトリガパルス信号により前記第1のスイッチング回路に書き込まれた画素データが転送可能な状態にし、ローレベルの前記第1のトリガパルス信号により前記第1のスイッチング回路に書き込まれた画素データが転送不可能な状態にする第2のスイッチング回路と、前記第2のスイッチング回路に転送された画素データに対応する電圧が供給される液晶表示素子とを有し、前記インバータチェーン回路は、前記複数の第1のトリガ線に対応して接続され、前記第2のトリガパルス信号が入力されるインバータチェーンを構成する複数のインバータと、前記スイッチ切り替え信号により、前記複数のインバータが直列に接続されたインバータチェーン状態と、前記複数のインバータを介さずに前記第2のトリガ線と前記複数の第1のトリガ線とが接続されたショート状態とを切り替えるスイッチ切り替え回路と、を有し、前記インバータチェーン状態では、入力された前記第2のトリガパルス信号を前記複数のインバータから前記複数の第1のトリガ線に前記第1のトリガパルス信号として出力し、前記ショート状態では、入力された前記第2のトリガパルス信号を前記複数の第1のトリガ線に前記第1のトリガパルス信号として出力することを特徴とする液晶表示装置を提供する。

30

40

【発明の効果】

【0014】

本発明の液晶表示装置によれば、各画素や周辺回路が煩雑になったり、スイッチングスピードが遅くなったりすることを抑制し、クロック漏れによる画質の劣化を抑制することが可能になる。

50

【図面の簡単な説明】

【0015】

【図1】液晶表示装置を示す構成図である。

【図2】第1実施形態の画素を示す構成図である。

【図3】画素内のスイッチング回路を構成するインバータを示す構成図である。

【図4】インバータチェーン回路と画像表示部との関係を示す構成図である。

【図5】1サブフレームにおけるデータ書き込み期間とデータ転送期間との関係を示すタイムチャートである。

【図6】画素データ転送期間における電源電圧とスイッチ切り替え信号とトリガパルス信号との関係を示すタイムチャートである。

10

【図7】クロック漏れ現象による画素電位の変動を示す特性図である。

【図8】図6に示すタイムチャートの比較例である。

【図9】インバータチェーン回路と画像表示部との関係を示す構成図である。

【図10】液晶表示素子の駆動方法を説明するためのタイムチャートである。

【図11】液晶表示素子への印加電圧とグレースケールとの関係を示す特性図である。

【図12】第2実施形態の画素を示す構成図である。

【図13】第3実施形態の画素を示す構成図である。

【図14】第4実施形態の画素を示す構成図である。

【発明を実施するための形態】

【0016】

20

[第1実施形態]

図1を用いて、第1実施形態の液晶表示装置を説明する。図1は第1実施形態の液晶表示装置の構成を示している。液晶表示装置1は、データラッチ回路2、水平ドライバ10、タイミングジェネレータ3、垂直シフトレジスタ4、画像表示部20、及び、インバータチェーン回路30を備える。水平ドライバ10は、水平シフトレジスタ11、ラッチ回路12、及び、レベルシフタ/画素ドライバ13を有する。

【0017】

画像表示部20は、複数の画素40が水平方向及び垂直方向にマトリクス状に配置されている。具体的には、複数の画素40は、水平ドライバ10に一端が接続され、水平方向（列方向）にそれぞれ配置された n 本（ n は2以上の自然数）の列データ線 $d_1 \sim d_n$ と、垂直シフトレジスタ4に一端が接続され、垂直方向（行方向）にそれぞれ配置された m 本（ m は2以上の自然数）の行走査線 $g_1 \sim g_m$ とが交差する各交差部に配置されている。即ち、画像表示部20は、 $n \times m$ 個の画素40を有する。

30

【0018】

画素40は、画素列毎に列データ線 $d_1 \sim d_n$ に接続されている。画素40は、画素行毎に行走査線 $g_1 \sim g_m$ に接続されている。

【0019】

なお、図1では n 本の列データ線 $d_1 \sim d_n$ を示しているが、正転データ用列データ線と反転データ用列データ線とを一組とする、 n 組の列データ線としてもよい。正転データ用列データ線により伝送される正転データと、反転データ用列データ線により伝送される反転データとは、常に逆論理値の関係（相補的な関係）にある1ビットのデータである。

40

【0020】

画素40は、インバータチェーン回路30に一端が接続され、画素行毎にそれぞれ配置された m 組のトリガパルス用トリガ線（第1のトリガ線）、具体的には m 組の正転トリガパルス用トリガ線 $trg_1 \sim trg_m$ 、及び、反転トリガパルス用トリガ線 $trgb_1 \sim trgb_m$ に接続されている。

【0021】

データラッチ回路2は、入力された映像信号 VS をラッチし、上位装置7から出力される基本信号 CLK に同期させて水平シフトレジスタ11へ出力する。データラッチ回路2に入力される映像信号 VS は、1フレーム期間よりも短い表示期間を有する複数のサブフ

50

レームに分割されている。映像信号 V S は、1 サブフレーム毎に分割された 3 2 ビット幅のデータである。複数のサブフレームにより 1 フレームの画像が階調表示される。

【 0 0 2 2 】

タイミングジェネレータ 3 は、上位装置 7 から入力された基本信号 C L K、垂直同期信号 V s t、及び水平同期信号 H s t に基づいて、水平クロック信号 H C K、水平スタートパルス信号 H S T、ラッチパルス信号 L T、垂直クロック信号 V C K、垂直スタートパルス信号 V S T、交流化信号 F R、トリガパルス信号（第 2 のトリガパルス信号）T R I、及び、スイッチ切り替え信号 T G S を生成する。

【 0 0 2 3 】

タイミングジェネレータ 3 は、水平クロック信号 H C K、及び、水平スタートパルス信号 H S T を水平シフトレジスタ 1 1 へ出力する。タイミングジェネレータ 3 は、ラッチパルス信号 L T をラッチ回路 1 2 へ出力する。タイミングジェネレータ 3 は、垂直クロック信号 V C K、及び、垂直スタートパルス信号 V S T を垂直シフトレジスタ 4 へ出力する。タイミングジェネレータ 3 は、交流化信号 F R を画像表示部 2 0 へ出力する。

【 0 0 2 4 】

タイミングジェネレータ 3 は、トリガパルス信号 T R I を、トリガパルス用トリガ線（第 2 のトリガ線）t r g 0 を介してインバータチェーン回路 3 0 へ出力する。タイミングジェネレータ 3 は、スイッチ切り替え信号 T G S を、スイッチ切り替え信号線 t g i s を介してインバータチェーン回路 3 0 へ出力する。

【 0 0 2 5 】

水平クロック信号 H C K は、水平シフトレジスタ 1 1 のシフトクロックであり、例えば 3 2 ビット幅で映像信号 V S を水平方向へシフトするための信号である。水平スタートパルス信号 H S T は、水平シフトレジスタ 1 1 に映像信号 V S の入力開始されるタイミングを制御するための信号である。ラッチパルス信号 L T は、水平シフトレジスタ 1 1 が水平方向の 1 画素行の画素数分の映像信号をシフトし終わったタイミングで出力される信号である。

【 0 0 2 6 】

垂直クロック信号 V C K は、垂直シフトレジスタ 4 における 1 水平走査期間（以下、1 H と称す）を規定するシフトクロックである。垂直シフトレジスタ 4 は垂直クロック信号 V C K のタイミングに同期させて垂直方向のシフト動作を行う。垂直スタートパルス信号 V S T は、サブフレームの切り替えを制御する信号である。

【 0 0 2 7 】

交流化信号 F R は、サブフレーム毎に極性反転する信号である。交流化信号 F R は、画像表示部 2 0 を構成する画素 4 0 内の液晶表示素子の共通電極に、後述する共通電極電圧 V c o m として供給される。なお、トリガパルス信号 T R I、及び、スイッチ切り替え信号 T G S については後述する。

【 0 0 2 8 】

水平シフトレジスタ 1 1 は、1 ビットシリアルデータの処理系でみた場合、タイミングジェネレータ 3 から 1 H の最初に供給される水平スタートパルス信号 H S T によりシフトを開始する。水平シフトレジスタ 1 1 は、データラッチ回路 2 から供給される 3 2 ビット幅のデータを水平クロック信号 H C K に同期させてシフトする。

【 0 0 2 9 】

ラッチ回路 1 2 は、水平シフトレジスタ 1 1 が画像表示部 2 0 の 1 画素行分の画素数 n と同じ n ビット分のデータをシフトし終わった時点で、タイミングジェネレータ 3 から供給されるラッチパルス信号 L T に基づいて、水平シフトレジスタ 1 1 から並列に供給される n ビット分のデータ、即ち、同じ画素行の n 画素分のサブフレームデータをラッチし、レベルシフト / 画素ドライバ 1 3 のレベルシフトへ出力する。

【 0 0 3 0 】

ラッチ回路 1 2 へのデータ転送が終了すると、タイミングジェネレータ 3 から水平スタートパルス信号 H S T が再び出力され、水平シフトレジスタ 1 1 は水平クロック信号 H C

10

20

30

40

50

Kに基づいてデータラッチ回路2からの32ビット幅のデータのシフトを再開する。

【0031】

レベルシフト/画素ドライバ13を構成するレベルシフトは、ラッチ回路12によりラッチされて供給される1画素行のn個の画素に対応したn個のサブフレームデータの信号レベルを、液晶駆動電圧までレベルシフトさせる。レベルシフト/画素ドライバ13を構成する画素ドライバは、n個のサブフレームデータをn本の列データ線d1~dnに並列に出力する。

【0032】

水平ドライバ10を構成する水平シフトレジスタ11、ラッチ回路12、及びレベルシフト/画素ドライバ13は、1H内でデータを書き込む画素行に対するデータの出力と、次の1H内でデータを書き込む画素行に対するデータのシフトとを並行して行う。1Hにおいて、ラッチされた1画素行分のn個のサブフレームデータが、それぞれn本の列データ線d1~dnに並列に、かつ、一斉に出力される。

【0033】

垂直シフトレジスタ4は、それぞれのサブフレームの最初に供給される垂直スタートパルス信号VSTを、垂直クロック信号VCKに基づいて転送し、各行走査線g1~gmへ行走査信号を1H単位で順次排他的に出力する。これにより、画像表示部20において最も上に位置する行走査線g1から最も下に位置する行走査線gmに向って、行走査線が1本ずつ順次1H単位で選択されていく。

【0034】

図2に示すように、第1実施形態の画素40は、スイッチング回路(第1のスイッチング回路)50、スイッチング回路(第2のスイッチング回路)60、及び液晶表示素子70を備える。

【0035】

スイッチング回路50は、スイッチ(第1のスイッチ)51(以下、SW51と称す)、及び、信号保持部(第1の信号保持部)52(以下、SM52と称す)を有する。スイッチング回路50は例えばSRAM(Static Random Access Memory)である。

【0036】

SW51は、ゲートが行走査線ga(a=1~m)に接続され、ドレインが列データ線db(b=1~n)に接続され、ソースがSM52の入力端子に接続されている。SW51は例えばNチャネルMOS(Metal Oxide Semiconductor)型トランジスタ(以下、NTTrと称す)である。

【0037】

SM52は、一方の出力端子が他方の入力端子に互いに接続されたインバータ53(以下、INV53と称す)とインバータ54(以下、INV54と称す)とを有する。SM52は例えば自己保持型メモリである。SM52は、列データ線db及びSW51を介して入力されたサブフレームデータをその画素に対応する画素データとして記憶する。

【0038】

図3に示すように、INV53及びINV54は、PチャネルMOS型トランジスタ(以下、PTTrと称す)とNTTrとを有して構成されている。PTTrとNTTrとはゲート同士及びドレイン同士が接続されている。INV53とINV54とは駆動力が異なる。

【0039】

具体的には、SW51に対して入力側のINV53内のトランジスタは出力側のINV54内のトランジスタに比較して、駆動力の大きいトランジスタを用いている。さらにSW51を構成しているNTTrの駆動力は、INV54を構成しているNTTrよりも駆動力の大きいトランジスタを用いている。その理由は、SM52に記憶されている画素データを書き換える場合、特にSM52のSW51の入力側の電圧aがローレベルであり、列データ線dbを介して入力されるデータがハイレベルである場合、INV53が反転する入力電圧よりも電圧aを高くする必要があるからである。

【0040】

10

20

30

40

50

電圧 a は、 $INV54$ を構成する NTr の電流と $SW51$ を構成する NTr の電流との比によって決定される。 $SW51$ は NTr であるため、 $SW51$ がオン状態のときには列データ線 db を介して入力される電源電圧 VDD はトランジスタの閾値電圧 V_{th} により $SM52$ に入力されず、ハイレベルの電圧は VDD から V_{th} 分低い電圧になる。しかもこの電圧ではトランジスタの V_{th} 近辺で駆動することになるため、電流が殆ど流れなくなる。即ち、 $SW51$ に印加される電圧 a が高くなるほど、 $SW51$ に流れる電流は小さくなる。

【0041】

従って、電圧 a がハイレベルのときに $INV53$ の入力側のトランジスタが反転する電圧以上に達するためには、 $SW51$ に流れる電流を、出力側の $INV54$ のトランジスタを構成する NTr に流れる電流よりも大きくする必要がある。 $SW51$ を構成する NTr の駆動力が $INV54$ を構成する NTr の駆動力よりも大きくなるように、 $SW51$ を構成する NTr のトランジスタサイズと、 $INV54$ を構成する NTr のトランジスタサイズとを決定することが必要である。

【0042】

図2に示すように、スイッチング回路60は、スイッチ（第2のスイッチ）61（以下、 $SW61$ と称す）、及び、信号保持部（第2の信号保持部）62（以下、 $SM62$ と称す）を有する。スイッチング回路60は例えば $DRAM$ （Dynamic Random Access Memory）である。

【0043】

$SW61$ は、ドレイン同士及びソース同士が接続された $NTr63$ と $PTr64$ とを有するトランスミッションゲートを構成している。 $SW61$ は、トリガパルス用トリガ線（第1のトリガ線）に接続されている。具体的には、 $SW61$ を構成する $NTr63$ のゲートは正転トリガパルス用トリガ線 $trgc$ （ $c = 1 \sim m$ ）に接続されている。また、 $SW61$ を構成する $PTr64$ のゲートは反転トリガパルス用トリガ線 $trgd$ （ $d = 1 \sim m$ ）に接続されている。

【0044】

$SW61$ には、第1のトリガ線を介してトリガパルス信号（第2のトリガパルス信号）が入力される。具体的には、 $NTr63$ のゲートには正転トリガパルス用トリガ線 $trgc$ から正転トリガパルス信号 $STRe$ （ $e = 1 \sim m$ ）が入力される。また、 $PTr64$ のゲートには反転トリガパルス用トリガ線 $trgd$ から反転トリガパルス信号 $HTRf$ （ $f = 1 \sim m$ ）が入力される。 $SW61$ は、一方の端子（ $NTr63$ 及び $PTr64$ のソース）が $SM52$ の出力端子に接続され、他方の端子（ $NTr63$ 及び $PTr64$ のドレイン）が $SM62$ と液晶表示素子70に接続されている。

【0045】

$SW61$ は、正転トリガパルス信号 $STRe$ がハイレベルである（このとき、反転トリガパルス信号 $HTRf$ はローレベルである）場合はオン状態とされ、 $SM52$ に記憶されている画素データを読み出して $SM62$ と液晶表示素子70へ転送する。また、 $SW61$ は、正転トリガパルス信号 $STRe$ がローレベル（このとき、反転トリガパルス信号 $HTRf$ はハイレベルである）である場合はオフ状態とされ、 $SM52$ に記憶されている画素データを読み出さない。即ち、 $SW61$ は、ハイレベルの正転トリガパルス信号 $STRe$ により $SM52$ に書き込まれた画素データが転送可能な状態にし、ローレベルの正転トリガパルス信号 $STRe$ により $SM52$ に書き込まれた画素データが転送不可能な状態にする。

【0046】

$SW61$ は、 $NTr63$ と $PTr64$ とを有するトランスミッションゲートを構成しているため、グランド（ GND ）の電位（ $0V$ ）から電源電圧 VDD までの範囲の電圧をオン制御したりオフ制御したりすることができる。例えば、 $NTr63$ と $PTr64$ の各ゲートに印加される電圧が GND の電位（ローレベル）のときには、 $PTr64$ が導通しないで、 $NTr63$ が低抵抗で導通する。また、 $NTr63$ と $PTr64$ の各ゲートに印加

10

20

30

40

50

される電圧が電源電圧 V_{DD} (ハイレベル) のときは、 $NTr63$ が導通しないで、 $PTr64$ が低抵抗で導通する。

【0047】

従って、正転トリガパルス用トリガ線 $trgc$ を介して供給される正転トリガパルス信号 $STRe$ と、反転トリガパルス用トリガ線 $trgd$ を介して供給される反転トリガパルス信号 $HTRf$ とにより、スイッチ $SW61$ を構成するトランスマッションゲートをオン制御またはオフ制御することで、 GND の電位から電源電圧 V_{DD} までの電圧範囲を低抵抗または高抵抗でスイッチングさせることができる。

【0048】

$SM62$ は容量 $C65$ を有する。 $SM52$ に記憶されている画素データと $SM62$ に保持されている画素データとが異なる場合、 $SW61$ がオン状態とされ、 $SM52$ に記憶されている画素データが $SM62$ へ転送されたときに、 $SM62$ に保持されている画素データを $SM52$ に記憶されている画素データに書き換える必要がある。

10

【0049】

$SM62$ に保持されている画素データは、容量 $C65$ では電荷として蓄積されている。 $SM62$ に保持されている画素データが書き換わる場合、容量 $C65$ に蓄積されている電荷は充電または放電によって変化する。容量 $C65$ の充放電は $INV53$ の出力信号により実行される。

【0050】

$SM62$ に保持されている画素データを容量 $C65$ の充電によってローレベルからハイレベルへ書き換える場合、 $INV53$ の出力信号はハイレベルである。このとき、 $INV53$ を構成する PTr がオン状態になり、 NTr がオフ状態になる。これにより、容量 $C65$ は、 $INV53$ の PTr のソースに接続されている電源電圧 V_{DD} によって充電される。

20

【0051】

$SM62$ に保持されている画素データを容量 $C65$ の放電によってハイレベルからローレベルへ書き換える場合、 $INV53$ の出力信号はローレベルである。このとき、 $INV53$ を構成する NTr がオン状態になり、 PTr がオフ状態になるため、容量 $C65$ に蓄積されている電荷は、 $INV53$ の NTr を介して GND へ放電される。 $SW61$ は、トランスマッションゲートを構成するアナログスイッチであるため、容量 $C65$ の高速な充放電が可能になる。

30

【0052】

$INV53$ の駆動力を $INV54$ の駆動力よりも大きくすることにより、容量 $C65$ の高速な充放電が可能になる。 $SW61$ をオン状態にすると、容量 $C65$ に蓄積されていた電荷は $INV54$ の入力ゲートにも影響を与えるが、 $INV53$ の駆動力を $INV54$ の駆動力よりも大きくすることにより、 $INV54$ のデータ入力反転よりも $INV53$ による容量 $C65$ の充放電が優先され、 $SM52$ に記憶されている画素データを書き換えてしまうことを抑制することができる。

【0053】

液晶表示素子 70 は、反射電極 71 、共通電極 72 、及び、液晶 73 を有する。反射電極 71 は画素 40 毎に配置されている。反射電極 71 は、 $SW61$ の他方の端子と、 $SM62$ 、具体的には容量 $C65$ の一方の端子に接続されている。なお、容量 $C65$ の他方の端子は接地されている。共通電極 72 は反射電極 71 に対して所定のセルギャップを有して対向配置されている。共通電極 72 は全画素共通である。共通電極 72 はタイミングジェネレータ 3 に接続されている。タイミングジェネレータ 3 から出力される交流化信号 FR は、共通電極 72 に共通電極電圧 V_{com} として供給される。

40

【0054】

液晶 73 は反射電極 71 と共通電極 72 との間隙に充填封入されている。液晶 73 は反射電極 71 と共通電極 72 との電位差に応じて駆動する。従って、液晶表示素子 70 は、反射電極 71 に供給される電圧、具体的には $SM52$ に記憶されている画素データに対応

50

する電圧（反射電極電圧）と、共通電極 72 に供給される共通電極電圧 V_{com} との電位差に応じて駆動する。

【0055】

画像表示部 20 を構成する複数の画素 40 のうち、垂直シフトレジスタ 4 の行走査信号により選択された 1 画素行の n 個の画素 40 は、レベルシフタ / 画素ドライバ 13 から一斉に出力された 1 行分の n 個のサブフレームデータを n 本の列データ線 $d_1 \sim d_n$ を介してサンプリングし、各画素 40 のスイッチング回路 50 の信号保持部 52 に書き込む。

【0056】

図 4 に示すように、インバータチェーン回路 30 は、 m 組のトリガパルス用トリガ線に対応して、 m 組のインバータを有する。具体的には、インバータチェーン回路 30 は、 m 本の正転トリガパルス用トリガ線 $trg_1 \sim trg_m$ 、及び、 m 本の反転トリガパルス用トリガ線 $trgb_1 \sim trgb_m$ にそれぞれ対応して、 m 個のインバータ $31a_1 \sim 31a_m$ （以下、 $INV31a_1 \sim INV31a_m$ と称す）、及び、 m 個のインバータ $31b_1 \sim 31b_m$ （以下、 $INV31b_1 \sim INV31b_m$ と称す）を有する。

10

【0057】

$INV31a_1 \sim INV31a_m$ 、及び、 $INV31b_1 \sim INV31b_m$ は、 $INV31b_1$ 、 $INV31a_1$ 、 $INV31b_2$ 、 $INV31a_2 \cdots INV31b_m$ 、 $INV31a_m$ の順に、各画素行に対応して直列に配置されている。具体的には、 $INV31a_1$ 及び $INV31b_1$ が第 1 画素行に対応して配置されている。 $INV31a_2$ 及び $INV31b_2$ が第 2 画素行に対応して配置されている。 $INV31a_m$ 及び $INV31b_m$ が第 m 画素行に対応して配置されている。

20

【0058】

なお、図 4 には、 m 組の $INV31a_1 \sim INV31a_m$ 、及び、 $INV31b_1 \sim INV31b_m$ の内、第 1 組の $INV31a_1$ 、 $INV31b_1$ 、第 2 組の $INV31a_2$ 、 $INV31b_2$ 、及び、第 m 組の $INV31a_m$ 、 $INV31b_m$ を示している。

【0059】

図 3 に示すように、 $INV31a_1 \sim INV31a_m$ 、及び、 $INV31b_1 \sim INV31b_m$ は、それぞれ PT_r と NT_r とを有して構成されている。 PT_r と NT_r とはゲート同士及びドレイン同士が接続されている。

30

【0060】

インバータチェーン回路 30 は、スイッチ切り替え回路 32 を有する。スイッチ切り替え回路 32 には、タイミングジェネレータ 3 からスイッチ切り替え信号線 tgs を介してスイッチ切り替え信号 TGS が入力される。

【0061】

スイッチ切り替え回路 32 は、 m 組のスイッチ $SW33a_1 \sim SW33a_m$ 、及び、 $SW34a_1 \sim SW34a_m$ と、 m 組のスイッチ $SW33b_1 \sim SW33b_m$ 、及び、 $SW34b_1 \sim SW34b_m$ とを有する。

【0062】

$SW33a_1 \sim SW33a_m$ 、及び、 $SW33b_1 \sim SW33b_m$ は、 m 組の $INV31a_1 \sim INV31a_m$ 、及び、 $INV31b_1 \sim INV31b_m$ を直列に接続するためのスイッチである。 $SW34a_1 \sim SW34a_m$ 、及び、 $SW34b_1 \sim SW34b_m$ は、 m 組の $INV31a_1 \sim INV31a_m$ 、及び、 $INV31b_1 \sim INV31b_m$ を介さずに、トリガパルス用トリガ線 trg_0 と正転トリガパルス用トリガ線 $trg_1 \sim trg_m$ とを接続し、トリガパルス用トリガ線 trg_0 と反転トリガパルス用トリガ線 $trgb_1 \sim trgb_m$ とを接続するためのスイッチである。

40

【0063】

スイッチ $SW33a_1 \sim SW33a_m$ 、 $SW34a_1 \sim SW34a_m$ 、 $SW33b_1 \sim SW33b_m$ 、及び、 $SW34b_1 \sim SW34b_m$ は、スイッチ切り替え信号 TGS によりオン状態またはオフ状態に切り替えられる。

【0064】

50

例えばスイッチ切り替え信号 T G S がハイレベルである場合、S W 3 3 a 1 ~ S W 3 3 a m、及び、S W 3 3 b 1 ~ S W 3 3 b m はオン状態になり、S W 3 4 a 1 ~ S W 3 4 a m、及び、S W 3 4 b 1 ~ S W 3 4 b m はオフ状態になる。即ち、スイッチ切り替え信号 T G S がハイレベルである場合、インバータチェーン回路 3 0 は、I N V 3 1 a 1 ~ I N V 3 1 a m、及び、I N V 3 1 b 1 ~ I N V 3 1 b m が直列に接続されたインバータチェーン回路として動作（インバータチェーン動作）する。

【 0 0 6 5 】

I N V 3 1 a 1 ~ I N V 3 1 a m、及び、I N V 3 1 b 1 ~ I N V 3 1 b m が直列に接続された状態において、I N V 3 1 b 1 の入力側である P T r 及び N T r のゲートには、タイミングジェネレータ 3 からトリガパルス用トリガ線 t r g 0 を介してトリガパルス信号 T R I が入力される。I N V 3 1 b 1 の出力側である P T r 及び N T r のドレインは、反転トリガパルス用トリガ線 t r g b 1 と、I N V 3 1 a 1 の入力側である P T r 及び N T r のゲートとに接続されている。I N V 3 1 a 1 の出力側である P T r 及び N T r のドレインは、正転トリガパルス用トリガ線 t r g 1 と、I N V 3 1 b 2 の入力側である P T r 及び N T r のゲートとに接続されている。

10

【 0 0 6 6 】

I N V 3 1 b 2 の出力側である P T r 及び N T r のドレインは、反転トリガパルス用トリガ線 t r g b 2 と、I N V 3 1 a 2 の入力側である P T r 及び N T r のゲートとに接続されている。I N V 3 1 a 2 の出力側である P T r 及び N T r のドレインは、正転トリガパルス用トリガ線 t r g 2 と、I N V 3 1 b 3 の入力側である P T r 及び N T r のゲートとに接続されている。第 3 組 ~ 第 m 組の I N V 3 1 a 3 ~ I N V 3 1 a m、及び、I N V 3 1 b 3 ~ I N V 3 1 b m についても同様である。

20

【 0 0 6 7 】

スイッチ切り替え信号 T G S がローレベルである場合、S W 3 3 a 1 ~ S W 3 3 a m、及び、S W 3 3 b 1 ~ S W 3 3 b m はオフ状態になり、S W 3 4 a 1 ~ S W 3 4 a m、及び、S W 3 4 b 1 ~ S W 3 4 b m はオン状態になる。即ち、スイッチ切り替え信号 T G S がローレベルである場合、インバータチェーン回路 3 0 は、I N V 3 1 a 1 ~ I N V 3 1 a m、及び、I N V 3 1 b 1 ~ I N V 3 1 b m を介さず、トリガパルス用トリガ線 t r g 0 と、正転トリガパルス用トリガ線 t r g 1 ~ t r g m、及び、反転トリガパルス用トリガ線 t r g b 1 ~ t r g b m とが接続されたショート回路として動作（ショート動作）する。

30

【 0 0 6 8 】

スイッチ切り替え回路 3 2 により I N V 3 1 a 1 ~ I N V 3 1 a m、及び、I N V 3 1 b 1 ~ I N V 3 1 b m が直列に接続されている状態において、タイミングジェネレータ 3 からトリガパルス用トリガ線 t r g 0 を介して出力されたトリガパルス信号 T R I は、I N V 3 1 b 1 により極性が反転され、反転トリガパルス信号 H T R 1 として反転トリガパルス用トリガ線 t r g b 1 を介して画像表示部 2 0 の第 1 画素行の画素 4 0 に出力される。

【 0 0 6 9 】

I N V 3 1 b 1 により極性が反転されたトリガパルス信号 T R I は、I N V 3 1 a 1 により極性が反転され、正転トリガパルス信号 S T R 1 として正転トリガパルス用トリガ線 t r g 1 を介して画像表示部 2 0 の第 1 画素行の画素 4 0 に出力される。例えばトリガパルス信号 T R I がハイレベルの場合、反転トリガパルス信号 H T R 1 は反転トリガパルス用トリガ線 t r g b 1 にローレベルで出力される。正転トリガパルス信号 S T R 1 は正転トリガパルス用トリガ線 t r g 1 にハイレベルで出力される。I N V 3 1 a 2 ~ I N V 3 1 a m、及び、I N V 3 1 b 2 ~ I N V 3 1 b m についても同様である。

40

【 0 0 7 0 】

従って、インバータチェーン回路 3 0 は、スイッチ切り替え回路 3 2 により、複数のインバータ（I N V 3 1 a 1 ~ I N V 3 1 a m、及び、I N V 3 1 b 1 ~ I N V 3 1 b m）が直列に接続されたインバータチェーン状態と、複数のインバータを介さずに複数のトリ

50

ガ線 ($t r g 1 \sim t r g m$ 、及び、 $t r g b 1 \sim t r g b m$) に接続するショート状態とに切り替えられる。

【 0 0 7 1 】

図 5 ～ 図 1 1 を用いて、画素 4 0 の駆動方法を説明する。

【 0 0 7 2 】

図 5 に示すように、1 サブフレームは、第 1 画素行に対応する行走査線 $g 1$ から第 m 画素行に対応する行走査線 $g m$ まで順次 1 H 単位で、 $S M 5 2$ に画素データを書き込む画素データ書き込み期間 $T K$ と、全ての画素 4 0 の $S M 5 2$ に書き込まれた画素データを $S M 6 2$ へ転送する画素データ転送期間 $T T$ とを含む。図 6 中の画素データ書き込み期間 $T K$ における $L 1$ は第 1 画素行の各画素 4 0 の $S M 5 2$ に画素データを書き込む期間である。
 $L 2$ は第 2 画素行の各画素 4 0 の $S M 5 2$ に画素データを書き込む期間である。 $L m - 1$ は第 $m - 1$ 画素行の各画素 4 0 の $S M 5 2$ に画素データを書き込む期間である。 $L m$ は第 m 画素行の各画素 4 0 の $S M 5 2$ に画素データを書き込む期間である。

10

【 0 0 7 3 】

図 6 は、画素データ転送期間 $T T$ において、電源電圧 $V D D$ と、スイッチ切り替え信号 $T G S$ と、正転トリガパルス用トリガ線 $t r g 1 \sim t r g m$ を介して第 1 画素行～第 m 画素行の各画素 4 0 の $S W 6 1$ に供給される正転トリガパルス信号 $S T R e$ ($e = 1 \sim m$) と、反転トリガパルス用トリガ線 $t r g b 1 \sim t r g b m$ を介して第 1 画素行～第 m 画素行の各画素 4 0 の $S W 6 1$ に供給される反転トリガパルス信号 $H T R f$ ($f = 1 \sim m$) との関係を示している。

20

【 0 0 7 4 】

画素データ書き込み期間 $T K$ 後、タイミングジェネレータ 3 は、画素データ転送期間 $T T$ において、スイッチ切り替え信号 $T G S$ をハイレベルにする。スイッチ切り替え信号 $T G S$ をハイレベルにすることにより、インバータチェーン回路 3 0 のスイッチ切り替え回路 3 2 のスイッチ $S W 3 3 a 1 \sim S W 3 3 a m$ 、及び、スイッチ $S W 3 3 b 1 \sim S W 3 3 b m$ はオン状態になり、スイッチ $S W 3 4 a 1 \sim S W 3 4 a m$ 、及び、 $S W 3 4 b 1 \sim S W 3 4 b m$ はオフ状態になる。これにより、 $I N V 3 1 a 1 \sim I N V 3 1 a m$ 、及び、 $I N V 3 1 b 1 \sim I N V 3 1 b m$ は直列に接続され、インバータチェーンが構成される。

【 0 0 7 5 】

インバータチェーン回路 3 0 に供給されたトリガパルス信号 $T R I$ は、 $I N V 3 1 a 1 \sim I N V 3 1 a m$ 、及び、 $I N V 3 1 b 1 \sim I N V 3 1 b m$ により極性が交互に反転される。極性が交互に反転されたトリガパルス信号 $T R I$ は、反転トリガパルス用トリガ線 $t r g b 1 \sim t r g b m$ 、及び、正転トリガパルス用トリガ線 $t r g 1 \sim t r g m$ を介して、反転トリガパルス信号 $H T R 1 \sim H T R m$ 、及び、正転トリガパルス信号 $S T R 1 \sim S T R m$ として、第 1 画素行～第 m 画素行の各画素 4 0 の $S W 6 1$ に供給される。

30

【 0 0 7 6 】

$I N V 3 1 a 1 \sim I N V 3 1 a m$ 、及び、 $I N V 3 1 b 1 \sim I N V 3 1 b m$ は、トリガパルス信号 $T R I$ が入力された時刻と出力された時刻とで時間差が生じる。一つのインバータで生じる時間差は、例えばインバータを構成する $M O S$ トランジスタの駆動力によって決定される。一つのインバータで生じる時間差は、例えば約 $1 0 p s$ (ピコ秒) である。
 従って、正転トリガパルス信号 $S T R 2$ が $I N V 3 1 a 2$ から正転トリガパルス用トリガ線 $t r g 2$ へ出力される時刻は、正転トリガパルス信号 $S T R 1$ が $I N V 3 1 a 1$ から正転トリガパルス用トリガ線 $t r g 1$ へ出力される時刻から約 $2 0 p s$ ($2 \times$ 約 $1 0 p s$) 後の時刻となる。

40

【 0 0 7 7 】

同様に、反転トリガパルス信号 $H T R 2$ が $I N V 3 1 b 2$ から反転トリガパルス用トリガ線 $t r g b 2$ へ出力される時刻は、反転トリガパルス信号 $H T R 1$ が $I N V 3 1 b 1$ から反転トリガパルス用トリガ線 $t r g b 1$ へ出力される時刻から約 $2 0 p s$ 後の時刻となる。他の反転トリガパルス信号 $H T R 3 \sim H T R m$ 、及び、正転トリガパルス信号 $S T R 3 \sim S T R m$ についても同様である。

50

【 0 0 7 8 】

従って、トリガパルス信号 TRI がハイレベルである場合、インバータチェーン回路 30 は、ハイレベルの正転トリガパルス信号 $STR1 \sim STRm$ を、 $INV31a1 \sim INV31am$ の入出力の遅延により、正転トリガパルス用トリガ線 $trg1$ から正転トリガパルス用トリガ線 $trgm$ に向かって正転トリガパルス用トリガ線毎に順次時間差を有して出力する。また、トリガパルス信号 TRI がハイレベルである場合、インバータチェーン回路 30 は、ローレベルの反転トリガパルス信号 $HTR1 \sim HTRm$ を、 $INV31b1 \sim INV31bm$ の入出力の遅延により、反転トリガパルス用トリガ線 $trgb1$ から反転トリガパルス用トリガ線 $trgbm$ に向かって反転トリガパルス用トリガ線毎に順次時間差を有して出力する。

10

【 0 0 7 9 】

これにより、画素 40 のスイッチング回路 60 の $SW61$ は、第 1 画素行から第 m 画素行に向かって画素行毎に順次時間差を有してオン状態になる。 $SW61$ がオン状態になることにより、画素 40 のスイッチング回路 60 の $SM52$ に記憶されている画素データは $SM62$ へ転送され、 $SM62$ に保持されている画素データは $SM52$ から転送された画素データに書き換えられる。

【 0 0 8 0 】

$SM62$ の容量 $C65$ の充放電のとき、電源電流または GND 電流の瞬間的な増加が発生する。具体的には、 $SM52$ の $INV53$ の出力信号がハイレベルのときは電源電圧 VDD によって容量 $C65$ が充電され、ローレベルのときは容量 $C65$ に蓄積されている電荷が GND へ放電されることで電流が発生する。電流の瞬間的な発生に伴い、電源電圧 VDD の低下または GND の電位の上昇が発生し、誤動作や画像の乱れを発生させる要因となる。

20

【 0 0 8 1 】

そこで、 $SW61$ がオン状態になるタイミングを画素行毎にずらすことにより、容量 $C65$ の充放電に伴う電源電圧 VDD 及び GND の電位の瞬間的な変動を時間軸方向に平均化することができるので、誤動作や画像の乱れの発生を抑制することができる。

【 0 0 8 2 】

画素 40 の電位（画素電位）、具体的には画素 40 の液晶表示素子 70 の反射電極 71 の電位は、 $SW61$ のオフ動作により決定される。 MOS トランジスタで構成された $SW61$ を有するスイッチング回路 60 では、 $SW61$ をオン状態からオフ状態に切り替えるときに、 $SW61$ を構成する MOS トランジスタのクロック漏れと呼ばれる現象により、図 7 に示すように、画素電位が変動する。

30

【 0 0 8 3 】

MOS トランジスタがオン状態からオフ状態に切り替わるときに発生するクロック漏れは、例えば画素電極である反射電極 71 等のハイインピーダンスのノードにおいては、オフ動作による電位変動が発生するため、画質を劣化させる要因となる。クロック漏れの要因として、チャージインジェクションやクロックフィードスルーがある。

【 0 0 8 4 】

そこで、図 6 に示すように、インバータチェーン回路 30 により全ての画素 40 の $SW61$ がオン状態になった後、タイミングジェネレータ 3 は、 m 行目の画素行の $SM62$ の容量 $C65$ の充放電に必要な時間 TC が経過した後にスイッチ切り替え信号 TGS をローレベルにする。スイッチ切り替え信号 TGS をローレベルにすることにより、インバータチェーン回路 30 のスイッチ切り替え回路 32 のスイッチ $SW33a1 \sim SW33am$ 、及び、スイッチ $SW33b1 \sim SW33bm$ はオフ状態になり、スイッチ $SW34a1 \sim SW34am$ 、及び、 $SW34b1 \sim SW34bm$ はオン状態になる。

40

【 0 0 8 5 】

これにより、トリガパルス用トリガ線 $trg0$ は、 $INV31a1 \sim INV31am$ 、及び、 $INV31b1 \sim INV31bm$ を介さずに、正転トリガパルス用トリガ線 $trg1 \sim trg m$ 、及び、反転トリガパルス用トリガ線 $trgb1 \sim trgb m$ に接続される

50

。即ち、インバータチェーン回路 30 はショート状態になる。

【0086】

インバータチェーン回路 30 がショート状態のときに、タイミングジェネレータ 3 は、トリガパルス信号 T R I をローレベルにすることにより、即ち、トリガパルス信号 T R I をハイレベルからローレベルに信号レベルを変えることにより、全ての画素 40 の S W 6 1 をほぼ同時にオフ状態にする。これにより、S M 5 2 から S M 6 2 への画素データの転送は、全ての画素 40 に対してほぼ同時に終了する。

【0087】

全ての画素 40 の S W 6 1 は、配線遅延に起因する時間差の範囲でオフ動作が行われるため、仮に時間方向に電源電圧の変動があった場合においても、スイッチング回路 50 の出力電圧 V S 5 0 は全ての画素 40 でほぼ同一となる。これにより、反射電極 7 1 の電位 V H 7 0 も全ての画素 40 でほぼ同一となる。

【0088】

従って、スイッチ切り替え回路 32 によりインバータチェーン回路 30 をショート状態にして、トリガパルス信号 T R I をハイレベルからローレベルに切り替えることにより、全ての画素 40 の S W 6 1 をほぼ同時にオフ状態にすることができる。これにより、全ての画素 40 に対して同レベルのクロック漏れを発生させることで、視覚上、画質の劣化を認識できないようにすることができる。

【0089】

図 8 は、図 6 に示すタイムチャートの比較例を示している。図 8 はインバータチェーン回路 30 がスイッチ切り替え回路 32 を有していない場合、即ち、I N V 3 1 a 1 ~ I N V 3 1 a m、及び、I N V 3 1 b 1 ~ I N V 3 1 b m は直列に接続されている状態のタイムチャートである。この場合、S W 6 1 がオン状態になるタイミングを画素行毎にずらすと、容量 C 6 5 の充放電に必要な時間 T C だけ経過した後、オフ状態になるタイミングも画素行毎にずれる。そのため、例えば時間方向に電源電圧の変動があった場合には、画面の垂直方向に輝度差を有する画像が表示される。

【0090】

図 4 ではインバータチェーン回路 30 を画像表示部 20 の水平方向の一侧（図 4 では画像表示部 20 の右側）に配置したが、図 9 に示すように、インバータチェーン回路 30 を画像表示部 20 の水平方向の両側に配置するようにしてもよい。インバータチェーン回路 30 を画像表示部 20 の水平方向の両側に配置することにより、2 つのインバータチェーン回路 30 から出力される正転トリガパルス信号 S T R 1 ~ S T R m、及び、反転トリガパルス信号 H T R 1 ~ H T R m の駆動力を高めることができる。

【0091】

2 つのインバータチェーン回路 30 がショート状態の場合、2 つのインバータチェーン回路 30 からそれぞれ出力される正転トリガパルス信号 S T R 1 ~ S T R m、及び、反転トリガパルス信号 H T R 1 ~ H T R m は、インバータの遅延がなくなる。そのため、スイッチ S W 6 1 のオフ動作は、配線遅延のみの差となる。これにより、逆極性の駆動信号によるスイッチ S W 6 1 の誤動作を低減することができる。

【0092】

図 10 に示すタイミングチャートを用いて、液晶表示装置 1 の画像表示部 20 における液晶表示素子 70 の駆動方法を説明する。

【0093】

図 10 (a) は水平ドライバ 10 から列データ線 d b に出力される 1 ビットのサブフレームデータの 1 画素の画素データ書き込み期間及び画素データ転送期間を示している。図 10 (a) において右下がりの斜線は画素データ書き込み期間を示している。図 10 (a) において、B 0 b、B 1 b、B 2 b はビット B 0、B 1、B 2 のデータの反転データである。

【0094】

図 10 (b) はタイミングジェネレータ 3 からトリガパルス用トリガ線 t r g 0 を介し

10

20

30

40

50

て出力されるトリガパルス信号 TRI を示す。トリガパルス信号 TRI は 1 サブフレーム毎に出力される。図 10 (c) は反射電極 71 に印加されるサブフレームデータ (電圧) を示している。図 10 (d) は共通電極 72 に印加される共通電極電圧 V_{com} を示している。図 10 (e) は液晶 73 に印加される電圧を示している。

【0095】

液晶表示装置 1 において、垂直シフトレジスタ 4 から出力される行走査信号により行走査線 g_1 から行走査線 g_m に向って、行走査線が 1 本ずつ順次 1 H 単位で選択される。行走査信号により選択された画素行の n 個の画素 40 は、 SW_{51} がオン状態となり、列データ線 db に出力された画素データであるビット B_0 の正転サブフレームデータが SM_{52} に書き込まれる。

10

【0096】

全ての画素 40 に対して SM_{52} へのビット B_0 の正転サブフレームデータの書き込みが終了した後の時刻 T_1 に、全ての画素 40 に対して、インバータチェーン回路 30 から正転トリガパルス信号 $STRe$ 及び反転トリガパルス信号 $HTRf$ が、画素行毎に時間差を有して供給される。

【0097】

これにより、全ての画素 40 の SW_{61} がオン状態となり、 SM_{52} に書き込まれた正転サブフレームデータは、 SM_{62} に転送され、電荷として保持される。反射電極 71 には SM_{62} に保持されている電荷に応じた電圧が印加される。ビット B_0 の正転サブフレームデータが SM_{62} に保持される期間は、時刻 T_1 からビット B_0b の反転トリガパルス信号 $HTRf$ が入力される時刻 T_2 までの 1 サブフレーム期間である。

20

【0098】

ここで、サブフレームデータのビット値が 1、即ちハイレベルのときには反射電極 71 には電源電圧 V_{DD} (例えば $V_{DD} = 3.3V$) が印加され、ビット値が 0、即ちローレベルのときには反射電極 71 は GND の電位となる。一方、液晶表示素子 70 の共通電極 72 には、 GND の電位及び電源電圧 V_{DD} に制限されることなく、自由な電圧が共通電極電圧 V_{com} として印加することができ、正転トリガパルス信号 $STRe$ が入力されるタイミングで所定の電圧に切り替えることができる。共通電極電圧 V_{com} は、例えば正転サブフレームデータが反射電極 71 に電圧として印加されるサブフレーム期間では、0 V よりも液晶 73 の閾値電圧 V_{th} だけ低い電圧に設定される。

30

【0099】

液晶表示素子 70 は、反射電極 71 の印加電圧と共通電極電圧 V_{com} との差電圧の絶対値に相当する液晶 73 の印加電圧に応じて階調表示を行う。従って、ビット B_0 の正転サブフレームデータが反射電極 71 に電圧として印加される時刻 T_1 から時刻 T_2 までの 1 サブフレーム期間では、液晶 73 の印加電圧は正転サブフレームデータのビット値が 1 のときは $3.3V + V_{th}$ ($= 3.3V - (-V_{th})$) となり、サブフレームデータのビット値が 0 のときは $+V_{th}$ ($= 0V - (-V_{th})$) となる。

【0100】

図 11 に示すように、グレースケール値曲線 GS は黒のグレースケール値が液晶 73 の閾値電圧 V_{th} の RMS 電圧 (液晶 73 の印加電圧に相当する) に対応し、白のグレースケール値が液晶 73 の飽和電圧 V_{sat} ($= 3.3V + V_{th}$) の RMS 電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。従って、液晶表示素子 70 は、液晶 73 の印加電圧が $3.3V + V_{th}$ のときは白を表示し、 $+V_{th}$ のときは黒を表示する。

40

【0101】

ビット B_0 の正転サブフレームデータを表示しているサブフレーム期間内において、ビット B_0b の反転サブフレームデータの画素 40 の SM_{52} への書き込みが開始される。全ての画素 40 の SM_{52} へのビット B_0b の反転サブフレームデータの書き込みが終了した後の時刻 T_2 に、全ての画素 40 に対して、インバータチェーン回路 30 から正転トリガパルス信号 $STRe$ 及び反転トリガパルス信号 $HTRf$ が、画素行毎に時間差を有し

50

て供給される。

【0102】

これにより、全ての画素40のスイッチSW61がオン状態になり、SM52に書き込まれたビットB0bの反転サブフレームデータがSM62に転送され、電荷として保持される。反射電極71にはSM62に保持されている電荷に応じた電圧が印加される。ビットB0bの反転サブフレームデータがSM62に保持される期間は、時刻T2からビットB1の正転トリガパルス信号STR eが入力される時刻T3までの1サブフレーム期間である。反転サブフレームデータは、正転サブフレームデータに対して常に逆論理値の関係を有する。従って、ビットB0bの反転サブフレームデータのビット値は、ビットB0の正転サブフレームデータのビット値が1のときは0となり、0のときは1となる。

10

【0103】

一方、共通電極電圧Vcomは、反転サブフレームデータが反射電極71に印加されるサブフレーム期間では、3.3Vよりも液晶73の閾値電圧Vttだけ高い電圧に設定される。従って、ビットB0bの反転サブフレームデータが反射電極71に印加される時刻T2から時刻T3までの1サブフレーム期間では、液晶73の印加電圧は、ビットB0の正転サブフレームデータのビット値が1のときには $-V_{tt} (= 3.3V - (3.3V + V_{tt}))$ となり、0のときには $-3.3V - V_{tt} (= 0V - (3.3V + V_{tt}))$ となる。

【0104】

従って、ビットB0の正転サブフレームデータのビット値が1のとき、続いて入力されるビットB0bの反転サブフレームデータのビット値が0であるため、液晶73の印加電圧は、 $-(3.3V + V_{tt})$ となる。液晶73に印加される電位の方向はビットB0の正転サブフレームデータとは逆になるが絶対値は同じである。そのため、画素40はビットB0の正転サブフレームデータでの画像表示と同じ白表示となる。

20

【0105】

同様に、ビットB0の正転サブフレームデータのビット値が0のとき、続いて入力されるビットB0bの反転サブフレームデータのビット値が1であるため、液晶73の印加電圧は、 $-V_{tt}$ となる。液晶73に印加される電位の方向はビットB0の正転サブフレームデータとは逆になるが絶対値は同じである。そのため、画素40は黒表示となる。

【0106】

従って、画素40は、時刻T1から時刻T3までの2サブフレーム期間では、ビットB0とビットB0bとで同じ階調で表示すると共に、液晶73の電位方向がサブフレーム毎に反転する交流駆動が行われる。これにより、液晶73の焼き付きを防止することができる。

30

【0107】

続いて、ビットB0bの反転サブフレームデータを表示しているサブフレーム期間内において、ビットB1の正転サブフレームデータの画素40のSM52への書き込みが開始される。全ての画素40のSM52へのビットB1の正転サブフレームデータの書き込みが終了した後の時刻T3に、全ての画素40に対して、インバータチェーン回路30から正転トリガパルス信号STR e及び反転トリガパルス信号HTR fが、画素行毎に時間差を有して供給される。

40

【0108】

これにより、全ての画素40のSW61がオン状態になり、SM52に書き込まれたビットB1の正転サブフレームデータがSM62に転送され、電荷として保持される。反射電極71にはSM62に保持されている電荷に応じた電圧が印加される。ビットB1の正転サブフレームデータがSM62に保持される期間は、時刻T3からビットB2の正転トリガパルス信号STR eが入力される時刻T4までの1サブフレーム期間である。

【0109】

一方、共通電極電圧Vcomは、正転サブフレームデータが反射電極71に印加されるサブフレーム期間では、0Vよりも液晶の閾値電圧Vttだけ低い電圧に設定される。従

50

って、ビット B 1 の正転サブフレームデータが反射電極 7 1 に印加される時刻 T 3 から時刻 T 4 までの 1 サブフレーム期間では、液晶 7 3 の印加電圧は、ビット B 1 の正転サブフレームデータのビット値が 1 のときには $3.3V + V_{tt}$ ($= 3.3V - (-V_{tt})$) となり、0 のときには $+V_{tt}$ ($= 0V - (-V_{tt})$) となる。

【0110】

続いて、ビット B 1 の正転サブフレームデータを表示しているサブフレーム期間内において、ビット B 1 b の反転サブフレームデータの画素 4 0 の S M 5 2 への書き込みが開始される。全ての画素 4 0 の S M 5 2 へのビット B 1 b の反転サブフレームデータの書き込みが終了した後の時刻 T 4 に、全ての画素 4 0 に対して、インバータチェーン回路 3 0 から正転トリガパルス信号 S T R e 及び反転トリガパルス信号 H T R f が、画素行毎に時間差を有して供給される。

10

【0111】

これにより、全ての画素 4 0 のスイッチ S W 6 1 がオン状態になり、S M 5 2 に書き込まれたビット B 1 b の反転サブフレームデータが S M 6 2 に転送され、電荷として保持される。反射電極 7 1 には S M 6 2 に保持されている電荷に応じた電圧が印加される。ビット B 1 b の反転サブフレームデータが S M 6 2 に保持される期間は、時刻 T 4 からビット B 2 の正転トリガパルス信号 S T R e が入力される時刻 T 5 までの 1 サブフレーム期間である。

【0112】

一方、共通電極電圧 V_{com} は、反転サブフレームデータが反射電極 7 1 に印加されるサブフレーム期間は、 $3.3V$ よりも液晶 7 3 の閾値電圧 V_{tt} だけ高い電圧に設定される。従って、ビット B 1 b の反転サブフレームデータが反射電極 7 1 に印加される時刻 T 4 から時刻 T 5 までの 1 サブフレーム期間では、液晶 7 3 の印加電圧は、ビット B 1 の正転サブフレームデータのビット値が 1 のときには $-V_{tt}$ ($= 3.3V - (3.3V + V_{tt})$) となり、0 のときには $-3.3V - V_{tt}$ ($= 0V - (3.3V + V_{tt})$) となる。

20

【0113】

従って、画素 4 0 は、時刻 T 3 から時刻 T 5 までの 2 サブフレーム期間では、ビット B 1 とビット B 1 b とで同じ階調で表示すると共に、液晶 7 3 の電位方向がサブフレーム毎に反転する交流駆動が行われる。これにより、液晶 7 3 の焼き付きを防止することができる。以下、上記と同様の動作を繰り返すことにより、複数のサブフレームの組み合わせによって階調表示を行うことができる。

30

【0114】

なお、ビット B 0 とビット B 0 b の各表示期間は同じ第 1 のサブフレーム期間である。ビット B 1 とビット B 1 b の各表示期間も同じ第 2 のサブフレーム期間であるが、第 1 のサブフレーム期間と第 2 のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第 2 のサブフレーム期間は第 1 のサブフレーム期間の 2 倍に設定されている。また、ビット B 2 とビット B 2 b の各表示期間である第 3 のサブフレーム期間は、第 2 のサブフレーム期間の 2 倍に設定されている。他のサブフレーム期間についても同様である。各サブフレーム期間の長さやサブフレーム数は適宜決定される。

40

【0115】

[第2実施形態]

第 2 実施形態の液晶表示装置は、第 1 実施形態の液晶表示装置 1 と比較して画素の構成が相違し、画素以外の構成は同じである。そこで、図 1 2 を用いて、第 2 実施形態の画素 1 4 0 を説明する。なお、説明をわかりやすくするために、第 1 実施形態の画素 4 0 と同じ構成部には同じ符号を付す。

【0116】

図 1 2 に示すように、第 2 実施形態の画素 1 4 0 は、スイッチング回路 (第 1 のスイッチング回路) 5 0、スイッチング回路 (第 2 のスイッチング回路) 1 6 0、及び液晶表示素子 7 0 を備える。画素 1 4 0 は、第 1 実施形態の画素 4 0 と比較して、容量 C 6 5 を有

50

さない点で相違し、容量C65以外の構成は同じである。

【0117】

画素40毎に容量C65を有する構成の場合、画素40毎の容量値のばらつきは画像の品位を悪化させる要因となる。そこで、画素40毎に容量C65を設けずに、液晶表示素子70の液晶73を容量として機能させる。具体的には、SW61がオン状態になることにより、画素140のスイッチング回路50のSM52に記憶されている画素データは液晶表示素子70の液晶73へ転送され、液晶73に保持されている画素データはSM52から転送された画素データに書き換えられる。容量C65に起因する容量値のばらつきがなくなるため、画素40毎の容量値のばらつきを低減することができる。また、容量C65を有さないので、画素140を小さくすることができる。画素を小さくすることで液晶表示装置の小型化が可能になる。

10

【0118】

[第3実施形態]

第3実施形態の液晶表示装置は、第2実施形態の液晶表示装置と比較して画素の構成が相違し、画素以外の構成は同じである。そこで、図13を用いて、第3実施形態の画素240を説明する。なお、説明をわかりやすくするために、第2実施形態の画素140と同じ構成部には同じ符号を付す。

【0119】

図13に示すように、第3実施形態の画素240は、スイッチング回路(第1のスイッチング回路)50、スイッチング回路(第2のスイッチング回路)260、及び液晶表示素子70を備える。画素240は、第2実施形態の画素140と比較して、PT r 64を有さない点で相違し、PT r 64以外の構成は同じである。なお、第3実施形態の液晶表示装置では、PT r 64を有さないため、PT r 64と接続する反転トリガパルス用トリガ線tr g b dが不要になる。

20

【0120】

液晶73に転送された画素データは、各画素のSW51のオフ後にNT r 63及びPT r 64のリーク特性による影響を受ける。そのため、画素毎にNT r 63とPT r 64とのリーク電流に差があると、画像の品位を悪化させる要因となる。そこで、スイッチング回路260をPT r 64を有さないNT r 63のみの構成とすることで、リーク電流の差に起因する画像の品位の悪化を抑制することができる。

30

【0121】

第3実施形態の液晶表示装置では、液晶73に画素データを転送するための転送トランジスタがNT r 63のみの構成となる。そのため、正転トリガパルス用トリガ線tr g cから供給される正転トリガパルス信号STR eからNT r 63の閾値電圧V t h分だけ減少した電圧の信号しか転送できなくなる。

【0122】

そこで、画像表示部20とインバータチェーン回路30との間にチャージポンプ270を配置した構成とする。インバータチェーン回路30から正転トリガパルス用トリガ線tr g cを介して供給される正転トリガパルス信号STR eに、チャージポンプ270によりV t h以上に増加させた電圧を供給する。

40

【0123】

これにより、液晶表示素子70により表示される画像のダイナミックレンジを減少させずに、リーク電流の差に起因する画像の品位の悪化を抑制することができる。画素240毎にPT r 64を有さないため、画素240を小さくすることができる。なお、チャージポンプ270の代わりに外部からV t h以上に増加させた電圧を正転トリガパルス信号STR eに供給するようにしてもよい。

【0124】

[第4実施形態]

第4実施形態の液晶表示装置は、第2実施形態の液晶表示装置と比較して画素の構成が相違し、画素以外の構成は同じである。そこで、図14を用いて、第4実施形態の画素3

50

40を説明する。なお、説明をわかりやすくするために、第2実施形態の画素140と同じ構成部には同じ符号を付す。

【0125】

図14に示すように、第4実施形態の画素340は、スイッチング回路(第1のスイッチング回路)50、スイッチング回路(第2のスイッチング回路)360、及び液晶表示素子70を備える。画素340は、第2実施形態の画素140と比較して、NT r 63を有さない点で相違し、NT r 63以外の構成は同じである。なお、第4実施形態の液晶表示装置では、NT r 63を有さないため、NT r 63と接続する正転トリガパルス用トリガ線tr g cが不要になる。

【0126】

液晶73に転送された画素データは、各画素のSW51のオフ後にNT r 63及びPT r 64のリーク特性による影響を受ける。そのため、画素毎にNT r 63とPT r 64とのリーク電流に差があると、画像の品位を悪化させる要因となる。そこで、スイッチング回路260をNT r 63を有さないPT r 64のみの構成とすることで、リーク電流の差に起因する画像の品位の悪化を抑制することができる。

【0127】

第4実施形態の液晶表示装置では、液晶73に画素データを転送するための転送トランジスタがPMOSTランジスタであるPT r 64のみの構成となる。そのため、反転トリガパルス用トリガ線tr g b dから供給される反転トリガパルス信号HT R fからPT r 64の閾値電圧V t h分だけ増加した電圧の信号しか転送できなくなる。

【0128】

そこで、画像表示部20とインバータチェーン回路30との間にチャージポンプ370を配置した構成とする。インバータチェーン回路30から反転トリガパルス用トリガ線tr g b dを介して供給される反転トリガパルス信号HT R fに、チャージポンプ370によりV t h分以上減少させた負電圧を供給する。

【0129】

これにより、液晶表示素子70により表示される画像のダイナミックレンジを減少させずに、リーク電流の差に起因する画像の品位の悪化を抑制することができる。画素240毎にPT r 64を有さないため、画素240を小さくすることができる。なお、チャージポンプ370の代わりに外部からV t h分以上減少させた負電圧を反転トリガパルス信号HT R fに供給するようにしてもよい。

【0130】

従って、各実施形態の液晶表示装置によれば、インバータチェーン回路30にスイッチ切り替え回路32を設け、スイッチ切り替え回路32によりインバータチェーン回路30をショート状態にして、トリガパルス信号TRIをハイレベルからローレベルに切り替えて信号レベルを変えることにより、全ての画素40のSW61をほぼ同時にオフ状態にすることができる。

【0131】

これにより、全ての画素40に対して同レベルのクロック漏れを発生させることで、視覚上、画質の劣化を認識できないようにすることができる。よって、各画素や周辺回路が煩雑になったり、スイッチングスピードが遅くなったりすることを抑制し、クロック漏れによる画質の劣化を抑制することが可能になる。

【0132】

なお、第1実施形態、第2実施形態において、NT r 63とPT r 64のリーク電流そのものを減少させることで、リーク電流の差に起因する画像の品位の悪化を抑制することもできる。NT r 63とPT r 64のオフ時のゲート電圧を、NT r 63であればGNDの電位よりも低い負電圧を、PT r 64であれば電源電圧VDDよりも高い電圧を、それぞれ印加することでトランジスタ起因のリーク電流を減少させることができる。

【0133】

なお、本発明は、上述した各実施形態に限定されるものではなく、本発明の要旨を逸脱

10

20

30

40

50

しない範囲において種々変更可能である。例えば、第3及び第4実施形態の分析装置は、第1実施形態の液晶表示装置と同様に、スイッチング回路260、360が容量C65を有する構成としてもよい。

【符号の説明】

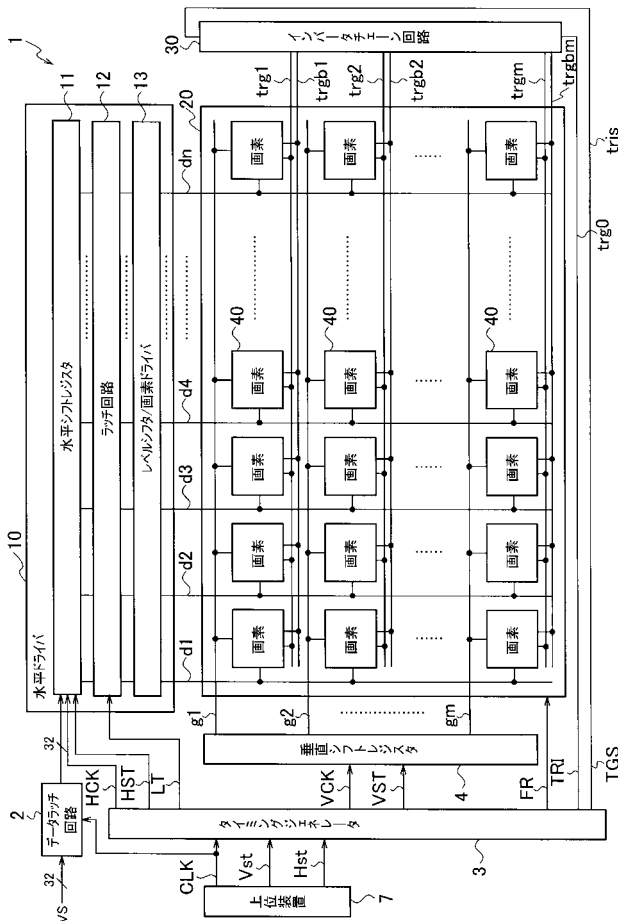
【0134】

- 1 液晶表示装置
- 3 タイミングジェネレータ
- 20 画像表示部
- 30 インバータチェーン回路
- 31 a 1 ~ 31 a m、31 b 1 ~ 31 b m インバータ
- 32 スwitch切り替え回路
- 40 画素
- 50 スwitching回路（第1のswitching回路）
- 60、160、260、360 スwitching回路（第2のswitching回路）
- 70 液晶表示素子
- 270、370 チャージポンプ
- trgc (a = 1 ~ m) 正転トリガパルス用トリガ線（第1のトリガ線）
- trgbd (d = 1 ~ m) 反転トリガパルス用トリガ線（第1のトリガ線）
- trg0 トリガパルス用トリガ線（第2のトリガ線）
- tgis スwitch切り替え信号線
- STRe (e = 1 ~ m) 正転トリガパルス信号（第1のトリガパルス信号）
- HTRf (f = 1 ~ m) 反転トリガパルス信号（第1のトリガパルス信号）
- TRI トリガパルス信号（第2のトリガパルス信号）
- TGS スwitch切り替え信号

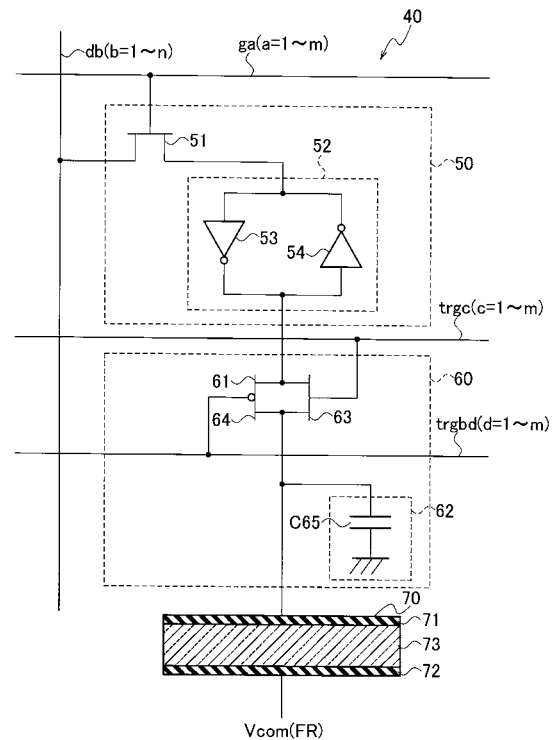
10

20

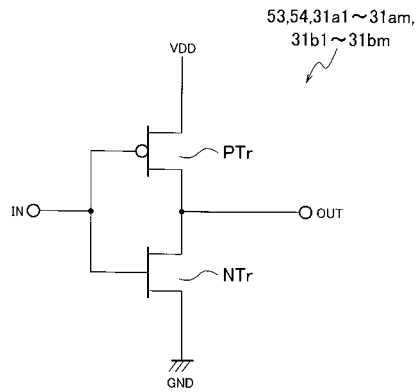
【図1】



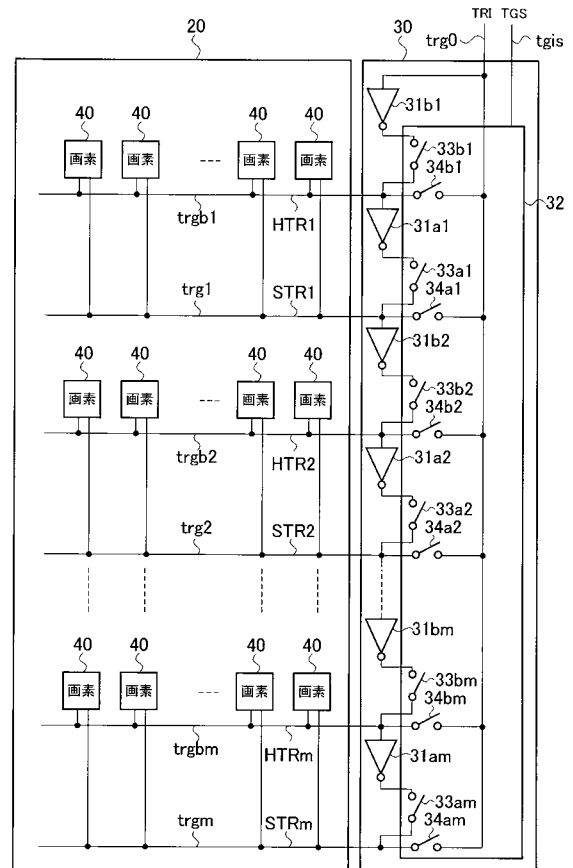
【図2】



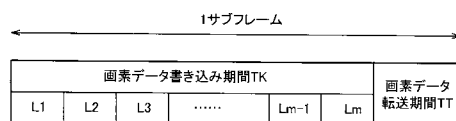
【図 3】



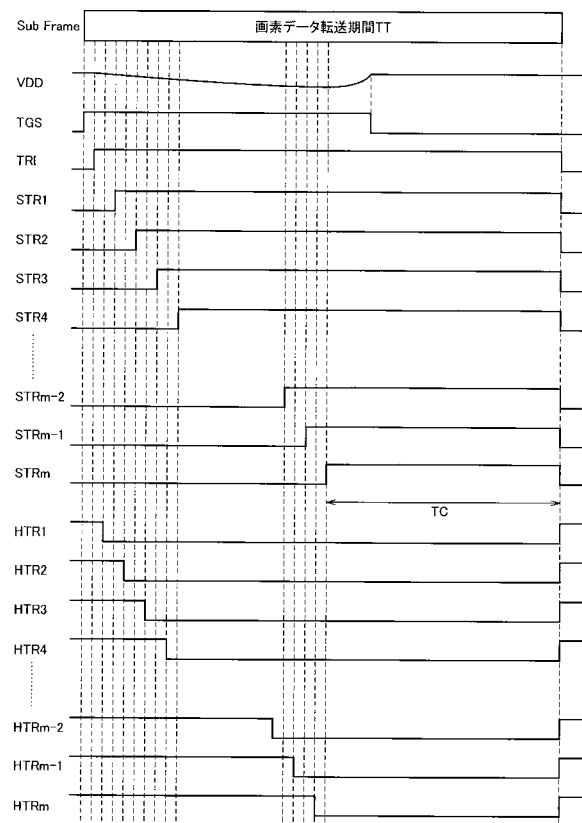
【図 4】



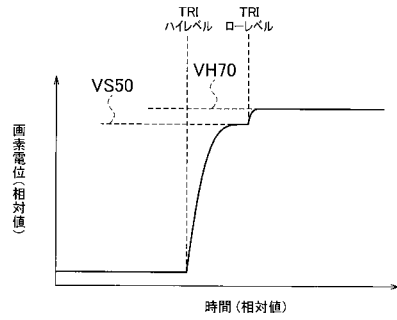
【図 5】



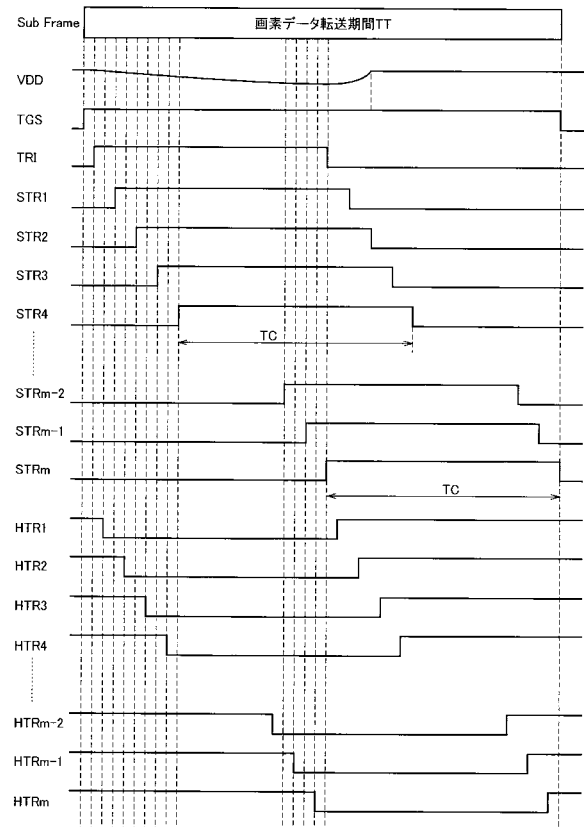
【図 6】



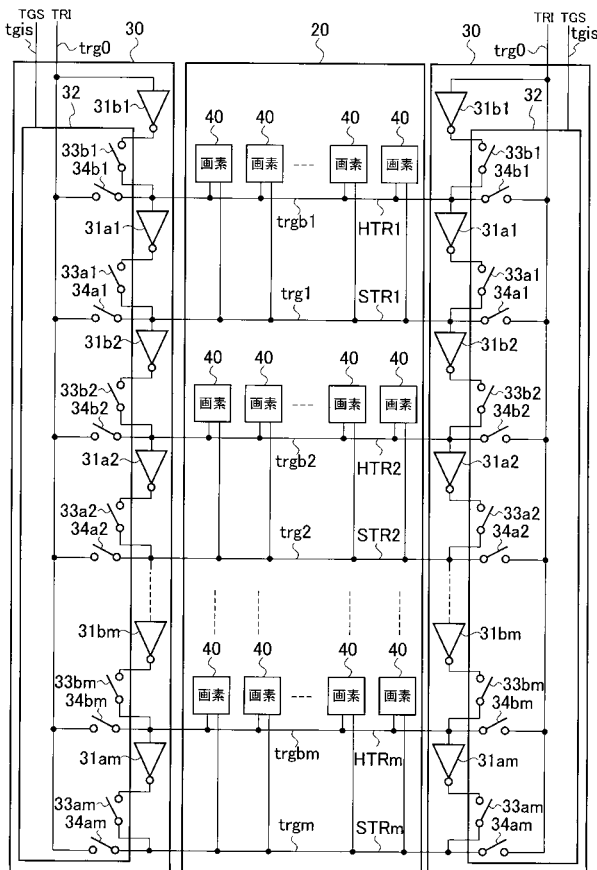
【図 7】



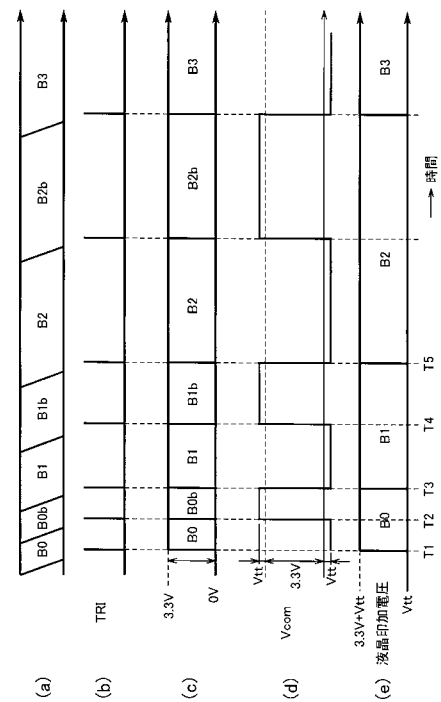
【図 8】



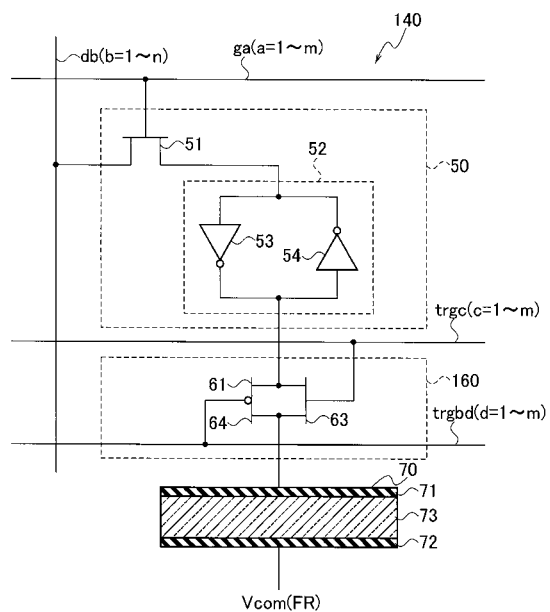
【図 9】



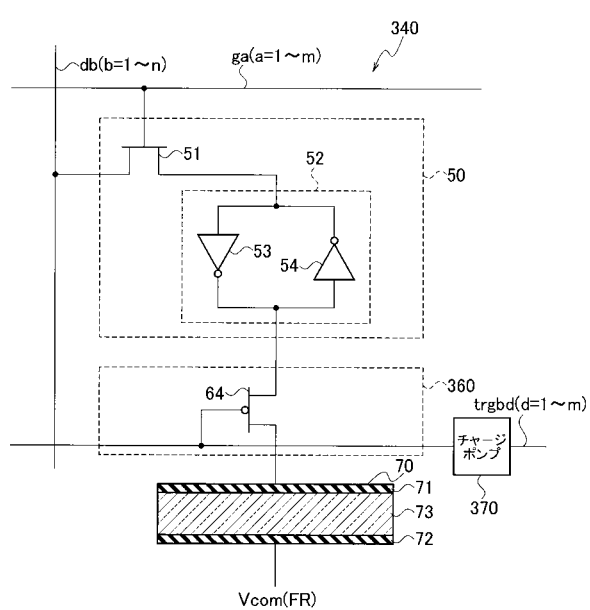
【図 10】



【 図 1 2 】



【 図 1 4 】



 フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 1 2 J
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5

F ターム(参考) 5C006 AA14 AC25 AC28 AF42 AF44 AF71 BB16 BC12 BC14 BF03
 BF04 BF27 BF33 BF46 FA14 FA16 FA22 FA31 FA34 FA36
 FA37 FA42 FA43
 5C080 AA10 BB05 DD05 DD09 DD12 DD22 DD23 DD29 EE29 FF11
 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017173513A	公开(公告)日	2017-09-28
申请号	JP2016058623	申请日	2016-03-23
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	井澤俊輔		
发明人	井澤 俊輔		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.A G09G3/20.642.A G09G3/20.641.E G09G3/20.621.F G09G3/20.622.G G09G3/20.624.B G09G3/20.612.J G02F1/133.550 G02F1/133.575		
F-TERM分类号	2H193/ZA04 2H193/ZD25 2H193/ZD26 2H193/ZF31 5C006/AA14 5C006/AC25 5C006/AC28 5C006/AF42 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BC12 5C006/BC14 5C006/BF03 5C006/BF04 5C006/BF27 5C006/BF33 5C006/BF46 5C006/FA14 5C006/FA16 5C006/FA22 5C006/FA31 5C006/FA34 5C006/FA36 5C006/FA37 5C006/FA42 5C006/FA43 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD09 5C080/DD12 5C080/DD22 5C080/DD23 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	三好秀 高桥俊		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制由于时钟泄漏导致的图像质量劣化的液晶显示装置。液晶显示装置1包括具有多个像素的图像显示单元20，逆变器链电路30和定时发生器3。逆变器链电路30具有多个逆变器31和开关切换电路32。像素40包括：第一开关电路50，其中写入像素数据；第二开关电路50，用于控制写入第一开关电路50中的像素数据的传送；以及液晶显示元件70。反相器链电路30是一反相器链的状态，从多个逆变器31的输出到第一触发线TRGC，第二触发脉冲信号的短状态TRI第一触发线的第二触发脉冲信号TRI TRGC并将其输出到。

