

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-95517
(P2016-95517A)

(43) 公開日 平成28年5月26日(2016.5.26)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2 H 1 9 3
G09G 3/20 (2006.01)	G09G 3/20	5 C 0 0 6
G02F 1/133 (2006.01)	G09G 3/20	5 C 0 8 0
	G09G 3/20	6 2 1 A
	G09G 3/20	6 2 2 B
	G09G 3/20	6 4 2 A
	G02F 1/133	5 5 0

審査請求 有 請求項の数 8 O L (全 20 頁)

(21) 出願番号 特願2015-244013 (P2015-244013)
 (22) 出願日 平成27年12月15日 (2015.12.15)
 (62) 分割の表示 特願2014-130160 (P2014-130160)
 の分割
 原出願日 平成22年9月22日 (2010.9.22)
 (31) 優先権主張番号 10-2009-0133158
 (32) 優先日 平成21年12月29日 (2009.12.29)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 512187343
 三星ディスプレイ株式會社
 S a m s u n g D i s p l a y C o . , L t d .
 大韓民国京畿道龍仁市器興区三星路1
 (74) 代理人 100121382
 弁理士 山下 託爾
 (72) 発明者 金 ▲ヒョク▼ 珍
 大韓民国忠清南道牙山市湯井面鳴岩里トラ
 プレイス アパート102棟705号
 朴 徹 浩
 大韓民国忠清南道天安市斗井洞1214番
 地503号

最終頁に続く

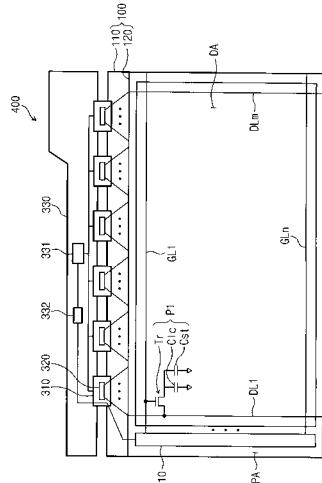
(54) 【発明の名称】表示装置

(57) 【要約】

【課題】視認性及び透過率が向上した液晶表示装置を提供する。

【解決手段】画素領域内に所定間隔離隔して相互平行に配列されている複数のサーブ電極と各サーブ電極を電気的に連結する連結電極を含む第1電界形成電極及び第1電界形成電極を覆う第1方向にラビングされた第1配向膜を含む第1基板を含むか、第1基板の画素領域に対応する領域に相互平行に形成されている複数の開口部を含む第2電界形成電極及び第2電界形成電極を覆う第2方向にラビングされた第2配向膜を含む第2基板を含む液晶表示装置。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

行列形態に配列されている複数の画素と、
 前記画素にゲート信号を伝達する複数のゲートラインと、
 前記画素にデータ信号を伝達する複数のデータラインと、
 前記ゲートラインに連結されており、1つ以上のクロック信号に基づいて前記ゲート信号を生成するゲート駆動部と、
 前記データラインに連結されて前記データ信号を生成するデータ駆動部と、
 前記ゲート駆動部及びデータ駆動部の動作を制御する制御部と、を含み、
 前記ゲート駆動部は、
 開始信号を受信して第1ゲート信号を生成して該当ゲートラインに伝達する第1ステージ群及び前記第1ステージ群から出力された前記第1ゲート信号を受信して第2ゲート信号を生成して該当ゲートラインに伝達する第2ステージ群を含み、
 前記第1ステージ群は、第1乃至第3ステージを含み、
 前記第1ステージは、前記開始信号を受信する第1バッファートランジスタを含み、前記第2ステージは、前記開始信号を受信する第2バッファートランジスタを含み、
 前記第2バッファートランジスタのチャンネル幅は、前記第1バッファートランジスタのチャンネル幅より小さいことを特徴とする表示装置。

10

【請求項 2】

前記第2バッファートランジスタのチャンネル幅は、前記第1バッファートランジスタのチャンネル幅より約35%小さいことを特徴とする請求項1に記載の表示装置。

20

【請求項 3】

前記第1ステージ群及び前記第2ステージ群の各々は、
 前記開始信号又は以前ステージの中のいずれか1つのステージから出力された信号に応答して、クロック信号を各々の前記ゲートラインに前記ゲート信号に供給する電圧出力部と、
 前記開始信号又は前記以前ステージの中のいずれか1つのステージから出力された信号を受信して前記電圧出力部を駆動する出力駆動部と、

30

前記ゲートラインをゲートオフ電圧にホールディングするホールディング部と、
 前記ゲートラインの一端に具備されて前記電圧出力部から出力されたゲート電圧に応答して前記ゲートラインを前記ゲートオフ電圧に放電させる放電部と、を各々含むことを特徴とする請求項2に記載の表示装置。

【請求項 4】

前記クロック信号は、
 各々互に異なる時間遅延期間を有し、オン／オフを繰り返す第1乃至第3クロック信号と、
 前記第1乃至第3クロック信号と互に異なる位相差を有し、オン／オフを繰り返す第4乃至第6クロック信号と、を含み、
 前記時間遅延期間は1H期間であり、前記位相差は、180°であることを特徴とする請求項1に記載の表示装置。

40

【請求項 5】

ゲート信号とデータ信号とに応答して映像を表示する表示部と、
 前記表示部にデータ信号を提供するデータ駆動部と、
 従属的に連結された複数のステージを含み、少なくとも1つのクロック信号に応答して前記表示部に前記ゲート信号を出力するゲート駆動部と、
 前記データ駆動部及びゲート駆動部の動作を制御する制御部と、を含み、
 前記ゲート駆動部は、
 従属的に連結され、対応するゲートラインに前記ゲート信号を提供する複数のステージを含み、
 開始信号を受信する第1ステージ群と以前ステージの中でいずれか1つのステージから

50

出力された信号を受信する第2ステージ群とを含み、

前記第1ステージ群は、各々が第1バッファートランジスタを含む第1乃至第3ステージを含み、

前記第2ステージ群は、各々が第2バッフェートランジスタを含む複数のステージを含み、

前記第1乃至第3ステージの中のいずれかの1つに含まれた前記第1バッフェートランジスタのチャンネル幅と前記第2ステージ群の前記複数のステージの中でいずれか1つのステージに含まれた第2バッフェートランジスタのチャンネル幅とが互に異なることを特徴とする表示装置。

【請求項6】

前記第1乃至第3ステージの中のいずれかの1つに含まれた前記第1バッフェートランジスタのチャンネル幅は、前記第2ステージ群のいずれか1つのステージに含まれた前記第2バッフェートランジスタのチャンネル幅より狭いことを特徴とする請求項5に記載の表示装置。

【請求項7】

前記第2ステージ及び前記第3ステージの各々の前記第1バッフェートランジスタのチャンネル幅は、前記第2ステージ群のいずれか1つのステージに含まれた前記第2バッフェートランジスタのチャンネル幅より狭いことを特徴とする請求項5に記載の表示装置。

【請求項8】

前記第1ステージの前記第1バッフェートランジスタのチャンネル幅が前記第2及び第3ステージの各々の前記第1バッフェートランジスタのチャンネル幅より広いことを特徴とする請求項5に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート駆動回路及びこれを含む表示装置に関し、より詳しくは、画質の不良を改善するゲート駆動回路及びこれを含む表示装置に関する。

【背景技術】

【0002】

一般に、表示装置の1つである液晶表示装置は、下部基板、下部基板に対向する上部基板、下部基板と上部基板との間に形成された液晶層を利用して映像を表示する液晶表示パネルを備える。液晶表示パネルは、多数のゲートライン、多数のデータライン、多数のゲートラインと多数のデータラインに接続された多数の画素を備える。

【0003】

液晶表示装置は、多数のゲートラインにゲートパルスを順に出力するためのゲート駆動回路及び多数のデータラインにピクセル電圧を出力するデータ駆動回路を備える。一般に、ゲート駆動回路及びデータ駆動回路はチップの形態からなり、フィルム又は液晶表示パネル上に実装される。

【0004】

最近の液晶表示装置では、チップの数を減らすために薄膜工程を通じて下部基板上にゲート駆動回路を直接形成したアモルファスシリコンゲート(amorphous silicon gate)の構造を採択している。このとき、液晶表示装置において、ゲート駆動回路は従属的に接続された多数のステージからなる1つ以上のシフトレジスタを備える。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】大韓民国特許出願公開第10-2008-000746号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【0006】

本発明で解決しようとする技術的な課題は、画質の不良が生じないゲート駆動回路を提供することである。

【0007】

本発明で解決しようとする他の技術的な課題は、画質の不良が生じないゲート駆動回路を含む表示装置を提供することである。

【課題を解決するための手段】**【0008】**

本発明の目的を達成するための実施形態によるゲート駆動回路は、行列形態に配列されている複数の画素と、上記画素にゲート信号を伝達する複数のゲートラインと、上記画素にデータ信号を伝達する複数のデータラインと、上記ゲートラインに連結されており、1つ以上のクロック信号に基づいて上記ゲート信号を生成するゲート駆動部と、上記データラインに連結されて上記データ信号を生成するデータ駆動部と、上記ゲート駆動部及びデータ駆動部の動作を制御する制御部と、を含み、上記ゲート駆動部は、開始信号を受信して第1ゲート信号を生成して該当ゲートラインに伝達する第1ステージ群及び上記第1ステージ群から出力された上記第1ゲート信号を受信して第2ゲート信号を生成して該当ゲートラインに伝達する第2ステージ群を含み、上記第1ステージ群は、第1乃至第3ステージを含み、上記第1ステージは、上記開始信号を受信する第1バッファートランジスタを含み、上記第2ステージは、上記開始信号を受信する第2バッファートランジスタを含み、上記第2バッファートランジスタのチャンネル幅は、上記第1バッファートランジスタのチャンネル幅より小さいことを特徴とする。10

【発明の効果】**【0009】**

本発明によると、ゲート駆動回路の特定のトランジスタの大きさを調整、又は特定のトランジスタにゲートオフ電圧を印加、又はダミーステージを追加することによって画質の不良を除去することができる。20

【図面の簡単な説明】**【0010】**

【図1】図1は、本発明の第1実施形態による液晶表示装置の平面図である。

【図2A】図2Aは、図1に示す本発明の1つの実施形態によるゲート駆動回路のブロック図である。30

【図2B】図2Bは、図1に示す本発明の1つの実施形態によるゲート駆動回路のブロック図である。

【図3】図3は、ゲート駆動回路の中で1つのステージをより詳しく説明するための回路図である。

【図4】図4は、ゲート駆動回路に印加されるクロック等及び各ステージのQ-ノード電圧を示すタイミング図である。

【図5A】図5Aは、ゲート駆動回路に印加される開始信号及びクロック信号等を示すタイミング図である。

【図5B】図5Bは、ゲート駆動回路の初期駆動の時、各ステージのQ-ノードの電圧を示すタイミング図である。40

【図6】図6は、本発明の実施形態によるバッファートランジスタの大きさを調節した結果を示す説明図である。

【図7A】図7Aは、従来の第1乃至第3クロックを示すタイミング図である。

【図7B】図7Bは、バッファートランジスタの大きさによって調節された第1乃至第3クロックを示すタイミング図である。

【図7C】図7Cは、第1乃至第3ステージのバッファートランジスタのカッティング比率及びフリーチャージ時間を示す表である。

【図8】図8は、本発明の第2実施形態によるバッファートランジスタの構造を示す図面である。50

【図9】図9は、図8のバッファートランジスタの切断線A-A'による断面図である。

【図10A】図10Aは、トップゲートに印加される電圧によるバッファートランジスタの電流変化を示すグラフである。

【図10B】図10Bは、トップゲートに印加される電圧によるバッファートランジスタの電流変化を示すグラフである。

【図11】図11は、本発明の第3実施形態によるゲート駆動回路を示す説明図である。

【発明を実施するための形態】

【0011】

以下に、図面を参考にして本発明の実施形態等をより詳しく説明する。本発明は、様々なに変更し、実施することができるので、特定の実施形態等を例示して詳しく説明する。ただし、実施例の記載は本発明を特定の形態に限定するものではなく、本発明の思想及び技術範囲に含まれる均等技術又は変形技術等を含む。各図面の説明において、類似な構成要素に対しては同じ符号を付与した。添付された図面において、構造物等の寸法は本発明の明確性のために実際より拡大して図示した。第1、第2等の用語は様々な構成要素等を説明するために用いているが、各構成要素等は用語等によって限定されるものではない。用語等は1つの構成要素を異なる構成要素から区別する目的で使われているだけである。例えば、本発明の権利範囲を外れない限り、第1構成要素は第2構成要素に、第2構成要素は第1構成要素に適用できる。また単数は文脈から明白に表現されていない限り、複数も含む。

【0012】

以下に、本発明の実施形態をより詳しく説明する。

【0013】

図1は本発明の第1実施形態による液晶表示装置の平面図である。

【0014】

図1に示すように、液晶表示装置400は、映像を表示する液晶表示パネル100、液晶表示パネル100にデータ電圧を出力する多数のデータ駆動部320及び液晶表示パネル100にゲート電圧を出力するゲート駆動部210を含む。

【0015】

液晶表示パネル100は、下部基板110、下部基板110にお互いに向い合う上部基板120及び下部基板110と上部基板120との間に介在する液晶層(図示せず)からなる。液晶表示パネル100は映像を表示する表示領域DA、表示領域DAに隣接する周辺領域PAからなる。

【0016】

表示領域DAには、多数のゲートラインGL1～GLnと絶縁されて交差する多数のデータラインDL1～DLmが形成される。表示領域DAには、多数のゲートラインGL1～GLn及び多数のデータラインDL1～DLmを通じて印加される駆動電圧によって画像を表示する多数の画素領域が形成される。この実施形態において、画素領域等は、実際に同じ構造及び機能を有するので、1つの画素領域(例えば、第1画素領域)を例にとって詳しく説明する。画素領域には薄膜トランジスタTr、液晶キャパシタC1c及びストレージキャパシタCstからなる画素P1が設けられている。例えば、薄膜トランジスタTrのゲート電極は第1ゲートラインGL1に電気的に接続され、ドレーン電極(図示せず)は第1データラインDL1に電気的に接続され、ソース電極(図示せず)は液晶キャパシタC1cの第1電極である画素電極(図示せず)に電気的に接続される。ストレージキャパシタCstは液晶キャパシタC1cに並列接続される。

【0017】

ゲート駆動回路210は、多数のゲートラインGL1～GLnの一端部に隣接する周辺領域PAに形成される。ゲート駆動回路210は多数のゲートラインGL1～GLnの一端部に電気的に接続されてゲート電圧を多数のゲートラインGL1～GLnに順に印加する。ゲート駆動回路210は画素領域の薄膜トランジスタTrを製造する工程において同時に形成される。

10

20

30

40

50

【0018】

多数のデータライン D L 1 ~ D L m の一端部に隣接する周辺領域 P A には、多数の駆動回路基板 3 1 0 が形成される。例えば、多数の駆動回路基板 3 1 0 はテープキャリアパッケージ (Tape Carrier Package : T C P) 又はチップオンフィルム (Chip On Film : C O F) が利用される。多数の駆動回路基板 3 1 0 上には、多数のデータ駆動チップ 3 2 0 が実装される。多数のデータ駆動チップ 3 2 0 は多数のデータライン D L 1 ~ D L m の一端部に電気的に接続されて多数のデータライン D L 1 ~ D L m にデータ電圧を出力する。

【0019】

液晶表示装置 4 0 0 は、ゲート駆動回路 2 1 0 と多数のデータ駆動チップ 3 2 0 の駆動を制御するためにコントロール印刷回路基板 3 3 0 をさらに備える。コントロール印刷回路基板 3 3 0 は多数のデータ駆動チップ 3 2 0 の駆動を制御するデータ制御信号と映像データを出力し、ゲート駆動回路 2 1 0 の駆動を制御するゲート制御信号を出力する。

10

【0020】

コントロール印刷回路基板 3 3 0 は、外部から映像データが入力され、データ制御信号とゲート駆動制御信号を生成するタイミングコントローラ 3 3 1 及びゲート制御信号を生成するゲート制御回路 3 3 2 をさらに含む。本発明の他の実施形態として、コントロール印刷回路基板 3 3 0 はタイミングコントローラを含む他の印刷回路基板から制御信号を受信し、データ制御信号を生成して出力するデータ印刷回路基板を利用して良い。

20

【0021】

タイミングコントローラ 3 3 1 は、多数のデータ駆動チップ 3 2 0 とゲート駆動回路 2 1 0 の駆動を制御する。ゲート制御回路 3 3 2 は、ゲート駆動回路 2 1 0 の駆動のためのクロック信号、ゲート信号の開始を知らせる開始信号 S T V 等を生成する。

【0022】

コントロール印刷回路基板 3 3 0 は、データ制御信号と映像データを多数の駆動回路基板 3 1 0 を通じて多数のデータ駆動チップ 3 2 0 に印加する。また、コントロール印刷回路基板 3 3 0 はゲート制御信号をゲート駆動回路 2 1 0 に隣接する駆動回路基板 3 1 0 を通じてゲート駆動回路 2 1 0 に印加する。

【0023】

本発明の他の実施形態として、多数のデータ駆動チップ 3 1 0 及びゲート駆動回路 2 1 0 は、少なくとも 1 つの集積回路チップの形態で液晶表示パネル 1 0 0 上に直接装着することができ、また可撓性印刷回路膜 (f l e x i b l e p r i n t e d c i r c u i t f i l m) (図示せず) 上に装着して液晶表示パネル 1 0 0 に付着することができ、さらには別の印刷回路基板 (p r i n t e d c i r c u i t b o a r d) (図示せず) 上に装着することもできる。また、多数のデータ駆動チップ 3 1 0 及びゲート駆動回路 2 1 0 は、信号線 G L 1 ~ G L n 、 D L 1 ~ D L m 及び薄膜トランジスタ T r と共に液晶表示パネル 1 0 0 に集積することもできる。また、多数のデータ駆動チップ 3 1 0 及びゲート駆動回路 2 1 0 、タイミングコントローラ 3 3 1 及びゲート制御回路 3 3 2 は、單一チップに集積することもできる。この場合、これらのうちの少なくとも 1 つ又はこれらを構成する少なくとも 1 つの回路素子を单一チップの外に位置することができる。

30

【0024】

続いて、図 2 A 乃至図 4 を参考にしてゲート駆動回路 2 1 0 を詳しく説明する。

40

【0025】

図 2 A 及び図 2 B は図 1 に図示される本発明の 1 つの実施形態によるゲート駆動回路のプロック図である。

【0026】

図 2 A 及び図 2 B に示すように、ゲート駆動回路 2 1 0 は N 個 (N は 2 以上の自然数) のステージ A S G - 1 ~ A S G - N 及びダミー (d u m m y) ステージ A S G - D を含むシフトレジスタ 2 1 0 a からなる。N 個のステージ A S G - 1 ~ A S G - N は、第 1 ステージ群 (s t a g e g r o u p) S G 1 及び第 2 ステージ群 S G 2 に分割される。ゲ-

50

ト駆動回路 210 は、多数のゲートライン G L 1 ~ G L n の第 2 端部に設けられて、次のステージの中の何れか 1 つのステージから出力されたゲート電圧に応じて、現在のゲートラインをオフ電圧 V S S に放電させる放電部 210 b をさらに含む。また、ゲート駆動回路 210 は、1 番目のステージ A S G - 1 を駆動するためのダミーステージ（図示せず）をさらに含む。

【0027】

N 個のステージ A S G - 1 ~ A S G - N は第 1 入力端子 I N 1 、第 1 及び第 2 クロック端子 C K 1 、 C K 2 、第 2 入力端子 I N 2 、電圧入力端子 V i n 、リセット端子 R E 、出力端子 O U T 及びキャリ端子 C R を含む。

【0028】

各ステージ A S G - 1 ~ A S G - N の第 1 入力端子 I N 1 は、以前ステージ等の中で何れか 1 つのステージのキャリ端子 C R に電気的に接続されて、キャリ電圧が入力される。本実施形態において、各ステージ A S G - 1 ~ A S G - N は 3 段階前のステージからキャリ電圧を入力される。例えば、N 番目のステージ A S G - N は N - 3 番目のステージからキャリ電圧を印加される。また、多数のステージ A S G - 1 ~ A S G - N の中で 1 番目のステージ A S G - 1 、 2 番目のステージ A S G - 2 乃至 3 番目のステージ A S G - 3 の第 1 入力端子 I N 1 には、以前ステージのキャリ電圧の代わりにゲート駆動回路 210 の駆動を開始する開始信号 S T V が提供される。開始信号 S T V が印加される 1 番目乃至 3 番目のステージ A S G - 1 ~ A S G - 3 が第 1 ステージ群 S G 1 に含まれる。この場合、第 2 ステージ群 S G 2 は残りのステージ A S G - 4 ~ A S G - N 及びダミーステージ A S G - D からなる。

【0029】

各ステージ A S G - 1 ~ A S G - N の第 2 入力端子 I N 2 は、次のステージ等の中で何れか 1 つのステージの出力端子 O U T に電気的に接続されてゲート電圧が入力される。

【0030】

但し、ダミーステージ A S G - D の第 2 入力端子 I N 2 には開始信号 S T V が提供される。ダミーステージ A S G - D は、多数のステージ A S G - 1 ~ A S G - N のゲート電圧をオフレベルにするためのステージである。

【0031】

ダミーステージを除いた多数のステージ A S G - 1 ~ A S G - N は、第 1 及至第 3 クロック C K V 1 ~ C K V 3 及び第 1 及至第 3 クロック C K V 1 ~ C K V 3 と異なる位相を有する第 4 及至第 6 クロック C K V B 1 ~ C K V B 1 が選択的に提供される。例えば、多数のステージ A S G - 1 ~ A S G - N の中で 6 N - 5 番目のステージ A S G - 1 、 A S G - 7 、 ... A S G - 6 N - 2 (N は自然数) の第 1 クロック端子 C K 1 には第 1 クロック C K V 1 が提供され、第 2 クロック端子 C K 2 には第 4 クロック C K V B 1 が提供される。6 N - 4 番目のステージ A S G - 2 、 A S G - 8 、 ... A S G - 6 N - 4 の第 1 クロック端子 C K 1 には第 2 クロック C K V 2 が提供され、第 2 クロック端子 C K 2 には第 5 クロック C K V B 2 が提供される。6 N - 3 番目のステージ A S G - 3 、 A S G - 9 、 ... A S G - 6 N - 3 (N は自然数) の第 1 クロック端子 C K 1 には第 3 クロック C K V 3 が提供され、第 2 クロック端子 C K 2 には第 6 クロック C K V B 3 が提供される。

【0032】

また、6 N - 2 番目のステージ A S G - 4 、 A S G - 1 0 、 ... A S G - 6 N - 2 (N は自然数) の第 1 クロック端子 C K 1 には第 4 クロック C K V B 1 が提供され、第 2 クロック端子 C K 2 には第 1 クロック C K V 1 が提供される。6 N - 1 番目のステージ A S G - 5 、 A S G - 1 1 、 ... A S G - 6 N - 1 (N は自然数) の第 1 クロック端子 C K 1 には第 5 クロック C K V B 2 が提供され、第 2 クロック端子 C K 2 には第 2 クロック C K V 2 が提供される。6 N 番目のステージ A S G - 6 、 A S G - 1 2 、 ... A S G - 6 N (N は自然数) の第 1 クロック端子 C K 1 には第 6 クロック C K V B 3 が提供され、第 2 クロック端子 C K 2 には第 3 クロック C K V 3 が提供される。第 1 及至第 3 クロック C K V 1 ~ C K V 3 及び第 4 及至第 6 クロック C K V B 1 ~ C K V B 3 の位相は後述する。

【0033】

多数のステージ A S G - 1 ~ A S G - N 及びダミーステージ A S G - D の電圧入力端子 V_{i n} にはゲートラインをオフさせるオフ電圧 V_{S S} が提供される。また、ダミーステージ A S G - D の出力端子 O U T は多数のステージ S R C 1 ~ S R C_{n+1} のリセット端子 R E に電気的に接続される。

【0034】

多数のステージ A S G - 1 ~ A S G - N の出力端子 O U T には多数のゲートライン G L 1、G L 2、G L 3、... G L_n が電気的に接続される。従って、多数のステージ A S G - 1 ~ A S G - N は、出力端子等 O U T を通じてゲート電圧を順に出力して多数のゲートライン G L 1 ~ G L_n に印加する。この実施形態では、図 2 に示すように、シフトレジスタ 210a は多数のゲートライン G L 1 ~ G L_n の第 1 端部に設けられる。このシフトレジスタ 210a は、第 1 端部と対称になる第 2 端部に形成することも可能であり、又は 2 つのステージグループに分割してゲートライン G L 1 ~ G L_n の両端部に形成することも可能である。

10

【0035】

放電部 210b は、第 1 放電トランジスタ N T 15 をさらに含んでいる。この第 1 放電トランジスタ N T 15 は、多数のゲートライン G L 1、G L 2、G L 3、... G L_n のうち現在のゲートラインからオフ電圧 V_{S S} に放電させる機能を備える。第 1 放電トランジスタ N T 15 は、次のゲートラインに接続された制御電極、現在のステージのゲート電圧が入力される入力電極及びオフ電圧 V_{S S} が入力される出力電極からなる。

20

【0036】

図 3 は、ゲート駆動回路の中で 1 つのステージをより詳しく説明するための回路図であり、図 4 は、図 2 に図示されるクロック信号等及び各ステージのノード電圧を示すタイミング図である。但し、ゲート駆動回路の各ステージはダミーステージ A S G - D を除いて同じ内部構造を有するので、図 3 では 1 つのステージを例示して説明する。

【0037】

図 3 に示すように、各ステージは該当ゲートラインにゲート電圧を供給する電圧出力部 211、電圧出力部 211 を駆動する出力駆動部 212、該当ゲートラインを第 1 レベルの電圧にホールディングする第 1 ホールディング部 213 及び第 2 ホールディング部 214 を含む。

30

【0038】

電圧出力部 211 は、プルアップトランジスタ T 01 及びプルダウントランジスタ T 02 を含む。プルアップトランジスタ T 01 は、出力駆動部 212 の出力端 (Q - ノード) Q N に接続された制御電極、第 1 クロック端子 C K 1 に接続された入力電極及び出力端子 O U T に接続された出力電極からなる。

【0039】

図 4 に示すように、各ステージには、第 1 乃至第 3 クロック C K V 1 ~ C K V 3 及び第 1 乃至第 3 クロック C K V 1 ~ C K V 3 と異なる位相を有する第 4 乃至第 6 クロック C K V B 1 ~ C K V B 3 が選択的に提供される。第 1 乃至第 6 クロック C K V 1 ~ C K V B 3 は、ゲートオン / オフ電圧に対応するパルス幅を有する。例えば、第 1 乃至第 6 クロック C K V 1 ~ C K V B 3 は、約 30V ~ -8V の範囲であり、ゲートを駆動する電圧の条件によって変更が可能である。第 1 乃至第 3 クロック C K V 1 ~ C K V 3 と第 4 乃至第 6 クロック C K V B 1 ~ C K V B 3 は対を成す。例えば、6N - 5 番目及び 6N - 2 番目のステージには、第 1 クロック C K V 1 と第 4 クロック C K V B 1 が提供され、6N - 4 及び 6N - 1 番目のステージには、第 2 クロック C K V 2 と第 5 クロック C K V B 2 が提供され、6N - 3 及び 6N 番目のステージには第 3 クロック C K V 3 と第 6 クロック C K V B 3 が提供される。

40

【0040】

第 1 乃至第 3 クロック C K V 1 ~ C K V 3 と第 4 乃至第 6 クロック C K V B 1 ~ C K V B 3 は互いに異なる位相を有する。例えば、第 1 クロック C K V 1 と第 4 クロック C K V

50

B 1 は 180° の位相差を有し、第 2 クロック CKV 2 と第 5 クロック CKVB 2 は 180° の位相差を有し、第 3 クロック CKV 3 と第 6 クロック CKVB 3 は 180° の位相差を有する。これら位相差は 180° 以下に設定することも可能である。

【0041】

また、第 2 クロック CKV 2 は、第 1 クロック CKV 1 より 1H だけ遅延され、第 3 クロック CKV 3 は、第 2 クロック CKV 2 より 1H だけ遅延される。

【0042】

第 1 乃至第 6 クロック CKV 1 ~ CKVB 3 は、ゲート駆動回路 210 の出力電圧によるキックバック (kick-back) を補償するために、一定の区間において駆動電圧が低くなるキックバック補償区間 CK-S をさらに含む。

10

【0043】

以下に、第 1 クロック CKV 1 及び第 4 クロック CKVB 1 を受信して動作する 1 つのステージ ASG-i に関して説明する。

【0044】

図 3、図 4 に示すように、プルアップトランジスタ T01 は、出力駆動部 212 から出力された制御電圧に応じて出力端子 OUT に出力される現在のステージのゲート電圧を、第 1 クロック端子 CK1 を通じて提供される第 1 クロック CKV 1 だけプルアップさせる。プルアップトランジスタ T01 は、1 フレームのうち第 1 クロック CKV 1 がハイ区間である 3H の時間内にターンオンして、図 4 のように現在のステージのゲート電圧をハイ状態に維持する。

20

【0045】

プルダウントランジスタ T02 は、第 2 入力端子 IN2 に接続された制御電極、電圧入力端子 Vin に接続された出力電極及び出力端子 OUT に接続された入力電極からなる。従って、プルダウントランジスタ T02 は、次のステージのゲート電圧に応じて第 1 クロック CKV 1 だけプルアップされた現在のステージのゲート電圧を、電圧入力端子 Vin から供給されたオフ電圧 VSS (図 2 に図示) だけプルダウンさせる。即ち、プルダウントランジスタ T02 は、3H の時間後にターンオンして、現在のステージのゲート電圧をロー状態にダウンさせる。

【0046】

出力駆動部 212 は、バッファートランジスタ T04、第 1 キャパシタ C1、第 2 キャパシタ C2、放電トランジスタ T09 及びリセットトランジスタ T06 を含む。

30

【0047】

バッファートランジスタ T04 は、第 1 入力端子 IN1 に共通に接続された入力電極と制御電極、及び Q - ノード QN に接続された出力電極からなる。第 1 キャパシタ C1 は、Q - ノード QN と出力端子 OUT の間に接続され、第 2 キャパシタ C2 は、キャリトランジスタ T15 の制御電極とキャリ端子 CRとの間に接続される。一方、放電トランジスタ T09 はバッファートランジスタ T04 の出力電極に接続された入力電極、第 2 入力端子 IN2 に接続された制御電極及び電圧入力端子 Vin に接続された出力電極からなる。

【0048】

リセットトランジスタ T06 は、リセット端子 RE に接続された制御電極、プルアップトランジスタ T01 の制御電極に接続された入力電極及び電圧入力端子 Vin に接続された出力電極からなる。リセットトランジスタ T06 は、リセット端子 RE を通じて入力された最終ステージ ASG-D から出力された最終キャリ電圧に応じて、第 1 入力端子 IN1 を通じて入力されたリップル電圧をオフ電圧 VSS に放電する。従って、プルアップトランジスタ T01 及びキャリトランジスタ T15 は、ダミーステージ ASG-D のダミーキャリ電圧に応じてターンオフする。結果的に、ダミーキャリ電圧は、以前ステージとして配置された N 個のステージのリセット端子 RE に供給されて、N 個のステージのプルアップトランジスタ T01 及びキャリトランジスタ T15 をターンオフさせて、N 個のステージをリセットする。

40

【0049】

50

バッファートランジスタ T 0 4 が、以前ステージのキャリ電圧に応じてターンオンすると、第 1 及び第 2 キャパシタ C 1、C 2 は、図 4 の Q - ノード Q N 電圧に対応して充電される。第 1 キャパシタ C 1 にプルアップトランジスタ T 0 1 のスレッショルド電圧 V th 以上の電荷が充電されると、Q - ノード Q N の電位がスレッショルド電圧以上に上昇して、プルアップトランジスタ T 0 1 及びキャリトランジスタ T 1 5 がターンオンする。このときは、第 1 クロック CKV 1 がロー状態なので、現在のステージのゲート電圧とキャリ電圧は、ロー区間 (1 H) の間にロー状態を維持する。続いて、第 1 クロック CKV 1 がハイ状態になると、第 1 クロック CKV 1 が出力端子 OUT 及びキャリ端子 CR に出力されて、現在のステージのゲート電圧とキャリ電圧がハイ状態に転換する。即ち、現在のステージのゲート電圧とキャリ電圧は、第 1 クロック CKV 1 のハイ区間 (1 H) の間ハイ状態を維持する。

10

【0050】

続いて、放電トランジスタ T 0 9 が次のステージのゲート電圧に応じてターンオンされると、第 1 キャパシタ C 1 に充電された電荷は、放電トランジスタ T 0 9 を通じてオフ電圧 V SS に放電される。従って、Q - ノード Q N の電位はオフ電圧 V SS にダウンされる。その結果、プルアップトランジスタ T 0 1 及びキャリトランジスタ T 1 5 はターンオフする。即ち、放電トランジスタ T 0 9 は、3 H の時間後にターンオンしてプルアップトランジスタ T 0 1 及びキャリトランジスタ T 1 5 がターンオフすることによって、出力端子 OUT 及びキャリ端子 CR にハイ状態の現在のステージのゲート電圧及びキャリ電圧が出力されないよう遮断する役割をする。

20

【0051】

第 1 ホールディング部 2 1 3 は、第 1 乃至第 5 インバータトランジスタ T 1 3、T 0 7、T 1 2、T 0 8、T 0 3、第 3 及び第 4 キャパシタ C 3、C 4 からなる。

【0052】

第 1 インバータトランジスタ T 1 3 は、第 1 クロック端子 CK 1 に共通で接続された入力電極と制御電極、第 4 キャパシタ C 4 を通じて第 2 インバータトランジスタ T 0 7 の出力電極に接続された出力電極からなる。第 2 インバータトランジスタ T 0 7 は、第 1 クロック端子 CK 1 に接続された入力電極、第 3 キャパシタ C 3 を通じて入力電極と接続された制御電極及び第 5 インバータトランジスタ T 0 3 の制御電極に接続された出力電極からなる。第 3 インバータトランジスタ T 1 2 は、第 1 インバータトランジスタ T 1 3 の出力電極に接続された入力電極、出力端子 OUT に接続された制御電極及び電圧入力端子 Vin に接続された出力電極からなる。第 4 インバータトランジスタ T 0 8 は、第 5 インバータトランジスタ T 0 3 の制御電極に接続された入力電極、出力端子 OUT に接続された制御電極及び電圧入力端子 Vin に接続された出力電極からなる。第 5 インバータトランジスタ T 0 3 は、第 2 インバータトランジスタの出力電極に接続された制御電極、電圧入力端子 Vin に接続された入力電極及び出力端子 OUT に接続された出力電極からなる。

30

【0053】

第 3 及び第 4 インバータトランジスタ T 1 2、T 0 8 は、出力端子 OUT に出力されるハイ状態の現在のステージのゲート電圧に応じてターンオンし、第 1 及び第 2 インバータトランジスタ T 1 3、T 0 7 から出力された第 1 クロック CKV 1 はオフ電圧 V SS に放電される。

40

【0054】

従って、第 5 インバータトランジスタ T 0 3 は、現在のステージのゲート電圧がハイ状態を維持する 3 H の時間の間、ターンオフ状態を維持する。続いて、現在のステージのゲート電圧がロー状態に転換すると、第 3 及び第 4 インバータトランジスタ T 1 2、T 0 8 は、ターンオフする。従って、第 1 及び第 2 インバータトランジスタ T 1 3、T 0 7 から出力された第 1 クロック CKV 1 に応じて、第 5 インバータトランジスタ T 0 3 がターンオンする。結果的に、現在のステージのゲート電圧は、1 フレーム内の 3 H の時間を除いた残りの時間において、第 1 クロック CKV 1 のハイ区間が第 5 インバータトランジスタ T 0 3 によってオフ電圧 V SS にホールディングされる。

50

【0055】

第2ホールディング部214は、第1乃至第3リップル防止トランジスタT10、T11、T05からなり、第1クロックCKV1又は第4クロックCKVB2によって、N-3Hの時間内に現在のステージのゲート電圧及びキャリ電圧がリップルすることを防止する。

【0056】

第1リップル防止トランジスタT10は、第1クロック端子CK1に接続された制御電極、出力端子OUTに接続された入力電極及びQ-ノードQNに接続された出力電極を含む。第2リップル防止トランジスタT11は、第2クロック端子CK2に接続された制御電極、第1入力端子IN1に接続された入力電極及びQ-ノードQNに接続された出力電極からなる。第3リップル防止トランジスタT05は、第2クロック端子CK2に接続された制御電極、出力端子OUTに接続された入力電極及び電圧入力端子Vinに接続された出力電極からなる。

10

【0057】

第1リップル防止トランジスタT10は、第1クロックCKV1に応じて出力端子OUTから出力された現在のステージのゲート電圧（オフ電圧と同じ電圧レベルを有する）をQ-ノードQNに提供する。従って、N-3Hの時間中に第1クロックCKV1のハイ区間で、Q-ノードQNの電位はオフ電圧VSSに維持される。これによって、第1リップル防止トランジスタT10は、N-3Hの時間中に第1クロックCKV1のハイ区間はプルアップトランジスタT01及びキャリトランジスタT15がターンオンされることを防止する。

20

【0058】

第2リップル防止トランジスタT11は、第2クロック端子CK2を通じて提供された図4の第4クロックCKVB1に応じて、第1入力端子IN1を通じて入力される前ステージの出力電圧（オフ電圧と同じ電圧レベルを有する）をQ-ノードQNに提供する。従って、N-3Hの時間中に第4クロックCKVB1のハイ区間ににおいて、Q-ノードQNの電位はオフ電圧VSSに維持される。これによって、第2リップル防止トランジスタT11は、N-3Hの時間中に第4クロックCKVB1のハイ区間はプルアップ及びキャリトランジスタT01、T15がターンオンしない。

30

【0059】

第3リップル防止トランジスタT05は、第4クロックCKVB1に応じて現在のステージのゲート電圧をオフ電圧VSSに放電させる。従って、第3リップル防止トランジスタT05は、N-3Hの時間中に第4クロックCKVB1のハイ区間は現在のステージのゲート電圧をオフ電圧VSSに維持させる。

40

【0060】

各ステージは、現在のステージの出力電圧を次のステージに伝達するキャリ部215をさらに含む。キャリ部215はQ-ノードQNに接続された制御電極、第1クロック端子CK1に接続された入力電極及び出力端子OUTに接続された出力電極からなるキャリトランジスタT15を含む。従って、キャリトランジスタT15は、出力駆動部212から出力された制御電圧に応じてキャリ端子CRに出力される現在のステージのキャリ電圧を第1クロックCKV1だけプルアップさせる。キャリトランジスタT15は、1フレームの間に3Hの時間だけターンオンし、3Hの時間の間に現在のステージのキャリ電圧をハイ状態に維持する。

【0061】

図5Aは、ゲート駆動回路に印加される開始信号及びクロック信号等を示すタイミング図であり、図5Bは、ゲート駆動回路の初期駆動のとき各ステージのQ-ノードを示すタイミング図である。

【0062】

図5A及び図5Bに示すように、ゲート駆動回路210の初期駆動のとき、図1のゲート制御回路332は、ゲート信号の開始を知らせる開始信号STVと共に、第1乃至第3

50

クロック CKV1～CKV3 及び第4乃至第6クロック CKVB1～CKVB3 を生成して、各ステージの第1クロック端子 CK1 及び第2クロック端子 CK2 に供給する。斯かるゲート駆動回路 210 は、長時間にわたって高温駆動するときに、2番目のゲートライン GL2 及び3番目のゲートライン GL3 が、他のゲートラインに比べて相対的に暗く見えるという視認性の問題が発生する。

【0063】

高温駆動によって発生するこのような問題点は、出力駆動部 212 のバッファートランジスタ T04 に接続された配線、例えば、開始信号 STV を印加する配線を通じて、Q-ノード QN に貯蔵された電荷が放電され、漏れ電流が発生することである。この原因は、ゲート駆動回路 210 の初期駆動のときに、1番目のステージ ASG-1 乃至 3番目のステージ ASG-3 に供給されるクロックのタイミングが異なることに起因する。従って、バッファートランジスタ T04 を通じて漏れる電流量がそれぞれ異なり、これによってゲートラインの出力電圧が異なるようになる。結果的に、4番目のステージ ASG-4 以後のステージに接続された異なるゲートラインに比べて、1番目のステージ ASG-1 乃至 3番目のステージ ASG-3 に接続されたゲートラインが暗く見える不良が発生する。特に、バッファートランジスタ T04 からの漏れ電流量の増加は、Q-ノード QN の電圧を低くする。これによって、各ステージのプルアップトランジスタ T01 に印加される第1クロック CKV1 において、オフ電圧が印加される初期区間での下降時間に遅延が生じる。この下降時間の遅延によって、キックバック補償区間 CK-S に当たるゲート電圧が低くなつてキックバック電圧が増加する。一般に、キックバック電圧は下記の数式 1 による。
10

【0064】

【数1】

$$Vkb = \left(\frac{Cgs}{Clc} + Cst + Cgs \right) \times (Von - Voff)$$

(Vkb : キックバック電圧、Cgs : ゲート - ソースのキャパシタンス、Clc : 液晶によるキャパシタンス、Cst : ストレージ配線によるキャパシタンス、Von : ゲートオン電圧、Voff : ゲートオフ電圧)
30

数式 1 のように、Von - Voff 値が増加すると、キックバック電圧も増加して、Q-ノード QN の偏差も大きくなる。また、ゲートオン電圧 von が高いほどキックバック電圧が増加して、キックバック電圧の偏差も増加する。このような偏差はゲート電圧の偏差を招き、これによって輝度の低下が生じて、4番目のステージ ASG-4 以後のステージに接続されたゲートラインに比べて、1番目のステージ ASG-1 乃至 3番目のステージ ASG-3 に接続されたゲートラインが暗く見える可能性がある。
30

【0065】

このような不良を解消するために、本発明の実施形態では、Q-ノード QN に十分な電荷充電の時間が提供されるように、バッファートランジスタ T04 の大きさを減らす。

【0066】

図 6 は、本発明の実施形態によるバッファートランジスタの大きさを調節した結果を示すレイアウト図である。図 7A は、従来の第1乃至第3クロックを示すタイミング図であり、図 7B は、バッファートランジスタの大きさによって調節された第1乃至第3クロックを示すタイミング図であり、図 7C は、第1乃至第3ステージのバッファートランジスタのカッティング比率及びフリーチャージ時間を示す表である。
40

【0067】

図 6 のように、本発明の実施形態では、バッファートランジスタ T04 の切開領域 CUT-A を除去して、バッファートランジスタ T04 の大きさを減らした。好ましくは、本発明の実施形態によるバッファートランジスタ T04 の大きさは従来のバッファートランジスタ T04 の大きさに比べて約 35% 程度を除去する。
50

【0068】

図6は、バッファートランジスタT04の切開領域をより効果的に表現するため、下部基板110の後面を示す。切開領域はマスクリペア(mask repair)方法を通じて形成できる。マスクリペア方法は、製造工程を通じて形成されたトランジスタの一部配線を、レーザーでカッティングしてトランジスタをフローティング(floatating)させることによって、チャンネル幅を減らす方法である。即ち、トランジスタのソースとドレーン配線の一部をカッティングして大きさを減らす。本発明の実施形態では、バッファートランジスタT04の一部配線をレーザーでカッティングして除去する。本発明の実施形態で適用されるマスクリペア方法は、下部基板110の製造コストの面で有利であるのでバッファートランジスタT04の大きさを減らす方法として利用されているが、配線設計のときにマスクの大きさを減らして、バッファートランジスタT04を小さくすることもできる。バッファートランジスタT04の大きさの減少比率は、駆動タイミングのセッティング状況によって異なるので、2番目のゲートラインGL2及び3番目のゲートラインGL3のQ-ノードQN電圧がオフ電圧に落ちる時点が、4番目以後のゲートラインと同一になるようバッファートランジスタT04の大きさを減らす。

10

【0069】

2番目のステージASG-2のバッファートランジスタT04の大きさを減らすと、Q-ノードQNの充電時間が減るので、図7A乃至図7Bのように、第2クロックCKV2のタイミングを所定の時間t1だけ遅延して、開始信号STVにより2番目のステージASG-2のQ-ノードQNに予め電荷を充電するフリーチャージ時間を1H以上に増加させる。図7Cのように、2番目のステージASG-2及び3番目のステージASG-3のバッファートランジスタT04の大きさを、約35%を減少し、第2クロックCKV2のフリーチャージ時間をP1(6.3μs)からP2(7.45μs)に変更することによって、2番目のステージASG-2のQ-ノードQNのフリーチャージの能力を補償できる。

20

【0070】

図8は、本発明の第2実施形態によるバッファートランジスタの構造を示す図面であり、図9は、図8のバッファートランジスタの切断線A-A'による断面図である。

【0071】

以下に、本発明の第1実施形態と同じ構成要素には同じ符号を付与し、同一の説明は省略する。

30

【0072】

図8及び図9のように、下部基板110は透明基板111上に金属層を全面に蒸着した後、金属層をパターニングしてゲート電極ライン112を形成する。図面上には、単一金属層をゲート電極ラインとすることを示しているが、多重の金属層でゲート電極ラインを構成しても良い。例えば、ゲート電極ライン112は、アルミニウム(A1)、アルミニウム合金、銅、銅合金、銀、銀合金、金、金合金等からなる導電膜を含む。このような導電膜に加えて、異なる物質、特に、ITO(indium tin oxide)又はIZO(indium zinc oxide)との物理的、化学的、電気的な接触特性が良いクロム(Cr)、チタニウム(Ti)、タンタル(Ta)、モリブデン(Mo)及びこれらの合金、例えば、モリブデン-タンゲステン(MoW)合金からなる導電膜を含む多層膜で構成しても良い。例えば、ゲート電極ライン112は、下部膜と上部膜を2重膜で構成しても良く、下部膜と上部膜の組み合わせの例としては、アルミニウム/モリブデン、又はアルミニウム合金/モリブデン、アルミニウム/チタニウム、チタニウム/銅、モリブデン/銅等がある。

40

【0073】

続いて、ゲート電極ライン112が形成された透明基板111上に、酸化シリコン、又は窒化シリコンのような絶縁物質を全面に蒸着し、順に真性半導体物質と不純物が含まれた半導体物質を連続で蒸着する。

【0074】

50

続いて、絶縁物質、真性半導体物質114及び不純物が添加された半導体物質115をエッチングしてゲート絶縁膜113、半導体層114及び不純物が添加された半導体層115を形成する。その結果、ゲート絶縁膜113はゲート電極ライン111の全体を覆つて、半導体層114と不純物半導体層115はゲート絶縁膜113と同じ形態でゲート絶縁膜215上に形成される。

【0075】

続いて、半導体層114と不純物半導体層115が形成された基板上に金属層を全面に蒸着する。金属層をパターニングしてゲート電極ライン上からドレーン電極ライン116-1とソース電極ライン116-2を形成する。例えば、ドレーン電極ライン116-1とソース電極ライン116-2は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金、金合金等からなる導電膜を含む。このような導電膜に加えて、異なる物質、特に、ITO又はIZOとの物理的、化学的、電気的な接触特性が良いクロム、チタニウム、タンタル、モリブデン及びこれらの合金、例えば、モリブデン・タンゲステン合金からなる導電膜を含む多層膜で構成しても良い。例えば、ドレーン電極ライン116-1及びソース電極ライン116-2は、下部膜と上部膜を2重膜で構成しても良く、下部膜と上部膜の組み合わせの例としては、アルミニウム／モリブデン又はアルミニウム合金／モリブデン、アルミニウム／チタニウム、チタニウム／銅、モリブデン／銅等がある。

10

【0076】

続いて、ドレーン電極ライン116-1とソース電極ライン116-2等が形成された基板の全面に窒化シリコン又は酸化シリコンのような絶縁物質を蒸着して保護膜117を形成する。

20

【0077】

続いて、保護膜117上に画素電極になる酸化インジウム亜鉛(indium zinc oxide、IZO)又は酸化インジウム錫(indium tin oxide、ITO)等の透明導電膜118を全面に蒸着した後、画素電極を形成する際に同時にエッチングして、2番目のステージASG-2及び3番目のステージASG-3のバッファートランジスタT04上に形成する。例えば、本発明の実施形態では、酸化インジウム亜鉛を透明導電膜に利用できる。このとき、透明導電膜118は、ドレーン電極ライン116-1とソース電極ライン116-2の間に形成されて、半導体層114と不純物半導体層115に所定の電圧、例えば、7.5Vのオフ電圧VSSが印加できるように形成する。本実施形態において、透明導電膜は450~600の厚さに形成される。このように、2番目のステージASG-2及び3番目のステージASG-3のバッファートランジスタT04に、トップゲート(top gate)として透明導電膜118を形成して、所定の電圧Vtgを印加すると、バッファートランジスタT04を通じて漏れる電流の量を減らすことができるので、視認性の不良が改善される。

30

【0078】

図10A及び図10Bは、トップゲートに印加される電圧によるバッファートランジスタの電流変化を示すグラフである。但し、図10Aにおいて、第1グラフG1は、バッファートランジスタT04のトップゲートに、-6Vのトップゲート電圧Vtgが印加された場合の漏れ電流Idsを示し、第2グラフG2はバッファートランジスタT04のトップゲートに、-2Vのトップゲート電圧Vtgが印加された場合の漏れ電流Idsを示し、第3グラフG3は、バッファートランジスタT04のトップゲートに2Vのトップゲート電圧Vtgが印加された場合の漏れ電流Idsを示し、第4グラフG4は、バッファートランジスタT04のトップゲートに6Vのトップゲート電圧Vtgが印加された場合の漏れ電流Idsを示す。また、第5グラフG5は、6.0でトップゲートをフローティング状態に放置した場合の漏れ電流Idsを示し、第6グラフG6は4.0でトップゲートをフローティング状態に放置した場合の漏れ電流Idsを示し、第7グラフG7は0でトップゲートをフローティング状態に放置した場合の漏れ電流Idsを示す。また、図10Bから第8グラフG8は、バッファートランジスタT04のトップゲートに印加されるトップゲート電圧Vtgの大きさによる漏れ電流Idsを示し、第9グラフG9は、トッ

40

50

ゲートがフローティング状態のとき温度による漏れ電流 I_{dS} の大きさを示すグラフである。

【0079】

図10A及び図10Bに示すように、バッファートランジスタT04のソース／ドレン電圧 V_{ds} が35Vであり、60℃の環境でバッファートランジスタT04の漏れ電流 I_{dS} は、トップゲート118に印加されるトップゲート電圧 V_{tg} が、陽電圧より負電圧である場合にさらに減少した。また、バッファートランジスタT04のソース／ドレン電圧 V_{ds} が35Vに設定され、ゲート-ソース間の電圧 V_{gs} が0Vに設定され、同じ温度環境（例えば、60℃）で、トップゲート118に負のトップゲート電圧 V_{tg} が印加される場合、透明導電膜118をフローティング状態にして置いたときと比べて漏れ電流が減少した。
10

【0080】

図11は本発明の第3実施形態によるゲート駆動回路を示す図面である。

【0081】

続いて、本発明の第1乃至第2実施形態と同じ構成要素は、同じ符号を付与し、同一の説明は省略する。

【0082】

図11のように、本発明の第3実施形態によるゲート駆動回路は第1乃至第3ダミーステージDASG-1～DASG-3を含むダミーステージ群DASG及び多数のステージASG-1～ASG-N、ASG-Dを含むステージ群ASGを含む。
20

【0083】

第1乃至第3ダミーステージDASG-1～DASG-3は、多数のステージの中で第1乃至第3ステージASG-1～ASG-3の前端に形成される。第1乃至第3ダミーステージDASG-1～DASG-3は、各ステージのキャリトランジスタT15から出力されたキャリ電圧を、第1乃至第3ステージASG-1～ASG-3の第1クロック端子CK1に印加する。第1クロック端子CK1に印加されたキャリ電圧は、バッファートランジスタT04を通じて各ステージのQ-ノードQNに印加される。各ステージの動作は既に詳述したので説明を省略する。

【0084】

開始信号STVが第1乃至第3ダミーステージDASG-1～DASG-3に印加され、第1乃至第3ダミーステージDASG-1～DASG-3が該当ゲートラインに3Hの間にゲート電圧を印加する。このことにより、各々の第1乃至第3ステージASG-1～ASG-3は、第1乃至第3ダミーステージDASG-1～DASG-3の出力電圧が供給されて動作する。
30

【0085】

このように、第1乃至第3ダミーステージDASG-1～DASG-3を第1乃至第3ステージASG-1～ASG-3の前端に形成することによって、従来の開始信号STVを直接供給されて動作するとき、第1乃至第3ステージASG-1～ASG-3のQ-ノードQNの漏れ電流により発生する不具合が、第1乃至第3ダミーステージDASG-1～DASG-3では視認され、第1乃至第3ステージASG-1～ASG-3では視認されないので、表示領域DAでは視認されない。ダミーステージの数は駆動条件によって可変とることができる。
40

【0086】

本発明によると、第1ステージ群の所定のステージに形成されたバッファートランジスタの大きさを調整して不具合を改善することができる。また、バッファートランジスタ上に透明導電膜を形成して電圧を印加することによって不具合を改善する。また、第1ステージ群に出力電圧を印加するダミーステージグループを形成することによって不具合及び信頼性を改善する。

【0087】

以上の実施形態等を参考にして本発明を説明したが、該技術分野の当業者らは本発明の
50

特許請求範囲に記載されている技術思想及び領域から外れない範囲内で本発明を様々に修正、又は変形できる。

【符号の説明】

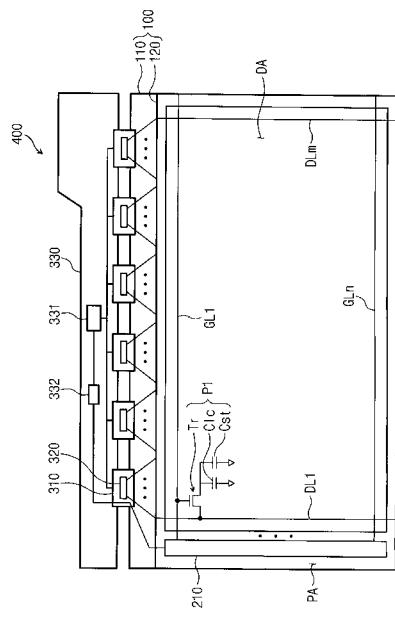
【0088】

- 100 液晶表示パネル
- 110 下部基板
- 111 透明基板
- 112 ゲート電極ライン
- 113 ゲート絶縁膜
- 114 真性半導体物質
- 115 不純物が添加された半導体物質
- 116 - 1 ドレーン電極ライン
- 116 - 2 ソース電極ライン
- 117 保護膜
- 120 上部基板
- 210 ゲート駆動部
- 310 駆動回路基板
- 320 データ駆動部
- 330 コントロール印刷回路基板
- 331 タイミングコントローラ
- 332 ゲート制御回路
- 400 液晶表示装置

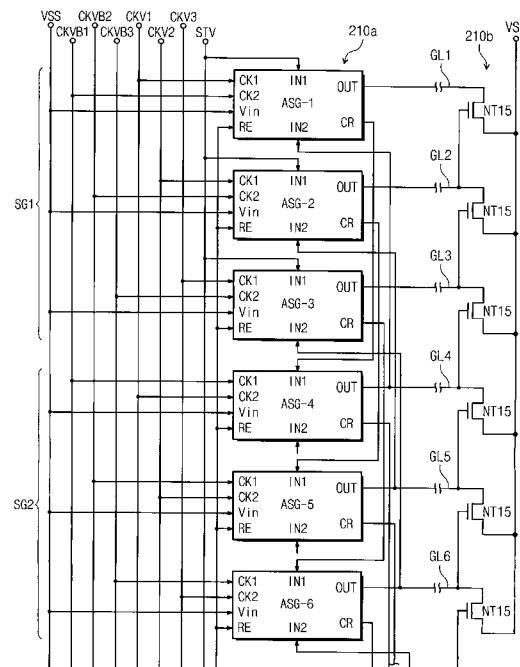
10

20

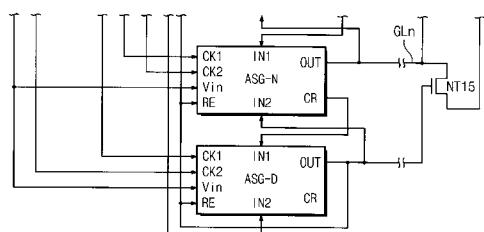
【図1】



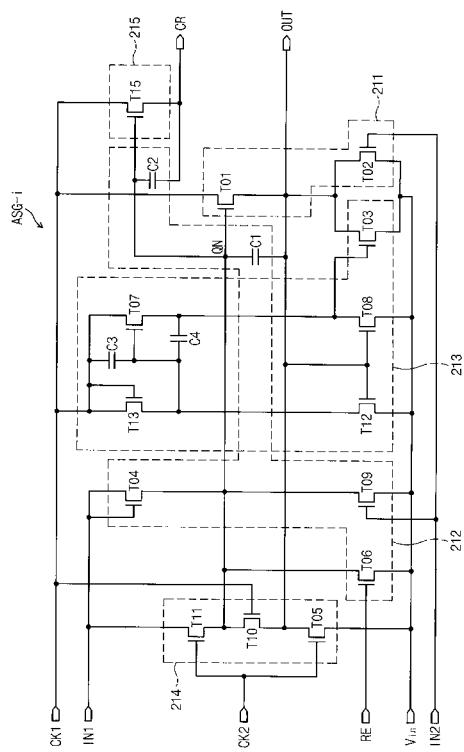
【図2A】



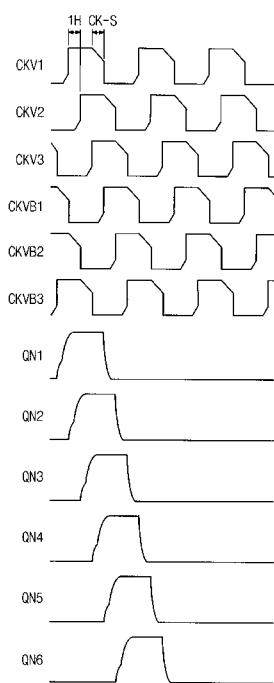
【図 2 B】



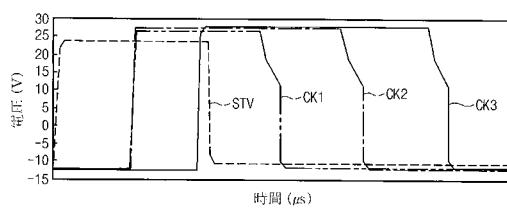
【図 3】



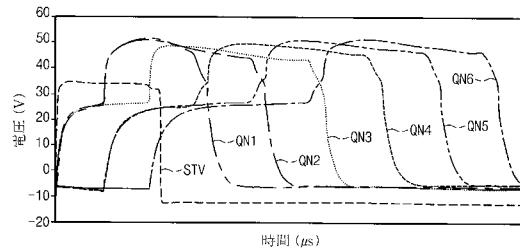
【図 4】



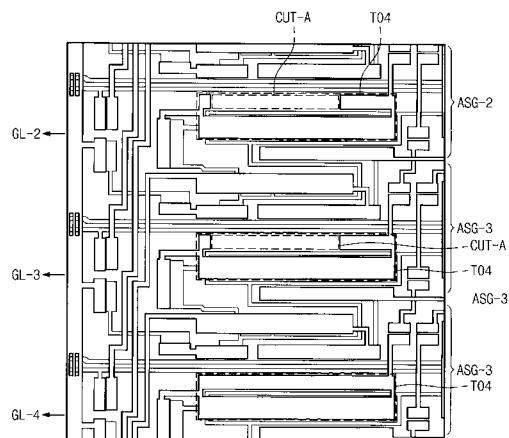
【図 5 A】



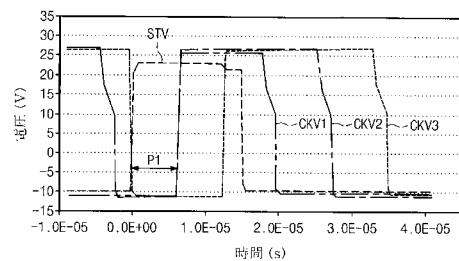
【図 5 B】



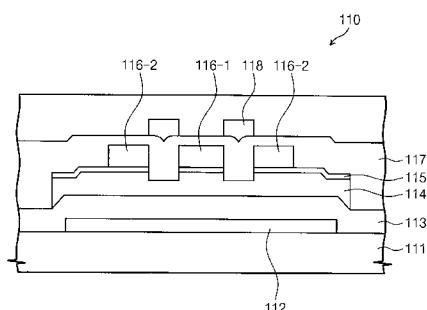
【図6】



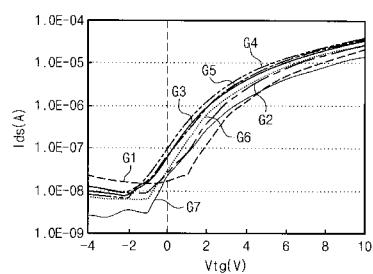
【図7A】



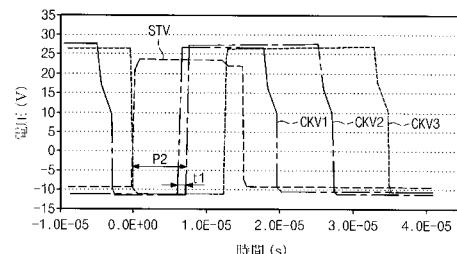
(9)



【 义 1 0 A 】



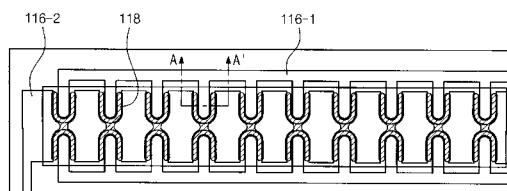
【 図 7 B 】



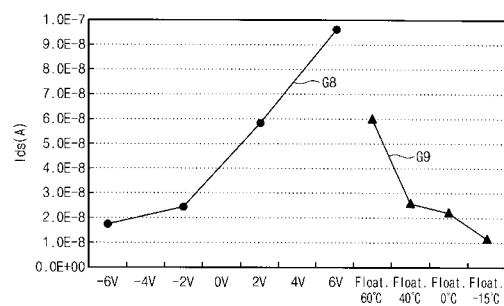
【図7C】

ステージ	ブリーチャージ(μs)		T04 減少比率
	前	後	
ASG-1	6.3	6.3	0%
ASG-2	6.3	7.45	35%
ASG-3	12.5	12.5	35%

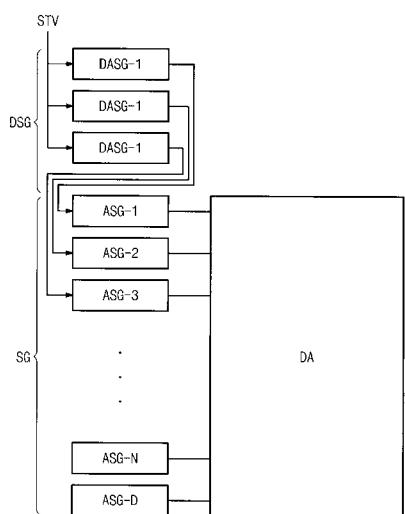
(8)



【 10 B 】



【図 1 1】



フロントページの続き

(72)発明者 盧 相 龍

大韓民国忠清南道牙山市排芳面葛梅里排芳 ザイ 1 - チャ アパート 106棟804号

(72)発明者 趙 榮 濟

大韓民国忠清南道牙山市湯井面鳴岩里湯井三星 トラプレイス アパート 103棟2304号

(72)発明者 崔 國 ヒュン

大韓民国ソウル特別市衿川区始興洞京南アパート 101棟505号

(72)発明者 金 容 照

大韓民国忠清南道牙山市排芳面北水里排芳 ザイ 2 - チャ アパート 104棟602号

(72)発明者 金 性 ホン

大韓民国ソウル特別市冠岳区成賢洞冠岳ドリームタウン アパート 102棟1103号

(72)発明者 金 孝 変

大韓民国忠清南道天安市多可洞389-28

F ターム(参考) 2H193 ZA04 ZC25 ZF22 ZF23

5C006 AC11 AC22 BB16 BC03 BF27 BF34 FA22

5C080 AA10 BB05 DD01 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	显示设备		
公开(公告)号	JP2016095517A	公开(公告)日	2016-05-26
申请号	JP2015244013	申请日	2015-12-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金ヒヨク珍 朴徑浩 盧相龍 趙榮濟 崔國ヒュン 金容照 金性ホン 金孝燮		
发明人	金 ▲ヒヨク▼ 珍 朴 徑 浩 盧 相 龍 趙 榮 濟 崔 國 ▲ヒュン▼ 金 容 照 金 性 ▲ホン▼ 金 孝 燮		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2300/0417 G09G2310/0286 G11C19/28		
FI分类号	G09G3/36 G09G3/20.621.A G09G3/20.622.B G09G3/20.642.A G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZC25 2H193/ZF22 2H193/ZF23 5C006/AC11 5C006/AC22 5C006/BB16 5C006 /BC03 5C006/BF27 5C006/BF34 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	山下大沽嗣		
优先权	1020090133158 2009-12-29 KR		
其他公开文献	JP6113261B2		
外部链接	Espacenet		

摘要(译)

提供一种具有改善的可见度和透射率的液晶显示装置。第一电场形成电极和第一电场形成电极包括：多个服务电极，其在像素区域中以预定的距离平行地布置；以及连接电极，其电连接各个服务电极。第二电场形成电极，其包括第一基板，该第一基板包括在第一方向上被摩擦的第一取向膜，并且包括在与第一基板的像素区域相对应的区域中彼此平行地形成的多个开口。以及一种液晶显示装置，其包括第二基板，该第二基板包括在第二方向上摩擦以覆盖第二电场形成电极的第二取向膜。[选型图]图1

