(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2016-1230
(P2016-1230A)
(43)公開日　平成28年1月7日(2016.1.7)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/1368	(2006.01)	G02F	1/1368		2H092
G02F	1/1343	(2006.01)	G02F	1/1343		2H191
G02F	1/1335	(2006.01)	G02F	1/1335	505	2H192

審査請求 未請求　請求項の数 8　ＯＬ　（全 19 頁）

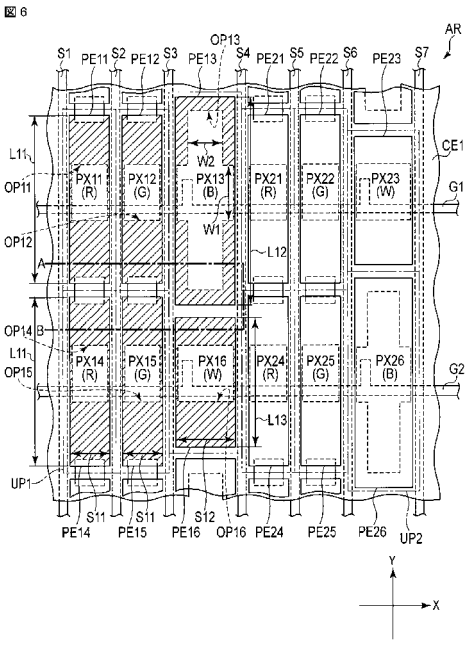
(21)出願番号　特願2014-120603 (P2014-120603)
(22)出願日　平成26年6月11日 (2014.6.11)

(71)出願人　502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目７番１号
(74)代理人　110001737
特許業務法人スズエ国際特許事務所
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100087653
弁理士　鈴江　正二
(72)発明者　中村　真人
東京都港区西新橋三丁目７番１号　株式会社ジャパンディスプレイ内

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【要約】
【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。
【解決手段】第１共通電極と、前記第１共通電極と対向するとともに第１設置面積を有する第１画素電極と、前記第１共通電極と対向するとともに前記第１設置面積と同等の第２設置面積を有する第２画素電極と、前記第１共通電極と対向するとともに前記第１設置面積よりも大きな第３設置面積を有する第３画素電極と、前記第１共通電極と前記第１乃至第３画素電極との間に介在する層間絶縁膜と、を備えた第１基板と、前記第１乃至第３画素電極と対向するとともに前記第１共通電極と同電位の第２共通電極と、を備えた第２基板と、を備え、前記第３画素電極と前記第１共通電極とが対向する領域の形状は、前記第１画素電極及び前記第２画素電極の各々と前記第１共通電極とが対向する領域の形状とは異なる、液晶表示装置。
【選択図】図６



【特許請求の範囲】
【請求項１】
第１共通電極と、前記第１共通電極と対向するとともに第１設置面積を有する第１画素電極と、前記第１共通電極と対向するとともに前記第１設置面積と同等の第２設置面積を有する第２画素電極と、前記第１共通電極と対向するとともに前記第１設置面積よりも大きな第３設置面積を有する第３画素電極と、前記第１共通電極と前記第１乃至第３画素電極との間に介在する層間絶縁膜と、を備えた第１基板と、
前記第１画素電極と対向する第１カラーフィルタと、前記第２画素電極と対向するとともに前記第１カラーフィルタとは異なる色の第２カラーフィルタと、前記第３画素電極と対向するとともに前記第１乃至第２カラーフィルタとは異なる色の第３カラーフィルタと、前記第１乃至第３画素電極と対向するとともに前記第１共通電極と同電位の第２共通電極と、を備えた第２基板と、
前記第１基板と前記第２基板との間に保持された液晶層と、を備え、
前記第３画素電極と前記第１共通電極とが対向する領域の形状は、前記第１画素電極及び前記第２画素電極の各々と前記第１共通電極とが対向する領域の形状とは異なる、液晶表示装置。
【請求項２】
前記第１共通電極と前記第１乃至第３画素電極のそれぞれとが対向する面積は同等である、請求項１に記載の液晶表示装置。
【請求項３】
前記第１共通電極は、前記第１画素電極と対向する位置に第１開口面積を有する第１開口部と、前記第２画素電極と対向する位置に前記第１開口面積と同等の第２開口面積を有する第２開口部と、前記第３画素電極と対向する位置に前記第１開口面積よりも大きな第３開口面積を有する第３開口部と、を有し、前記第３画素電極とそのエッジに沿った領域で対向する、請求項１に記載の液晶表示装置。
【請求項４】
前記第１画素電極及び前記第２画素電極は第１方向に沿って第１短辺長を有し、前記第３画素電極は第１方向に沿って第１短辺長より長い第２短辺長を有し、
前記第１画素電極及び前記第２画素電極は第２方向に沿って第１長辺長を有し、前記第３画素電極は第２方向に沿って第１長辺長より長い第２長辺長を有する、請求項１に記載の液晶表示装置。
【請求項５】
ゲート配線と、前記ゲート配線と対向する第１乃至第３開口部を有する第１共通電極と、第１面積の第１色画素において前記第１共通電極と対向するとともに前記第１開口部において前記ゲート配線と対向する第１画素電極と、第１面積と同等の第２面積の第２色画素において前記第１共通電極と対向するとともに前記第２開口部において前記ゲート配線と対向する第２画素電極と、第１面積より大きな第３面積の第３色画素において前記第１共通電極と対向するとともに前記第３開口部において前記ゲート配線と対向する第３画素電極と、前記第１共通電極と前記第１乃至第３画素電極との間に介在する層間絶縁膜と、を備えた第１基板と、
前記第１画素電極と対向する第１カラーフィルタと、前記第２画素電極と対向するとともに前記第１カラーフィルタとは異なる色の第２カラーフィルタと、前記第３画素電極と対向するとともに前記第１乃至第２カラーフィルタとは異なる色の第３カラーフィルタと、前記第１乃至第３画素電極と対向するとともに前記第１共通電極と同電位の第２共通電極と、を備えた第２基板と、
前記第１基板と前記第２基板との間に保持された液晶層と、を備え、
前記第１共通電極と前記第１乃至第３画素電極のそれぞれとが対向する面積は、前記第１乃至第３色画素における突き抜け電圧が同等となるように設定された、液晶表示装置。
【請求項６】
前記第１乃至第３色画素における突き抜け電圧の差は８０ｍＶ以下である、請求項５に

記載の液晶表示装置。
【請求項７】
前記第３カラーフィルタは青色カラーフィルタである、請求項１または５に記載の液晶表示装置。
【請求項８】
前記第２共通電極には、前記第１乃至第３画素電極と対向する位置にスリットが形成された、請求項１または５に記載の液晶表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態は、液晶表示装置に関する。
【背景技術】
【０００２】
近年の液晶表示装置においては、一画素当たり表示に寄与する面積の割合を向上する技術が種々検討されている。例えば、遮光性の材料によって形成される補助容量線を用いて補助容量を構成する代わりに、絶縁層を介して透明な画素電極と透明補助容量電極とで補助容量を構成する技術が提案されている。
【０００３】
一方で、カラー表示装置において、表示輝度を向上する技術が種々検討されている。一例として、赤色（Ｒ）の画素、緑色（Ｇ）の画素、青色（Ｂ）の画素、及び、白色（Ｗ）の画素を一列に並べて配置し、１つの単位画素を構成する技術が提案されている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】国際公開第２０１３／１５７３３６号
【特許文献２】特開２００８－２３３８０３号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。
【課題を解決するための手段】
【０００６】
本実施形態によれば、
第１共通電極と、前記第１共通電極と対向するとともに第１設置面積を有する第１画素電極と、前記第１共通電極と対向するとともに前記第１設置面積と同等の第２設置面積を有する第２画素電極と、前記第１共通電極と対向するとともに前記第１設置面積よりも大きな第３設置面積を有する第３画素電極と、前記第１共通電極と前記第１乃至第３画素電極との間に介在する層間絶縁膜と、を備えた第１基板と、前記第１画素電極と対向する第１カラーフィルタと、前記第２画素電極と対向するとともに前記第１カラーフィルタとは異なる色の第２カラーフィルタと、前記第３画素電極と対向するとともに前記第１乃至第２カラーフィルタとは異なる色の第３カラーフィルタと、前記第１乃至第３画素電極と対向するとともに前記第１共通電極と同電位の第２共通電極と、を備えた第２基板と、前記第１基板と前記第２基板との間に保持された液晶層と、を備え、前記第３画素電極と前記第１共通電極とが対向する領域の形状は、前記第１画素電極及び前記第２画素電極の各々と前記第１共通電極とが対向する領域の形状とは異なる、液晶表示装置が提供される。
【０００７】
本実施形態によれば、
ゲート配線と、前記ゲート配線と対向する第１乃至第３開口部を有する第１共通電極と、第１面積の第１色画素において前記第１共通電極と対向するとともに前記第１開口部に

おいて前記ゲート配線と対向する第１画素電極と、第１面積と同等の第２面積の第２色画素において前記第１共通電極と対向するとともに前記第２開口部において前記ゲート配線と対向する第２画素電極と、第１面積より大きな第３面積の第３色画素において前記第１共通電極と対向するとともに前記第３開口部において前記ゲート配線と対向する第３画素電極と、前記第１共通電極と前記第１乃至第３画素電極との間に介在する層間絶縁膜と、を備えた第１基板と、前記第１画素電極と対向する第１カラーフィルタと、前記第２画素電極と対向するとともに前記第１カラーフィルタとは異なる色の第２カラーフィルタと、前記第３画素電極と対向するとともに前記第１乃至第２カラーフィルタとは異なる色の第３カラーフィルタと、前記第１乃至第３画素電極と対向するとともに前記第１共通電極と同電位の第２共通電極と、を備えた第２基板と、前記第１基板と前記第２基板との間に保持された液晶層と、を備え、前記第１共通電極と前記第１乃至第３画素電極のそれぞれとが対向する面積は、前記第１乃至第３色画素における突き抜け電圧が同等となるように設定された、液晶表示装置が提供される。

【図面の簡単な説明】

【０００８】

【図１】図１は、本実施形態の液晶表示装置を構成する液晶表示パネルＬＰＮの構成及び等価回路を概略的に示す図である。

【図２】図２は、本実施形態の液晶表示装置に適用可能なアレイ基板ＡＲの一画素ＰＸの構成例を概略的に示す平面図である。

【図３】図３は、本実施形態の液晶表示装置に適用可能な対向基板ＣＴの一画素ＰＸの構成例を概略的に示す平面図である。

【図４】図４は、図２に示したスイッチング素子ＳＷを含むアクティブエリアにおける液晶表示パネルＬＰＮの断面構造を概略的に示す図である。

【図５】図５は、本実施形態における各画素とカラーフィルタとのレイアウトの一例を概略的に示す平面図である。

【図６】図６は、図５に示したカラーフィルタが適用されるアレイ基板ＡＲの構成例を概略的に示す平面図である。

【図７】図７は、図６に示したアレイ基板ＡＲをＡ－Ｂ線で切断したときの液晶表示パネルＬＰＮの断面構造を概略的に示す平面図である。

【発明を実施するための形態】

【０００９】

以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

【００１０】

図１は、本実施形態の液晶表示装置を構成する液晶表示パネルＬＰＮの構成及び等価回路を概略的に示す図である。

【００１１】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルＬＰＮを備えている。液晶表示パネルＬＰＮは、第１基板であるアレイ基板ＡＲと、アレイ基板ＡＲに対向配置された第２基板である対向基板ＣＴと、アレイ基板ＡＲと対向基板ＣＴとの間に保持された液晶層ＬＱと、を備えて構成されている。液晶表示パネルＬＰＮは、画像を表示するアクティブエリアＡＣＴを備えている。アクティブエリアＡＣＴは、アレイ基板ＡＲと対向基板ＣＴとの間に液晶層ＬＱが保持された領域に相当し、例えば、四角形状であり、マトリクス状に配置された複数の画素ＰＸによって構成されている。

【００１２】
アレイ基板ＡＲは、アクティブエリアＡＣＴにおいて、ゲート配線Ｇ（Ｇ１～Ｇｎ）、ソース配線Ｓ（Ｓ１～Ｓｍ）、スイッチング素子ＳＷ、画素電極ＰＥ、第１共通電極ＣＥ１などを備えている。ゲート配線Ｇは、例えば第１方向Ｘに沿って延出している。ソース配線Ｓは、第１方向Ｘに交差する第２方向Ｙに沿って延出している。スイッチング素子ＳＷは、各画素ＰＸにおいてゲート配線Ｇ及びソース配線Ｓと電気的に接続されている。画素電極ＰＥは、各画素ＰＸにおいてスイッチング素子ＳＷに電気的に接続されている。第１共通電極ＣＥ１は、アクティブエリアＡＣＴの略全面に亘って延在しており、各画素ＰＸの画素電極ＰＥと対向している。補助容量ＣＳは、例えば、第１共通電極ＣＥ１と画素電極ＰＥとの間に形成される。

【００１３】
一方、対向基板ＣＴは、第２共通電極ＣＥ２などを備えている。第２共通電極ＣＥ２は、アクティブエリアＡＣＴの略全面に亘って延在しており、液晶層ＬＱを介して各画素ＰＸの画素電極ＰＥと対向している。

【００１４】
各ゲート配線Ｇは、アクティブエリアＡＣＴの外側に引き出され、第１駆動回路ＧＤに接続されている。各ソース配線Ｓは、アクティブエリアＡＣＴの外側に引き出され、第２駆動回路ＳＤに接続されている。第１駆動回路ＧＤ及び第２駆動回路ＳＤは、例えばその少なくとも一部がアレイ基板ＡＲに形成され、駆動ＩＣチップ２と接続されている。駆動ＩＣチップ２は、第１駆動回路ＧＤ及び第２駆動回路ＳＤを制御するコントローラを内蔵し、液晶表示パネルＬＰＮを駆動するのに必要な信号を供給する信号供給源として機能する。図示した例では、駆動ＩＣチップ２は、液晶表示パネルＬＰＮのアクティブエリアＡＣＴの外側において、アレイ基板ＡＲに実装されている。

【００１５】
第１共通電極ＣＥ１及び第２共通電極ＣＥ２は、互いに電気的に接続され、同電位である。第１共通電極ＣＥ１及び第２共通電極ＣＥ２は、アクティブエリアＡＣＴの外側に引き出され、給電部ＶＳに接続されている。給電部ＶＳは、例えばアクティブエリアＡＣＴの外側においてアレイ基板ＡＲに形成され、第１共通電極ＣＥ１と電気的に接続されるとともに、図示しない導電部材を介して第２共通電極ＣＥ２と電気的に接続されている。給電部ＶＳでは、第１共通電極ＣＥ１及び第２共通電極ＣＥ２に対して、例えばコモン電位が供給される。

【００１６】
図２は、本実施形態の液晶表示装置に適用可能なアレイ基板ＡＲの一画素ＰＸの構成例を概略的に示す平面図である。

【００１７】
アレイ基板ＡＲは、ゲート配線Ｇ１、ソース配線Ｓ１、ソース配線Ｓ２、スイッチング素子ＳＷ、第１共通電極ＣＥ１、画素電極ＰＥなどを備えている。図示した例では、画素ＰＸは、図中の破線で示したように、第１方向Ｘに平行な一対の短辺を有するとともに、第２方向Ｙに平行な一対の長辺を有する長方形状である。なお、第１方向Ｘ及び第２方向Ｙは互いに直交している。

【００１８】
ゲート配線Ｇ１は、第１方向Ｘに沿って延出している。ソース配線Ｓ１及びソース配線Ｓ２は、第１方向Ｘに沿って間隔をおいて配置され、それぞれ第２方向Ｙに沿って延出している。画素ＰＸの第１方向Ｘに沿った長さは、隣接するソース配線の第１方向Ｘに沿ったピッチと略同等である。画素ＰＸの第２方向Ｙに沿った長さは、隣接するゲート配線の第２方向Ｙに沿ったピッチと略同等である。

【００１９】
図示した画素ＰＸにおいて、ソース配線Ｓ１は左側端部に位置し当該画素ＰＸとその左側に隣接する画素との境界に跨って配置され、ソース配線Ｓ２は右側端部に位置し当該画素ＰＸとその右側に隣接する画素との境界に跨って配置されている。ゲート配線Ｇ１は、

画素ＰＸの中央部を横切るように配置されている。図示したように、本実施形態においては、補助容量ＣＳを形成するために画素ＰＸを横切る補助容量線は存在しない。

【００２０】

スイッチング素子ＳＷは、例えば、ｎチャネル薄膜トランジスタ（ＴＦＴ）によって構成されている。スイッチング素子ＳＷは、ゲート配線Ｇ１及びソース配線Ｓ１に電気的に接続されている。また、スイッチング素子ＳＷは、ドレイン電極ＷＤを備えている。

【００２１】

第１共通電極ＣＥ１は、例えば、図中に右下がりの斜線で示したように、当該画素ＰＸの略全域に配置され、さらに、当該画素ＰＸから、ソース配線Ｓ１及びソース配線Ｓ２を跨いで第１方向Ｘに延在するとともに、第２方向Ｙにも延在している。つまり、第１共通電極ＣＥ１は、ソース配線Ｓ１及びソース配線Ｓ２に対向するとともに、当該画素ＰＸに対して第１方向Ｘに隣接する各画素に亘って連続的に形成されている。また、第１共通電極ＣＥ１は、当該画素ＰＸに対して第２方向Ｙに隣接する各画素に亘って連続的に形成されている。さらに言えば、詳述しないが、第１共通電極ＣＥ１は、画像を表示するアクティブエリアの略全域に配置され、その一部がアクティブエリアの外側に引き出され、上記の通り、給電部と電気的に接続されている。第１共通電極ＣＥ１には、ドレイン電極ＷＤを露出する開口部ＯＰが形成されている。

【００２２】

尚、第１共通電極ＣＥ１は、当該画素ＰＸの略全域に配置される一方でゲート配線Ｇ１と重なる領域で途切れ、当該画素ＰＸからソース配線Ｓ１及びソース配線Ｓ２を跨いで第１方向Ｘに延在し、ソース配線Ｓ１及びソース配線Ｓ２に対向するとともに、当該画素ＰＸに対して第１方向Ｘに隣接する各画素に亘って帯状に連続的に形成されても良い。

【００２３】

画素電極ＰＥは、図中に右上がりの斜線で示したように、画素ＰＸにおいて島状に形成され、第１共通電極ＣＥ１と対向している。なお、図示した例では、当該画素ＰＸに配置された画素電極ＰＥのみを図示しているが、当該画素ＰＸの第１方向Ｘ及び第２方向Ｙに隣接する他の画素にも同様の画素電極が配置されている。画素電極ＰＥは、コンタクトホールＣＨを介してスイッチング素子ＳＷのドレイン電極ＷＤに電気的に接続されている。図示した画素電極ＰＥの形状は、例えば、画素ＰＸの形状に対応して、第１方向Ｘに沿った長さが第２方向Ｙに沿った長さよりも短い長方形状である。コンタクトホールＣＨは、画素電極ＰＥの略中央に位置している。なお、画素電極ＰＥの一部は、ソース配線Ｓ１やソース配線Ｓ２と重なる位置まで延在していても良い。

【００２４】

本実施形態において、アクティブエリアの各画素の構成は、上記した構成例と同様であるが、アクティブエリアは、画素サイズつまり第１方向Ｘに沿った長さ及び第２方向Ｙに沿った長さの異なる画素を含んでいる。

【００２５】

図３は、本実施形態の液晶表示装置に適用可能な対向基板ＣＴの一画素ＰＸの構成例を概略的に示す平面図である。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板の主要部であるソース配線Ｓ１、ソース配線Ｓ２、ゲート配線Ｇ１、及び、画素電極ＰＥを破線で示し、第１共通電極の図示を省略している。

【００２６】

対向基板ＣＴは、第２共通電極ＣＥ２などを備えている。第２共通電極ＣＥ２は、図中に右上がりの斜線で示したように、当該画素ＰＸの全域に亘って配置され、画素電極ＰＥと対向している。また、第２共通電極ＣＥ２は、当該画素ＰＸから第１方向Ｘ及び第２方向Ｙに亘って延在し、ソース配線Ｓ１及びソース配線Ｓ２の上方にも位置している。つまり、第２共通電極ＣＥ２は、詳述しないが、当該画素ＰＸの第１方向Ｘに沿った右側及び左側に隣接する画素や、当該画素ＰＸの第２方向Ｙに沿った上側及び下側に隣接する画素に亘って連続的に形成されている。さらに言えば、詳述しないが、第２共通電極ＣＥ２は、アクティブエリアの略全域に亘って配置されている。

【００２７】
第２共通電極ＣＥ２には、画素電極ＰＥと対向する位置にスリットＳＬが形成されている。図示した例では、スリットＳＬは、第２方向Ｙに沿って延出した帯状に形成され、画素ＰＸの略中央に位置している。このようなスリットＳＬは、主として液晶分子の配向を制御する配向制御部に相当する。なお、液晶分子の配向を制御する機能を有するものであれば、スリットに代えて、第２共通電極ＣＥ２に積層した突起などの他の配向制御部を設置しても良い。
【００２８】
第１方向Ｘに平行な一対の短辺を有し、第２方向Ｙに平行な一対の長辺を有する長方形状の画素ＰＸに対して、第２方向Ｙに延出したスリットＳＬを適用することにより、スリットＳＬから画素電極ＰＥの端部までの距離が一画素の全方向で短縮される。このため、スリットＳＬと画素電極端部との間に、後述するスリットＳＬを避ける傾斜電界が形成され、液晶分子の応答速度を向上することが可能となる。
【００２９】
なお、スリットＳＬの形状については、図示した例に限らず、第１方向Ｘに沿って延出した帯状であっても良いし、十字状などであっても良い。第１方向Ｘに沿った帯状のスリットＳＬの場合、当該スリットＳＬがゲート配線Ｇ１と重なる位置に形成されることが望ましい。また、十字状のスリットＳＬが適用される場合、第１方向Ｘに沿った横スリットがゲート配線Ｇ１と重なる位置に形成されることが望ましい。ゲート配線Ｇ１と重なる位置にスリットが形成されることにより、一画素をマルチドメイン化するための配向制御が可能となるとともに、スリットと重なる領域の透過率のロスを低減することができ、一画素あたりの輝度を向上することが可能となる。
【００３０】
図４は、図２に示したスイッチング素子ＳＷを含むアクティブエリアにおける液晶表示パネルＬＰＮの断面構造を概略的に示す図である。
【００３１】
アレイ基板ＡＲは、ガラス基板や樹脂基板などの光透過性を有する第１絶縁基板１０を用いて形成されている。アレイ基板ＡＲは、第１絶縁基板１０の対向基板ＣＴに対向する側に、スイッチング素子ＳＷ、第１共通電極ＣＥ１、画素電極ＰＥ、第１絶縁膜１１、第２絶縁膜１２、第３絶縁膜１３、第４絶縁膜１４、第１配向膜ＡＬ１などを備えている。
【００３２】
図示した例では、スイッチング素子ＳＷは、トップゲート型であり、シングルゲート構造の薄膜トランジスタである。なお、スイッチング素子ＳＷの構造は、図示した例に限らず、ダブルゲート構造であっても良い。また、スイッチング素子ＳＷは、ボトムゲート型であっても良い。
【００３３】
図示したスイッチング素子ＳＷは、半導体層ＳＣ、ゲート電極ＷＧ、ソース電極ＷＳ、及び、ドレイン電極ＷＤを備えている。半導体層ＳＣは、第１絶縁基板１０の上に形成されている。このような半導体層ＳＣは、例えば、多結晶シリコン（ｐ－Ｓｉ）、アモルファスシリコン（ａ－Ｓｉ）、酸化物半導体などによって形成されている。なお、第１絶縁基板１０と半導体層ＳＣとの間には、絶縁膜であるアンダーコート層が介在していても良い。半導体層ＳＣは、第１絶縁膜１１によって覆われている。また、第１絶縁膜１１は、第１絶縁基板１０の上にも配置されている。
【００３４】
ゲート電極ＷＧは、第１絶縁膜１１の上に形成され、半導体層ＳＣの直上に位置している。ゲート電極ＷＧは、ゲート配線Ｇ１に電気的に接続され（あるいは、ゲート配線Ｇ１と一体的に形成され）、第２絶縁膜１２によって覆われている。また、第２絶縁膜１２は、第１絶縁膜１１の上にも配置されている。
【００３５】
ソース電極ＷＳ及びドレイン電極ＷＤは、第２絶縁膜１２の上に形成されている。また

、ソース配線Ｓ１及びソース配線Ｓ２も同様に第２絶縁膜１２の上に形成されている。図示したソース電極ＷＳは、ソース配線Ｓ１に電気的に接続されている（あるいは、ソース配線Ｓ１と一体的に形成されている）。ソース電極ＷＳ及びドレイン電極ＷＤは、それぞれ第１絶縁膜１１及び第２絶縁膜１２を貫通するコンタクトホールを介して半導体層ＳＣにコンタクトしている。このような構成のスイッチング素子ＳＷは、ソース配線Ｓ１及びソース配線Ｓ２とともに第３絶縁膜１３によって覆われている。第３絶縁膜１３は、第２絶縁膜１２の上にも配置されている。このような第３絶縁膜１３は、例えば、透明な樹脂材料によって形成されている。

【００３６】

第１共通電極ＣＥ１は、第３絶縁膜１３の上に形成されている。図示したように、第１共通電極ＣＥ１は、ソース配線Ｓ１及びソース配線Ｓ２の上方をカバーし、隣接する画素に向かって延在している。このような第１共通電極ＣＥ１は、インジウム・ティン・オキサイド（ＩＴＯ）やインジウム・ジンク・オキサイド（ＩＺＯ）などの透明な導電材料によって形成されている。第１共通電極ＣＥ１の上には、第４絶縁膜１４が配置されている。第３絶縁膜１３及び第４絶縁膜１４には、開口部ＯＰと重なる位置に、ドレイン電極ＷＤまで貫通したコンタクトホールＣＨが形成されている。なお、コンタクトホールＣＨは、第３絶縁膜１３を貫通するコンタクトホールと、第４絶縁膜１４を貫通するコンタクトホールとで構成されている。第４絶縁膜１４は、第３絶縁膜１３と比較して薄い膜厚に形成され、例えば、シリコン窒化物などの無機系材料によって形成されている。

【００３７】

画素電極ＰＥは、第４絶縁膜１４の上において島状に形成され、第１共通電極ＣＥ１と対向している。第４絶縁膜１４は、第１共通電極ＣＥ１と画素電極ＰＥとの間に介在する層間絶縁膜に相当する。画素電極ＰＥは、コンタクトホールＣＨを介してスイッチング素子ＳＷのドレイン電極ＷＤに電気的に接続されている。このような画素電極ＰＥは、例えば、ＩＴＯやＩＺＯなどの透明な導電材料によって形成されている。画素電極ＰＥは、第１配向膜ＡＬ１によって覆われている。また、第１配向膜ＡＬ１は、第４絶縁膜１４の上にも配置されている。

【００３８】

一方、対向基板ＣＴは、ガラス基板や樹脂基板などの光透過性を有する第２絶縁基板３０を用いて形成されている。対向基板ＣＴは、第２絶縁基板３０のアレイ基板ＡＲに対向する側に、遮光層３１、カラーフィルタ３２、オーバーコート層３３、第２共通電極ＣＥ２、第２配向膜ＡＬ２などを備えている。

【００３９】

遮光層３１は、アクティブエリアＡＣＴにおいて各画素ＰＸを区画し、開口部ＡＰを形成する。遮光層３１は、色画素の境界あるいはアレイ基板ＡＲに設けられたソース配線やゲート配線と対向する位置、スイッチング素子ＳＷと対向する位置などに設けられている。遮光層３１は、遮光性の金属材料や黒色の樹脂材料によって形成されている。

【００４０】

カラーフィルタ３２は、開口部ＡＰに形成され、その一部が遮光層３１と重なっている。カラーフィルタ３２は、例えば、赤色に着色された樹脂材料からなる赤色カラーフィルタ、緑色に着色された樹脂材料からなる緑色カラーフィルタ、青色に着色された樹脂材料からなる青色カラーフィルタなどを含んでいる。赤色カラーフィルタは赤色を表示する赤色画素に配置され、緑色カラーフィルタは緑色を表示する緑色画素に配置され、青色カラーフィルタは青色を表示する青色画素に配置されている。また、白色を表示する白色画素には、白色（あるいは透明）カラーフィルタが配置されている。なお、白色画素にはカラーフィルタを配置しなくても良いし、オーバーコート層３３のみを配置しても良い。また、白色カラーフィルタは、厳密に無彩色のカラーフィルタでなくても良く、淡く色付いた（例えば薄黄色に色付いた）カラーフィルタであってもよい。異なる色のカラーフィルタ３２間の境界は、ソース配線Ｓの上方の遮光層３１と重なる位置にある。

【００４１】

オーバーコート層３３は、カラーフィルタ３２を覆っている。オーバーコート層３３は、遮光層３１やカラーフィルタ３２の凹凸を平坦化する。オーバーコート層３３は、透明な樹脂材料によって形成されている。オーバーコート層３３は、第２共通電極ＣＥ２の下地となる。

【００４２】

第２共通電極ＣＥ２は、オーバーコート層３３のアレイ基板ＡＲと対向する側に形成されている。図示したように、第２共通電極ＣＥ２は、ソース配線Ｓ１及びソース配線Ｓ２の上方を通り、隣接する画素に向かって延在している。このような第２共通電極ＣＥ２は、例えば、ＩＴＯやＩＺＯなどの透明な導電材料によって形成されている。第２共通電極ＣＥ２は、第２配向膜ＡＬ２によって覆われている。

【００４３】

第１配向膜ＡＬ１及び第２配向膜ＡＬ２は、垂直配向性を示す材料によって形成され、ラビングなどの配向処理を必要とせずに液晶分子ＬＭを基板の法線方向に配向させる配向規制力を有している。

【００４４】

上述したようなアレイ基板ＡＲと対向基板ＣＴとは、第１配向膜ＡＬ１及び第２配向膜ＡＬ２が向かい合うように配置されている。このとき、アレイ基板ＡＲと対向基板ＣＴとの間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板ＡＲ及び対向基板ＣＴは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層ＬＱは、第１配向膜ＡＬ１と第２配向膜ＡＬ２との間に封入されている。液晶層ＬＱは、例えば、誘電率異方性が負（ネガ型）の液晶材料によって構成されている。

【００４５】

このような構成の液晶表示パネルＬＰＮに対して、その背面側には、バックライトＢＬが配置されている。バックライトＢＬとしては、種々の形態が適用可能であるが、ここでは詳細な構造についての説明は省略する。

【００４６】

第１絶縁基板１０の外面１０Ｂには、第１偏光板ＰＬ１を含む第１光学素子ＯＤ１が配置されている。第２絶縁基板３０の外面３０Ｂには、第２偏光板ＰＬ２を含む第２光学素子ＯＤ２が配置されている。第１偏光板ＰＬ１及び第２偏光板ＰＬ２は、例えば、それぞれの偏光軸が直交するクロスニコルの位置関係となるように配置される。

【００４７】

図５は、本実施形態における各画素とカラーフィルタとのレイアウトの一例を概略的に示す平面図である。なお、ここでは第１方向Ｘと第２方向Ｙとは互いに直交している。

【００４８】

カラー表示を実現するための単位画素は、複数の異なる色画素によって構成されている。単位画素とは、アクティブエリアに表示されるカラー画像を構成する最小単位である。ここでは、第１方向Ｘに並んだ２つの単位画素ＵＰ１及び単位画素ＵＰ２が図示されている。単位画素ＵＰ１及び単位画素ＵＰ２は、それぞれ６個の色画素によって構成されている。

【００４９】

単位画素ＵＰ１は、色画素ＰＸ１１、色画素ＰＸ１２、色画素ＰＸ１３、色画素ＰＸ１４、色画素ＰＸ１５、及び、色画素ＰＸ１６によって構成されている。図中においては、各色画素は、第１方向Ｘに一対の短辺を有するとともに第２方向Ｙに一対の長辺を有する長方形状であり、それぞれ一点鎖線で示している。色画素ＰＸ１２は、色画素ＰＸ１１とは異なる色を表示する画素であって、色画素ＰＸ１１の第１方向Ｘに隣接している。色画素ＰＸ１３は、色画素ＰＸ１１及び色画素ＰＸ１２とは異なる色を表示する画素であって、色画素ＰＸ１２の第１方向Ｘに隣接している。色画素ＰＸ１４は、色画素ＰＸ１１と同一色を表示する画素であって、色画素ＰＸ１１の第２方向Ｙに隣接している。色画素ＰＸ１５は、色画素ＰＸ１２と同一色を表示する画素であって、色画素ＰＸ１２の第２方向Ｙ

に隣接している。色画素ＰＸ１６は、色画素ＰＸ１１、色画素ＰＸ１２、及び、色画素ＰＸ１３とは異なる色を表示する画素であって、色画素ＰＸ１３の第２方向Ｙに隣接している。ここでは、色画素ＰＸ１１及び色画素ＰＸ１４は赤色画素であって、色画素ＰＸ１２及び色画素ＰＸ１５は緑色画素であって、色画素ＰＸ１３は青色画素であって、色画素ＰＸ１６は白色画素である。

【００５０】

色画素ＰＸ１１、色画素ＰＸ１２、色画素ＰＸ１４、及び、色画素ＰＸ１５は、第２方向Ｙに沿って長辺長Ｌ１を有している。色画素ＰＸ１３は、第２方向Ｙに沿って長辺長Ｌ１より長い長辺長Ｌ２を有している。色画素ＰＸ１６は、第２方向Ｙに沿って長辺長Ｌ１より短い長辺長Ｌ３を有している。また、色画素ＰＸ１１、色画素ＰＸ１２、色画素ＰＸ１４、及び、色画素ＰＸ１５は、第１方向Ｘに沿って短辺長Ｓ１を有し、色画素ＰＸ１３及び色画素ＰＸ１６は、第１方向Ｘに沿って短辺長Ｓ１より長い短辺長Ｓ２を有している。このような構成において、色画素ＰＸ１１、色画素ＰＸ１２、色画素ＰＸ１４、及び、色画素ＰＸ１５のそれぞれの面積は略同等である。色画素ＰＸ１３の面積は、色画素ＰＸ１１などの面積よりも大きく、単位画素ＵＰ１において最大面積となっている。色画素ＰＸ１６の面積は、色画素ＰＸ１１などの面積よりも小さく、単位画素ＵＰ１において最小面積となっている。一例として、赤色画素である色画素ＰＸ１１及び色画素ＰＸ１４の面積の総和は、緑色画素である色画素ＰＸ１２及び色画素ＰＸ１５の面積の総和と同等であり、青色画素である色画素ＰＸ１３の面積とも略同等である。

【００５１】

単位画素ＵＰ２は、単位画素ＵＰ１と同様の構成であるが、白色画素と青色画素との位置が入れ替わっている点で相違している。すなわち、単位画素ＵＰ２は、色画素ＰＸ２１、色画素ＰＸ２２、色画素ＰＸ２３、色画素ＰＸ２４、色画素ＰＸ２５、及び、色画素ＰＸ２６によって構成されている。色画素ＰＸ２１及び色画素ＰＸ２４は赤色画素であって、色画素ＰＸ２２及び色画素ＰＸ２５は緑色画素であって、色画素ＰＸ２３は白色画素であって、色画素ＰＸ２６は青色画素である。

【００５２】

各色画素の境界には、遮光層３１が配置されている。各遮光層３１は、第２方向Ｙに沿って直線状に延出している。なお、遮光層３１は、同一色の色画素の境界には配置されなくても良い。図示した例では、色画素ＰＸ１１と色画素ＰＸ１４との境界、及び、色画素ＰＸ１２と色画素ＰＸ１５との境界には遮光層３１は配置されていない。遮光層３１は、異なる色の色画素の境界には配置されている。つまり、色画素ＰＸ１３と色画素ＰＸ１６との境界には、第１方向Ｘに沿って直線状に延出した遮光層３１が配置されている。このため、色画素ＰＸ１３及び色画素ＰＸ１６は、それぞれ遮光層３１によって囲まれている。

【００５３】

カラーフィルタ（第１カラーフィルタ）３２Ｒは、第２方向Ｙに沿って延出した帯状に形成されている。カラーフィルタ（第２カラーフィルタ）３２Ｇは、カラーフィルタ３２Ｒの第１方向Ｘに隣接し、第２方向Ｙに沿って延出した帯状に形成されている。カラーフィルタ（第３カラーフィルタ）３２Ｂは、カラーフィルタ３２Ｇの第１方向Ｘに隣接し、島状に形成されている。カラーフィルタ（第４カラーフィルタ）３２Ｗは、カラーフィルタ３２Ｂの第２方向Ｙに隣接し、また、カラーフィルタ３２Ｇの第１方向Ｘに隣接し、島状に形成されている。カラーフィルタ３２Ｂとカラーフィルタ３２Ｗとは、第２方向Ｙに沿って交互に繰り返し配置されている。例えば、カラーフィルタ３２Ｒは赤色（Ｒ）カラーフィルタであり、カラーフィルタ３２Ｇは緑色（Ｇ）カラーフィルタであり、カラーフィルタ３２Ｂは青色（Ｂ）のカラーフィルタであり、カラーフィルタ３２Ｗは白色（Ｗ）カラーフィルタである。

【００５４】

カラーフィルタ３２Ｒは、単位画素ＵＰ１の色画素ＰＸ１１及び色画素ＰＸ１４に対応して配置され、単位画素ＵＰ２の色画素ＰＸ２１及び色画素ＰＸ２４に対応して配置され

ている。カラーフィルタ３２Ｇは、単位画素ＵＰ１の色画素ＰＸ１２及び色画素ＰＸ１５に対応して配置され、単位画素ＵＰ２の色画素ＰＸ２２及び色画素ＰＸ２５に対応して配置されている。カラーフィルタ３２Ｂは、単位画素ＵＰ１の色画素ＰＸ１３に対応して配置され、単位画素ＵＰ２の色画素ＰＸ２６に対応して配置されている。カラーフィルタ３２Ｗは、単位画素ＵＰ１の色画素ＰＸ１６に対応して配置され、単位画素ＵＰ２の色画素ＰＸ２３に対応して配置されている。

【００５５】

カラーフィルタ３２Ｒ及びカラーフィルタ３２Ｇは、第１方向Ｘに沿って同等の幅を有している。カラーフィルタ３２Ｂ及びカラーフィルタ３２Ｗは、第１方向Ｘに沿って同等の幅を有し、しかも、カラーフィルタ３２Ｒなどよりも幅広である。カラーフィルタの互いに隣接する端部は、遮光層３１に重なっている。

【００５６】

図６は、図５に示したカラーフィルタが適用されるアレイ基板ＡＲの構成例を概略的に示す平面図である。なお、ここでは、説明に必要なアレイ基板ＡＲの構成のみを図示している。

【００５７】

ゲート配線Ｇ１は、第１方向Ｘに沿って延出し、色画素ＰＸ１１、色画素ＰＸ１２、色画素ＰＸ１３、色画素ＰＸ２１、色画素ＰＸ２２、及び、色画素ＰＸ２３の中央部を横切っている。ゲート配線Ｇ２は、第１方向Ｘに沿って延出し、色画素ＰＸ１４、色画素ＰＸ１５、色画素ＰＸ１６、色画素ＰＸ２４、色画素ＰＸ２５、及び、色画素ＰＸ２６の中央部を横切っている。ソース配線Ｓ１乃至Ｓ７は、それぞれ第２方向Ｙに沿って延出している。

【００５８】

第１共通電極ＣＥ１は、単位画素ＵＰ１及び単位画素ＵＰ２に亘って配置され、さらには、アレイ基板ＡＲの略全面に配置されている。また、共通電極ＣＥ１は、ソース配線Ｓ１乃至Ｓ７の上に重なっている。

【００５９】

単位画素ＵＰ１において、画素電極（第１画素電極）ＰＥ１１は、色画素ＰＸ１１に対応して配置され、ゲート配線Ｇ１に接続されたスイッチング素子を介してソース配線Ｓ１と接続されている。画素電極（第２画素電極）ＰＥ１２は、色画素ＰＸ１２に対応して配置され、画素電極ＰＥ１１の第１方向Ｘに隣接している。画素電極ＰＥ１２は、ゲート配線Ｇ１に接続されたスイッチング素子を介してソース配線Ｓ２と接続されている。画素電極（第３画素電極）ＰＥ１３は、色画素ＰＸ１３に対応して配置され、画素電極ＰＥ１２の第１方向Ｘに隣接している。画素電極ＰＥ１３は、ゲート配線Ｇ１に接続されたスイッチング素子を介してソース配線Ｓ３と接続されている。画素電極（第４画素電極）ＰＥ１４は、色画素ＰＸ１４に対応して配置され、画素電極ＰＥ１１の第２方向Ｙに隣接している。画素電極ＰＥ１４は、ゲート配線Ｇ２に接続されたスイッチング素子を介してソース配線Ｓ１と接続されている。画素電極（第５画素電極）ＰＥ１５は、色画素ＰＸ１５に対応して配置され、画素電極ＰＥ１２の第２方向Ｙに隣接している。画素電極ＰＥ１５は、ゲート配線Ｇ２に接続されたスイッチング素子を介してソース配線Ｓ２と接続されている。画素電極（第６画素電極）ＰＥ１６は、色画素ＰＸ１６に対応して配置され、画素電極ＰＥ１３の第２方向Ｙに隣接している。画素電極ＰＥ１６は、ゲート配線Ｇ２に接続されたスイッチング素子を介してソース配線Ｓ３と接続されている。

【００６０】

画素電極ＰＥ１１、画素電極ＰＥ１２、画素電極ＰＥ１４、及び、画素電極ＰＥ１５は、第２方向Ｙに沿って長辺長Ｌ１１を有している。画素電極ＰＥ１３は、第２方向Ｙに沿って長辺長Ｌ１１より長い長辺長Ｌ１２を有している。画素電極ＰＥ１６は、第２方向Ｙに沿って長辺長Ｌ１１より短い長辺長Ｌ１３を有している。画素電極ＰＥ１１、画素電極ＰＥ１２、画素電極ＰＥ１４、及び、画素電極ＰＥ１５は、第１方向Ｘに沿って短辺長Ｓ１１を有し、画素電極ＰＥ１３及び画素電極ＰＥ１６は、第１方向Ｘに沿って短辺長Ｓ１

１より長い短辺長Ｓ１２を有している。このような構成において、画素電極ＰＥ１１、画素電極ＰＥ１２、画素電極ＰＥ１４、及び、画素電極ＰＥ１５は、それぞれ略同等の設置面積を有している。画素電極ＰＥ１３は、画素電極ＰＥ１１などの設置面積よりも大きな設置面積を有し、その設置面積は単位画素ＵＰ１において最大である。画素電極ＰＥ１６は、画素電極ＰＥ１１などの設置面積よりも小さな設置面積を有し、その設置面積は単位画素ＵＰ１において最小である。

【００６１】

これらの画素電極ＰＥ１１乃至ＰＥ１６は、いずれも第１共通電極ＣＥ１と対向している。但し、第１共通電極ＣＥ１は、画素電極ＰＥ１１乃至ＰＥ１６の各々と対向する位置に開口部ＯＰ１１乃至ＯＰ１６を有している。つまり、画素電極ＰＥ１１乃至ＰＥ１６の各々は、それらの一部が第１共通電極ＣＥ１と対向している。第１共通電極ＣＥ１と画素電極ＰＥ１１乃至ＰＥ１６の各々とが対向する領域は、図中の斜線で示した領域に相当する。なお、開口部ＯＰ１１乃至ＯＰ１３においては、画素電極ＰＥ１１乃至ＰＥ１３の各々とゲート配線Ｇ１とが対向している。また、開口部ＯＰ１４乃至ＯＰ１６においては、画素電極ＰＥ１４乃至ＰＥ１６の各々とゲート配線Ｇ２とが対向している。

【００６２】

より具体的には、開口部ＯＰ１１は、画素電極ＰＥ１１と対向する位置において、画素ＰＸ１１の略中央部に形成されている。このため、画素電極ＰＥ１１は、開口部ＯＰ１１を挟んだ領域（つまり、図中の画素ＰＸ１１における第２方向Ｙに沿った上側領域及び下側領域）で第１共通電極ＣＥ１と対向している。

【００６３】

開口部ＯＰ１２は、画素電極ＰＥ１２と対向する位置において、画素ＰＸ１２の略中央部に形成されている。開口部ＯＰ１２の開口面積は、開口部ＯＰ１１の開口面積と同等である。開口部ＯＰ１１及びＯＰ１２は、いずれも同一形状であり、図示した例では、四角形状に形成されている。画素電極ＰＥ１２は、開口部ＯＰ１２を挟んだ領域で第１共通電極ＣＥ１と対向している。このとき、画素電極ＰＥ１２と第１共通電極ＣＥ１とが対向する領域、及び、画素電極ＰＥ１１と第１共通電極ＣＥ１とが対向する領域は、いずれも同一形状であり、図示した例では、それぞれ四角形状に形成され、これらの領域の各々の面積も同等である。

【００６４】

開口部ＯＰ１３は、画素電極ＰＥ１３と対向する位置において、画素ＰＸ１３の略中央部に形成されている。開口部ＯＰ１３の開口面積は、開口部ＯＰ１１などの開口面積よりも大きい。図示した例では、開口部ＯＰ１３は、画素ＰＸ１３の略中央から第１方向Ｘに拡張された横開口部、及び、画素ＰＸ１３の略中央から第２方向Ｙに拡張された縦開口部を有する十字状に形成されている。横開口部は、第２方向Ｙに幅Ｗ１を有する。幅Ｗ１は、画素電極ＰＥ１３の長辺長Ｌ１２よりも短い。縦開口部は、第１方向Ｘに幅Ｗ２を有する。幅Ｗ２は、画素電極ＰＥ１３の短辺長Ｓ１２よりも短い。なお、横開口部の第１方向Ｘに沿った長さは短辺長Ｓ１２と同等以下であり、縦開口部の第２方向Ｙに沿った長さは長辺長Ｌ１２よりも短い。画素電極ＰＥ１３と第１共通電極ＣＥ１とが対向する領域は、画素電極ＰＥ１１と第１共通電極ＣＥ１とが対向する領域とは異なる形状である。図示した例では、図中の画素ＰＸ１３における第２方向Ｙに沿った上側領域及び下側領域のそれぞれにおいて、画素電極ＰＥ１３と第１共通電極ＣＥ１とが対向する領域は、略Ｕ字状に形成されている。換言すると、画素電極ＰＥ１３は、開口部ＯＰ１３の周囲の領域、つまり、画素電極ＰＥ１３のエッジに沿った領域で第１共通電極ＣＥ１と対向している。

【００６５】

開口部ＯＰ１４は、画素電極ＰＥ１４と対向する位置において、画素ＰＸ１４の略中央部に形成されている。開口部ＯＰ１４の開口面積は、開口部ＯＰ１１の開口面積と同等である。開口部ＯＰ１４は、開口部ＯＰ１１と同一形状である。画素電極ＰＥ１４は、開口部ＯＰ１４を挟んだ領域で第１共通電極ＣＥ１と対向している。このとき、画素電極ＰＥ１４と第１共通電極ＣＥ１とが対向する領域は、画素電極ＰＥ１１と第１共通電極ＣＥ１

とが対向する領域と同一形状である。

【００６６】

開口部ＯＰ１５は、画素電極ＰＥ１５と対向する位置において、画素ＰＸ１５の略中央部に形成されている。開口部ＯＰ１５の開口面積は、開口部ＯＰ１１の開口面積と同等である。開口部ＯＰ１５は、開口部ＯＰ１１と同一形状である。画素電極ＰＥ１５は、開口部ＯＰ１５を挟んだ領域で第１共通電極ＣＥ１と対向している。このとき、画素電極ＰＥ１５と第１共通電極ＣＥ１とが対向する領域は、画素電極ＰＥ１１と第１共通電極ＣＥ１とが対向する領域と同一形状である。

【００６７】

開口部ＯＰ１６は、画素電極ＰＥ１６と対向する位置において、画素ＰＸ１６の略中央部に形成されている。開口部ＯＰ１６の開口面積は、例えば、開口部ＯＰ１１の開口面積と略同等である。開口部ＯＰ１４は、例えば、四角形状に形成されている。画素電極ＰＥ１６は、開口部ＯＰ１６を挟んだ領域で第１共通電極ＣＥ１と対向している。このとき、画素電極ＰＥ16と第１共通電極ＣＥ１とが対向する領域は、例えば四角形状に形成されている。

【００６８】

単位画素ＵＰ２は、単位画素ＵＰ１と同様に構成されており、詳細な説明を省略するが、単位画素ＵＰ２においては、画素電極ＰＥ２１は色画素ＰＸ２１に対応して配置され、画素電極ＰＥ２２は色画素ＰＸ２２に対応して配置され、画素電極ＰＥ２３は色画素ＰＸ２３に対応して配置され、画素電極ＰＥ２４は色画素ＰＸ２４に対応して配置され、画素電極ＰＥ２５は色画素ＰＸ２５に対応して配置され、画素電極ＰＥ２６は色画素ＰＸ２６に対応して配置されている。

【００６９】

なお、図５及び図６に示したレイアウトは一例であって、図示した例に限定されるものではない。

【００７０】

図７は、図６に示したアレイ基板ＡＲをＡ－Ｂ線で切断したときの液晶表示パネルＬＰＮの断面構造を概略的に示す平面図である。

【００７１】

アレイ基板ＡＲにおいて、ソース配線Ｓ１乃至Ｓ４は、第２絶縁膜１２の上に形成され、第３絶縁膜１３によって覆われている。第１共通電極ＣＥ１は、第３絶縁膜１３の上に形成され、第４絶縁膜１４によって覆われている。図示した断面図においては、第１共通電極ＣＥ１は、画素ＰＸ１３において、開口部ＯＰ１３を有している。画素電極ＰＥ１１乃至ＰＥ１６は、第４絶縁膜１４の上に形成され、第１共通電極ＣＥ１と第４絶縁膜１４を介して対向している。画素電極ＰＥ１１及び画素電極ＰＥ１４は、ソース配線Ｓ１とソース配線Ｓ２との間に位置している。画素電極ＰＥ１２及び画素電極ＰＥ１５は、ソース配線Ｓ２とソース配線Ｓ３との間に位置している。画素電極ＰＥ１３及び画素電極ＰＥ１６は、ソース配線Ｓ３とソース配線Ｓ４との間に位置している。これらの画素電極ＰＥ１１乃至ＰＥ１６は、第１配向膜ＡＬ１によって覆われている。

【００７２】

対向基板ＣＴにおいて、遮光層３１は、ソース配線Ｓ１乃至Ｓ４の上方にそれぞれ位置している。カラーフィルタ３２Ｒは、画素電極ＰＥ１１及び画素電極ＰＥ１４と対向している。カラーフィルタ３２Ｇは、画素電極ＰＥ１２及び画素電極ＰＥ１５と対向している。カラーフィルタ３２Ｂは、画素電極ＰＥ１３と対向している。カラーフィルタ３２Ｗは、画素電極ＰＥ１６と対向している。第２共通電極ＣＥ２は、オーバーコート層３３のアレイ基板ＡＲ側に形成され、第２配向膜ＡＬ２によって覆われている。第２共通電極ＣＥ２は、画素電極ＰＥ１１乃至ＰＥ１６と対向している。第２共通電極ＣＥ２には、画素電極ＰＥ１１乃至ＰＥ１６のそれぞれと対向する位置にスリットＳＬ１１乃至ＳＬ１６が形成されている。色画素ＰＸ１１乃至ＰＸ１６のそれぞれのセルギャップは略同等である。

【００７３】

次に、本実施形態における液晶表示装置の動作について説明する。

【００７４】

画素電極ＰＥと第１共通電極ＣＥ１及び第２共通電極ＣＥ２との間に電位差が形成されていないオフ状態（つまり、液晶層ＬＱに電圧が印加されていない状態）では、画素電極ＰＥと第２共通電極ＣＥ２との間に電界が形成されていないため、液晶層ＬＱに含まれる液晶分子ＬＭは、図４に示したように、第１配向膜ＡＬ１と第２配向膜ＡＬ２との間において、基板主面（Ｘ－Ｙ平面）に対して略垂直に初期配向する。

【００７５】

このとき、バックライトＢＬからのバックライト光の一部は、第１光学素子ＯＤ１を透過し、液晶表示パネルＬＰＮに入射する。液晶表示パネルＬＰＮに入射した光の偏光状態は、液晶層ＬＱを透過した際にほとんど変化しない。このため、液晶表示パネルＬＰＮを透過した光は、第２光学素子ＯＤ２によって吸収される（黒表示）。

【００７６】

画素電極ＰＥと第１共通電極ＣＥ１及び第２共通電極ＣＥ２との間に電位差が形成されたオン状態（つまり、液晶層ＬＱに電圧が印加された状態）では、画素電極ＰＥと第２共通電極ＣＥ２との間に縦電界あるいはスリットＳＬを避ける傾斜電界が形成される。このため、液晶分子ＬＭは、縦電界あるいは傾斜電界の作用によって初期配向方向とは異なる方向に配向する。すなわち、ネガ型の液晶分子ＬＭは、その長軸が電界に対して交差するように配向するため、ＯＮ状態では、基板主面に対して斜め方向あるいは水平方向に配向する。

【００７７】

このようなオン状態では、液晶表示パネルＬＰＮに入射した光の偏光状態は、液晶層ＬＱを透過する際に液晶分子ＬＭの配向状態（あるいは、液晶層ＬＱのリタデーション）に応じて変化する。このため、液晶表示パネルＬＰＮを透過した少なくとも一部の光は、第２光学素子ＯＤ２を透過する（白表示）。

【００７８】

また、オン状態では、第４絶縁膜１４を介して対向する画素電極ＰＥと第１共通電極ＣＥ１とで補助容量ＣＳを形成し、画像を表示するのに必要な容量を保持する。つまり、スイッチング素子ＳＷを介して各画素に書き込まれた画素電位が上記の補助容量ＣＳによって一定期間保持される。

【００７９】

ところで、本実施形態では、第１共通電極ＣＥ１と画素電極ＰＥ１１乃至ＰＥ１３のそれぞれとが対向する領域の面積は、色画素ＰＸ１１乃至ＰＸ１３のそれぞれにおいて、突き抜け電圧が同等となるように設定されている。ここで、突き抜け電圧Ｖｐは、上記構成のアレイ基板ＡＲにおいては以下の式で定義される。

$$Vp = Cgs / (Cs + Cgs + Clc) * \Delta Vg$$

なお、Ｃｇｓはゲート配線と画素電極との間の寄生容量であり、Ｃｓは補助容量であり、Ｃｌｃは液晶容量であり、ΔＶｇはゲート配線に印加される電圧の振幅である。

【００８０】

上記の通り、色画素ＰＸ１１及びＰＸ１２は、色画素ＰＸ１３や色画素ＰＸ１６とは形状あるいは面積が相違している。このため、液晶容量Ｃｌｃや寄生容量Ｃｇｓは、色画素ＰＸ１１及びＰＸ１２では同等であるものの、色画素ＰＸ１３や色画素ＰＸ１６では色画素ＰＸ１１及びＰＸ１２とは相違する。つまり、突き抜け電圧Ｖｐは、単位画素を構成する色画素間で不均一となる。このような突き抜け電圧Ｖｐの差異は、フリッカや焼き付きの原因となり、表示品位の劣化を招く一因となり得る。特に、単位画素において、赤色画素、緑色画素、及び、青色画素の色画素間で、突き抜け電圧Ｖｐが数百ｍＶ程度相違すると、表示の不具合として視認されやすくなる。発明者が種々検討したところでは、色画素間で突き抜け電圧Ｖｐが略同等となる、あるいは、色画素間での突き抜け電圧Ｖｐの差が１００ｍＶ以下、より好ましくは８０ｍＶ以下とすることで表示の不具合を解消できることが見出された。

【００８１】
本実施形態では、コモン電位の第１共通電極ＣＥ１と画素電位の画素電極ＰＥとの間で補助容量Ｃｓが形成される。換言すると、第１共通電極ＣＥ１と画素電極ＰＥとが対向する領域の形状あるいは面積を変更することで、補助容量Ｃｓを調整することが可能である。そして、各色画素の補助容量Ｃｓは、液晶容量Ｃｌｃや寄生容量Ｃｇｓの色画素間での差異を相殺するように設定される。これにより、各色画素の突き抜け電圧Ｖｐを略同等に設定することが可能となる。したがって、このような本実施形態によれば、色画素間での突き抜け電圧Ｖｐの差異に起因した表示品位の劣化を抑制することが可能となる。
【００８２】
一例では、補助容量Ｃｓが寄生容量Ｃｇｓよりも突き抜け電圧Ｖｐに大きく寄与する場合、色画素間の補助容量Ｃｓを同等にすることで、色画素間の突き抜け電圧Ｖｐを略同等に設定することが可能である。そこで、図６に示した例のように、色画素ＰＸ１３の画素電極ＰＥ１３が色画素ＰＸ１１の画素電極ＰＥ１１及び色画素ＰＸ１２の画素電極ＰＥ１２よりも大きな設置面積を有する構成であっても、画素電極ＰＥ１３と第１共通電極ＣＥ１とが対向する領域の形状は、画素電極ＰＥ１１と第１共通電極ＣＥ１とが対向する領域の形状、あるいは、画素電極ＰＥ１２と第１共通電極ＣＥ１とが対向する領域の形状とは異なる一方で、画素電極ＰＥ１３と第１共通電極ＣＥ１とが対向する領域の面積は、画素電極ＰＥ１１と第１共通電極ＣＥ１とが対向する領域の面積、あるいは、画素電極ＰＥ１２と第１共通電極ＣＥ１とが対向する領域の面積と同等に設定されている。これにより、画素電極ＰＥ１３と第１共通電極ＣＥ１との間の補助容量Ｃｓは、画素電極ＰＥ１１と第１共通電極ＣＥ１との間の補助容量Ｃｓ、あるいは、画素電極ＰＥ１２と第１共通電極ＣＥ１との間の補助容量Ｃｓと同等となる。これにより、色画素ＰＸ１１乃至ＰＸ１３において、突き抜け電圧Ｖｐが同等となり、表示品位の劣化を抑制することが可能となる。
【００８３】
また、本実施形態によれば、画素ＰＸ１３においては、第１共通電極ＣＥ１は、画素電極ＰＥ１３のエッジに沿った領域で対向している。このため、第１共通電極ＣＥ１と画素電極ＰＥ１３との間で第１方向Ｘあるいは第２方向Ｙに位置ずれが生じたとしても、第１共通電極ＣＥ１と画素電極ＰＥ１３とが対向する領域の面積のバラツキ（つまり、画素ＰＸ１３での補助容量のバラツキ）を低減することが可能となる。
【００８４】
また、本実施形態によれば、各画素において画像を表示するのに必要な容量は、第４絶縁膜１４を介して対向する画素電極ＰＥと第１共通電極ＣＥ１とで形成することが可能である。これらの画素電極ＰＥ及び第１共通電極ＣＥ１は、透明な導電材料で形成されている。このため、容量を形成するに際して、第１共通電極ＣＥ１とは別に、画素を横切る遮光性の配線材料からなる配線や電極が不要となり、一画素当たり表示に寄与する面積を拡大することが可能となる。また、第４絶縁膜１４は、樹脂材料等で形成された第３絶縁膜と比較して薄い膜厚を有するように形成されている。このため、第４絶縁膜１４を介した画素電極ＰＥ及び第１共通電極ＣＥ１により、比較的大きな容量を容易に形成することが可能となる。
【００８５】
また、本実施形態によれば、第１共通電極ＣＥ１は、ソース配線Ｓ１及びソース配線Ｓ２の上方に延在している。このため、オン状態において、第１共通電極ＣＥ１により、ソース配線Ｓ１及びソース配線Ｓ２から液晶層ＬＱに向かう不所望な漏れ電界をシールドすることが可能となる。つまり、ソース配線Ｓ１及びソース配線Ｓ２と画素電極ＰＥあるいは第２共通電極ＣＥ２との間の不所望な電界の形成あるいは不所望な容量の形成を抑制することができ、ソース配線Ｓ１及びソース配線Ｓ２と重なる領域の液晶分子ＬＭの配向乱れを抑制することが可能となる。
【００８６】
しかも、ソース配線Ｓ１及びソース配線Ｓ２と重なる領域では、第１共通電極ＣＥ１と第２共通電極ＣＥ２とが対向している。このため、ソース配線Ｓ１及びソース配線Ｓ２と

重なる領域の液晶分子ＬＭは、ＯＮ状態においても第１共通電極ＣＥ１及び第２共通電極ＣＥ２が同電位で維持されているため、初期配向状態を維持している。したがって、第１方向Ｘに隣接する画素電極ＰＥを加工限界まで接近させることが可能となり、一画素あたり表示に寄与する面積をさらに拡大することが可能である。

【００８７】

また、ソース配線を挟んで隣接する一方の画素がオン状態であり、他方の画素がオフ状態であったとしても、オン状態の画素とオフ状態の画素との間のソース配線と重なる領域では、対向する第１共通電極ＣＥ１と第２共通電極ＣＥ２との間に電位差が形成されていないため、液晶分子ＬＭが初期配向状態に維持されている。このため、液晶表示パネルＬＰＮを斜め方向から観察した場合であっても、混色による表示品位の劣化を抑制することが可能となる。また、混色防止のために遮光層３１の幅を拡大する必要がなくなるため、一画素あたりの表示に寄与する面積をさらに拡大することが可能となる。

【００８８】

また、本実施形態によれば、ゲート配線Ｇ１及びＧ２が各画素の中央付近を横切るように配置されている。ゲート配線は、上記画素の中央付近を横切る例の他に、画素の上下に配置する例がある。本実施形態のように特定の画素が他の画素よりも大きい画素である場合、あるいは、小さい画素である場合、すなわち、本実施形態の図５及び図６のような画素構成の場合において、画素の上下にゲート線を配置すると、開口率を大きくするためにゲート配線は画素端に沿って蛇行しながら配置される。このようにすると、ゲート配線が直線で配置されている本実施形態に比べゲート配線の配線長が長くなるため、電気抵抗、寄生容量が増大しフリッカ等を引き起こす虞がある。一方、本実施形態では、ゲート配線が画素の大きさに係わらず各画素の中央付近に配置されているため、ゲート配線の配線長が長くなることはないためフリッカ等による表示品位の低下は抑制される。さらに、本実施形態では、補助容量を形成するために別途補助容量線を配置する必要がないため、ゲート配線を上記のように配置することにより画素の透過率を向上させることができる。

【００８９】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することができる。

【００９０】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

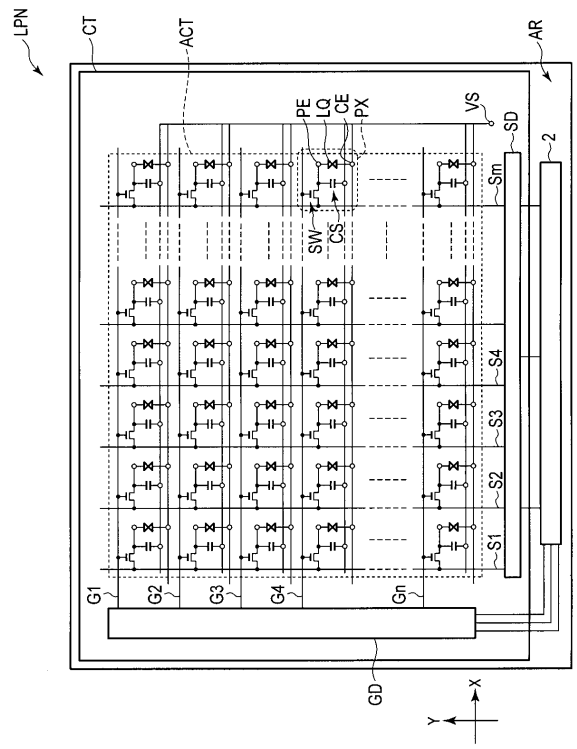
【符号の説明】

【００９１】

ＬＰＮ…液晶表示パネル　ＡＲ…アレイ基板　ＣＴ…対向基板　ＬＱ…液晶層
ＰＥ…画素電極　ＣＥ１…第１共通電極　ＣＥ２…第２共通電極
ＡＬ１…第１配向膜　ＡＬ２…第２配向膜

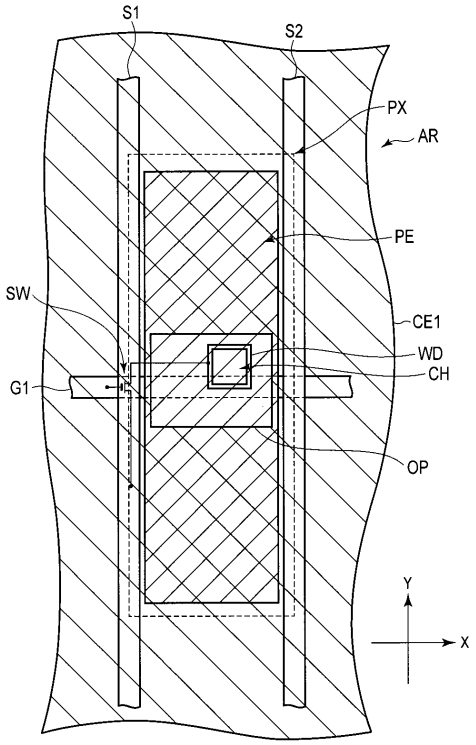
【図１】

図1



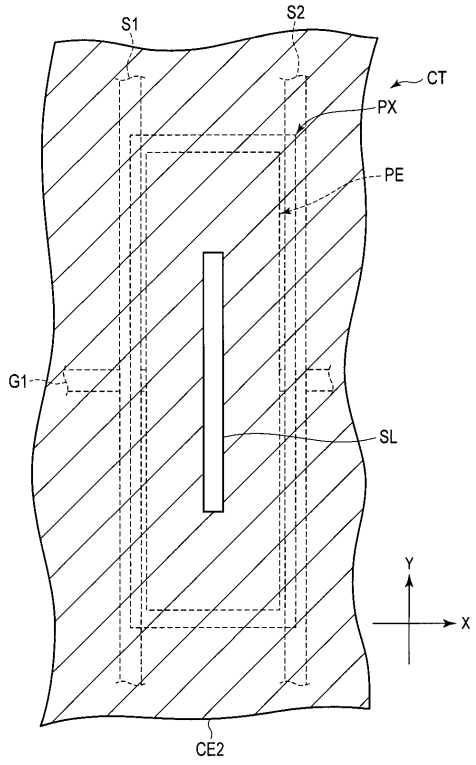
【図２】

図2



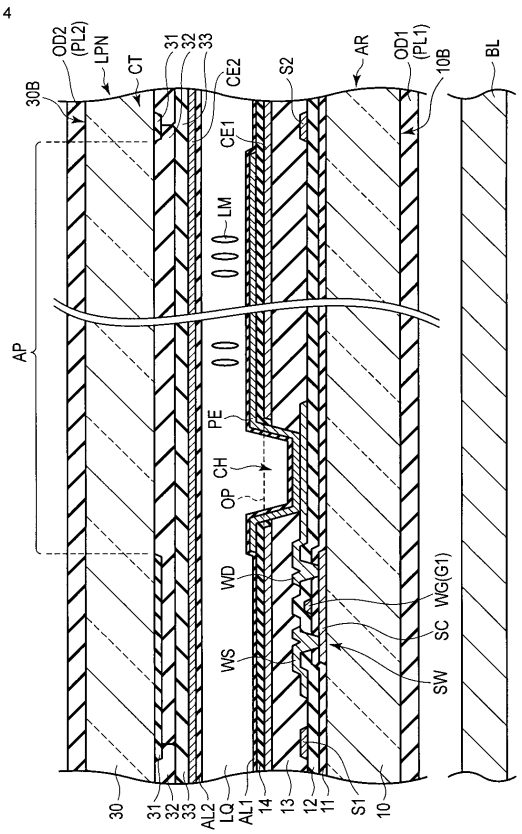
【図３】

図3



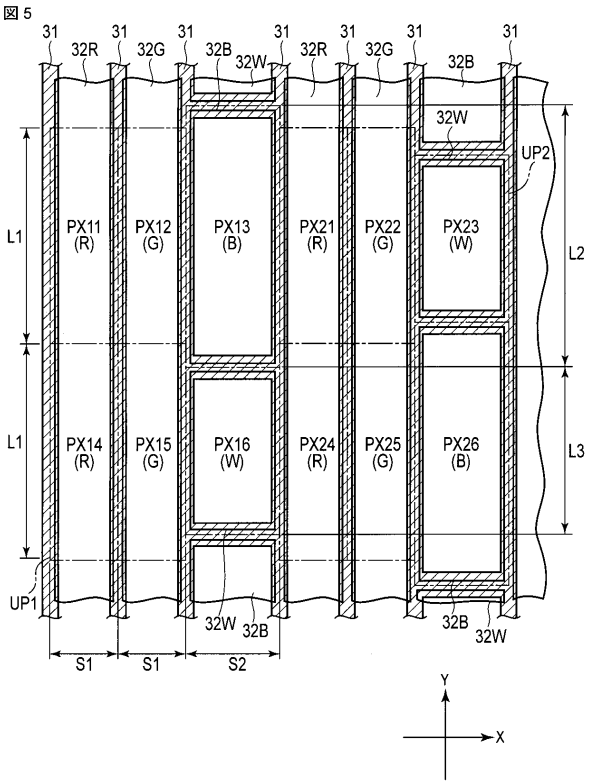
【図４】

図4



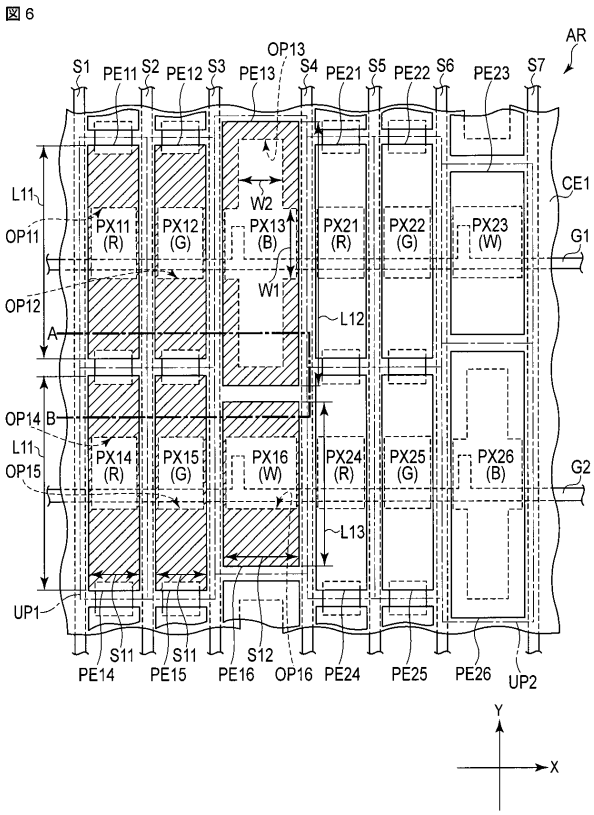
【図５】

図５



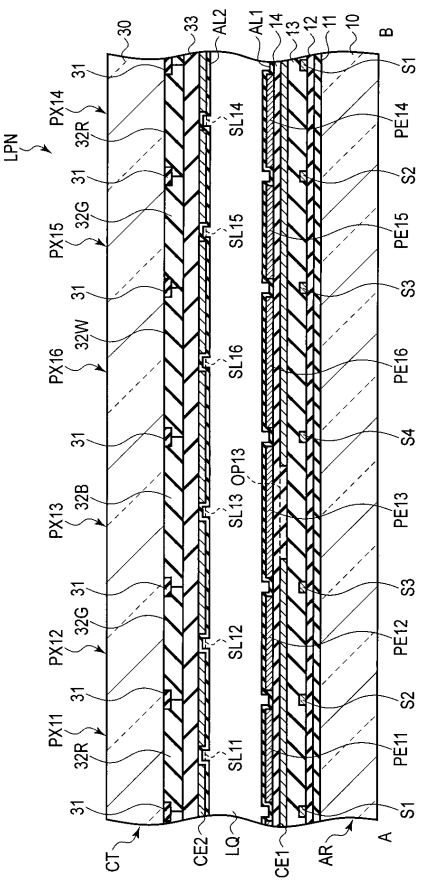
【図６】

図６



【図７】

図７

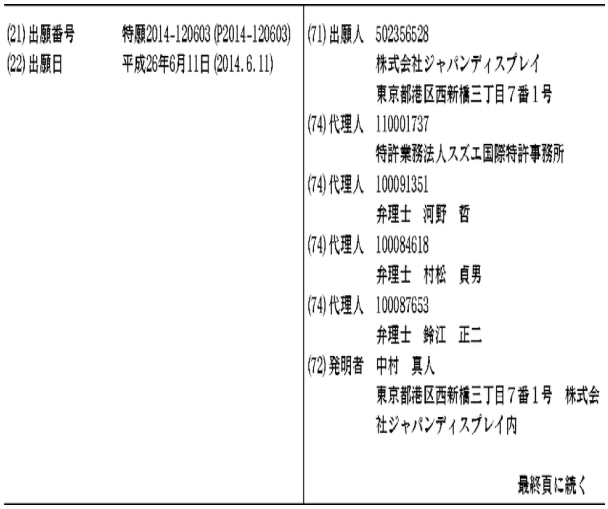


フロントページの続き

(72)発明者　木谷　正克
東京都港区西新橋三丁目７番１号　株式会社ジャパンディスプレイ内

Ｆターム(参考) 2H092 GA15 GA23 JA25 JA46 JB64 JB69 NA07 PA06 PA08 QA09
2H191 FA06Y FA09Y FD22 GA05 GA19 HA11 LA21 LA31
2H192 AA24 AA43 BA25 BC31 CB02 DA13 DA24 DA43 EA43 EA54
JA13

专利名称(译)	液晶表示装置		
公开(公告)号	JP2016001230A	公开(公告)日	2016-01-07
申请号	JP2014120603	申请日	2014-06-11
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	中村真人 木谷正克		
发明人	中村 真人 木谷 正克		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1335		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1335.505		
F-TERM分类号	2H092/GA15 2H092/GA23 2H092/JA25 2H092/JA46 2H092/JB64 2H092/JB69 2H092/NA07 2H092/PA06 2H092/PA08 2H092/QA09 2H191/FA06Y 2H191/FA09Y 2H191/FD22 2H191/GA05 2H191/GA19 2H191/HA11 2H191/LA21 2H191/LA31 2H192/AA24 2H192/AA43 2H192/BA25 2H192/BC31 2H192/CB02 2H192/DA13 2H192/DA24 2H192/DA43 2H192/EA43 2H192/EA54 2H192/JA13 2H291/FA06Y 2H291/FA09Y 2H291/FD22 2H291/GA05 2H291/GA19 2H291/HA11 2H291/LA21 2H291/LA31		
代理人(译)	河野 哲		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。解决方案：液晶显示装置包括第一公共电极，面向第一公共电极并具有第一安装区域的第一像素电极，面向第一公共电极并具有第二安装区域的第二像素电极第二像素电极，具有安装区域，与第一公共电极相对的第二像素电极，具有大的第三安装区域的第三像素电极，以及插入在第一公共电极和第一至第三像素电极之间的层间绝缘膜，以及包括第一基板的第二基板第二公共电极面向第三像素电极并具有与第一公共电极相同的电位，其中，第三像素电极面对第一公共电极的区域的形状不同于第一像素电极和第二像素电极中的每一个面对第一公共电极的区域的形状，液晶显示装置。