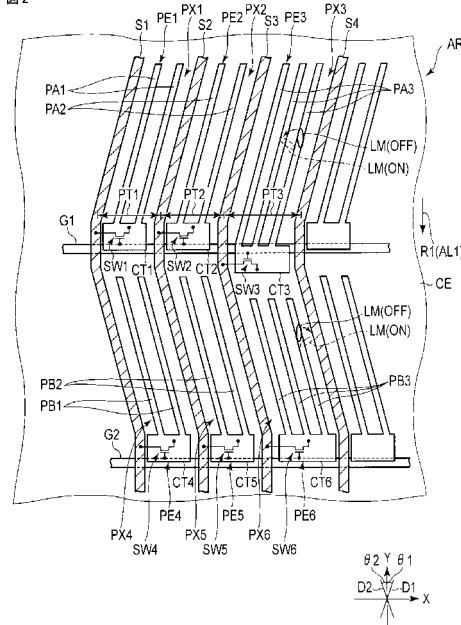




【特許請求の範囲】

【請求項 1】

第 1 乃至第 3 スイッチング素子と、前記第 1 スイッチング素子と電氣的に接続された第 1 コンタクト部及び前記第 1 コンタクト部から延出した第 1 長さの第 1 帯状電極を有する第 1 画素電極と、前記第 2 スイッチング素子と電氣的に接続され前記第 1 コンタクト部と同一直線上の第 2 コンタクト部及び前記第 2 コンタクト部から延出し前記第 1 長さと同等の第 2 長さの第 2 帯状電極を有する第 2 画素電極と、前記第 3 スイッチング素子と電氣的に接続され前記第 1 コンタクト部とは同一直線上からずれた位置の第 3 コンタクト部及び前記第 3 コンタクト部から延出し前記第 1 長さとは異なる第 3 長さの第 3 帯状電極を有する第 3 画素電極と、を備えた第 1 基板と、

10

前記第 1 画素電極と対向する第 1 カラーフィルタと、前記第 2 画素電極と対向する第 2 カラーフィルタと、前記第 3 画素電極と対向する第 3 カラーフィルタと、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えた液晶表示装置。

【請求項 2】

前記第 3 長さは前記第 1 長さよりも長く、

前記第 3 カラーフィルタは青色カラーフィルタである、請求項 1 に記載の液晶表示装置。

。

【請求項 3】

前記第 3 長さは前記第 1 長さよりも短く、

前記第 3 カラーフィルタは白色カラーフィルタである、請求項 1 に記載の液晶表示装置。

。

【請求項 4】

前記第 1 基板は、さらに、第 1 方向に延出し前記第 1 乃至第 3 スイッチング素子と電氣的に接続されるゲート配線を備え、

前記第 3 コンタクト部は前記ゲート配線を挟んで前記第 1 及び第 2 コンタクト部とは反対側に位置する、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 1 帯状電極の本数は前記第 2 帯状電極の本数と同数であり、前記第 3 帯状電極の本数は前記第 1 帯状電極の本数よりも多い、請求項 1 に記載の液晶表示装置。

30

【請求項 6】

前記第 1 基板は、さらに、第 4 スイッチング素子と、前記第 4 スイッチング素子と電氣的に接続された第 4 コンタクト部及び前記第 4 コンタクト部から延出し前記第 1 乃至第 3 長さとは異なる第 4 長さの第 4 帯状電極を有する第 4 画素電極と、を備え、

前記第 2 基板は、さらに、前記第 4 画素電極と対向する第 4 カラーフィルタを備えた、請求項 1 に記載の液晶表示装置。

【請求項 7】

前記第 3 カラーフィルタは青色カラーフィルタであり、前記第 4 カラーフィルタは白色カラーフィルタである、請求項 6 に記載の液晶表示装置。

40

【請求項 8】

前記第 1 基板は、さらに、前記第 1 乃至第 3 画素電極と対向する共通電極を備えた、請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モー

50

ドなどの横電界（フリッジ電界も含む）を利用した液晶表示装置が実用化されている。このような横電界モードの液晶表示装置は、一方の基板に形成された画素電極及び共通電極を備えている。

【0003】

このような横電界モードの液晶表示装置において、各色の画素が色毎に異なる画素面積を有し、各画素面積に対する画素電極の面積比が異なる構成により、各色表示の画素の特性を均一化する技術が知られている。また、赤色、緑色、青色の各副画素に加えて白色副画素を追加し、赤色及び青色の各副画素の面積を緑色及び白色の各副画素の面積に略2倍とし、緑色及び白色の各副画素の数を赤色及び青色の各副画素の2倍とするレイアウトを適用することで、配線数を増やさず、解像度の低下を軽減する技術が知られている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-109820号公報

【特許文献2】特開2012-118538号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位を向上することが可能な液晶表示装置を提供することにある。

20

【課題を解決するための手段】

【0006】

本実施形態によれば、

第1乃至第3スイッチング素子と、前記第1スイッチング素子と電気的に接続された第1コンタクト部及び前記第1コンタクト部から延出した第1長さの第1帯状電極を有する第1画素電極と、前記第2スイッチング素子と電気的に接続され前記第1コンタクト部と同一直線上の第2コンタクト部及び前記第2コンタクト部から延出し前記第1長さと同等の第2長さの第2帯状電極を有する第2画素電極と、前記第3スイッチング素子と電気的に接続され前記第1コンタクト部とは同一直線上からずれた位置の第3コンタクト部及び前記第3コンタクト部から延出し前記第1長さとは異なる第3長さの第3帯状電極を有する第3画素電極と、を備えた第1基板と、前記第1画素電極と対向する第1カラーフィルタと、前記第2画素電極と対向する第2カラーフィルタと、前記第3画素電極と対向する第3カラーフィルタと、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

30

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態の表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板ARにおける画素の第1構成例を対向基板の側から見た概略平面図である。

40

【図3】図3は、図2に示したスイッチング素子SW2及びSW3の構造例を概略的に示す平面図である。

【図4】図4は、本実施形態における各画素とカラーフィルタとのレイアウトの一例を概略的に示す平面図である。

【図5】図5は、図2に示した画素PX1乃至PX6を含む液晶表示パネルLPNの構成を概略的に示す断面図である。

【図6】図6は、図1に示したアレイ基板ARにおける画素の第2構成例を対向基板の側から見た概略平面図である。

【図7】図7は、図1に示したアレイ基板ARにおける画素の第3構成例を対向基板の側から見た概略平面図である。

50

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図1は、本実施形態の液晶表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【0010】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向配置された第2基板である対向基板CTと、アレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。アクティブエリアACTは、アレイ基板ARと対向基板CTとの間に液晶層LQが保持された領域に相当し、例えば、四角形状であり、マトリクス状に配置された複数の画素PXによって構成されている。

【0011】

アレイ基板ARは、アクティブエリアACTにおいて、ゲート配線G(G1~Gn)、ソース配線S(S1~Sm)、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。ゲート配線G(G1~Gn)は、それぞれ概ね第1方向Xに沿って延出し、第1方向Xに交差する第2方向Yに並んでいる。ソース配線S(S1~Sm)は、それぞれ概ね第2方向Yに沿って延出し、第1方向Xに並んでいる。なお、ゲート配線G及びソース配線Sは、後述するように、画素レイアウトあるいは画素形状に合わせて屈曲していてもよい。スイッチング素子SWは、各画素PXにおいてゲート配線G及びソース配線Sと電氣的に接続されている。画素電極PEは、各画素PXにおいてスイッチング素子SWに電氣的に接続されている。共通電極CEは、アクティブエリアACTにおいて、複数の画素PXに亘って共通に形成され、各画素電極PEと向かい合っている。蓄積容量CSは、例えば、共通電極CEと画素電極PEとの間に形成される。

【0012】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、第1駆動回路GDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、第2駆動回路SDに接続されている。第1駆動回路GD及び第2駆動回路SDは、例えばその少なくとも一部がアレイ基板ARに形成され、駆動ICチップ2と接続されている。駆動ICチップ2は、第1駆動回路GD及び第2駆動回路SDを制御するコントローラを内蔵し、液晶表示パネルLPNを駆動するのに必要な信号を供給する信号供給源として機能する。図示した例では、駆動ICチップ2は、アクティブエリアACTの外側において、アレイ基板ARに実装されている。共通電極CEは、アクティブエリアACTの外側に引き出され、給電部VSに接続されている。給電部VSは、共通電極CEに対してコモン電位を供給する。

【0013】

図2は、図1に示したアレイ基板ARにおける画素の第1構成例を対向基板の側から見た概略平面図である。なお、ここでは、横電界モードを適用した画素構造を例に説明するが、図中には説明に必要な主要部のみを図示している。

【0014】

アレイ基板ARは、ゲート配線G1乃至G2、ソース配線S1乃至S4、スイッチング素子SW1乃至SW6、共通電極CE、画素電極PE1乃至PE6、第1配向膜AL1などを備えている。

【0015】

ゲート配線G1乃至G2は、第1方向Xに沿ってそれぞれ延出している。ソース配線S1乃至S4は、概ね第2方向Yに沿ってそれぞれ延出し、ゲート配線G1乃至G2と交差

10

20

30

40

50

している。ソース配線 S 1 とソース配線 S 2 とのピッチ P T 1、及び、ソース配線 S 2 とソース配線 S 3 とのピッチ P T 2 は、ほぼ同等である。ソース配線 S 3 とソース配線 S 4 とのピッチ P T 3 は、ピッチ P T 1 及びピッチ P T 2 よりも大きい。

【0016】

第 1 方向 X に並んだ画素 P X 1 乃至 P X 3 は互いに異なる色の色画素であり、また、画素 P X 4 乃至 P X 6 も互いに異なる色の色画素である。第 2 方向 Y に並んだ画素 P X 1 及び P X 4 は同一色の画素であり、例えば赤色 (R) 画素である。第 2 方向 Y に並んだ画素 P X 2 及び P X 5 は同一色の画素であり、例えば緑色 (G) 画素である。第 2 方向 Y に並んだ画素 P X 3 及び P X 6 は互いに異なる色の画素であり、例えば画素 P X 3 が青色 (B) 画素であり、画素 P X 6 が白色 (W) 画素である。画素 P X 1 及び画素 P X 4 は、ソース配線 S 1 及びソース配線 S 2 の間に位置している。画素 P X 2 及び画素 P X 5 は、ソース配線 S 2 及びソース配線 S 3 の間に位置している。画素 P X 3 及び画素 P X 6 は、ソース配線 S 3 及びソース配線 S 4 の間に位置している。

10

【0017】

画素 P X 1 乃至 P X 3 は、第 2 方向 Y に対して時計回りに鋭角に交差する第 1 延出方向 D 1 に延出している。各画素 P X 1 乃至 P X 3 の両側に位置するソース配線 S 1 乃至 S 4 はいずれも第 1 延出方向 D 1 に延出している。画素 P X 4 乃至 P X 6 は、第 2 方向 Y に対して反時計回りに鋭角に交差する第 2 延出方向 D 2 に延出している。各画素 P X 4 乃至 P X 6 の両側に位置するソース配線 S 1 乃至 S 4 はいずれも第 2 延出方向 D 2 に延出している。なお、第 2 方向 Y と第 1 延出方向 D 1 とのなす角度 $\theta 1$ は、第 2 方向 Y と第 2 延出方向 D 2 とのなす角度 $\theta 2$ とほぼ同一である。

20

【0018】

共通電極 C E は、アレイ基板 A R の略全域に亘って延在し、画素 P X 1 乃至 P X 6 に共通に形成されている。すなわち、共通電極 C E は、ゲート配線 G 1 乃至 G 2 の上方を跨いで第 2 方向 Y に延在するとともに、ソース配線 S 1 乃至 S 4 の上方を跨いで第 1 方向 X に延在し、画素 P X 1 乃至 P X 6 のそれぞれに配置されている。なお、共通電極 C E には、画素 P X 1 乃至 P X 6 の各々において、画素電極とスイッチング素子とを電氣的に接続するための開口部が形成されている。

【0019】

画素 P X 1 は、スイッチング素子 S W 1 及び画素電極 P E 1 を備えている。スイッチング素子 S W 1 は、ゲート配線 G 1 及びソース配線 S 1 と電氣的に接続されている。画素電極 P E 1 は、ソース配線 S 1 とソース配線 S 2 との間に位置し、スイッチング素子 S W 1 と電氣的に接続されている。

30

【0020】

画素 P X 2 は、スイッチング素子 S W 2 及び画素電極 P E 2 を備えている。スイッチング素子 S W 2 は、ゲート配線 G 1 及びソース配線 S 2 と電氣的に接続されている。画素電極 P E 2 は、ソース配線 S 2 とソース配線 S 3 との間に位置し、画素電極 P E 1 に隣接している。また、画素電極 P E 2 は、スイッチング素子 S W 2 と電氣的に接続されている。

【0021】

画素 P X 3 は、スイッチング素子 S W 3 及び画素電極 P E 3 を備えている。スイッチング素子 S W 3 は、ゲート配線 G 1 及びソース配線 S 3 と電氣的に接続されている。画素電極 P E 3 は、ソース配線 S 3 とソース配線 S 4 との間に位置し、画素電極 P E 2 に隣接している。また、画素電極 P E 3 は、スイッチング素子 S W 3 と電氣的に接続されている。

40

【0022】

同様に、画素 P X 4 は、ゲート配線 G 2 及びソース配線 S 1 と電氣的に接続されたスイッチング素子 S W 4、及び、スイッチング素子 S W 4 と電氣的に接続された画素電極 P E 4 を備えている。画素 P X 5 は、ゲート配線 G 2 及びソース配線 S 2 と電氣的に接続されたスイッチング素子 S W 5、及び、スイッチング素子 S W 5 と電氣的に接続された画素電極 P E 5 を備えている。画素 P X 6 は、ゲート配線 G 2 及びソース配線 S 3 と電氣的に接続されたスイッチング素子 S W 6、及び、スイッチング素子 S W 6 と電氣的に接続された

50

画素電極 P E 6 を備えている。

【0023】

スイッチング素子 S W 1 乃至 S W 6 は、例えば薄膜トランジスタ (T F T) である。

【0024】

画素電極 P E 1 乃至 P E 6 は、それぞれ共通電極 C E に対向している。

画素電極 P E 1 乃至 P E 3 は、それぞれ第 1 延出方向 D 1 に延出した画素形状に対応した島状に形成されている。画素電極 P E 1 は、スイッチング素子 S W 1 と電氣的に接続されたコンタクト部 C T 1 及びコンタクト部 C T 1 から延出した少なくとも一本の帯状電極 P A 1 を有している。画素電極 P E 2 は、スイッチング素子 S W 2 と電氣的に接続されたコンタクト部 C T 2 及びコンタクト部 C T 2 から延出した少なくとも一本の帯状電極 P A 2 を有している。画素電極 P E 3 は、スイッチング素子 S W 3 と電氣的に接続されたコンタクト部 C T 3 及びコンタクト部 C T 3 から延出した少なくとも一本の帯状電極 P A 3 を有している。

10

【0025】

コンタクト部 C T 2 は、コンタクト部 C T 1 と第 1 方向 X に沿った同一直線上に並んでいる。コンタクト部 C T 3 は、コンタクト部 C T 1 とは同一直線上からずれた位置に配置されている。このコンタクト部 C T 3 は、コンタクト部 C T 1 及び C T 2 よりも、ゲート配線 G 2 に近接する側に位置している。図示した例では、コンタクト部 C T 3 は、ゲート配線 G 1 を挟んで、コンタクト部 C T 1 及び C T 2 とは反対側に位置している。

【0026】

帯状電極 P A 1 乃至 P A 3 は、それぞれ第 1 延出方向 D 1 に延出している。すなわち、帯状電極 P A 1 は、ゲート配線 G 2 から離間する側に向かってコンタクト部 C T 1 から延出している。同様に、帯状電極 P A 2 は、ゲート配線 G 2 から離間する側に向かってコンタクト部 C T 2 から延出している。帯状電極 P A 2 は、帯状電極 P A 1 と同等の長さを有している。帯状電極 P A 3 は、ゲート配線 G 2 から離間する側に向かってコンタクト部 C T 3 から延出している。帯状電極 P A 3 は、帯状電極 P A 1 などとは異なる長さを有しており、図示した例では、帯状電極 P A 1 よりも長い長さを有している。つまり、画素電極 P E 3 の第 1 延出方向 D 1 に沿った全長は、画素電極 P E 1 及び画素電極 P E 2 の第 1 延出方向 D 1 に沿った全長よりも長い。

20

【0027】

帯状電極 P A 1 の本数は帯状電極 P A 2 の本数と同数であり、帯状電極 P A 3 の本数は帯状電極 P A 1 の本数よりも多い。図示した例では、画素電極 P E 1 は第 1 方向 X に並んだ 2 本の帯状電極 P A 1 を有し、画素電極 P E 2 は第 1 方向 X に並んだ 2 本の帯状電極 P A 2 を有し、画素電極 P E 3 は第 1 方向 X に並んだ 3 本の帯状電極 P A 3 を有している。

30

【0028】

画素電極 P E 4 乃至 P E 6 は、それぞれ第 2 延出方向 D 2 に延出した画素形状に対応した島状に形成されている。画素電極 P E 4 は、スイッチング素子 S W 4 と電氣的に接続されたコンタクト部 C T 4 及びコンタクト部 C T 4 から延出した少なくとも一本の帯状電極 P B 1 を有している。画素電極 P E 5 は、スイッチング素子 S W 5 と電氣的に接続されたコンタクト部 C T 5 及びコンタクト部 C T 5 から延出した少なくとも一本の帯状電極 P B 2 を有している。画素電極 P E 6 は、スイッチング素子 S W 6 と電氣的に接続されたコンタクト部 C T 6 及びコンタクト部 C T 6 から延出した少なくとも一本の帯状電極 P B 3 を有している。コンタクト部 C T 1 乃至 C T 3 は、第 1 方向 X に沿った同一直線上に並んでいる。

40

【0029】

帯状電極 P B 1 乃至 P B 3 は、それぞれ第 2 延出方向 D 2 に延出している。すなわち、帯状電極 P B 1 は、ゲート配線 G 1 に近接する側に向かってコンタクト部 C T 4 から延出している。同様に、帯状電極 P B 2 は、ゲート配線 G 1 に近接する側に向かってコンタクト部 C T 5 から延出している。帯状電極 P B 2 は、帯状電極 P B 1 と同等の長さを有している。帯状電極 P B 3 は、ゲート配線 G 1 に近接する側に向かってコンタクト部 C T 6 か

50

ら延出している。帯状電極 P B 3 は、帯状電極 P B 1 などとは異なる長さを有しており、図示した例では、帯状電極 P B 1 よりも短い長さを有している。つまり、画素電極 P E 6 の第 2 延出方向 D 2 に沿った全長は、画素電極 P E 4 及び画素電極 P E 5 の第 2 延出方向 D 2 に沿った全長よりも短い。

【0030】

帯状電極 P B 1 の本数は帯状電極 P B 2 の本数と同数であり、帯状電極 P B 3 の本数は帯状電極 P B 1 の本数よりも多い。図示した例では、画素電極 P E 4 は第 1 方向 X に並んだ 2 本の帯状電極 P B 1 を有し、画素電極 P E 5 は第 1 方向 X に並んだ 2 本の帯状電極 P B 2 を有し、画素電極 P E 6 は第 1 方向 X に並んだ 3 本の帯状電極 P B 3 を有している。

【0031】

第 1 配向膜 A L 1 は、第 1 延出方向 D 1 及び第 2 延出方向 D 2 に対して 45° 以下の鋭角に交差する方向に沿って配向処理されている。例えば、第 1 配向膜 A L 1 の配向処理方向 R 1 は、第 2 方向 Y に平行な方向であり、第 1 延出方向 D 1 あるいは第 2 延出方向 D 2 に交差する方向である。

【0032】

図 3 は、図 2 に示したスイッチング素子 S W 2 及び S W 3 の構造例を概略的に示す平面図である。図示した例では、スイッチング素子 S W 2 及び S W 3 は、いずれもダブルゲート構造の薄膜トランジスタによって構成されている。

【0033】

すなわち、スイッチング素子 S W 2 は、半導体層 S C 2 及び中継電極 R E 2 を備えている。半導体層 S C 2 は、U 字状に形成されており、ゲート配線 G 1 と 2 箇所で交差している。半導体層 S C 2 の一端側は、コンタクトホール C H 1 1 を介してソース配線 S 2 に接続されている。半導体層 S C 2 の他端側は、コンタクトホール C H 1 2 を介して中継電極 R E 2 に接続されている。中継電極 R E 2 は、画素電極 P E 2 のコンタクト部 C T 2 と重なり、コンタクトホール C H 1 3 を介してコンタクト部 C T 2 に接続されている。

【0034】

スイッチング素子 S W 3 は、半導体層 S C 3 及び中継電極 R E 3 を備えている。半導体層 S C 3 は、U 字状に形成されており、ゲート配線 G 1 と 2 箇所で交差している。半導体層 S C 3 の一端側は、コンタクトホール C H 2 1 を介してソース配線 S 3 に接続されている。半導体層 S C 3 の他端側は、コンタクトホール C H 2 2 を介して中継電極 R E 3 に接続されている。中継電極 R E 3 は、画素電極 P E 3 のコンタクト部 C T 3 と重なり、コンタクトホール C H 2 3 を介してコンタクト部 C T 3 に接続されている。

【0035】

図示した例では、半導体層 S C 3 は、半導体層 S C 2 とは逆向きに形成されている。つまり、半導体層 S C 2 は、ゲート配線 G 1 よりも画素電極 P E 2 に近接する側で折り返し、ゲート配線 G 1 よりも画素電極 P E 2 から離間する側でソース配線 S 2 及び中継電極 R E 2 とそれぞれ接続されている。一方、半導体層 S C 3 は、ゲート配線 G 1 よりも画素電極 P E 3 から離間する側で折り返し、ゲート配線 G 1 よりも画素電極 P E 3 に近接する側でソース配線 S 3 及び中継電極 R E 3 とそれぞれ接続されている。換言すると、コンタクトホール C H 1 1 及び C H 1 2 は、ゲート配線 G 1 を挟んで、コンタクトホール C H 2 1 及び C H 2 2 とは反対側に位置している。また、コンタクトホール C H 1 3 も、ゲート配線 G 1 を挟んで、コンタクトホール C H 2 3 とは反対側に位置している。あるいは別の見方をすれば、画素電極 P E 2 のコンタクト部 C T 2 に設けられたコンタクトホール C H 1 3 と、隣接する画素の画素電極 P E 3 のコンタクト部 C T 3 に設けられたコンタクトホール C H 2 3 とを結ぶ仮想の直線は、ゲート配線 G 1 と交差している。

【0036】

なお、これらの半導体層 S C 2 及び S C 3 は、例えば多結晶シリコン (p-Si) によって形成されるが、アモルファスシリコン (a-Si) や酸化物半導体などによって形成されても良い。

【0037】

10

20

30

40

50

図4は、本実施形態における各画素とカラーフィルタとのレイアウトの一例を概略的に示す平面図である。

【0038】

カラー表示を実現するための単位画素UPは、複数の異なる色画素によって構成されている。単位画素UPとは、アクティブエリアに表示されるカラー画像を構成する最小単位である。単位画素UPは、例えば6個の色画素によって構成されている。単位画素UPは、画素PX1、画素PX2、画素PX3、画素PX4、画素PX5、及び、画素PX6によって構成されている。図中においては、各画素は、それぞれ一点鎖線で示している。

【0039】

上記の通り、画素PX1及び画素PX4は赤色画素であって、画素PX2及び画素PX5は緑色画素であって、画素PX3は青色画素であって、画素PX6は白色画素である。このような構成において、画素PX1、画素PX2、画素PX4、及び、画素PX5のそれぞれの面積は略同等である。画素PX3の面積は、画素PX1などの面積よりも大きい。

【0040】

対向基板CTは、遮光層BM、カラーフィルタCF1乃至CF4、第2配向膜AL2などを備えている。

【0041】

遮光層BMは、各画素の境界に配置されている。つまり、遮光層BMは、図2に示したソース配線、ゲート配線、スイッチング素子などの配線部の上方に位置している。図2に示した例では、コンタクト部CT3（あるいはスイッチング素子SW3）の位置がコンタクト部CT1（あるいはスイッチング素子SW1）及びコンタクト部CT2（あるいはスイッチング素子SW2）が並ぶ同一直線上の位置からずれている。このため、図示した遮光層BMのうち、第1方向Xに延出した部分は、アレイ基板ARのレイアウトに対応して蛇行している。なお、遮光層BMは、異なる色の画素の境界には配置される一方で、同一色の画素の境界には配置されなくても良い。

【0042】

カラーフィルタCF1は、第2方向Yに沿って延出した帯状に形成されている。カラーフィルタCF2は、カラーフィルタCF1の第1方向Xに隣接し、第2方向Yに沿って延出した帯状に形成されている。カラーフィルタCF3は、カラーフィルタCF2の第1方向Xに隣接し、島状に形成されている。カラーフィルタCF4は、カラーフィルタCF3の第2方向Yに隣接し、また、カラーフィルタCF2の第1方向Xに隣接し、島状に形成されている。カラーフィルタCF3とカラーフィルタCF4とは、第2方向Yに沿って交互に繰り返し配置されている。

【0043】

カラーフィルタCF1は、画素PX1及び画素PX4に対応して配置されている。カラーフィルタCF2は、画素PX2及び画素PX5に対応して配置されている。カラーフィルタCF3は、画素PX3に対応して配置されている。カラーフィルタCF4は、画素PX6に対応して配置されている。図示した例では、カラーフィルタCF1は赤色（R）カラーフィルタであり、カラーフィルタCF2は緑色（G）カラーフィルタであり、カラーフィルタCF3は青色（B）のカラーフィルタであり、カラーフィルタCF4は白色（W）カラーフィルタである。カラーフィルタCF1乃至CF4は、それぞれの互いに隣接する端部が遮光層BMに重なっている。

【0044】

第2配向膜AL2は、第1配向膜AL1の配向処理方向R1と平行な方向に沿って配向処理されている。第2配向膜AL2の配向処理方向R2は、例えば、第1配向膜AL1の配向処理方向R1と互いに逆向きである。

【0045】

図5は、図2に示した画素PX1乃至PX6を含む液晶表示パネルLPNの構成を概略的に示す断面図である。

10

20

30

40

50

【0046】

アレイ基板ARは、ガラス基板や樹脂基板などの透明な第1絶縁基板10を用いて形成されている。アレイ基板ARは、第1絶縁基板10の対向基板CTに対向する側に、ソース配線S1乃至S4、共通電極CE、画素電極PE1乃至PE6、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。なお、ここでは、スイッチング素子やゲート配線の図示を省略している。

【0047】

ソース配線S1乃至S4は、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。なお、ゲート配線は、第1絶縁基板10と第1絶縁膜11との間に形成されている。共通電極CEは、第2絶縁膜12の上に形成され、第3絶縁膜13によって覆われている。共通電極CEは、透明な導電材料、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジンク・オキサイド(IZO)などによって形成されている。

10

【0048】

画素電極PE1乃至PE6は、第3絶縁膜13の上に形成され、共通電極CEと対向している。つまり、帯状電極PA1乃至PA3、及び、帯状電極PB1乃至PB3は、第3絶縁膜13を介して共通電極CEの上方に位置している。第3絶縁膜13は、共通電極CEと画素電極PE1乃至PE6との間に介在する層間絶縁膜に相当する。画素電極PE1及び画素電極PE4は、ソース配線S1とソース配線S2との間に位置している。画素電極PE2及び画素電極PE5は、ソース配線S2とソース配線S3との間に位置している。画素電極PE3及び画素電極PE6は、ソース配線S3とソース配線S4との間に位置している。画素電極PE1乃至PE6は、いずれも透明な導電材料、例えば、ITOやIZOなどによって形成されている。画素電極PE1乃至PE6は、第1配向膜AL1によって覆われている。第1配向膜AL1は、第3絶縁膜13も覆っている。第1配向膜AL1は、水平配向性を示す材料によって形成され、アレイ基板ARの液晶層LQに接する面に配置されている。

20

【0049】

一方、対向基板CTは、ガラス基板や樹脂基板などの透明な第2絶縁基板20を用いて形成されている。対向基板CTは、第2絶縁基板20のアレイ基板ARに対向する側に、遮光層BM、カラーフィルタCF1乃至CF4、オーバーコート層OC、第2配向膜AL2などを備えている。

30

【0050】

遮光層BMは、第2絶縁基板20の内面に形成されている。遮光層BMは、ソース配線S1乃至S4の上方にそれぞれ位置している。遮光層BMは、黒色の樹脂材料や、遮光性の金属材料によって形成されている。

【0051】

カラーフィルタCF1乃至CF4のそれぞれは、第2絶縁基板20の内面に形成されている。カラーフィルタCF1は、画素電極PE1及び画素電極PE4と対向している。カラーフィルタCF2は、画素電極PE2及び画素電極PE5と対向している。カラーフィルタCF3は、画素電極PE3と対向している。カラーフィルタCF4は、画素電極PE6と対向している。カラーフィルタCF1は、赤色に着色された樹脂材料によって形成されている。カラーフィルタCF2は、緑色に着色された樹脂材料によって形成されている。カラーフィルタCF3は、青色に着色された樹脂材料によって形成されている。カラーフィルタCF4は、白色（あるいは透明）の樹脂材料によって形成されている。なお、カラーフィルタCF4は省略しても良いし、厳密に無彩色のカラーフィルタでなくても良く、淡く色付いた（例えば薄黄色あるいは薄青色に色付いた）カラーフィルタであってもよい。異なる色のカラーフィルタ間の境界は、ソース配線Sの上方の遮光層BMと重なっている。

40

【0052】

オーバーコート層OCは、カラーフィルタCF1乃至CF4を覆っている。オーバーコ

50

ート層OCは、カラーフィルタCF1乃至CF4の表面の凹凸を平坦化する。オーバーコート層OCは、透明な樹脂材料によって形成されている。オーバーコート層OCは、第2配向膜AL2によって覆われている。第2配向膜AL2は、水平配向性を示す材料によって形成され、対向基板CTの液晶層LQに接する面に配置されている。

【0053】

上述したようなアレイ基板ARと対向基板CTとは、第1配向膜AL1及び第2配向膜AL2が向かい合うように配置されている。このとき、アレイ基板ARと対向基板CTとの間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板ARと対向基板CTとは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層LQは、第1配向膜AL1と第2配向膜AL2との間に封入された液晶分子LMを含む液晶材料によって形成されている。

10

【0054】

このような構成の液晶表示パネルLPNに対して、その背面側には、バックライトBLが配置されている。バックライトBLとしては、種々の形態が適用可能であるが、ここでは詳細な構造については説明を省略する。

【0055】

第1絶縁基板10の外表面10Bには、第1偏光板PL1を含む第1光学素子OD1が配置されている。第2絶縁基板20の外表面20Bには、第2偏光板PL2を含む第2光学素子OD2が配置されている。第1偏光板PL1及び第2偏光板PL2は、例えば、それぞれの偏光軸が直交するクロスニコルの位置関係となるように配置される。

20

【0056】

以下に、上記構成の液晶表示装置における動作について説明する。

画素電極PEと共通電極CEとの間に電位差を形成するような電圧が印加されていないオフ時には、液晶層LQに電圧が印加されない。つまり、画素電極PEと共通電極CEとの間に電界が形成されていない。このため、液晶層LQに含まれる液晶分子LMは、図2に実線で示したように、第1配向膜AL1及び第2配向膜AL2の配向規制力によりX-Y平面内において第2方向Yに初期配向している。つまり、液晶分子LMの初期配向方向は第2方向Yに平行である。オフ時には、バックライトBLからのバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、例えば第1偏光板PL1の第1吸収軸と直交する直線偏光である。このような直線偏光の偏光状態は、OFF時の液晶表示パネルLPNを通過した際にほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光のほとんどが、第2偏光板PL2によって吸収される（黒表示）。

30

【0057】

一方、画素電極PEと共通電極CEとの間に電位差を形成するような電圧が印加されたオン時には、液晶層LQに電圧が印加される。つまり、画素電極PEと共通電極CEとの間にフリンジ電界が形成される。このため、液晶分子LMは、図2に破線で示したように、X-Y平面内において、初期配向方向とは異なる方位に配向する。ポジ型の液晶材料においては、例えば画素PX3の液晶分子LMは、X-Y平面内において、フリンジ電界と略平行な方向に配向するように反時計回りに回転し、画素PX6の液晶分子LMは、X-Y平面内において、フリンジ電界と略平行な方向に配向するように時計回りに回転する。このとき、液晶分子LMは、電界の大きさに応じた方向に配向する。オン時には、第1偏光板PL1の第1吸収軸と直交する直線偏光は、液晶表示パネルLPNに入射し、その偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。このため、オン時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

40

【0058】

このような構成により、ノーマリーブラックモードが実現される。

上記の通り、2行×3列の6個の色画素で単位画素UPを構成した場合、これらの6個の色画素は、赤色画素、緑色画素、青色画素、及び、白色画素のいずれかに割り当てられ

50

ている。例えば、赤色画素としては同列の 2 個の色画素が割り当てられ、緑色画素としては同列の 2 個の色画素が割り当てられている。また、青色画素及び白色画素としては、同列の色画素がそれぞれ割り当てられている。

【0059】

つまり、本実施形態で説明したレイアウトの単位画素UPにおいては、赤色画素及び緑色画素はそれぞれ 2 個の色画素が割り当てられているのに対して、青色画素及び白色画素はそれぞれ 1 個の色画素が割り当てられており、6 個の色画素のすべてがそれぞれ同等の面積である場合には、青色の輝度が不足してしまう。このため、青色画素の第 1 方向 X の長さは赤色画素及び緑色画素のそれぞれの第 1 方向 X の長さよりも長くすることで、青色画素の面積を拡大し、青色画素として必要な輝度を確保している。

10

【0060】

一方で、高精細化等の要求に伴って単位画素UPの第 1 方向 X の長さが制約される場合、各色画素の第 1 方向 X に沿った長さのみで、各色画素の面積を調整するには限界がある。このため、最適なカラーバランスを維持するためには、青色画素の輝度に併せて赤色画素及び緑色画素を比較的低輝度で駆動する必要がある。また、各色画素の第 1 方向 X に沿った長さの差が大きくなるほど、アレイ基板ARと対向基板CTとを貼り合わせる工程で第 1 方向 X に貼り合わせずれが生じた際に、単位画素UPにおける各色画素の面積比率が大きく変化してしまい、カラーバランスが崩れる不具合をもたらす。

【0061】

そこで、本実施形態によれば、第 1 方向 X に並んだ 3 つの画素電極のうち、1 つの画素電極のコンタクト部は、他の 2 つの画素電極のコンタクト部とは同一直線上からずれた位置に配置されている。例えば、青色画素においては、赤色画素及び緑色画素とは同一直線上からずれた位置で画素電極とスイッチング素子とが電氣的に接続されている。このとき、青色画素の画素電極は、白色画素の側に突出しており、そのコンタクト部が白色画素の画素電極に近接している。これにより、青色画素において表示に寄与する面積を列方向（あるいは第 2 方向 Y）に拡大することが可能となる。このため、青色画素の高輝度化が可能となる。これにより、単位画素UPにおいて、高輝度で最適なカラーバランスを得ることが可能となる。また、各色画素の第 1 方向 X の長さの差が拡大しないため、貼り合わせズレに対するカラーバランスの変化を抑制することが可能となる。したがって、表示品位を向上することが可能となる。

20

30

【0062】

また、単位画素UPにおいて、各色画素の面積は、第 1 方向 X の長さ及び第 2 方向 Y の長さで調整することが可能となり、レイアウトの自由度を向上することが可能となる。

【0063】

なお、上記の実施形態では、赤色画素及び緑色画素については等ピッチとし、青色画素及び白色画素については赤色画素及び緑色画素よりも大きなピッチとする異形レイアウトについて説明したが、異なるピッチを取る異形レイアウトについては上記とは異なる色画素の組み合わせであっても良いし、赤色画素、緑色画素、青色画素、及び、白色画素のすべてについてピッチを異ならせても良い。各色画素に配置される画素電極は、各々の画素ピッチに合わせて適宜設定された本数の帯状電極を有していればよく、上記の例に限定されるものではない。

40

【0064】

次に、他の構成例について説明する。

図 6 は、図 1 に示したアレイ基板ARにおける画素の第 2 構成例を対向基板の側から見た概略平面図である。

【0065】

ここに示した第 2 構成例は、図 2 に示した第 1 構成例と比較して、ゲート配線 G 1 の一部が屈曲している点で相違している。他の構成については、第 1 構成例と同一であり、説明を省略する。

【0066】

50

図示した例では、第1構成例と同様に、コンタクト部C T 1及びC T 2が第1方向Xに沿った同一直線上に並んでいるのに対して、コンタクト部C T 3はコンタクト部C T 1とは同一直線上からずれた位置に配置されており、画素電極P E 3は、第2方向Yに沿って画素電極P E 6に向かって拡張されている。

【0067】

ゲート配線G 1は、コンタクト部C T 1及びC T 2に対応して第1方向Xに沿って直線状に延出し、コンタクト部C T 3に対応して画素電極P E 6の側に屈曲している。このようなゲート配線G 1は、スイッチング素子S W 1乃至S W 3のそれぞれと電氣的に接続されている。スイッチング素子S W 1乃至S W 3は、それぞれ画素電極P E 1乃至P E 3と電氣的に接続されている。

10

【0068】

このような第2構成例においても、画素P X 3の表示に寄与する面積を第2方向Yに拡大することが可能となり、上記の第1構成例と同様の効果が得られる。加えて、第2構成例では、コンタクト部C T 1乃至C T 3が同一直線上に位置しないレイアウトであっても、スイッチング素子S W 1乃至S W 3は、いずれも同じ向きで画素電極P E 1乃至P E 3と接続することが可能となる。つまり、第1構成例では、図3で説明したようにスイッチング素子S W 3が他のスイッチング素子S W 2などとは異なる構造であったのに対して、第2構成例では、コンタクト部C T 1乃至C T 3のそれぞれの位置に関わらず、スイッチング素子S W 1乃至S W 3を同一構造で形成することが可能となる。

【0069】

20

図7は、図1に示したアレイ基板A Rにおける画素の第3構成例を対向基板の側から見た概略平面図である。

【0070】

ここに示した第3構成例は、図2に示した第1構成例と比較して、コンタクト部C T 1乃至C T 3が第1方向Xに沿った同一直線上に並んでおり、且つ、帯状電極P A 3が帯状電極P A 1及びP A 2よりも長く形成されている点、及び、コンタクト部C T 6がコンタクト部C T 4及びC T 5とは同一直線上からずれた位置に配置されている点で相違している。

【0071】

図示した例では、コンタクト部C T 4及びC T 5が第1方向Xに沿った同一直線上に並んでいるのに対して、コンタクト部C T 6はコンタクト部C T 4及びコンタクト部C T 5とは同一直線上からずれた位置に配置されており、画素電極P E 6は、第2方向Yに沿って画素電極P E 3に向かって偏在している。帯状電極P B 1及びP B 2は等々の長さを有する一方で、帯状電極P B 3は帯状電極P B 1より短い長さを有している。

30

【0072】

ゲート配線G 2は、コンタクト部C T 4及びC T 5に対応して第1方向Xに沿って直線状に延出し、コンタクト部C T 6に対応して画素電極P E 3の側に屈曲している。このようなゲート配線G 2は、スイッチング素子S W 4乃至S W 6のそれぞれと電氣的に接続されている。スイッチング素子S W 4乃至S W 6は、それぞれ画素電極P E 4乃至P E 6と電氣的に接続されている。

40

【0073】

ゲート配線G 1は、コンタクト部C T 1乃至C T 3に対応して第1方向Xに沿って直線状に延出している。このようなゲート配線G 1は、スイッチング素子S W 1乃至S W 3のそれぞれと電氣的に接続されている。スイッチング素子S W 1乃至S W 3は、それぞれ画素電極P E 1乃至P E 3と電氣的に接続されている。

【0074】

図示した単位画素U Pは、第2方向Yに繰り返し配置されている。つまり、帯状電極P A 3の先端部は、ゲート配線G 2の屈曲した部分に向かって延出している。

【0075】

このような第3構成例においても、画素P X 3の表示に寄与する面積を第2方向Yに拡

50

大することが可能となり、上記の第 1 構成例と同様の効果が得られる。

【0076】

以上説明したように、本実施形態によれば、表示品位を向上することが可能な液晶表示装置を提供することができる。

【0077】

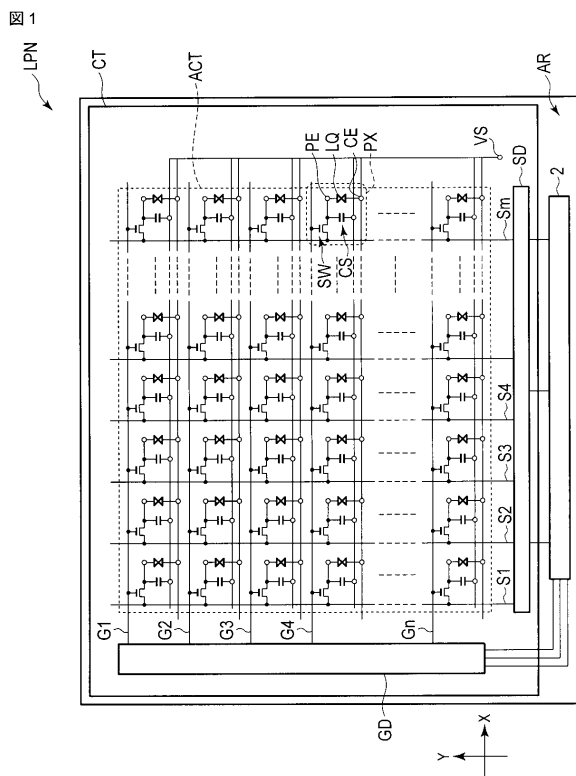
なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

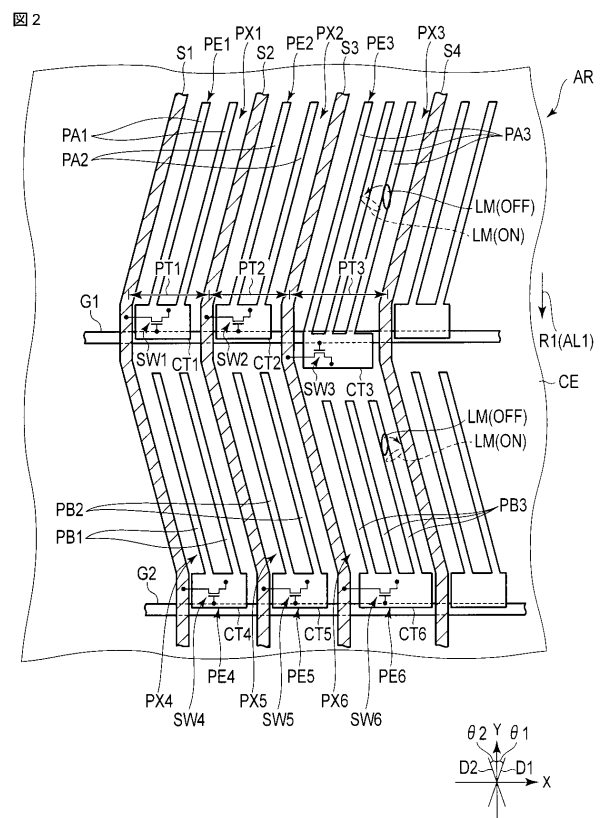
【0078】

L P N…液晶表示パネル A R…アレイ基板 C T…対向基板 L Q…液晶層
G…ゲート配線 S…ソース配線 S W…スイッチング素子
P E…画素電極 P A、P B…帯状電極 C E…共通電極 C F…カラーフィルタ

【図 1】

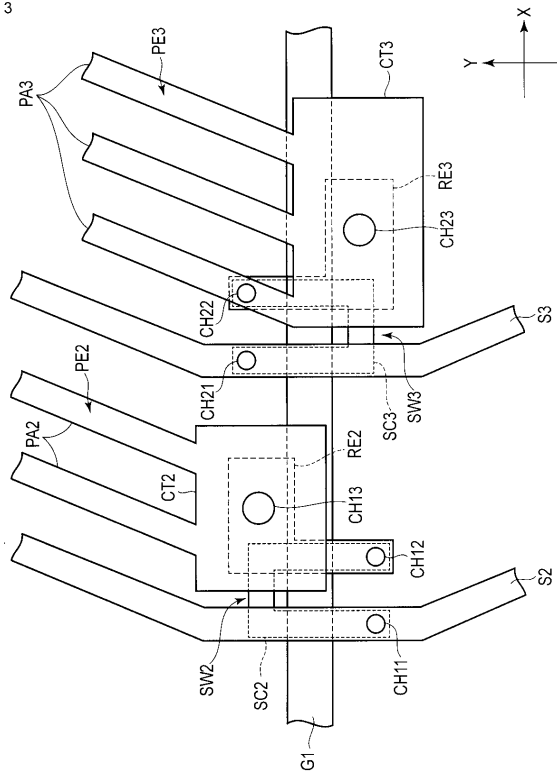


【図 2】



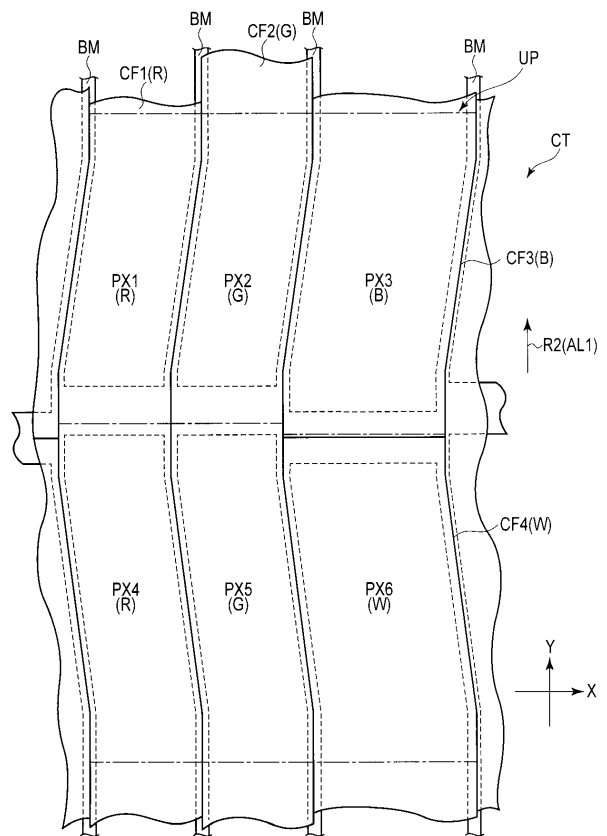
【図 3】

図 3



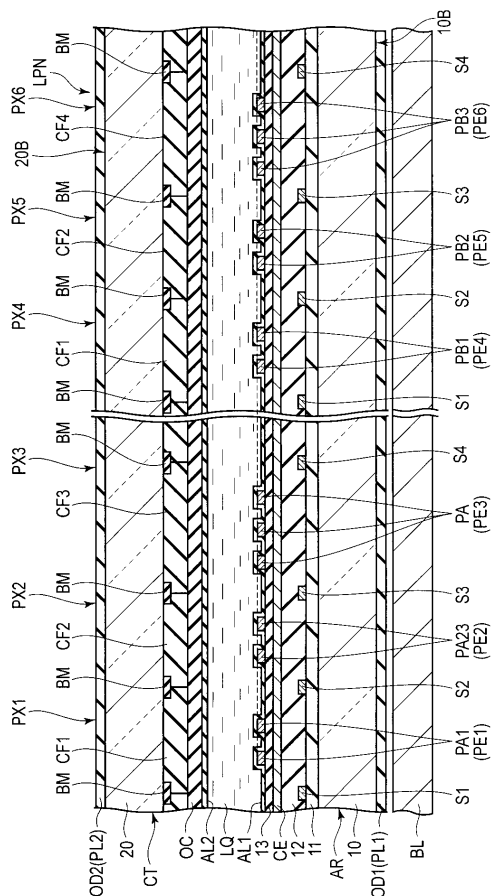
【図 4】

図 4



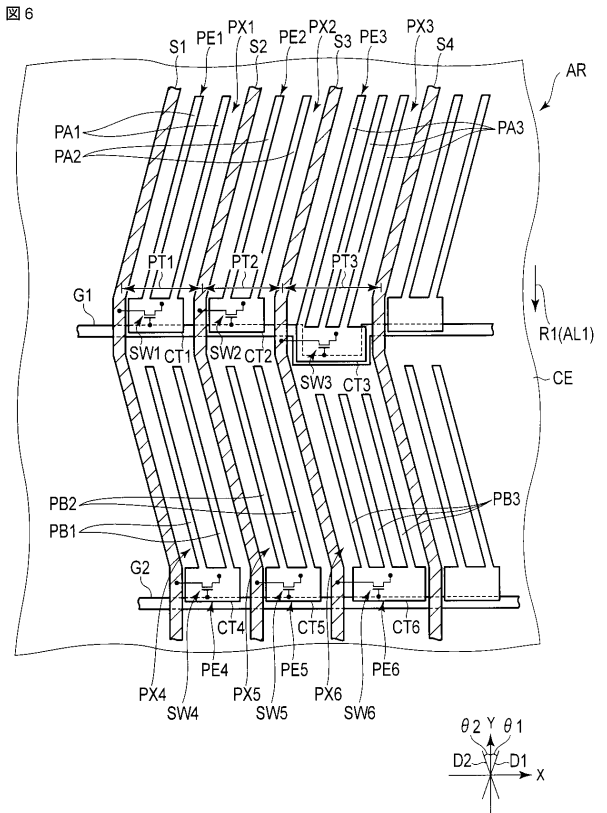
【図 5】

図 5



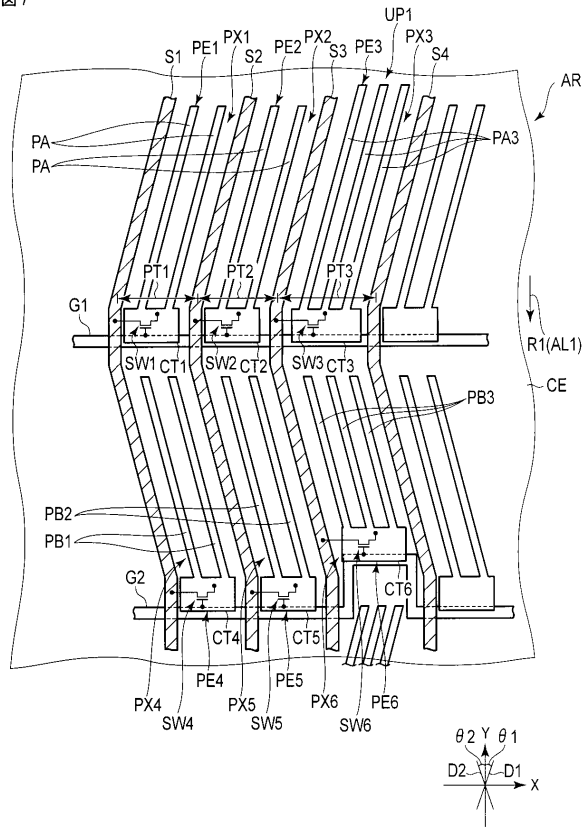
【図 6】

図 6



【図 7】

図 7



フロントページの続き

Fターム(参考) 2H092 GA14 GA15 GA23 JA24 JB05 JB06 JB23 JB32 NA01 PA08
QA06
2H192 AA24 AA43 AA44 BB13 BB53 BB64 BB73 CC15 CC44 CC55
EA43 EA54 JA33

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015225300A	公开(公告)日	2015-12-14
申请号	JP2014111502	申请日	2014-05-29
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA15 2H092/GA23 2H092/JA24 2H092/JB05 2H092/JB06 2H092/JB23 2H092/JB32 2H092/NA01 2H092/PA08 2H092/QA06 2H192/AA24 2H192/AA43 2H192/AA44 2H192/BB13 2H192/BB53 2H192/BB64 2H192/BB73 2H192/CC15 2H192/CC44 2H192/CC55 2H192/EA43 2H192/EA54 2H192/JA33		
代理人(译)	河野 哲		
其他公开文献	JP6318006B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够提高显示质量的显示装置。具有第一接触部分的第一像素电极和具有从第一接触部分延伸的第一长度的第一带状电极，与第一接触部分共线的第二接触部分以及第二像素电极具有第二条形电极，该第二条形电极从第二接触部分延伸并且具有等于第一长度的第二长度，并且第三接触在与第一接触部分偏离相同直线的位置处具有第三接触。第三基板具有第三像素电极，该第三像素电极具有第三带状电极，该第三带状电极的第三长度不同于第一长度并且从第三接触部分延伸，并且第一基板与第一像素电极相对。第二基板，包括第一滤色器，面对第二像素电极的第二滤色器和面对第三像素电极的第三滤色器，第一基板和第二滤色器 液晶显示装置，其特征在于，具有：液晶层，其被保持在所述基板与所述基板之间。[选择图]图2

(21) 出願番号	特願2014-111502 (P2014-111502)	(71) 出願人	502356528
(22) 出願日	平成26年5月29日 (2014. 5. 29)		株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100087653 弁理士 鈴江 正二
		(72) 発明者	廣澤 仁 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

最終頁に続く