

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-96952

(P2015-96952A)

(43) 公開日 平成27年5月21日(2015.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G09F 9/30 (2006.01)	G09F 9/30 330	2H189
H01L 21/8238 (2006.01)	H01L 27/08 321E	2H191
H01L 27/092 (2006.01)	H01L 27/06 102A	2H192
H01L 21/8234 (2006.01)	H01L 27/08 331E	5C094
審査請求 有 請求項の数 1 O L (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2014-229680 (P2014-229680)
 (22) 出願日 平成26年11月12日 (2014.11.12)
 (62) 分割の表示 特願2013-249228 (P2013-249228)
 の分割
 原出願日 平成12年7月19日 (2000.7.19)
 (31) 優先権主張番号 特願平11-207041
 (32) 優先日 平成11年7月22日 (1999.7.22)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H092 GA34 GA35 GA42 GA43 GA48
 HA04 HA12 JA24 KB24 PA06
 PA13
 2H189 AA70 AA72 AA77 LA04 LA06
 LA10 LA30
 2H191 FA85Z FD15
 2H192 AA24 CB02 CB13 CB53 DA52
 EA74 FA64 FA76 FB02 FB72

最終頁に続く

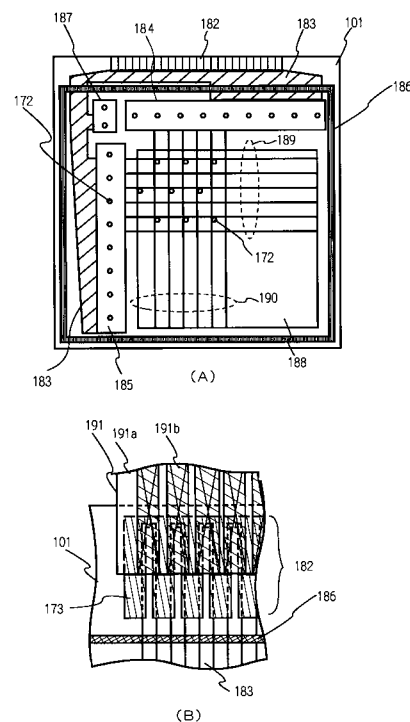
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】液晶パネルなどにおいて、取り出し端子とFPCを接続するための異方性導電膜のコンタクトの信頼性を向上する。

【解決手段】アクティブマトリクス基板上の接続配線183は端子部182において異方性導電膜195によって、FPC191に電氣的に接続される。接続配線183はアクティブマトリクス基板上のTFTのソース/ドレイン配線と同じ工程で作製され、金属膜140と透明導電膜141の積層膜でなる。異方性導電膜195との接続部分において、接続配線183の側面は絶縁材料でなる保護膜173に覆われている。よって、接続配線の金属膜の側面は保護膜174で覆われているためこの部分において、金属膜は透明導電膜141、下地の絶縁膜109、保護膜174に接して囲まれ外気に触れることがない。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

タッチパネルと、
LED バックライトと、
前記タッチパネルと前記 LED バックライトとの間の液晶表示装置と、を有し、
前記液晶表示装置は、
第 1 の基板上の接続配線と、
前記第 1 の基板上のトランジスタと、
前記トランジスタ上の有機絶縁膜と、
前記有機絶縁膜上の液晶層と、
前記液晶層上の第 2 の基板と、を有し、
前記接続配線は、端子部において、異方性導電膜と接する領域を有し、
前記接続配線は、金属膜と、前記金属膜上の透明導電膜と、を有し、
前記端子部において、前記金属膜の側面は前記有機絶縁膜と接する領域を有し、
前記端子部において、前記透明導電膜は前記異方性導電膜と接する領域を有し、
前記有機絶縁膜の膜厚は、前記接続配線の膜厚よりも大きく、
前記 LED バックライトは、前記液晶層と重なるように配置されていることを特徴とする表示装置。

10

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、TFT と記す）で構成された回路を有する半導体装置に関する。TFT で構成された回路を他の基板上の回路と接続するための端子の構造に関する。特に本発明は、画素部とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置やエレクトロルミネッセンス（EL）表示装置や、これら表示装置を搭載した電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体の特性を利用することで機能する装置全般を指し、上記液晶表示装置だけでなく、表示装置を搭載した電子機器をその範疇に含んでいる。

【背景技術】

30

【0002】

アクティブマトリクス型の液晶表示装置に代表される電気光学装置において、スイッチング素子や能動回路を構成するために TFT を用いる技術が開発されている。TFT はガラスなどの基板上に気相成長法により半導体膜を形成し、その半導体膜を活性層として形成する。半導体膜にはシリコン又はシリコン・ゲルマニウムなどシリコンを主成分とする材料が好適に用いられている。さらに、シリコン半導体膜はその作製法により、非晶質シリコン膜や多結晶シリコンに代表される結晶質シリコン膜などを得ることができる。

【0003】

非晶質シリコン膜を活性層とした TFT は、非晶質構造などに起因する電子物性的要因から、本質的に数 cm^2/Vsec 以上の電界効果移動度を得ることができない。従って、アクティブマトリクス型の液晶表示装置において、画素部の各画素に設けられる液晶を駆動するためのスイッチング素子（画素 TFT）として使用することはできても、画像表示を行うための駆動回路まで形成することは不可能であった。そのために、TAB（Tape Automated Bonding）方式や COG（Chip on Glass）方式を使ってドライバ IC などを実装する技術が用いられていた。

40

【0004】

一方、結晶質シリコン膜を活性層とした TFT では、高い電界効果移動度が得られることから各種の機能回路を同一のガラス基板上に形成することが可能となり、画素 TFT の他に駆動回路において n チャネル型 TFT と p チャネル型 TFT とから成る CMOS 回路を基本として形成されるシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプル

50

リング回路など同一基板上に作製することができる。低コスト化及び高品位化のため、アクティブマトリクス型液晶表示装置では、画素と画素を駆動するための駆動回路を同一基板上に作製したアクティブマトリクス基板が用いられるようになった。

【 0 0 0 5 】

上記のようなアクティブマトリクス基板では、駆動回路に電源や入力信号を供給するために、アクティブマトリクス基板上に、駆動回路と接続した接続配線を作製し、接続配線と F P C (Flexible Print Circuit) を実装する構造が採用されている。基板上の接続配線と F P C の接続には異方性導電膜が用いられている。

図 3 0 に異方性導電膜によって F P C に接続された接続配線の断面構造を示す。

【 発明の概要 】

10

【 発明が解決しようとする課題 】

【 0 0 0 6 】

図 3 0 に示すように、アクティブマトリクス基板において、ガラス基板 1 の表面の絶縁膜 2 上に接続配線 3 が形成されている。F P C 4 はポリイミドなどとなる可撓性の基板 5 上に銅などからなる多数の配線 6 が形成されている。異方性導電膜 7 には、導電性スペーサ 8 が、熱や光により硬化する接着剤 9 (樹脂) 内に分散されている。接続配線 3 と F P C 4 の上の配線 6 は導電性スペーサ 8 によって電氣的に接続されている。

【 0 0 0 7 】

接続配線 3 は、アルミニウムやチタンなどの金属膜 3 a と I T O 膜等の透明導電膜 3 b の 2 多層構造となっている。透明導電膜 3 b としてアルミニウムなどの金属膜を用いることで配線抵抗を低くできるが、金属膜 3 a が導電性スペーサ 8 に押されて変形するおそれがある。透明導電膜 3 b はインジウムやスズなどの金属の酸化物であるため、金属膜 3 a よりも硬度が高い。そこで、透明導電膜 3 b を表面に形成することで、金属膜 3 a の破損や変形を防止している。

20

【 0 0 0 8 】

しかしながら、金属膜 3 a の側面は異方性導電膜 7 が形成されるまでは剥き出しの状態、外気に曝されているため、腐食や酸化されやすい状態となっており、接続配線 3 と F P C 4 との接続の信頼性を下げる原因となる。また、F P C 4 が実装された状態では、金属膜 3 a の側面は樹脂と接しているため、水分に対する保護に問題がある。

【 0 0 0 9 】

30

本発明は上述した問題点を解消して、F P C と配線の信頼性の高い接続を実現し、かつ量産に適した接続配線を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

上述の課題を課題を解決するために、本発明は基板上の接続配線を異方性導電膜によって他の基板上の配線と電氣的に接続するコンタクト構造であって、前記引き出し配線は金属膜と透明導電膜の積層膜であり、前記異方性導電膜との接続部分において、前記金属膜の側面は保護膜に覆われていることを特徴とする。

【 0 0 1 1 】

40

また、他の構成は、基板上に、薄膜トランジスタが配置された回路と、前記薄膜トランジスタとなる回路を他の回路と接続するための接続配線と、を有する半導体装置であって、前記接続配線金属膜と透明導電膜の積層膜であり、前記他の回路との接続部分において前記金属膜側面は保護膜に覆われていることを特徴とする。

【 0 0 1 2 】

また、他の構成は薄膜トランジスタが配置された回路を有する第 1 の基板と、前記第 1 の基板に対向する第 2 の基板とを有する半導体装置であって、前記第 1 の基板上には、前記薄膜トランジスタが配置された回路を他の回路と接続するための、金属膜と、該金属膜表面に接する透明導電膜ととなる接続配線と、前記金属膜の側面に接する保護膜が形成されていることを特徴とする。

【 0 0 1 3 】

50

また、他の構成は薄膜トランジスタが配置された回路を有する第 1 の基板と、前記第 1 の基板に対向する第 2 の基板とを有する半導体装置であって、前記第 1 の基板上には、前記薄膜トランジスタが配置された回路を他の回路と接続するための、金属膜と、該金属膜表面に接する透明導電膜とでなる接続配線と、前記薄膜トランジスタ上に形成され、前記第 1 の基板と前記第 2 の基板間隔を維持するための柱状スペーサと、前記金属膜の側面に接する前記柱状スペーサと同じ材料でなる保護膜が形成されていることを特徴とする。

【発明の効果】

【0014】

本発明を用いることで、異方性導電膜によって他の回路と接続される接続配線において、金属膜を保護膜及び透明導電膜で覆う構造となるため、製造過程や、異方性導電膜の接着剤との接触によって生ずる金属膜の腐食、変質を防ぐことができるため、信頼性の高いコンタクト構造とすることが可能になる。

10

【図面の簡単な説明】

【0015】

【図 1】アクティブマトリクス基板の構成を説明する上面図。

【図 2】液晶表示装置の回路構成を説明するブロック図。

【図 3】アクティブマトリクス基板の作製工程を示す断面図。

【図 4】アクティブマトリクス基板の作製工程を示す断面図。

【図 5】アクティブマトリクス基板の作製工程を示す断面図。

【図 6】アクティブマトリクス基板の作製工程を示す断面図。

20

【図 7】アクティブマトリクス基板の作製工程を示す断面図。

【図 8】液晶パネルの断面図。

【図 9】接続配線の端子部の作製工程を示す断面図。

【図 10】接続配線の端子部の作製工程を示す断面図。

【図 11】接続配線の端子部の作製工程を示す断面図。

【図 12】接続配線の端子部と異方性導電膜のコンタクト構造を示す断面図。

【図 13】画素部の 1 画素の上面図。

【図 14】柱状スペーサの形状を説明する図

【図 15】接続配線の端子部の作製工程を示す断面図。

【図 16】接続配線の端子部と異方性導電膜のコンタクト構造を示す断面図。

30

【図 17】アクティブマトリクス基板の作製工程を示す断面図。

【図 18】アクティブマトリクス基板の作製工程を示す断面図。

【図 19】アクティブマトリクス基板の作製工程を示す断面図。

【図 20】液晶パネルの断面図。

【図 21】接続配線の端子部の作製工程を示す断面図。

【図 22】半導体装置の一例を示す図。

【図 23】半導体装置の一例を示す図。

【図 24】投影型液晶表示装置の構成を示す図。

【図 25】ICP エッチング装置のプラズマ生成機構を示す図。

【図 26】マルチスパイラルコイル方式の ICP エッチング装置を示す図。

40

【図 27】テーパ角 のバイアスパワー依存性を示す図。

【図 28】テーパ角 の CF_4 の流量比依存性を示す図。

【図 29】テーパ角 の (W/レジスト) 選択比依存性を示す図。

【図 30】従来のアクティブマトリクス基板の端子部と異方性導電膜のコンタクト構造を示す図。

【発明を実施するための形態】

【0016】

[実施形態 1]

本発明のコンタクト構造は、異方性導電膜によって回路を接続する実装方法を用いる半導体装置、例えば、アクティブマトリクス型液晶表示装置や、EL 表示装置に好適である

50

。本実施形態では、図 12 を用いて、本発明をアクティブマトリクス型の液晶表示装置に適用した場合のコンタクト構造を説明する。

【0017】

アクティブマトリクス基板上の接続配線 183 は端子部 182 において異方性導電膜 195 によって、FPC 191 に電氣的に接続される。接続配線 183 はアクティブマトリクス基板上の TFT のソース/ドレイン配線と同じ工程で作製される。即ち、ソース/ドレイン配線と同じ材料で、同じ層に形成されている。

金属膜 140 と透明導電膜 141 の積層膜でなる。異方性導電膜 195 との接続部分において、接続配線 183 の側面は絶縁材料でなる保護膜 173 に覆われている。

【0018】

この構造により、接続配線 183 の金属膜 140 の側面は保護膜 174 で覆われる。従って、接続部分において、金属膜 140 は透明導電膜 141、絶縁膜 109、保護膜 174 に接して囲まれ、外気に触れることがない。よって金属膜 140 の腐食を防止することができる。

【0019】

保護膜 174 はソース/ドレイン配線の上層に形成される絶縁膜を用いて作製することができる。本実施形態では、保護膜 174 はアクティブマトリクス基板と対向基板の間隔を保持するために作製された柱状スペーサ 172 と同じ工程で作製されている。

【0020】

また、図 16 に示すように接続配線 304 を TFT のゲート配線配線と同じ工程で作製することもできる。この場合には、接続配線 304 はゲート配線と同じ材料で同じ層に形成されることになる。また、この場合には、保護膜 303 はゲート配線とソース/ドレイン配線の上に形成された絶縁膜 138、139 で作製される。

【0021】

本発明において、接続配線は金属膜の表面を透明導電膜で覆った積層膜で形成される。金属膜は単層膜に限定されない。金属膜の厚さは 100nm ~ 1μm とする。金属膜としては、アルミニウム (Al)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素を主成分とする金属膜や、金属元素を含む合金膜を少なくとも 1 層含むが、これら金属層、合金層の単層膜または多層膜であってももちろんよい。合金としては、Mo-W 合金、Mo-Ta 合金や、列記した元素と窒素の化合物である窒化タンタル (Ta₃N₂)、窒化タングステン (W₃N₂)、窒化チタン (Ti₃N₂) 膜、窒化モリブデン (Mo₃N₂) が挙げられる。またタングステンシリサイド、チタンシリサイド、モリブデンシリサイドなどシリサイドを用いることもできる。

【0022】

透明導電膜の厚さは 50nm ~ 0.5μm とする。透明導電膜の材料は、酸化インジウム (In₂O₃) や酸化インジウム酸化スズ合金 (In₂O₃-SnO₂; ITO) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 (In₂O₃-ZnO) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO に対して熱安定性にも優れているので、ドレイン配線 169 の端面で接触する Al との腐蝕反応を防止できる。

同様に、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 (ZnO:Ga) などを用いることができる。

【0023】

[実施形態 2]

また、ゲート配線と同じ工程で接続配線を作製した場合、ゲート配線、接続配線の断面形状をテーパ形状としてもよい。ゲート配線をテーパ状にすることにより、膜厚が中央から側面に向かって減少することとなるので、後述する実施例で示すように、ゲート配線

10

20

30

40

50

をマスクにした半導体膜のドーピングにおいて、膜厚の変化を利用して半導体膜に添加される不純物濃度を変化させることができる。

【0024】

テーパ形状にするためには、高密度プラズマを用いたドライエッチング法を適用する。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ (Inductively Coupled Plasma: ICP) を用いたエッチング装置が適している。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の大面积化にも対応できる。

【0025】

ICPを用いたプラズマ処理装置では、プラズマ処理を高精度に行うための手段として、高周波電力をインピーダンス整合器を介して4本の渦巻き状コイル部分が並列に接続されてなるマルチスパイラルコイルに印加してプラズマを形成する方法を用いている。ここで、各コイル部分の1本当たりの長さは、高周波の波長の1/4倍としている。さらに、被処理物を保持する下部電極にも、別途高周波電力を印加してバイアス電圧を付加する構成としている。ICPを用いたプラズマ処理方法やプラズマ処理装置に関しては特開平9-293600号公報等で開示されている。

【0026】

このようなICPを用いたプラズマ処理装置 (例えば、エッチング装置) の構造概略図を図25に示す。チャンパー上部の石英板11上にアンテナコイル12を配置し、マッチングボックス13を介してRF電源14に接続されている。また、アンテナコイルに対向して下部電極15が設けられ、下部電極15にプラズマ処理する基板10が配置される。また下部電極15にもマッチングボックス16を介してRF電源17が接続されており、基板上方のアンテナコイル12にRF電流が印加されると、アンテナコイル12にRF電流Jが方向に流れ、式1に従ってZ方向に磁界Bが発生する。

【0027】

$s \quad \mu_0 \quad J = \text{rot } B \quad (\mu_0 \text{ は透磁率}) \quad (\text{式1})$

【0028】

そして、ファラデーの電磁誘導の法則に従い、方向に誘導電界Eが生じる (式2)。

【0029】

$- \quad B / \quad t = \text{rot } E \quad (\text{式2})$

【0030】

誘導電界Eで電子が方向に加速されてガス分子と衝突し、プラズマが生成される。誘導電界の方向が方向なので、荷電粒子がエッチングチャンパー壁や、基板に衝突して電荷を消失する確率が低くなる。従って、1Pa程度の低圧力でも高密度のプラズマを発生させることができる。また、下流へは、磁界Bがほとんどないので、シート状に広がった高密度プラズマ領域となる。

ICPで高密度プラズマを得る為にはアンテナコイルに流れる高周波電流Jを低損失で流す必要があり、そのインダクタンスを低下させなければならない。そのために、アンテナコイルを分割した方式とすることが有効となる。

【0031】

アンテナコイル12 (ICPパワーが印加される) と基板側の下部電極15 (バイアスパワーが印加される) のそれぞれに印加するRFパワーを調節することによってプラズマ密度と自己バイアス電圧を独立に制御することが可能である。また、被エッチング膜に応じて異なる周波数のRFパワーを印加できる。

【0032】

ICPエッチング装置で高密度プラズマを得るためには、アンテナコイル12に流れるRF電流Jを低損失で流す必要があり、大面积化するためには、アンテナコイル12のインダクタンスを低下させなければならない。そのために図26に示したようにアンテナを分割したマルチスパイラルコイル22のICPエッチング装置が開発された。図26中の21は石英板、23、26はマッチングボックス、24、27はRF電源である。また、チャンパーの底部には、基板28を保持する下部電極25が絶縁体29を介して設けられ

10

20

30

40

50

ている。

【 0 0 3 3 】

このようなマルチスパイラルコイルを適用した I C P を用いたエッチング装置を用いると、前記耐熱性導電性材料のエッチングを良好に行うことができまた所望のテーパ角を有する配線を形成することができる。

【 0 0 3 4 】

所望のテーパ角を得るには、I C P エッチング装置のバイアスパワー密度を調節する。図 2 7 は、テーパ角のバイアスパワー依存性を示した図である。図 2 7 に示したように、バイアスパワー密度に応じてテーパ角を制御することができる。図 2 7 は、ガラス基板上に所定のパターンに形成された W (タングステン) 膜について、そのパターン端部のテーパ形状 (テーパ角) について調べた結果を示す。図 2 7 はテーパ角の基板側にかかるバイアス電力 (1 3 . 5 6 MHz) 依存性を示す。共通条件として放電電力 (コイルに印加する高周波電力、1 3 . 5 6 MHz) を 3 . 2 W / cm²、圧力 1 . 0 P a としてエッチングガスに C F₄ と C l₂ を用いた。エッチングガスの流量は C F₄、C l₂ 共に 3 0 SCCM とした。

10

【 0 0 3 5 】

図 2 7 に示すようにテーパ角はバイアス電力が 1 2 8 ~ 3 8 4 mW / cm² の範囲で 7 0 ~ 2 0 ° まで変化させることが可能であることが明らかとなった。なお、C F₄、C l₂ の流量は共に 3 0 SCCM とした。

【 0 0 3 6 】

また、図 2 8 の実験からはテーパ角は 6 0 ~ 8 0 ° まで変化させることが可能であ流ことが分かる。なお、図 2 8 の実験条件では、テーパ角のエッチングガス流量比依存性について調べた結果を示す。なお、C F₄ と C l₂ の合計の流量を 6 0 SCCM とし、C F₄ のみを 2 0 ~ 4 0 SCCM の範囲で変化させた。このときバイアス電力は 1 2 8 mW / cm² とした。

20

【 0 0 3 7 】

更にテーパ角はタングステンとレジストのエッチングの選択比に依存していると考えられる。図 2 9 にタングステンとレジストの選択比とテーパ角との依存性を示した。このように I C P エッチング装置を用いて、バイアスパワー密度や反応ガス流量比を適宜決定することで、極めて容易に所望のテーパ角が 3 ° ~ 6 0 ° の配線を形成することが可能である。

30

【 0 0 3 8 】

また、耐熱性導電性材料の I C P エッチング装置における加工特性を考える。ここでは、W (タングステン) 膜と T a (タンタル) 膜の他に、ゲート電極用の材料としてしばしば用いられるモリブデン-タングステン (M o - W) 合金 (組成比は M o : W = 4 8 : 5 0 wt%) について、エッチング速度、適用するエッチングガス、およびゲート電極の下地となるゲート絶縁膜との選択比の代表的な値を示す。ゲート絶縁膜はプラズマ C V D 法で作製する酸化シリコン膜または酸化窒化シリコン膜であり、ここで選択比はゲート絶縁膜のエッチング速度に対するそれぞれの材料のエッチング速度の割合として定義する。

40

【 0 0 3 9 】

【表 1】

材料	エッチング速度 (nm/min)	ゲート絶縁膜との 選択比	エッチングガス
W	70～90	2～4	CF ₄ +Cl ₂
Ta	140～160	6～8	Cl ₂
Mo-W	40～60	0.1～2	CF ₄ +Cl ₂

10

【0040】

Ta膜はエッチング速度が140～160nm/minであり、ゲート絶縁膜とのエッチングの選択比が6～8である。この値はW膜のエッチング速度が70～90nm/minの範囲でゲート絶縁膜との選択比が2～4というよりも優れた値となっている。従って、被加工性という観点からはTa膜も適しているが、表中に示さない値として、Ta膜は抵抗率が20～30μΩ・cmであり、W膜の10～16μΩ・cmに比べて若干高い点が難点となる。

一方、Mo-W合金はエッチング速度が40～60nm/minと遅く、またゲート絶縁膜に対するエッチングの選択比は0.1～2となり、この材料は被加工性という観点から必ずしも適していないことが覗かれる。このように、表1からはTa膜が最も良い結果を示していることがわかるが、前述のように抵抗率を考慮するとW膜が総合的には適していると考えられる。

20

【0041】

また、ドライエッチングに用いるエッチングガスとしてフッ素を含むガスと、塩素を含むガスの混合ガスを用いることができる。フッ素を含むガスとしてはCF₄、C₂F₆、またはC₄F₈から選ばれたガスを用いることができる。また塩素を含むガスとしてはCl₂、SiCl₄ガス、BCl₄から選ばれたガスを用いることができる。

【実施例1】

【0042】

本実施例は、アクティブマトリクス型液晶パネルに関するものである。図1(A)は本実施例のアクティブマトリクス基板の上面図であり、画素部、画素部の薄膜トランジスタを駆動するための駆動回路部とが形成されている。アクティブマトリクス基板上に作製された柱状スペーサおよびシール剤の位置関係を示す上面図である。

30

【0043】

図1(A)に示すように、ガラス基板101上には、薄膜トランジスタが配置された画素部188と、画素部188に配置された薄膜トランジスタを駆動するための駆動回路として、走査信号駆動回路185と映像信号制御回路184が設けられている。さらに、その他CPUやメモリなどの信号処理回路187が設けられている。

【0044】

画素部188では走査信号駆動回路185から延在するゲート配線189と映像信号制御回路184から延在するソース配線190がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素TF204と保持容量205が設けられている。

40

【0045】

柱状スペーサ172はアクティブマトリクス基板と、対向基板の間隔を保持するものであって、樹脂でなる円柱状の構造物である。画素部188において設けられる柱状スペーサ172は、すべての画素に対して設けても良いが、マトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は20～100%とすると良い。また、各回路184、185、187には柱状スペーサ172の代わりに、樹脂を回路全面を覆うように設けても良い。本実施例では、

50

TFTのソースおよびドレイン配線の位置にあわせて、円柱状のスペーサを設けている。

【0046】

シール剤186は、基板101上の画素部188および走査信号制御回路185、映像信号制御回路184、その他の信号処理回路187の外側であって、外部入出力端子182よりも内側に形成されている。

【0047】

また、アクティブマトリクス基板100上の回路184、185、187は接続配線183によって、外部の電源や回路に電氣的に接続されている。また接続配線183は回路184、185、187のTFTのソース(ドレイン)配線と同時に形成されている。端子部182は接続配線183と一体的に形成され、他の基板上的配線との接続部になる。図1(B)に端子部182の部分拡大図を示す。

10

【0048】

図1(B)に示すように、端子部182の側面は保護膜174によって覆われており、接続配線183は端子部182において、異方性導電膜によってFPC191の配線191bと電氣的に接続されている。191aはFPC191が設けられている基板を指す。

【0049】

図2はアクティブマトリクス基板100の回路のブロック図である。映像信号制御回路184は、シフトレジスタ回路501a、レベルシフタ回路502a、バッファ回路503a、サンプリング回路504を備えている。また、走査信号駆動回路185は、シフトレジスタ回路501b、レベルシフタ回路502b、バッファ回路503bを備えている。

20

【0050】

シフトレジスタ回路501a、501bは駆動電圧が5~16V(代表的には10V)であり、この回路を形成するCMOS回路はTFTは、図6に示すの第1のpチャネル型TFT200と第1のnチャネル型TFT201で形成する。

また、レベルシフタ回路502a、502bやバッファ回路503a、503bは駆動電圧が14~16Vと高くなるがシフトレジスタ回路と同様なTFTを用いれば良い。また、これらの回路において、ゲートをマルチゲート構造で形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

【0051】

30

サンプリング回路504はアナログスイッチから成り、駆動電圧が14~16Vであるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図6で示す第2のpチャネル型TFT202と第2のnチャネル型TFT203で形成することが望ましい。この回路において、pチャネル型TFT202のオフ電流値が問題となる場合は、実施例2で示す工程で作製した、オフセット領域を設けたシングルドレイン構造のTFTで作製すると良い。

【0052】

また、画素部は駆動電圧が14~16Vであり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、図6で示す画素TFT204のようにマルチゲート構造とし、さらにLDD領域を設けた構造とするのが望ましい。

40

【0053】

なお、画素部188と駆動回路185、186のブロック構成のみを示したが、後述するTFTの工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ、補正回路、オペアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路187、さらに論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に画素部とその駆動回路とを含む半導体装置、例えば信号制御回路および画素部を具備した液晶表示装置を実現することができる。

【0054】

以下、アクティブマトリクス基板の作製工程を説明する。図3~図7は画素部188、駆動回路の作製工程を示す断面図であり、図9~図11は接続配線183の端子部182

50

の作製工程を示す図である。これら図面において同じ符号は同じ構成要素を示している。

【0055】

基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10~20程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜102を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜102aを10~200nm(好ましくは50~100nm)、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜102bを50~200nm(好ましくは100~150nm)の厚さに積層形成する(図3(A))。

10

20

【0056】

酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、 SiH_4 を10SCCM、 NH_3 を100SCCM、 N_2O を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、 SiH_4 を5SCCM、 N_2O を120SCCM、 H_2 を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切替えのみで連続して形成することもできる。

【0057】

このようにして作製した酸化窒化シリコン膜102aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム(NH_4HF_2)を7.13%とフッ化アンモニウム(NH_4F)を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体膜にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0058】

次に、25~80nm(好ましくは30~60nm)の厚さで非晶質構造を有する半導体膜103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体膜103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスを SiH_4 、 N_2O 、 H_2 から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

30

40

【0059】

そして、結晶化の工程を行い非晶質半導体膜103aから結晶質半導体膜103bを作製する。その方法としてレーザーアニール法や熱アニール法(固相成長法)、またはラピットサーマルアニール法(RTA法)を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体膜103bを形成することもできる。結晶化の工程ではまず、非晶質半導体膜が含有する水素を放出させておくことが

50

好ましく、400～500 で1時間程度の熱処理を行い含有する水素量を5 atom% 以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0060】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30 Hzとし、レーザーエネルギー密度を100～500 mJ/cm² (代表的には300～400 mJ/cm²) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80～98%として行う。このようにして図3(B)に示すように結晶質半導体膜103bを得ることができる。

10

【0061】

そして、結晶質半導体膜103b上にフォトリソグラフィーの技術によって、フォトマスクPM1を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体膜を島状に分割し、島状半導体膜104～108を形成しする。ドライエッチングにはCF₄とO₂の混合ガスを用いる。

【0062】

島状半導体膜に対し、TFETのしきい値電圧(V_{th})を制御する目的でp型を付与する不純物元素を1×10¹⁶～5×10¹⁷ atoms/cm³程度の濃度で島状半導体膜の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドープ法を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン(B₂H₆)をソースガスとして用いホウ素(B)を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFETのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

20

【0063】

ゲート絶縁膜109はプラズマCVD法またはスパッタ法を用い、膜厚を40～150 nmとしてシリコンを含む絶縁膜で形成する。例えば、120 nmの厚さで酸化窒化シリコン膜から形成すると良い。また、SiH₄とN₂OにO₂を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い(図3(C))。

30

【0064】

図3(D)に示すように、ゲート絶縁膜109上にゲート配線を形成するための導電膜を形成する。導電膜は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。例えば、2層の場合には、上層に、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)等の元素を主成分とする金属膜やこれら元素の合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成し、下層は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。例えば、2層の場合、上層に下層の導電膜の窒化物で形成すればよく、下層/上層としてWN膜/W膜や、TaN膜/Ta膜膜等とすればよい。また、3層の場合は、TaN膜/Ta膜/TaN膜とすればよい。2層目の(上層の)導電膜は抵抗率を10～50 μΩ・cmの範囲ですることが好ましい。低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30 ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30 ppm以下とすることで20 μΩ・cm以下の比抵抗値を実現することができた。

40

【0065】

また、配線抵抗の低抵抗化には、アルミニウムを主成分とする膜を用いるのが好ましい。この場合、アルミニウムにSiやSc等を微量添加して耐熱性を高めるとよい。例えば

50

、ゲート配線を構成する導電膜として、Ti膜/Scを添加したAl膜や、Ti膜/TiN膜/Scを添加したAl膜を形成すればよい。

【0066】

W膜を成膜する場合には、Wをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素(N₂)ガスを導入して導電膜111を窒化タングステン(WN)で50nmの厚さに形成し、導電膜110をWで250nmの厚さに形成する。その他の方法として、W膜は6フッ化タングステン(WF₆)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μcmを実現することができる。

10

【0067】

TaN膜、Ta膜は同様にスパッタ法で形成することが可能である。TaN膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて形成し、Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。相のTa膜の抵抗率は20μcm程度でありゲート電極に使用することができるが、相のTa膜の抵抗率は180μcm程度でありゲート電極とするには不向きであった。TaN膜は相に近い結晶構造を持つので、この上にTa膜を形成すれば相のTa膜が容易に得られた。本実施例では、ゲート配線を構成する導電膜として、下層の導電膜110としてTaN膜を上層の導電膜111としてTa膜を成膜する。

20

【0068】

またゲート配線を構成する導電膜とゲート絶縁膜109の間に2~20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電膜が微量に含有するアルカリ金属元素がゲート絶縁膜109に拡散するのを防ぐことができる。

【0069】

次に、フォトリソグラフィの技術によって、フォトマスクPM2を用いてレジストマスクRM1~RM6を形成し、導電膜110と導電膜111とを一括でエッチングしてゲート配線118~122と容量配線123を形成する。ゲート配線118~122と容量配線123は導電膜から成る118a~122aと、導電膜から成る118b~122bとが一体として形成されている(図4(A))。

30

【0070】

そして、nチャネル型TFETにLDD領域を形成するために、n型を付与する不純物元素添加の工程(n⁻ドーブ工程)を行った。ここではゲート配線118~122をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。n型を付与する不純物元素として添加するリン(P)を $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で添加する。このようにして、図4(B)に示すように島状半導体膜に低濃度n型不純物領域124~129を形成する。

40

【0071】

次に、nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行った(n⁺ドーブ工程)。まず、フォトマスクPM3を用い、レジストのマスクRM8~RM12を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域130~135を形成した。n型を付与する不純物元素にはリン(P)を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲となるようにフォスフィン(PH₃)を用いたイオンドープ法で行った(図4(C))。

【0072】

そして、pチャネル型TFETを形成する島状半導体膜104、106にソース領域およ

50

びドレイン領域とする高濃度 p 型不純物領域 136、137 を形成する。ここでは、ゲート配線 118、120 をマスクとして p 型を付与する不純物元素を添加し、自己整合的に高濃度 p 型不純物領域を形成する。

【0073】

この工程では、n チャンネル型 TFT を形成する島状半導体膜 105、107、108 は、フォトマスク PM4 を用いてレジストマスク RM13~RM15 を形成し全面を被覆しておく。高濃度 p 型不純物領域 136、137 はジボラン (B_2H_6) を用いたイオンドーピング法で形成する。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする (図 4 (D))。

【0074】

高濃度 p 型不純物領域 136、137 には、前工程においてリン (P) が添加されていて、高濃度 p 型不純物領域 136a、137a には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で、高濃度 p 型不純物領域 136b、137b には $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で含有しているが、この工程で添加するボロン (B) の濃度を 1.5 から 3 倍となるようにすることにより、p チャンネル型 TFT のソース領域およびドレイン領域として機能する上で何ら問題はなかった。

【0075】

その後、図 5 (A) に示すように、ゲート配線およびゲート絶縁膜 109 上から保護絶縁膜 138 を形成する。保護絶縁膜 138 は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜 138 は無機絶縁物材料から形成する。保護絶縁膜 138 の膜厚は 100 ~ 200 nm とする。ここで、酸化シリコン膜を用いる場合には、プラズマ CVD 法で、オルトケイ酸テトラエチル (Tetraethyl Orthosilicate: TEOS) と O_2 とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm² で放電させて形成することができる。

【0076】

酸化窒化シリコン膜を用いる場合には、プラズマ CVD 法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力 20 ~ 200 Pa、基板温度 300 ~ 400 とし、高周波 (60 MHz) 電力密度 0.1 ~ 1.0 W/cm² で形成することができる。また、 SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマ CVD 法で SiH_4 、 NH_3 から作製することが可能である。

【0077】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700、代表的には 500 ~ 600 で行うものであり、本実施例では 550 で 4 時間の熱処理を行った。また、基板 101 に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい (図 5 (B))。

【0078】

活性化の工程の後、さらに、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い、島状半導体膜を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18} / \text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0079】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる層間絶縁膜 139 を

10

20

30

40

50

1.0 ~ 2.0 μm の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80で60秒の予備加熱を行い、さらにクリーンオープンで250で60分焼成して形成することができる。（図5（C））

【0080】

このように、層間絶縁膜139を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜138として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いる必要がある。

10

【0081】

その後、フォトマスクPM5を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを絶縁膜138、139に形成する。更に、端子部182の絶縁膜138、139を除去する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る層間絶縁膜139をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜138をエッチングする。さらに、島状半導体膜との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

20

【0082】

そして、ソース/ドレイン配線及び接続配線183を形成する金属膜140と透明導電膜141の積層膜を形成する。ここでは、金属膜140としてTi膜を50 ~ 150 nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム（Al）を300 ~ 400 nmの厚さでスパッタ法で形成する。また、金属膜140として、Ti膜/TiN膜/Al膜でなる積層膜を成膜してもよい。

30

【0083】

透明導電膜の材料は、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ In_2O_3 SnO₂; ITO）などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO）を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン配線169の端面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛（ZnO）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ZnO:Ga）などを用いることができる。本実施例では透明導電膜141として酸化インジウム酸化亜鉛合金を形成する。（図6（A））

40

【0084】

図9に図6（A）に対応する接続配線183の端子部182部分の構造を示す。（A）は配線の長尺方向に垂直な断面に対応し、（B）は長尺方向に沿った断面図に対応し、TFTとの構造と積層関係が明らかになるようにした。（C）は上面図である。図10、図11も同様である。

【0085】

フォトマスクPM6によりレジストマスクパターンを形成し、エッチングによってソース配線148 ~ 152とドレイン配線153 ~ 158を形成する。及び、図10に示すように接続配線183を形成する。ここで、ドレイン配線157は画素電極として機能する

50

ものである。(図6(B)、図10)。

【0086】

この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。また、このような熱処理により保護絶縁膜138や、下地膜102に存在する水素を島状半導体膜104~108に拡散させ水素化をすることもできる。いずれにしても、島状半導体膜104~108中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を0.01~0.1atomic%程度付与すれば良かった。

【0087】

こうして6枚のフォトリソにより、同一の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT200、第1のnチャネル型TFT201、第2のpチャネル型TFT202、第2のnチャネル型TFT203、画素部には画素TFT204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0088】

駆動回路の第1のpチャネル型TFT200には、島状半導体膜104にチャネル形成領域206、高濃度p型不純物領域から成るソース領域207a、207b、ドレイン領域208a、208bを有したシングルドレインの構造を有している。

【0089】

第1のnチャネル型TFT201の島状半導体膜105には、チャネル形成領域209、ゲート電極119と重ならないLDD領域210、ソース領域212、ドレイン領域211が形成されている。LDD領域210のチャネル長方向の長さは1.0~4.0 μm 、好ましくは2.0~3.0 μm とした。nチャネル型TFTにおけるLDD領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。

【0090】

サンプリング回路の第2のpチャネル型TFT202の島状半導体膜106には、チャネル形成領域213、高濃度p型不純物領域から成るソース領域214a、214b、ドレイン領域215a、215bが形成され、シングルドレインの構造となっている。

【0091】

第2のnチャネル型TFT203には、島状半導体膜107にチャネル形成領域216、LDD領域217、218、ソース領域220、ドレイン領域219が形成されている。LDD領域217、218の長さは1.0~4.0 μm とする。

【0092】

画素TFT204には、島状半導体膜108にチャネル形成領域221、222、LDD領域223~225、ソースまたはドレイン領域226~228を有している。LDD領域のチャネル長方向の長さは0.5~4.0 μm 、好ましくは1.5~2.5 μm である。更に画素TFT204には保持容量が接続されている。保持容量205は、ゲート絶縁膜209を誘電体にし、容量配線123と画素TFT204のドレイン領域228に接続する半導体膜229を電極にするコンデンサーである。図6(B)では画素TFT204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0093】

図13は画素部のほぼ一画素分を示す上面図である。図中に示すA-A'断面が図6(B)に示す画素部の断面図に対応している。画素TFT204は、ゲート配線を兼ねるゲート電極122は、図示されていないゲート絶縁膜を介してその下の島状半導体膜108と交差している。図示はしていないが、島状半導体膜108には、ソース領域、ドレイン領域、LDD領域が形成されている。また、256はソース配線152とソース領域226とのコンタクト部、257はドレイン配線157とドレイン領域228とのコンタクト

10

20

30

40

50

部である。保持容量 205 は、画素 TFT 204 のドレイン領域 228 から延在する半導体膜 229 とゲート絶縁膜を介して容量配線 123 が重なる領域で形成されている。この構成において半導体膜 229 には、価電子制御を目的とした不純物元素は添加されていない。

【0094】

以上の様な構成は、画素 TFT および駆動回路が要求する仕様に依じて各回路を構成する TFT の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を耐熱性を有する導電性材料で形成することにより LDD 領域やソース領域およびドレイン領域の活性化を容易としている。

【0095】

更に本実施例では、図 7 に示すように、上述した工程を経たアクティブマトリクス基板から柱状スペーサ 172 を形成する。同時に、柱状スペーサ 172 を作製すると共に、接続配線 183 の端子部 182 の側面を保護する保護膜 174 を形成する。柱状スペーサ 172 の材料に限定はないが、例えば、JSR 社製の NN700 を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで 150 ~ 200 で加熱して硬化させる。

【0096】

このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、図 14 で示すように、柱状スペーサ 172 の形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、高さ H を 1.2 ~ 5 μm とし、平均半径 L1 を 5 ~ 7 μm 、平均半径 L1 と底部の半径 L2 との比を 1 対 1.5 とする。このとき側面のテーパ角は $\pm 15^\circ$ 以下とする。

【0097】

スペーサの配置は任意に決定すれば良いが、好ましくは、図 7 に示すように、画素部 188 においてはドレイン配線 157 (画素電極) のコンタクト部 251 と重ねてその部分を覆うように柱状スペーサ 172 を形成すると良い。コンタクト部 251 は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部 251 にスペーサ用の樹脂を充填する形で柱状スペーサ 172 を形成することで、ディスクリネーションなどを防止することができる。

【0098】

図 11 に示すように、柱状スペーサ 172 の作製過程で、接続配線 183 の側面を保護する保護膜 174 が形成される。保護膜 174 は端子部 182 において、透明導電膜 141 の表面だけを露出するように形成される。保護膜 174 の形状は露光と現像処理の条件によって決定できる。この構成により、接続配線 183 の端子部 182 において、金属膜 140 は保護膜 174、ゲート絶縁膜 109、及び透明導電膜 141 接して、覆われるため、外気に曝されることがない。

【0099】

その後、基板 101 の表面に配向膜 173 を形成する。端子部 182 には配向膜 173 は形成されない。通常液晶表示素子の配向膜にはポリイミド樹脂が用いられる。配向膜 173 を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ 172 の端部からラビング方向に対してラビングされない領域が 2 μm 以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の TFT 上にもスペーサ 172 を形成しておくこと、スペーサとしての本来の役割と、静電気から TFT を保護する効果を得ることができる。

【0100】

以上により、基板間隔を保持する柱状スペーサ 172 が基板 101 と一体化したアクティブマトリクス基板が完成する。なお、配向膜 173 を形成した後、柱状スペーサ 172

10

20

30

40

50

を形成した構成とすることもできる。(図7、図11)

【0101】

アクティブマトリクス基板と対になる対向基板には、図8に示すように、基板251上に遮光膜252、図示しないカラーフィルター、透明導電膜253および配向膜254が形成されている。遮光膜252はTi、Cr、Alなどを150～300nmの厚さで形成する。

【0102】

そして、図8に示すように画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤179で貼り合わせる。シール剤179にはフィラーが混入されていて、このフィラーと柱状スペーサ172によって均一な間隔を持って2枚の基板が貼り合わせられる。そして、基板の隙間に液晶材料260を注入し、封止剤(図示せず)によって完全に封止して、液晶パネルが完成する。

【0103】

更に、アクティブマトリクス基板100上の回路を映像信号を入力するための回路や、電力を供給するための電源等に接続するため、図12に示すように、端子部182において、接続配線183とFPC191を異方性導電膜195によって電氣的に接続する。図12(A)は端子部182の配線の長尺方向と垂直な面の断面図であり、図12(B)は長尺方向に沿った断面である。

【0104】

図12に示すように異方性導電膜195は接着剤195a内に金やクロムなどでメッキされた数十～数百 μm 粒子195bにより構成され、この粒子195bが接続配線183とFPCの配線191bとに接触することにより、アクティブマトリクス基板100とFPC191電氣的に接続することができる。FPC191は基板101との接着強度を高めるために、外端子部182の外側にはみだしてあり、端部には樹脂層192が設けられ、機械的強度を高めている。

【実施例2】

【0105】

実施例1では、接続配線183をTFTのソース/ドレイン配線と同じ作製工程で作製したが、本実施例では、ゲート配線と同じ工程で接続配線183を作製とする。図15を用いて、本実施例を説明する。TFTの作製工程は実施例1を用いる。図15において、図3～図8と同じ符号は同じ構成要素をさす。

【0106】

まず、実施例1の作製工程に従って、図9(C)の工程までを行う。次に、ゲート配線を構成する導電膜301と透明導電膜302の積層膜を成膜する。導電膜301は実施例1述べたゲート配線を構成する導電膜110や111の材料を用いればよい。また透明導電膜302としては、TFTのソース/ドレイン配線の表面に形成された透明導電膜141と同じ材料を用いることができる。ここでは、導電膜301として、WN膜/W膜の積層膜をスパッタ法で成膜し、透明導電膜としてITO膜を成膜する(図15(A))。

【0107】

そして、図4(A)に示すようにレジストマスクを形成し、導電膜301と透明導電膜302をエッチングして、TFTのゲート配線及び図15(B)に示すように接続配線304を形成する。Wを主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。

【0108】

高密度プラズマを得る手法の一つとして、誘導結合プラズマ(Inductively Coupled Plasma: ICP)エッチング装置を用いると良い。ICPエッチング装置を用いたWのエッチング法は、エッチングガスに CF_4 と Cl_2 の2種のガスを反応室に導入し、圧力0.5～1.5Pa(好ましくは1Pa)とし、誘導結合部に200～1000Wの高周波(13.56MHz)電力を印加する。この時、基板が置かれたステージには20Wの高周波

10

20

30

40

50

電力が印加され、自己バイアスで負電位に帯電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICPエッチング装置を使用することにより、Wなどの硬い金属膜も2～5nm/秒のエッチング速度を得ることができる。また、残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増しオーバーエッチングをすると良い。

【0109】

しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W膜に対する酸化窒化シリコン膜（ゲート絶縁膜109）の選択比は2.5～3であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされて実質的に薄くなる。

10

【0110】

そして、実施例1で説明したようにTFTの半導体膜にリン、ボロンを添加し、図5（A）に示すように保護絶縁膜138を形成し、半導体膜に添加したリン、ボロンを活性化（図15（C））。

【0111】

そして、図5（C）に示すように層間絶縁膜139を形成する。層間絶縁膜139の材料は実施例1で説明した材料を選択すればよく、シリコン系の無機絶縁膜でもよいし、アクリル等の有機樹脂膜でもよい（図15（D））。

【0112】

次に、図6に示すように、保護絶縁膜138に層間絶縁膜139に島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成すると同時に、接続配線304の端子部において、端子部の側面を覆う保護膜304を形成する（図15（E））。

20

【0113】

以降の工程は実施例1と同様に実施して、アクティブマトリクス基板100を完成する。そして、アクティブマトリクス基板100と対向基板250をシール剤179によって貼り合わせ液晶材料260を封入し、接続配線304とFPC191を異方性導電膜195によって電氣的に接続する（図15（F））。

【0114】

本実施例では、保護膜304によって、接続配線304の導電膜301の側面を覆っているため、導電膜301は保護膜304、ゲート絶縁膜109、透明導電膜302でくまられた構造となり、外気に曝されることがない。

30

【実施例3】

【0115】

本実施例は実施例1の変形例であり、ゲート配線の断面形状がテーパ状になるようにしたものであり、また、接続配線をゲート配線と同じ作製工程で作製するようにした例である。図17～図19を用いて本実施例のアクティブマトリクス基板の作製工程を説明する。ここでは、画素部の画素TFTおよび保持容量と、画素部の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。図21に接続配線の作製工程を示す。

40

【0116】

図17（A）において、ガラス基板601表面に、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜602を形成する。本実施例では、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から成膜される酸化窒化シリコン膜を10～200nmし、酸化窒化シリコン膜表面に SiH_4 、 N_2O から成膜される酸化窒化水素化シリコン膜602を50～200nm（好ましくは100～150nm）の厚さに積層形成する。

【0117】

次に、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成し、実施例1と同様に結晶化して、結晶質シリコン膜を形成する。そしてフォトリソマスクPM11を用いて、

50

フォトリソグラフィーの技術により、結晶質シリコン膜上にレジストパターンを形成し、ドライエッチングによって結晶質半導体膜を島状に分割し、島状半導体膜 604 ~ 608 を形成する。結晶質シリコン膜のドライエッチングには CF_4 と O_2 の混合ガスを用いる。次に、ゲート絶縁膜 609 はプラズマ CVD 法で 120 nm の厚さで酸化窒化シリコン膜から形成する。

【0118】

そして、ゲート絶縁膜 609 上にゲート配線を形成するために金属膜 611、612 と透明導電膜 613 の積層膜を耐熱性導電膜を形成する。金属膜 611 を W_N 膜で、金属膜 612 を W 膜で形成し、透明導電膜 613 に酸化インジウム酸化亜鉛合金 (In_2O_3 , ZnO) を成膜する (図 17 (A)、図 21 (A))

10

【0119】

第 2 のフォトマスク PM12 を用い、フォトリソグラフィーの技術を使用してレジストマスク RM21 ~ RM27 を形成し、透明導電膜 613 をエッチングして、ゲート配線 618 ~ 622 と容量配線 623、接続配線 683 の最上層 618a ~ 623a、683a を形成する。(図 17 (B)、図 21 (B))

【0120】

透明導電膜でなる最上層 618a ~ 623a、683a の側面は図 18 (B)、図 21 (B) に示すように、レジストマスク RM21 ~ RM27 よりも後退するようにエッチングされる。次に、金属膜 611、613 を一括でエッチングして、テーパ状の断面を有するゲート配線 618 ~ 622、容量配線 623 及び接続配線 683 が完成する。(図 17 (C)、図 21 (C))

20

【0121】

配線 618 ~ 623、683 は、透明導電膜 613 でなる層 618a ~ 623a、683a と、金属膜 612 でなる層 618b ~ 623b、683b と、金属膜 611 でなる層 618c ~ 623c、683c が積層された構造となる。

【0122】

このとき少なくともゲート配線 618 ~ 622 の端部にテーパ部が形成されるようにエッチングする。このエッチング加工は ICP エッチング装置により行う。エッチングガスに CF_4 と Cl_2 の混合ガスを用いその流量をそれぞれ 30 SCCM として、放電電力 3.2 mW/cm² (13.56MHz)、バイアス電力 22.4 mW/cm² (13.56MHz)、圧力 1.0 Pa でエッチングを行った。このようなエッチング条件によって、ゲート配線 618 ~ 622 の端部において、該端部から内側にむかって徐々に厚さが増加するテーパ部が形成され、その角度は 25 ~ 35°、好ましくは 30° となる。テーパ部の角度は、後に LDD 領域を形成する低濃度 n 型不純物領域の濃度勾配に大きく影響する。尚、テーパ部の角度 θ は、テーパ部の長さ (WG) とテーパ部の厚さ (HG) を用いて $\tan(\theta) = HG / WG$ で表される。

30

【0123】

また、残渣を残すことなくエッチングするためには、絶縁膜 609 の厚さの 10 ~ 20 % 程度の割合でオーバーエッチングする。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 609) の選択比は表 1 で示したように 2 ~ 4 (代表的には 3) であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 20 ~ 50 nm 程度エッチングされて実質的に薄くなり、新たな形状のゲート絶縁膜 610 が形成された。

40

【0124】

そして、画素 TFT および駆動回路の n チャネル型 TFT の LDD 領域を形成するために、n 型を付与する不純物元素添加の工程 (n⁻ドープ工程) を行う。ゲート電極の形成に用いたレジストマスク 112 ~ 117 をそのまま残し、端部にテーパ部を有するゲート配線 618 ~ 622 をマスクとして自己整合的に n 型を付与する不純物元素としてリンをイオンドープ法で添加する (図 18 (A))

50

）。

【0125】

ここでは、n型を付与する不純物元素を配線618～623のテーパ部とゲート絶縁膜610とを通して、その下に位置する半導体膜に達するように添加するために、加速電圧を高く80～160keVとし、LDD領域を形成するためにドーズ量を低く、 $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とする。半導体膜に添加される不純物の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で添加する。このようにして、図18(A)に示すように島状半導体膜に低濃度n型不純物領域624～629を形成する。

【0126】

この工程において、低濃度n型不純物領域624～628において、少なくともゲート配線618～622に重なった部分に含まれるリン(P)の濃度勾配は、ゲート配線618～622のテーパ部の膜厚変化を反映する。即ち、低濃度n型不純物領域624～628へ添加されるリン(P)の濃度は、ゲート配線に重なる領域において、ゲート配線の側面に向かって徐々に濃度が高くなる。これはテーパ部の膜厚の差によって、半導体膜に達するリン(P)の濃度が変化するためである。尚、図18(A)では低濃度n型不純物領域624～628を斜めに図示しているが、これはリン(P)が添加された領域を直接的に示しているのではなく、上述のようにリンの濃度変化がゲート配線618～622のテーパ部の形状に沿って変化していることを表している。

【0127】

次に、nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行った(n⁺ドーピング工程)。レジストマスクRM21～RM26を残し、今度はゲート配線618～622がリン(P)を遮蔽するマスクとなるように、イオンドーピング法において10～30keVの低加速電圧の条件で添加する。このようにして高濃度n型不純物領域630～635を形成する。これら領域630～635を覆うゲート絶縁膜610は、ゲート配線の形成工程においてオーバーエッチングされたため、当初の膜厚である120nmから薄くなり、70～100nmとなっている。そのためこのような低加速電圧の条件でも良好にリン(P)を添加することができる。そして、これら領域630～635のリン(P)の濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲となるようにする(図18(B))。

【0128】

そして、pチャネル型TFETを形成する島状半導体膜604、606にソース領域およびドレイン領域とする高濃度p型不純物領域636、637を形成する。ここでは、ゲート配線618、120をマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域636、637を形成する。このとき、nチャネル型TFETを形成する島状半導体膜605、107、108は、第3のフォトリソマスクPM23を用いてレジストマスクRM29～RM31を形成し全面を被覆しておく(図18(C))。

【0129】

ここで形成される不純物領域636、637はジボラン(B₂H₆)を用いたイオンドーピング法で形成する。そして、ゲート配線と重ならない高濃度p型不純物領域のボロン(B)濃度が $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

また、ゲート配線と重なる不純物領域にもゲート絶縁膜とゲート電極のテーパ部を介して不純物元素が添加されるので、実質的に低濃度p型不純物領域として形成され、少なくとも $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以上の濃度とし、ボロン(B)の濃度を図18(A)の工程で添加されたリン(P)濃度の1.5から3倍となるようにすることにより、pチャネル型TFETのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0130】

その後、図19(A)、図21(D)に示すように、酸化窒化シリコンでなる保護絶縁膜638を形成する。酸化窒化シリコン膜はプラズマCVD法でSiH₄、N₂O、NH₃から成膜する。その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元

10

20

30

40

50

素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。

活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450 で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。

【0131】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる層間絶縁膜639を平均の厚さが1.0～2.0 μm となるように形成する(図19(B)、図21(E))。

10

【0132】

その後、第4のフォトマスクPM24を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホール及び、図21(E)に示すように接続配線683の側面を覆う保護膜673を形成する。

【0133】

この工程はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る層間絶縁膜639をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜638をエッチングする。さらに、島状半導体膜との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜610をエッチングすることにより、良好にコンタクトホールを形成することができる。

20

【0134】

図21(E)に示すように、保護膜673によって接続配線683の側面を覆うことにより、接続配線683の金属膜でなる層683c、683bの表面は透明導電膜でなる層683aとゲート絶縁膜610と保護膜673に接した状態で囲まれるため、外気に曝されることがない。

【0135】

そして、Ti膜(50～150nm)/Al膜(300～400nm)を積層した金属膜と、金属膜表面に透明導電膜を80～120nmの厚さで形成し、形成図19(C)に示すように、金属膜をスパッタ法や真空蒸着法で形成し、第5のフォトマスクPM25によりレジストマスクパターンを形成し、金属膜と透明導電膜をエッチングして、ソース配線648～652とドレイン配線653～657を形成する。ここで、ドレイン配線657は画素電極として機能するものである。ドレイン配線658は隣の画素に属する画素電極を表している。

30

【0136】

駆動回路の第1のpチャネル型TF700には、島状半導体膜604にチャネル形成領域706、高濃度p型不純物領域から成るソース領域707、ドレイン領域708が形成されている。領域707、708において、ゲート電極と重なる領域はボロン濃度が低いLDD領域となっている。

40

【0137】

第1のnチャネル型TF701には、島状半導体膜605にチャネル形成領域709、低濃度n型不純物領域で形成されゲート配線と重なるLDD領域、710、711、高濃度n型不純物領域で形成するソース領域713、ドレイン領域712を有している。

【0138】

このLDD領域におけるリン(P)の濃度分布はチャネル形成領域709から遠ざかるにつれて増加する。この増加の割合は、イオンドープにおける加速電圧やドーズ量などの条件、テーパーの角度1やゲート配線619の厚さによって異なってくる。このように、ゲート電極の端部をテーパー形状として、そのテーパー部を通して不純物元素を添加することにより、テーパー部の下に存在する半導体膜中に、徐々に前記不純物元素の濃度が

50

変化するような不純物領域を形成することができる。本発明はこのような不純物領域を積極的に活用する。nチャネル型TFTにおいてこのようなLDD領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。

【0139】

駆動回路の第2のpチャネル型TFT702はTFT700と同様に、島状半導体膜606にチャネル形成領域714、高濃度p型不純物領域で形成されるソース領域715、ドレイン領域716を有する。領域715、716においてゲート配線と重なった領域はボロン濃度が低いp型のLDD領域となっている。

【0140】

第2のnチャネル型TFT703には、島状半導体膜607にチャネル形成領域717、ゲート電極621と重なるLDD領域718、719、高濃度n型不純物領域で形成するソース領域720、ドレイン領域721を有している。LDD領域718、719は、LDD領域711、712と同じ構成とする。

【0141】

画素TFT704には、島状半導体膜608にチャネル形成領域723、724、低濃度n型不純物領域で形成するLDD領域725~728、高濃度n型不純物領域で形成するソースまたはドレイン領域729~731を有している。LDD領域725~728は、LDD領域711、712と同じ構成とする。

【0142】

さらに、保持容量705においては、半導体膜608にチャネル形成領域732と、LDD領域733、734、n型の高濃度不純物領域735が改正され、ゲート絶縁膜610を誘電体に、容量配線623と、半導体膜608を電極にする。

【0143】

そして、実施例1と同様に、第6のフォトリソマスクを用いて、基板間隔を保持する柱状スペーサ672を形成し、配向膜674を形成しラビングする。そして、実施例1と同様に、対向基板250とアクティブマトリクス基板700をシール剤686と貼り合わせ、基板の隙間に液晶材料260を封入する。対向基板250の構成は図8と同様である。

【0144】

更に、図21(F)に示すように、接続配線683の端子部において、接着剤195aに導電粒195bが分散された異方性導電膜195によって、FPC191を電氣的に接続する。FPC191において、191aはポリイミド等である基板であり、191bは銅等である配線である。

【0145】

実施例1~3ではトップゲート型TFTを示したが、ボトムゲート型TFTに置き換えることは当業者であれば容易である。また、これら実施例では、アクティブマトリクス基板について説明したが、これら実施例の接続配線の構造は他の半導体装置にも適用できることはいうまでもない。実施例2、3のように接続配線の保護膜をTFTの層間絶縁膜で形成する場合には、アクティブマトリクス型のEL装置などTFTである回路を有する半導体装置に適用可能である。

【実施例4】

【0146】

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置並びにEL型表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末(モバイルコンピュータ、携帯電話、電子書籍など)、ナビゲーションシステムなどが上げられる。それらの一例を図23に示す。

【0147】

図23(A)はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを

10

20

30

40

50

備えた本体 2 0 0 1、画像入力部 2 0 0 2、表示装置 2 0 0 3、キーボード 2 0 0 4 で構成される。本発明は表示装置 2 0 0 3 やその他の信号処理回路を形成することができる。

【 0 1 4 8 】

図 2 3 (B) はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本発明は表示装置 2 1 0 2 やその他の信号制御回路に適用することができる。

【 0 1 4 9 】

図 2 3 (C) は携帯情報端末であり、本体 2 2 0 1、画像入力部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示装置 2 2 0 5 で構成される。本発明は表示装置 2 2 0 5 やその他の信号制御回路に適用することができる。

10

【 0 1 5 0 】

このような携帯型情報端末は、屋内はもとより屋外で使用されることも多い。長時間の使用を可能とするためにはバックライト使用せず、外光を利用する反射型の液晶表示装置が低消費電力型として適しているが、周囲が暗い場合にはバックライトを設けた透過型の液晶表示装置が適している。このような背景から反射型と透過型の両方の特徴を兼ね備えたハイブリット型の液晶表示装置が開発されているが、本発明はこのようなハイブリット型の液晶表示装置にも適用できる。

【 0 1 5 1 】

図 2 2 に実施例 1 の液晶パネルを携帯型情報端末に適用した例を示す。表示装置 2 2 0 5 はタッチパネル 3 0 0 2、液晶表示装置 3 0 0 3、LED バックライト 3 0 0 4 により構成されている。タッチパネル 3 0 0 2 は携帯型情報端末の操作を簡便にするために設けている。タッチパネル 3 0 0 2 の構成は、一端に LED などの発光素子 3 1 0 0 を、他の一端にフォトダイオードなどの受光素子 3 2 0 0 が設けられ、その両者の間に光路が形成されている。このタッチパネル 3 0 0 2 を押して光路を遮ると受光素子 3 2 0 0 の出力が変化するので、この原理を用いて発光素子と受光素子を液晶表示装置上でマトリクス状に配置させることにより、入力媒体として機能させることができる。

20

【 0 1 5 2 】

図 2 3 (D) はテレビゲームまたはビデオゲームなどの電子遊技機器であり、CPU 等の電子回路 2 3 0 8、記録媒体 2 3 0 4 などが搭載された本体 2 3 0 1、コントローラ 2 3 0 5、表示装置 2 3 0 3、本体 2 3 0 1 に組み込まれた表示装置 2 3 0 2 で構成される。表示装置 2 3 0 3 と本体 2 3 0 1 に組み込まれた表示装置 2 3 0 2 とは、同じ情報を表示しても良いし、前者を主表示装置とし、後者を副表示装置として記録媒体 2 3 0 4 の情報を表示したり、機器の動作状態を表示したり、或いはタッチセンサーの機能を付加して操作盤とすることもできる。また、本体 2 3 0 1 とコントローラ 2 3 0 5 と表示装置 2 3 0 3 とは、相互に信号を伝達するために有線通信としても良いし、センサ部 2 3 0 6、2 3 0 7 を設けて無線通信または光通信としても良い。本発明は、表示装置 2 3 0 2、2 3 0 3 に適用することができる。表示装置 2 3 0 3 は従来の CRT を用いることもできる。

30

【 0 1 5 3 】

図 2 3 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示装置 2 4 0 2、スピーカー部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 で構成される。尚、記録媒体には DVD (Digital Versatile Disc) やコンパクトディスク (CD) などを用い、音楽プログラムの再生や映像表示、ビデオゲーム（またはテレビゲーム）やインターネットを介した情報表示などを行うことができる。本発明は表示装置 2 4 0 2 やその他の信号制御回路に好適に利用することができる。

40

【 0 1 5 4 】

図 2 3 (F) はデジタルカメラであり、本体 2 5 0 1、表示装置 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）で構成される。本発明は表示装置 2 5 0 2 やその他の信号制御回路に適用することができる。

【 0 1 5 5 】

50

図 2 4 (A) はフロント型プロジェクターであり、光源光学系および表示装置 2 6 0 1、スクリーン 2 6 0 2 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図 2 4 (B) はリア型プロジェクターであり、本体 2 7 0 1、光源光学系および表示装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【 0 1 5 6 】

なお、図 2 4 (C) に、図 2 4 (A) および図 2 4 (B) における光源光学系および表示装置 2 6 0 1、2 7 0 2 の構造の一例を示す。光源光学系および表示装置 2 6 0 1、2 7 0 2 は光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、ビームスプリッター 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は複数の光学レンズで構成される。

10

【 0 1 5 7 】

図 2 4 (C) では液晶表示装置 2 8 0 8 を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図 2 4 (C) 中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、I R フィルムなどを設けても良い。また、図 2 4 (D) は図 2 4 (C) における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 はリフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。尚、図 2 4 (D) に示した光源光学系は一例であって図示した構成に限定されるものではない。

20

【 0 1 5 8 】

また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

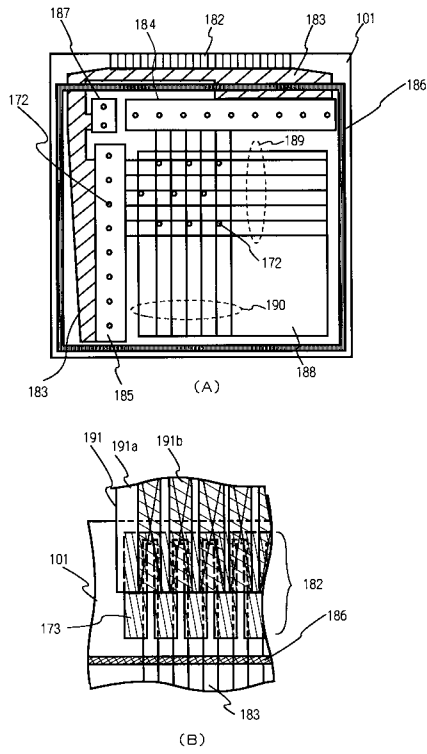
【 符号の説明 】

【 0 1 5 9 】

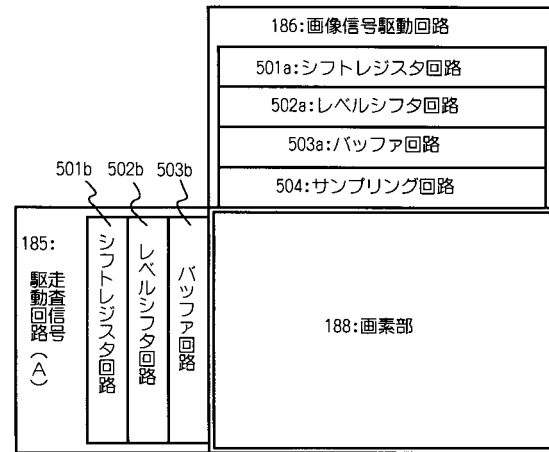
- 1 0 1 基板
- 1 7 2 柱状スペーサ
- 1 7 3 保護膜
- 1 8 2 端子部
- 1 8 3 接続配線
- 1 8 6 シール剤
- 1 9 1 F P C

30

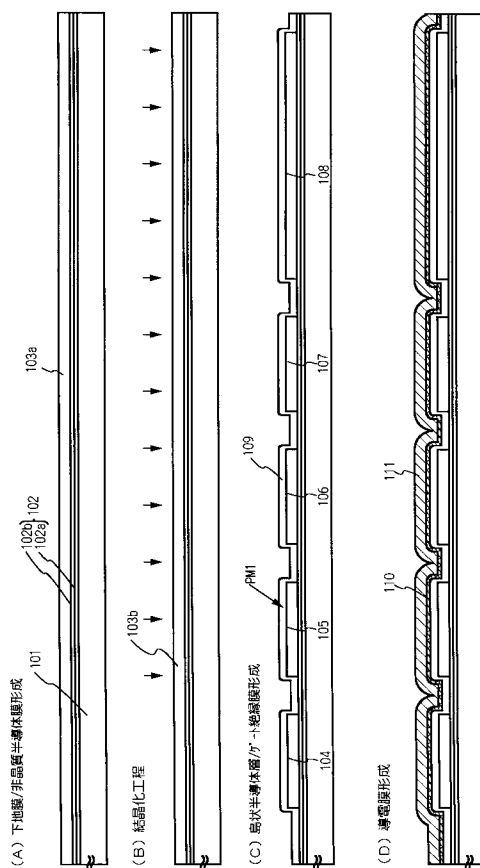
【図 1】



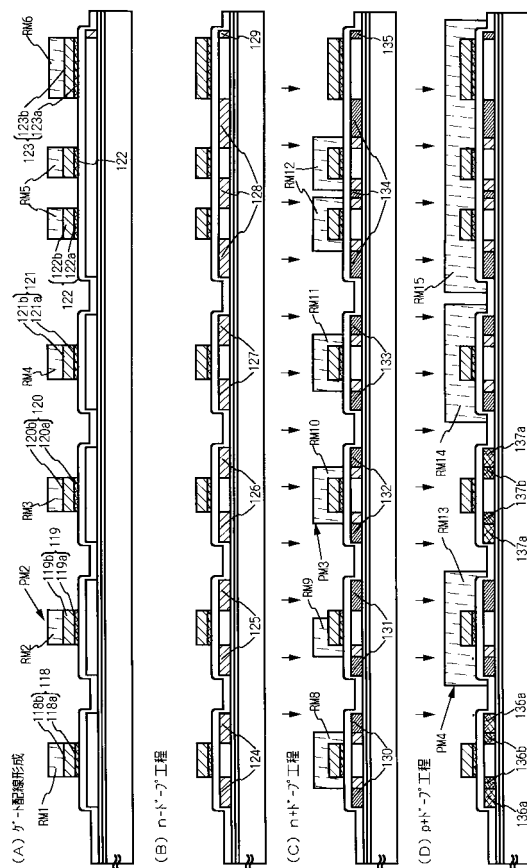
【図 2】



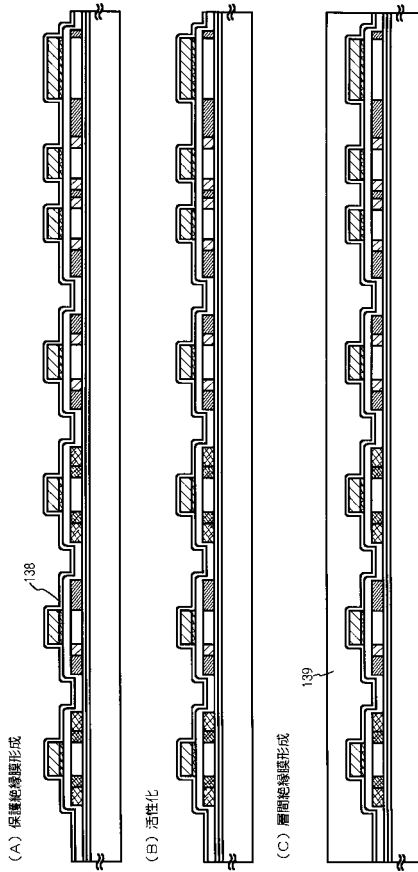
【図 3】



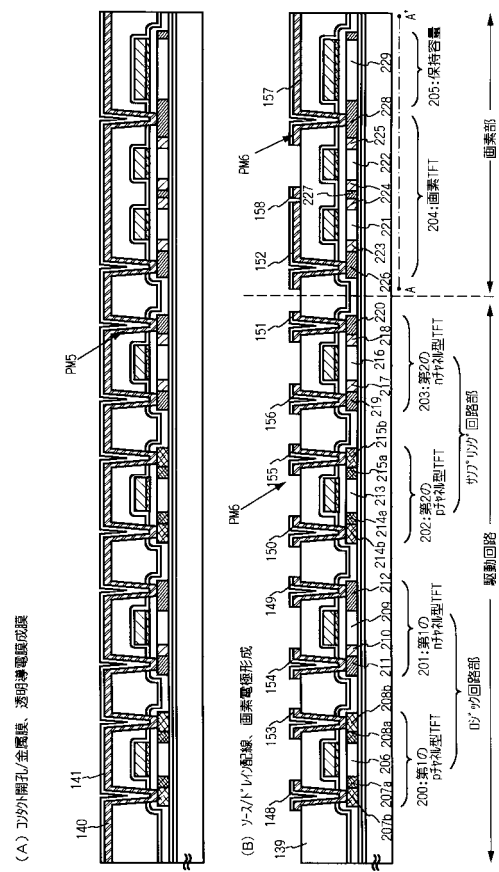
【図 4】



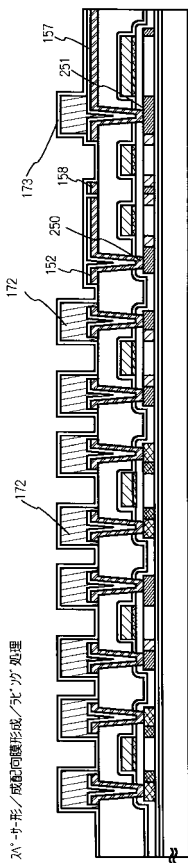
【 図 5 】



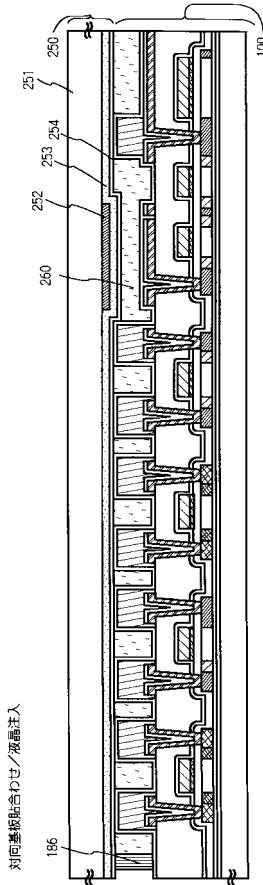
【 図 6 】



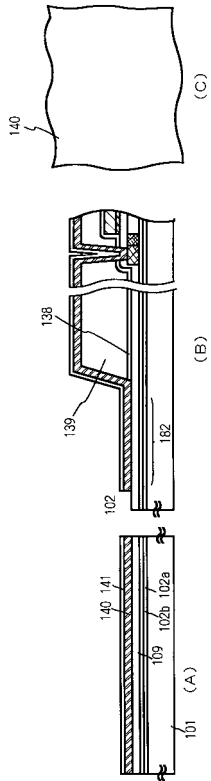
【 圖 7 】



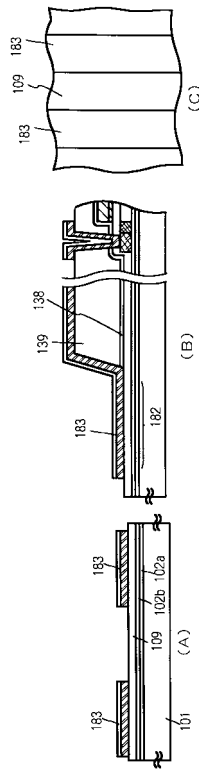
【 図 8 】



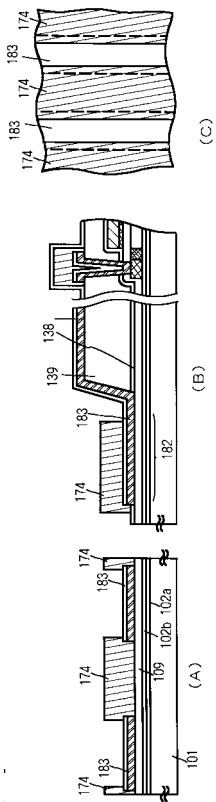
【図 9】



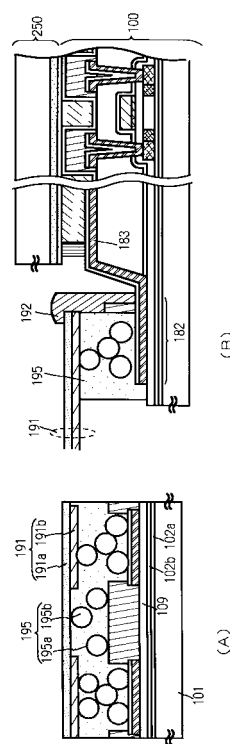
【図 10】



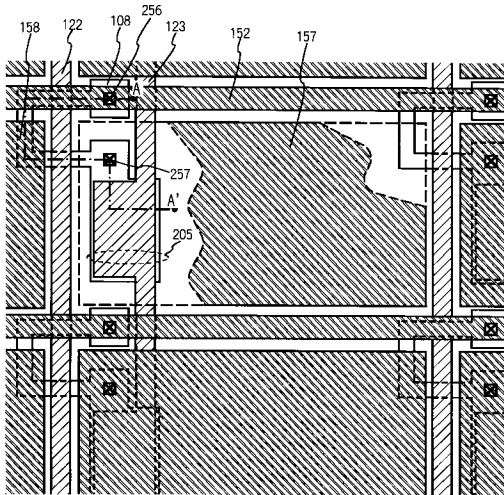
【図 11】



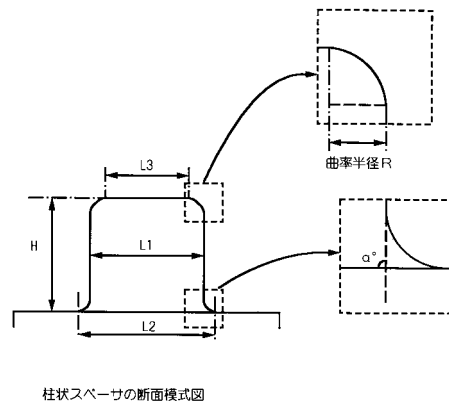
【図 12】



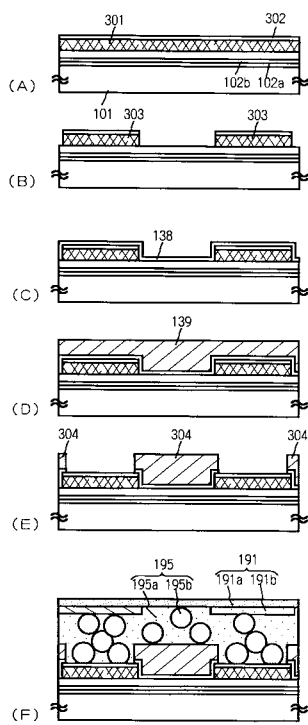
【図 13】



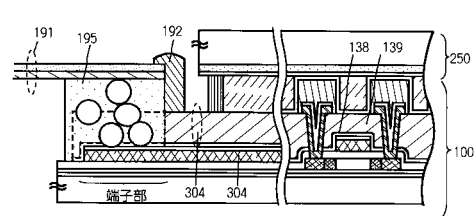
【図 14】



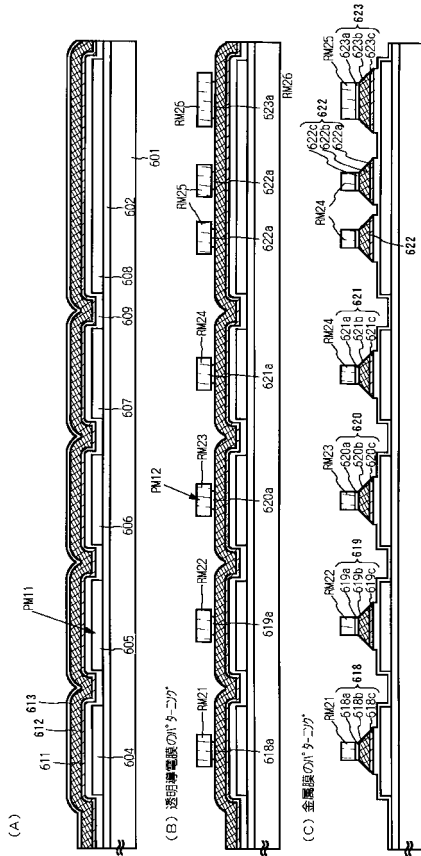
【図 15】



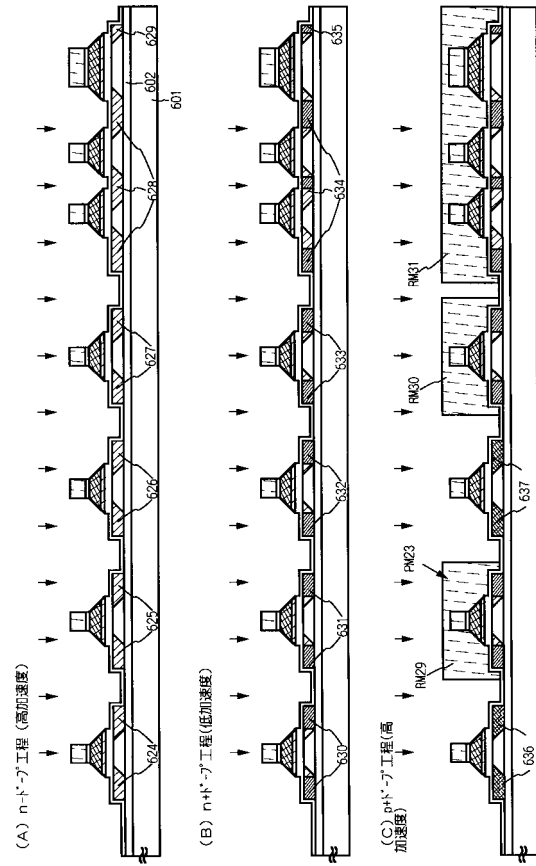
【図 16】



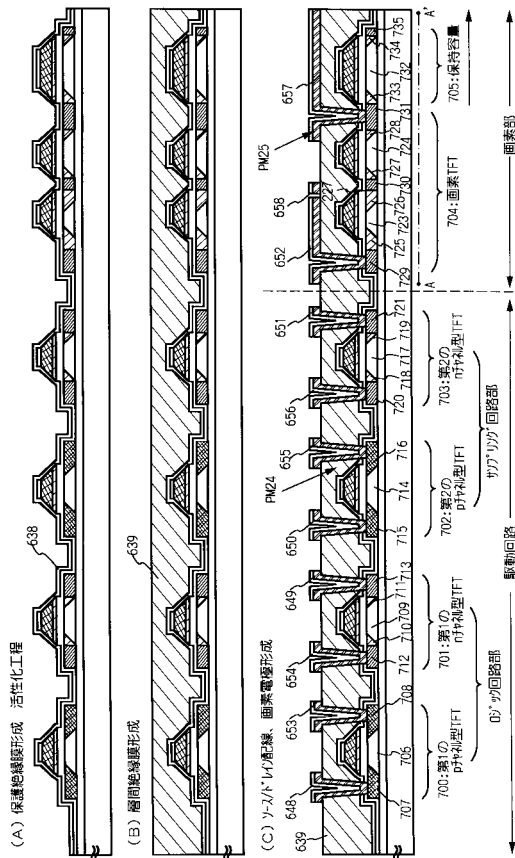
【図 17】



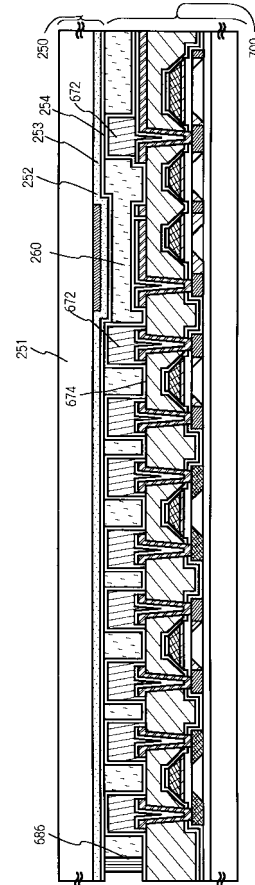
【図 18】



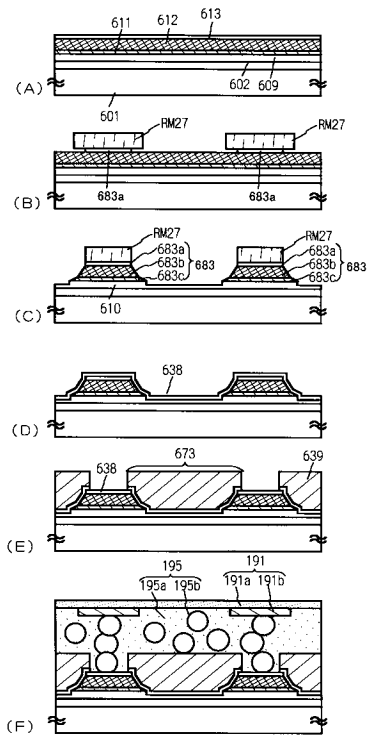
【図 19】



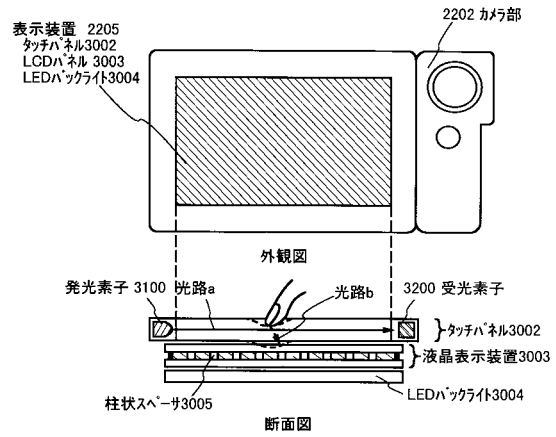
【図 20】



【図 2 1】

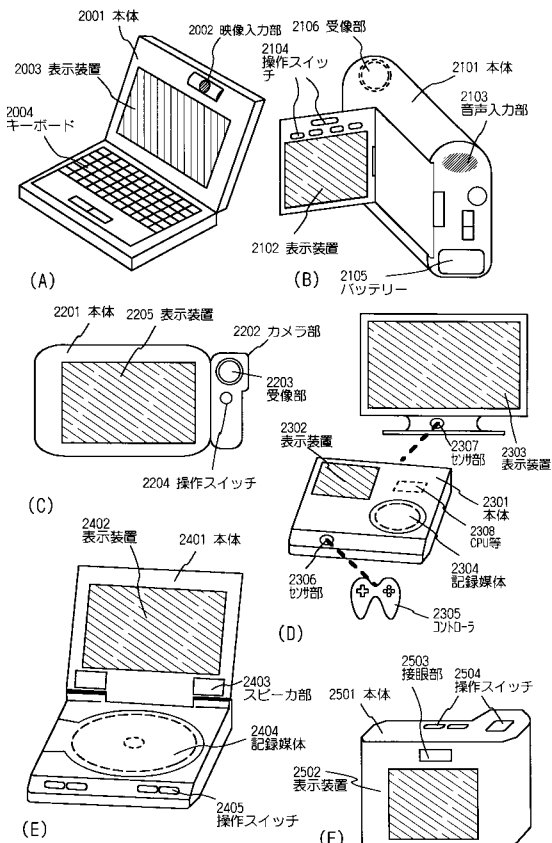


【図 2 2】

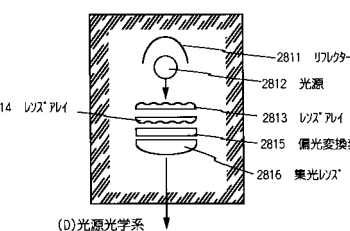
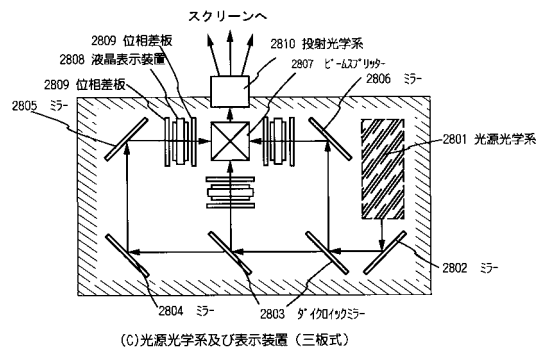
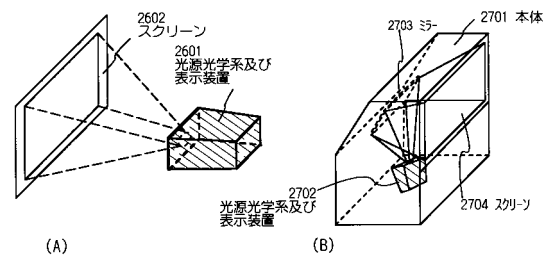


携帯情報端末機器(光学式タッチパネル)の外観図および断面図

【図 2 3】



【図 2 4】



 フロントページの続き

(51)Int.Cl.	F I				テーマコード (参考)
H 0 1 L 27/06 (2006.01)	G 0 9 F	9/30	3 3 8		5 F 0 4 8
H 0 1 L 27/08 (2006.01)	G 0 9 F	9/00	3 4 8 Z		5 G 4 3 5
G 0 9 F 9/00 (2006.01)	G 0 2 F	1/1333			
G 0 2 F 1/1333 (2006.01)	G 0 2 F	1/13357			
G 0 2 F 1/13357 (2006.01)	G 0 2 F	1/1368			
G 0 2 F 1/1368 (2006.01)					

F ターム(参考) 5C094 AA31 BA03 BA27 BA43 DA13 DB03 EA10 HA08
 5F048 AB03 AC04 AC10 BA16 BB01 BB02 BB09 BB11 BB12 BB13
 BC02 BC03 BC06 BC18 BF01 BF07 BF12
 5G435 AA14 BB05 BB12 EE25 EE42 EE47 LL07 LL08

专利名称(译)	显示设备		
公开(公告)号	JP2015096952A	公开(公告)日	2015-05-21
申请号	JP2014229680	申请日	2014-11-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平		
发明人	山崎 舜平		
IPC分类号	G02F1/1345 G09F9/30 H01L21/8238 H01L27/092 H01L21/8234 H01L27/06 H01L27/08 G09F9/00 G02F1/1333 G02F1/13357 G02F1/1368 G02F1/1339 G02F1/1343 G02F1/136 H01L21/3205 H01L23/48 H01L23/52 H01L29/786 H01R11/01		
CPC分类号	G02F1/13454 G02F2001/13456 H01L27/124 H01L29/42384 H01L29/4908 H01L2924/0002 H01L2924/00 G06F3/041		
FI分类号	G02F1/1345 G09F9/30.330 H01L27/08.321.E H01L27/06.102.A H01L27/08.331.E G09F9/30.338 G09F9/00.348.Z G02F1/1333 G02F1/13357 G02F1/1368 H01L27/088.331.E H01L27/092.E		
F-TERM分类号	2H092/GA34 2H092/GA35 2H092/GA42 2H092/GA43 2H092/GA48 2H092/HA04 2H092/HA12 2H092/JA24 2H092/KB24 2H092/PA06 2H092/PA13 2H189/AA70 2H189/AA72 2H189/AA77 2H189/LA04 2H189/LA06 2H189/LA10 2H189/LA30 2H191/FA85Z 2H191/FD15 2H192/AA24 2H192/CB02 2H192/CB13 2H192/CB53 2H192/DA52 2H192/EA74 2H192/FA64 2H192/FA76 2H192/FB02 2H192/FB72 5C094/AA31 5C094/BA03 5C094/BA27 5C094/BA43 5C094/DA13 5C094/DB03 5C094/EA10 5C094/HA08 5F048/AB03 5F048/AC04 5F048/AC10 5F048/BA16 5F048/BB01 5F048/BB02 5F048/BB09 5F048/BB11 5F048/BB12 5F048/BB13 5F048/BC02 5F048/BC03 5F048/BC06 5F048/BC18 5F048/BF01 5F048/BF07 5F048/BF12 5G435/AA14 5G435/BB05 5G435/BB12 5G435/EE25 5G435/EE42 5G435/EE47 5G435/LL07 5G435/LL08 2H391/AA01 2H391/AB04 2H391/EB08		
优先权	1999207041 1999-07-22 JP		
外部链接	Espacenet		

摘要(译)

为了提高与诸如液晶显示板之类的半导体器件中的各向异性导电膜的接触的可靠性，有源矩阵基板上的连接布线（183）的端子部分（182）电连接到FPC（191）。通过各向异性导电膜（195）。连接布线（183）在有源矩阵基板上以与TFT的源极/漏极布线相同的工艺制造，并且由金属膜和透明导电膜的层叠膜制成。在与各向异性导电膜（195）的连接部分中，连接布线（183）的侧表面覆盖有由绝缘材料制成的保护膜（173）。因此，可以避免金属膜被透明导电膜，绝缘基膜和与其接触的保护膜（173）包围的部分暴露于空气中，因为其侧面是连接布线的金属膜覆盖有保护膜（173）。

