

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-228575

(P2014-228575A)

(43) 公開日 平成26年12月8日(2014.12.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 641C	5C006
G02F 1/133 (2006.01)	G09G 3/20 623F	5C080
	G09G 3/20 612F	
	G09G 3/20 641P	
審査請求 未請求 請求項の数 13 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2013-105832 (P2013-105832)	(71) 出願人	506087819
(22) 出願日	平成25年5月20日 (2013.5.20)		パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	酒井 智亨
			大阪府門真市松生町1番15号 パナソニ
			ックA V Cテクノロジー株式会社内
		(72) 発明者	犬塚 達裕
			大阪府門真市松生町1番15号 パナソニ
			ックA V Cテクノロジー株式会社内
		Fターム(参考)	2H193 ZA04 ZB18 ZC25 ZD23 ZF04
			ZF05 ZF13 ZF18 ZF23 ZF31
			ZH45 ZH46 ZH53
		最終頁に続く	

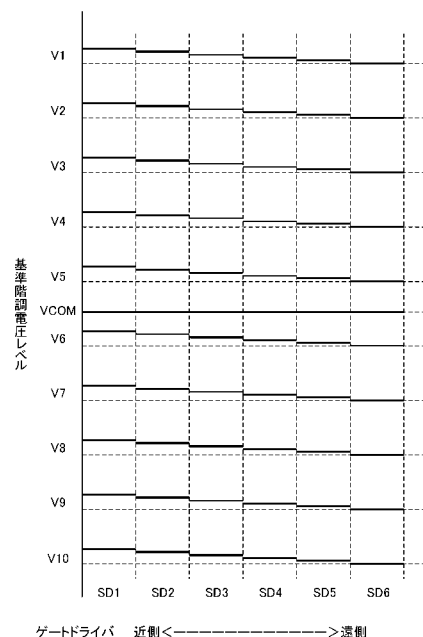
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示パネルが大画面化及び高精細化された場合でも、表示画面における走査線の延在方向に生じる表示ムラを低減する。

【解決手段】複数の信号線及び複数の走査線を含む表示パネルと、外部から当該液晶表示装置に入力される入力表示データに基づいて表示階調電圧を生成するとともに、生成した該表示階調電圧を前記複数の信号線に供給する複数のソースドライバと、前記複数の走査線に走査信号を供給するゲートドライバと、前記表示階調電圧を生成するための基準電圧を生成する複数の基準電圧生成回路と、を備え、前記複数の基準電圧生成回路のそれぞれにより生成される前記複数の基準電圧は各階調において互いに異なっている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数の信号線及び複数の走査線を含む表示パネルと、

外部から当該液晶表示装置に入力される入力表示データに基づいて表示階調電圧を生成するとともに、生成した該表示階調電圧を前記複数の信号線に供給する複数のソースドライバと、

前記複数の走査線に走査信号を供給するゲートドライバと、

前記表示階調電圧を生成するための基準電圧を生成する複数の基準電圧生成回路と、を
備え、

前記複数の基準電圧生成回路のそれぞれにより生成される前記複数の基準電圧は、少なくとも一部の階調において互いに異なっていることを特徴とする液晶表示装置。

10

【請求項 2】

前記複数のソースドライバは、前記走査線の延在方向に並んで配置されており、

前記ソースドライバに対応する前記基準電圧は、該ソースドライバよりも前記ゲートドライバから遠い位置に配置されているソースドライバに対応する前記基準電圧よりも高いことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記複数のソースドライバのそれぞれに対応する前記複数の基準電圧は、前記ゲートドライバが配置されている位置から前記走査線の延在方向に向かって、段階的に低くなっていることを特徴とする請求項 2 に記載の液晶表示装置。

20

【請求項 4】

前記複数のソースドライバのそれぞれには、複数の信号線が接続されており、

1 つのソースドライバに接続される前記複数の信号線は、その内の複数の信号線毎に複数のブロックに分けられており、

前記複数のブロックのそれぞれに対応して前記基準電圧生成回路が 1 個ずつ設けられていることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

前記複数のブロックのそれぞれに対応する前記複数の基準電圧は、前記ゲートドライバが配置されている位置から前記走査線の延在方向に向かって、段階的に低くなっていることを特徴とする請求項 4 に記載の液晶表示装置。

30

【請求項 6】

前記複数の基準電圧生成回路のそれぞれにより生成される前記複数の基準電圧の全ては、前記ゲートドライバが配置されている位置から前記走査線の延在方向に向かって、段階的に低くなっていることを特徴とする請求項 2 ～ 5 の何れか 1 項に記載の液晶表示装置。

【請求項 7】

前記複数の基準電圧生成回路のそれぞれにより生成される前記複数の基準電圧のうち所定の基準電圧については、互いに等しいことを特徴とする請求項 2 ～ 5 の何れか 1 項に記載の液晶表示装置。

【請求項 8】

前記複数のソースドライバのそれぞれには、前記基準電圧生成回路が少なくとも 1 つ内蔵されていることを特徴とする請求項 2 ～ 7 の何れか 1 項に記載の液晶表示装置。

40

【請求項 9】

前記複数の基準電圧生成回路は、前記複数のソースドライバの外部に設けられていることを特徴とする請求項 2 ～ 7 の何れか 1 項に記載の液晶表示装置。

【請求項 10】

前記複数のソースドライバのそれぞれに対応して前記基準電圧生成回路が 1 個ずつ設けられており、

前記複数のソースドライバのそれぞれは、該ソースドライバに対応する前記基準電圧生成回路により生成される基準電圧と、該ソースドライバに隣り合うソースドライバに対応する前記基準電圧生成回路により生成される基準電圧とに基づいて、前記表示階調電圧を

50

生成することを特徴とする請求項 2 ~ 7 の何れか 1 項に記載の液晶表示装置。

【請求項 1 1】

前記複数のソースドライバのそれぞれに対応して階調電圧生成回路が 2 個ずつ設けられており、

前記複数のソースドライバのそれぞれにおいて、一方の階調電圧生成回路には、該ソースドライバに対応する前記基準電圧生成回路により生成される第 1 基準電圧が入力され、他方の階調電圧生成回路には、該ソースドライバに隣り合うソースドライバに対応する前記基準電圧生成回路により生成される第 2 基準電圧が入力されることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 1 2】

前記複数のソースドライバに対応して、前記基準電圧生成回路が少なくとも 2 個設けられており、

前記複数のソースドライバのうちの第 1 ソースドライバは、該第 1 ソースドライバに対応する前記基準電圧生成回路により生成された第 1 基準電圧に基づいて、前記表示階調電圧を生成する一方、

前記複数のソースドライバのうちの第 2 ソースドライバは、前記複数の基準電圧生成回路により生成された複数の前記第 1 基準電圧に基づいて生成された第 2 基準電圧に基づいて、前記表示階調電圧を生成することを特徴とする請求項 2 ~ 7 の何れか 1 項に記載の液晶表示装置。

【請求項 1 3】

隣り合う前記基準電圧生成回路の間には抵抗が設けられており、

前記第 2 ソースドライバは、前記複数の第 1 基準電圧を前記抵抗により分圧して生成した前記第 2 基準電圧に基づいて、前記表示階調電圧を生成することを特徴とする請求項 12 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、表示画面に生じる表示ムラを低減する技術に関する。

【背景技術】

【0002】

従来、液晶表示装置では、表示画面の横方向に表示ムラが生じることが知られており、この表示ムラを低減する技術が種々提案されている。以下、表示ムラの発生原理と、表示ムラを低減する技術の一例を示す。

【0003】

液晶表示装置では、ソースドライバ（信号線駆動回路）から各ソースライン（信号線）に階調電圧（アナログ信号）を供給するときに、複数本のソースラインに対して全て同じタイミングで出力している。しかし、ゲートライン（走査線）のゲート信号（走査信号）は、該ゲートライン自身の配線抵抗成分と該ゲートラインに接続される画素の容量成分とに起因して波形が鈍る。そのため、特にゲートドライバ（走査線駆動回路）が配置されている位置（出力側）に近い画素と遠い画素とでは、ゲート信号の波形が異なり、TFT 素子に印加される階調電圧の書き込み時間にばらつきが生じる。これにより、TFT 素子のドレイン端子側の電圧に相当する画素への書き込み電圧にもばらつきが生じる。この結果、表示画面において、ゲートラインの延在方向（横方向）に表示ムラが発生する。

【0004】

上記表示ムラを低減する技術として、例えば特許文献 1 に記載の技術が提案されている。特許文献 1 に係る技術は、ゲートドライバから出力されるゲート信号の立ち下がり波形を予め鈍らすことにより、ゲートドライバの出力側に近い画素と遠い画素とで、波形の鈍り差を少なくするものである。この技術によれば、画素への書き込み時間のばらつきを抑えることができるため、上記表示ムラを低減することができる。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特公平8-33532号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ここで、近年の液晶表示装置では、表示パネルの大画面化及び高精細化が進み、ゲートラインの長さが増大し、ソースラインの数が増加している。これにより、ゲートライン自身の配線抵抗成分とゲートラインに接続される画素の容量成分とが増加し、表示画面に生じる上記表示ムラが顕著になっている。このような大画面の表示パネルに、上記特許文献1の技術を適用した場合、上記表示ムラを適切に低減することは困難である。大画面の表示パネルに上記特許文献1の技術を適用した場合の駆動波形を例（図26参照）に挙げ、以下に説明する。

10

【0007】

図26(a)には、大画面及び高精細の表示パネルを備えた液晶表示装置において、ゲートドライバの出力側に近い画素に接続されるTFT素子のゲート端子に印加されるゲート信号の電圧波形と、ゲートドライバの出力側から遠い画素に接続されるTFT素子のゲート端子に印加されるゲート信号の電圧波形とを示している。上記液晶表示装置において上記特許文献1の技術を適用してゲート信号の立ち下がりをも鈍らせたとしても、ゲートライン自身の配線抵抗成分とゲートラインに接続される画素の容量成分とが、大画面及び高精細でない通常の液晶表示装置に比べて非常に大きくなるため、ゲートドライバの出力側に近い画素と遠い画素との間で、ゲート信号の立ち下がり方に差が生じてしまう。

20

【0008】

図26(b)にはゲートドライバの出力側に近い画素への書き込み電圧（ドレイン電圧）を示し、図26(c)にはゲートドライバの出力側から遠い画素への書き込み電圧を示している。図26(b)、(c)を比較すると、画素への書き込み電圧の変化分（電圧降下分）である $\Delta V(1)$ と $\Delta V(N)$ との間に差 ΔV_b が生じ、画素電圧（液晶印加電圧） $V_d(1)$ と $V_d(N)$ との関係が、 $V_d(1) < V_d(N)$ となることが分かる。画素の表示輝度は上記画素電圧レベルに比例するため、表示画面において、同じ階調度の表示を行ったとしても、ゲートドライバの出力側に近い領域では暗くなり、遠い領域では明るくなる。このように、表示画面において、ゲートラインの延在方向に表示ムラが発生する。

30

【0009】

本発明は、上記課題に鑑みてなされたものであり、その目的は、表示パネルが大画面化及び高精細化された場合でも、表示画面における走査線の延在方向に生じる表示ムラを低減することができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0010】

本発明に係る液晶表示装置は、上記課題を解決するために、複数の信号線及び複数の走査線を含む表示パネルと、外部から当該液晶表示装置に入力される入力表示データに基づいて表示階調電圧を生成するとともに、生成した該表示階調電圧を前記複数の信号線に供給する複数のソースドライバと、前記複数の走査線に走査信号を供給するゲートドライバと、前記表示階調電圧を生成するための基準電圧を生成する複数の基準電圧生成回路と、を備え、前記複数の基準電圧生成回路のそれぞれにより生成される前記複数の基準電圧は、少なくとも一部の階調において互いに異なっていることを特徴とする。

40

【0011】

上記液晶表示装置では、前記複数のソースドライバは、前記走査線の延在方向に並んで配置されており、前記ソースドライバに対応する前記基準電圧は、該ソースドライバよりも前記ゲートドライバから遠い位置に配置されているソースドライバに対応する前記基準

50

電圧よりも高くてもよい。

【0012】

上記液晶表示装置では、前記複数のソースドライバのそれぞれに対応する前記複数の基準電圧は、前記ゲートドライバが配置されている位置から前記走査線の延在方向に向かって、段階的に低くなっているもよい。

【0013】

上記液晶表示装置では、上記液晶表示装置では、前記複数のソースドライバのそれぞれには、複数の信号線が接続されており、1つのソースドライバに接続される前記複数の信号線は、その内の複数の信号線毎に複数のブロックに分けられており、前記複数のブロックのそれぞれに対応して前記基準電圧生成回路が1個ずつ設けられていてもよい。

10

【0014】

上記液晶表示装置では、前記複数のブロックのそれぞれに対応する前記複数の基準電圧は、前記ゲートドライバが配置されている位置から前記走査線の延在方向に向かって、段階的に低くなっているもよい。

【0015】

上記液晶表示装置では、前記複数の基準電圧生成回路のそれぞれにより生成される前記複数の基準電圧の全ては、前記ゲートドライバが配置されている位置から前記走査線の延在方向に向かって、段階的に低くなっているもよい。

【0016】

上記液晶表示装置では、前記複数の基準電圧生成回路のそれぞれにより生成される前記複数の基準電圧のうち所定の基準電圧については、互いに等しくなっているもよい。

20

【0017】

上記液晶表示装置では、前記複数のソースドライバのそれぞれには、前記基準電圧生成回路が少なくとも1つ内蔵されているもよい。

【0018】

上記液晶表示装置では、前記複数の基準電圧生成回路は、前記複数のソースドライバの外部に設けられていてもよい。

【0019】

上記液晶表示装置では、前記複数のソースドライバのそれぞれに対応して前記基準電圧生成回路が1個ずつ設けられており、前記複数のソースドライバのそれぞれは、該ソースドライバに対応する前記基準電圧生成回路により生成される基準電圧と、該ソースドライバに隣り合うソースドライバに対応する前記基準電圧生成回路により生成される基準電圧とに基づいて、前記表示階調電圧を生成してもよい。

30

【0020】

上記液晶表示装置では、前記複数のソースドライバのそれぞれに対応して階調電圧生成回路が2個ずつ設けられており、前記複数のソースドライバのそれぞれにおいて、一方の階調電圧生成回路には、該ソースドライバに対応する前記基準電圧生成回路により生成される第1基準電圧が入力され、他方の階調電圧生成回路には、該ソースドライバに隣り合うソースドライバに対応する前記基準電圧生成回路により生成される第2基準電圧が入力されてもよい。

40

【0021】

上記液晶表示装置では、前記複数のソースドライバに対応して、前記基準電圧生成回路が少なくとも2個設けられており、前記複数のソースドライバのうちの第1ソースドライバは、該第1ソースドライバに対応する前記基準電圧生成回路により生成された第1基準電圧に基づいて、前記表示階調電圧を生成する一方、前記複数のソースドライバのうちの第2ソースドライバは、前記複数の基準電圧生成回路により生成された複数の前記第1基準電圧に基づいて生成された第2基準電圧に基づいて、前記表示階調電圧を生成してもよい。

【0022】

上記液晶表示装置では、隣り合う前記基準電圧生成回路の間には抵抗が設けられており

50

、前記第２ソースドライバは、前記複数の第１基準電圧を前記抵抗により分圧して生成した前記第２基準電圧に基づいて、前記表示階調電圧を生成してもよい。

【発明の効果】

【００２３】

本発明に係る液晶表示装置によれば、複数の基準電圧生成回路のそれぞれにより生成される複数の基準電圧を、少なくとも一部の階調において互いに異ならせることができる。そのため、表示パネルが大画面化及び高精細化された場合でも、表示画面におけるゲートラインの延在方向に生じる表示ムラを低減することができる。

【図面の簡単な説明】

【００２４】

10

【図１】実施の形態１に係る液晶表示装置の概略構成を示す図である。

【図２】ゲートドライバの構成を示すブロック図である。

【図３】ゲートドライバに入出力される各種信号のタイミングチャートである。

【図４】１個のソースドライバの構成を示すブロック図である。

【図５】ＳＤ１の動作を示すタイミングチャートである。

【図６】ＳＤ２の動作を示すタイミングチャートである。

【図７】ＳＤ６の動作を示すタイミングチャートである。

【図８】基準階調電圧生成回路の構成を示すブロック図である。

【図９】階調電圧生成回路の構成を示す回路図である。

【図１０】電圧デコードの動作を説明するための真理値表である。

20

【図１１】基準電圧の電圧レベルを模式的に示した図である。

【図１２】実施の形態２に係る液晶表示装置の概略構成を示す図である。

【図１３】１個のソースドライバの構成を示すブロック図である。

【図１４】基準電圧の電圧レベルを模式的に示した図である。

【図１５】実施の形態３に係る液晶表示装置の概略構成を示す図である。

【図１６】１個のソースドライバの構成を示すブロック図である。

【図１７】実施の形態４に係る液晶表示装置の概略構成を示す図である。

【図１８】１個のソースドライバの構成を示すブロック図である。

【図１９】電圧デコードの構成を示すブロック図である。

【図２０】階調電圧の電圧レベルを模式的に示した図である。

30

【図２１】実施の形態５に係る液晶表示装置の概略構成を示す図である。

【図２２】１個のソースドライバの構成を示すブロック図である。

【図２３】実施の形態６に係る液晶表示装置の概略構成を示す図である。

【図２４】基準電圧の電圧レベルを模式的に示した図である。

【図２５】基準電圧の電圧レベルを模式的に示した図である。

【図２６】従来の液晶表示装置における駆動波形を示す図である。

【発明を実施するための形態】

【００２５】

[実施の形態１]

40

本発明の実施の形態１について、図面を用いて以下に説明する。

【００２６】

図１は、実施の形態１に係る液晶表示装置１の概略構成を示す図である。液晶表示装置１は、液晶表示パネル１０と、ゲートドライバ１１（ＧＤ）と、ソースドライバ１２（ＳＤ）と、タイミングコントローラ１３（ＴＣＯＮ）と、電源回路１４とを備えている。

【００２７】

液晶表示パネル１０は、図示はしないが、ＴＦＴ基板（アクティブマトリクス基板）、対向基板及び両基板間に挟持された液晶層を含んで構成されている。ＴＦＴ基板には、ソースドライバ１２に接続された複数のソースライン（信号線）と、ゲートドライバ１１に接続された複数のゲートライン（走査線）とが設けられ、ソースラインとゲートラインとの各交差部にはトランジスタ（ＴＦＴ素子）が設けられている。また、液晶表示パネル１

50

0 には、各交差部に対応して、複数の画素がマトリクス状（行方向及び列方向）に配置されている。さらに、液晶表示パネル 10 は、各画素に対応する T F T 基板に設けられた画素電極と、対向基板に設けられた対向電極とを含んでいる。液晶表示パネル 10 は、ゲートラインに供給されるゲート信号（走査信号）により T F T 素子をスイッチング（O N / O F F ）して、ソースラインに供給される階調電圧（表示階調電圧）に応じて画像表示を行う。

【0028】

ゲートドライバ 11 は、複数のゲートラインのそれぞれに、例えば液晶表示パネル 10 の上部から順次ゲート信号を供給する。ゲートドライバ 11 は、液晶表示パネル 10 の一側面側（図 1 では左側）に設けられている。また、図 1 では、ゲートドライバ 11 は上下方向に並んで 2 個設けられているが、ゲートドライバの数はこれに限定されず 1 個でもよいし 3 個以上でもよい。ゲートドライバ 11 の詳細な構成は後述する。

10

【0029】

ソースドライバ 12 は複数設けられており、それぞれのソースドライバ 12 が、対応する複数のソースラインに表示階調電圧を供給する。具体的には、各ソースドライバ 12 は、外部から入力される入力表示データ D a t a の階調度（入力階調）に基づいて表示階調電圧を生成し、該表示階調電圧を複数のソースラインのそれぞれに供給する。ソースラインに供給された表示階調電圧は、ゲート信号が供給されているゲートライン上の T F T 素子を介して接続された画素電極に供給され、これにより、対応する画素に、入力階調に応じた輝度の画像が表示される。ソースドライバ 12 は、液晶表示パネル 10 の一側面側（図 1 では上側）に複数並んで設けられ、各ソースドライバ 12 には全ソースラインのうちの複数のソースラインが接続され、各ソースドライバ 12 が、対応する該複数のソースラインに表示階調電圧を供給する。すなわち、複数のソースドライバ 12 により液晶表示パネル 10 を分担して駆動する。図 1 では、一例として、ゲートドライバ 11 が左右方向に 6 個並んで配置されている場合を示している。ソースドライバ 12 の詳細な構成は後述する。

20

【0030】

タイミングコントローラ（以下、T C O N という。）13 は、外部のパーソナルコンピュータ等の表示システム（信号源）から供給される入力表示データ D a t a （映像信号）と表示タイミング信号（ドットクロック D C L K 、垂直同期信号 V S Y 、水平同期信号 H S Y 、表示イネーブル信号 D E ）等から、画像表示用の表示データ S D - D a t a や、ゲートドライバ 11 及びソースドライバ 12 を制御するための各種タイミング信号を生成する。

30

【0031】

電源回路 14 は、表示システムから供給される基準電源 V L C D から、ゲートドライバ 11 及びソースドライバ 12 を制御するための各種電圧を生成する。

【0032】

ここで、本実施の形態 1 に係る液晶表示装置 1 では、液晶表示パネル 10 が解像度 W U X G A （横 1920 × 3 ドット（R G B ） = 5760 ドット、縦 1200 ライン）の構成を有する場合を例に挙げて説明する。この場合、液晶表示パネル 10 は、横 5760 ドットであることからソースラインも 5760 本存在することになり、これを 6 個のソースドライバ 12 （S D 1 ~ S D 6 ）で駆動する場合（図 1 参照）、1 個のソースドライバ 12 は少なくとも 960 本のソースラインを駆動する能力を有する。また、縦は 1200 ラインであることからゲートラインも 1200 本存在することになり、これを 2 個のゲートドライバ 11 （G D 1 、 G D 2 ）で駆動する場合（図 1 参照）、1 個のゲートドライバ 11 は少なくとも 600 本のゲートラインを駆動する能力を有する。

40

【0033】

[ゲートドライバの構成]

ゲートドライバ 11 の具体的な構成について、図 2 及び図 3 を用いて以下に説明する。図 2 は、ゲートドライバ 11 の構成を示すブロック図であり、図 3 は、ゲートドライバ 1

50

1に入出力される各種信号のタイミングチャートである。図2に示すように、ゲートドライバ11は、シフトレジスタ15及び電圧セクタ16により構成されている。

【0034】

シフトレジスタ15は、図3に示すように、先頭ライン信号STVINが入力されると、ラインクロックであるCPVの立ち上がりによりラッチし、先頭ラインの出力L1を「ハイ」にし、次のCPVの立ち上がりにより、出力L1を「ロー」にするとともに出力L2を「ハイ」にし、以降、CPV毎に、出力L3から出力L600まで順次「ロー」及び「ハイ」を切り替えていく。

【0035】

電圧セクタ16は、シフトレジスタ15から出力L1～L600が入力されると、その値Lが「ハイ」のときは走査選択電圧（ゲートオン電圧）VgonをゲートラインG1～G600に出力し、該値Lが「ロー」のときは走査非選択電圧（ゲートオフ電圧）VgoffをゲートラインG1～G600に出力する。この動作により、走査選択電圧Vgonが、ゲートラインG1～G600に順次出力される。またシフトレジスタ15の最終ライン出力L600は、ゲートドライバ11からSTVOUTとして出力され、次段のゲートドライバ11（GD2）の先頭ライン信号STVINとして入力される。次段のゲートドライバ11（GD2）は、前段のゲートドライバ11（GD1）からSTVOUTが入力されると、次のラインクロックCPVの立ち上がりにより順次ラッチしていき、ゲートラインG601（GD2のゲートラインG1に相当）～G1200（GD2のゲートラインG600に相当）に対して、走査選択電圧Vgonを順次出力していく。

【0036】

ゲートドライバ11は、以上の構成により、例えば1200本のゲートラインを順次駆動する。

【0037】

[ソースドライバの構成]

ソースドライバ12の具体的な構成について、図4～図8を用いて以下に説明する。図4は、1個のソースドライバ12の構成を示すブロック図である。同図に示すように、ソースドライバ12は、ドットクロックPCLK毎にシフトしていくシフトレジスタ20と、シフトレジスタ20が出力するシフトクロックSR1～SR320により表示データSD-DR、SD-DG、SD-DBを取り込むクロックラッチ21と、クロックラッチ21が出力するラッチデータCL1～CL960をラインクロックLPによりラッチするラインラッチ22と、ラインラッチ22が出力するラッチデータLL1～LL960をAVDD電圧レベルに変換するレベルシフト23と、レベルシフト23が出力するレベルシフトデータLS1～LS960により表示階調電圧を選択してソースラインD1～D960に出力する電圧デコード24と、電圧デコード24に供給する電圧のうち基準となる電圧（基準電圧）を生成する基準階調電圧生成回路25（基準電圧生成回路）と、基準階調電圧生成回路25により生成された基準電圧を元にさらに分圧して所望の階調電圧を生成する階調電圧生成回路26とを含んで構成されている。これら構成回路のうち、シフトレジスタ20とクロックラッチ21とラインラッチ22とは、ソースドライバ12を駆動するための表示タイミング信号と同等の電圧レベルDVDDにより駆動し、レベルシフト23と電圧デコード24と基準階調電圧生成回路25と階調電圧生成回路26とは、高レベルのAVDDにより駆動する。また、ソースドライバ12には、それぞれが8ビットの表示データSD-DR、SD-DG、SD-DBが入力され、ソースドライバ12は、この8ビットの表示データに基づき、例えば256階調のうちの1階調（表示階調電圧）を選択してソースラインD1～D960に出力する。

【0038】

次に、ソースドライバ12の基本的な動作について、図5～図7を用いて以下に説明する。図1に示すように、ソースドライバ12は6個で構成されており、それぞれのソースドライバ12をSD1～SD6とする。図5はSD1の動作を示すタイミングチャートであり、図6はSD2の動作を示すタイミングチャートであり、図7はSD6の動作を示す

タイミングチャートである。まず、SD1の動作について図5を用いて説明する。

【0039】

初めに、シフトレジスタ20は、ラインクロックLPによりリセットされ、表示データに同期しているドットクロックPCLKによりシフトデータSRINを取り込み、最初のシフトレジスタ出力SR1を「ハイ」にする。次のPCLKにより、SR1を「ロー」にするとともにSR2を「ハイ」にし、以後、PCLK毎に、SR3～SR320の「ロー」及び「ハイ」を順次切り替えていく。また、SR320は、次段のソースドライバSD2のシフトデータ入力SRIN用にSROUTとして出力される。

【0040】

続いて、クロックラッチ21はシフトレジスタ20から出力されるシフトクロックSR1～SR320により、ソースドライバ用表示データSD-DR、SD-DG、SD-DBを順次ラッチしていきラッチデータCL1～CL960を出力する。すなわち、CL1はSD-DRをSR1によりラッチしそのときのデータ値r1を次のSR1が与えられるまで保持し、CL4はSD-DRをSR2によりラッチしそのときのデータ値r2を次のSR2が与えられるまで保持し、以降同様に動作し、CL960はSD-DBをSR320によりラッチしそのときのデータ値b320を次のSR320が与えられるまで保持する。

【0041】

続いて、ラインラッチ22は、CL1～CL960をラインクロックLPの立ち下がりでラッチし、LL1～LL960を出力する。このため、LL1～LL960は、TCO
N13からNライン目の表示データが送られている期間Line.Nにおいてはその1
ライン前のLine.N-1のデータ値が保持されることになる。

【0042】

続いて、レベルシフト23は、LL1～LL960のロジックレベルをDVDDからA
VDDにシフトさせ、LS1～LS960を出力する。このとき、反転信号POLも合わ
せてレベルシフトされ、かつ奇数出力に対してはPOL信号と同じ極性の極性信号が付加
され、偶数出力に対してはPOL信号とは逆極性の極性信号が付加される。すなわち、奇
数出力であるLS1、LS3等には、POLが「ハイ」のときに+信号（正極性）が付加
され、「ロー」のときに-信号（負極性）が付加される。一方、偶数出力であるLS2や
LS4等には、POLが「ハイ」のときに-信号が付加され、「ロー」のときに+信号が
付加される。

【0043】

最後に、電圧デコード24は、LS1～LS960により表示階調電圧を選択して、対
応するソースラインD1～D960に出力する。具体的には、電圧デコード24は、ソー
スラインD1～D960のそれぞれに対して、まずは極性信号により+側/-側の出力レ
ベルを決定し、その後、表示データに基づき、+側または-側の多レベル（例えば256
レベル）の階調電圧から所望の表示階調電圧（1レベル）を選択して出力する。

【0044】

次に、SD2の動作について図6を用いて説明する。SD2は、前段のSD1から出力
されるシフトレジスタ出力SROUTが、シフトデータSRINとしてシフトレジスタ2
0に入力されることにより駆動する。その後の動作は、SD1と同一であるため説明を省
略する。

【0045】

次に、SD6の動作について図7を用いて説明する。SD6もSD2と同様に、前段の
SD5から出力されるシフトレジスタ出力SROUTが、シフトデータSRINとしてシ
フトレジスタ20に入力されることにより駆動する。その後の動作は、SD1と同一であ
るため説明を省略する。

【0046】

ここで、基準階調電圧生成回路25の構成について図8を用いて説明する。図8は、基
準階調電圧生成回路25の構成を示すブロック図である。

10

20

30

40

50

【 0 0 4 7 】

同図に示すように、基準階調電圧生成回路 25 は、電圧レベルを設定するための D A C レジスタ 30 と、D A C レジスタ 30 に従ってアナログ電圧を生成する D A 変換回路 31 と、D A 変換回路 31 の出力を安定化させる電圧アンプ回路 32 とを含んで構成されている。基準階調電圧生成回路 25 は、入力表示データの階調度（入力階調）と極性信号とに対応する複数の基準電圧（例えば V 1 ~ V 10）を生成する。ここでは、+ 極性（正極性）用の基準電圧を V 1 ~ V 5 とし、V 1 は最も高い階調に対応し、V 5 は最も低い階調に対応している。一方、- 極性（負極性）用の基準電圧を V 6 ~ V 10 とし、V 10 は最も高い階調に対応し、V 6 は最も低い階調に対応している。また、これらのほぼ中心電圧を V C O M とする。なお、これら基準電圧は、V 1 > V 2 > V 3 > V 4 > V 5 > V C O M > V 6 > V 7 > V 8 > V 9 > V 10 の関係を満たす。また、V C O M は、液晶表示パネル 10 の対向電極の電圧レベルであり、1つのソースドライバ S D から出力され対向電極に供給される。図 1 の構成では、V C O M は、1 段目のソースドライバ 12（S D 1）から供給される。

10

【 0 0 4 8 】

D A C レジスタ 30 は、基準電圧 V 1 ~ V 10、V C O M の電圧レベルを設定するものであり、I 2 C 等のシリアル通信（ここではコマンド信号 C M D とする）により各電圧レベルを任意に設定変更することが可能である。本実施の形態 1 では、T C O N 13 により C M D を制御している。なお、本実施の形態 1 では、6 個のソースドライバ S D 1 ~ S D 6 のそれぞれに対応する D A C レジスタ 30 を個別（独立）に設定することが可能な構成を有する。基準電圧の電圧レベルの設定方法については後述する。

20

【 0 0 4 9 】

次に、階調電圧生成回路 26 の構成について図 9 を用いて説明する。図 9 は、階調電圧生成回路 26 の構成を示す回路図である。

【 0 0 5 0 】

階調電圧生成回路 26 は、基準階調電圧生成回路 25 の出力する基準電圧 V 1 ~ V 5、V 6 ~ V 10 をさらに分圧して、+ 極性用の階調電圧 V 255 P ~ V 0 P と、- 極性用の階調電圧 V 0 M ~ V 255 M を生成する。具体的に説明すると、基準電圧 V 1 及び V 2 間を複数の分圧抵抗 r により分圧することで V 254 P ~ V 192 P を生成し、基準電圧 V 2 及び V 3 間を複数の分圧抵抗 r により分圧することで V 190 P ~ V 128 P を生成する。なお、V 1、V 2 等はそのまま V 255 P、V 191 P とする。以下、同様に、電圧レベルが隣り合う基準電圧間を分圧することで、階調電圧 V 255 P ~ V 0 P および V 0 M ~ V 255 M を生成する。

30

【 0 0 5 1 】

次に、電圧デコード 24 について図 10 を用いて説明する。図 10 は、電圧デコード 24 の動作を説明するための真理値表である。

【 0 0 5 2 】

電圧デコード 24 は、レベルシフト 23 から出力される表示データ及び極性信号に基づいて、階調電圧 V 255 P ~ V 0 P 及び V 0 M ~ V 255 M から所望の階調電圧（1 レベル）を選択し、表示階調電圧としてソースラインに出力する。電圧デコード 24 は、先ず極性信号に基づいて、+ 側の階調電圧群であるか又は - 側の階調電圧群であるかを決定し、その後、表示データに基づいて階調電圧（1 レベル）を選択する。電圧デコード 24 は、例えば極性信号が「+」で表示データが「11111111」のときは V 255 P を選択し、極性信号が「-」で表示データが「10000000」のときは V 128 M を選択する。

40

【 0 0 5 3 】

ここで、それぞれの基準階調電圧生成回路 25 における基準電圧の設定方法について図 11 を用いて説明する。図 11 は、ソースドライバ S D 1 ~ S D 6 のそれぞれに対応して生成される基準電圧 V 1 ~ V 10 の電圧レベルを模式的に示した図である。本実施の形態 1 では、図 11 に示すように、ゲートドライバ 11 の出力側に近い位置に配置されている

50

S Dに対応する基準階調電圧生成回路25の基準電圧を、該S Dよりゲートドライバ11の出力側から遠い位置に配置されているS Dに対応する基準階調電圧生成回路25の基準電圧よりも高く設定する。すなわち、各S Dの位置がゲートドライバ11から遠ざかるにつれて、対応する各基準階調電圧生成回路25の基準電圧を段階的に下げるように設定する。例えば、基準電圧V3では、S D1に対応する基準電圧V3の電圧レベル> S D2に対応する基準電圧V3の電圧レベル> S D3に対応する基準電圧V3の電圧レベル> S D4に対応する基準電圧V3の電圧レベル> S D5に対応する基準電圧V3の電圧レベル> S D6に対応する基準電圧V3の電圧レベル、となるように段階的に設定する。

【0054】

以上のように、液晶表示装置1では、複数の基準階調電圧生成回路25は、互いに独立して基準電圧を生成することができる。そのため、同一階調に対応する基準電圧の電圧レベルを、ソースドライバ12間で異ならせることができる。例えば、ソースドライバ12毎の基準電圧の電圧レベルを、ゲートドライバ11の出力側に近いものほど高く設定することができる。これにより、ソースラインに供給される表示階調電圧の電圧レベルを、ゲートドライバ11の出力側に近いものほど高くすることができる。そのため、例えば表示すべき画像がベタ画像（同一階調）である場合、全表示領域における各画素の書き込み電圧（ ΔV の電圧降下後の画素への印加電圧Vd；図26参照）を均一化することができる。よって、ゲートラインの延在方向の表示ムラを低減することができる。

【0055】

なお、各S Dに対応する複数の基準電圧は、全てが互いに異なってもよいし、一部の隣り合うS Dに対応する基準電圧が同一であってもよい。例えば、基準電圧V3について、S D1に対応する基準電圧V3の電圧レベル = S D2に対応する基準電圧V3の電圧レベル> S D3に対応する基準電圧V3の電圧レベル = S D4に対応する基準電圧V3の電圧レベル> S D5に対応する基準電圧V3の電圧レベル = S D6に対応する基準電圧V3の電圧レベル、となるように設定してもよい。

【0056】

本発明の液晶表示パネル10は、上記実施の形態1の構成に限定されない。例えば、解像度はWUXGAとは異なるものであってもよい。また、ソースドライバ12の数は、6個に限定されるものではなく、8個あるいは10個等であってもよい。また、ゲートドライバ11は、液晶表示パネル10の右側に配置されていてもよい。なお、この場合に、液晶表示パネル10の左側からソースドライバS D1~S D6がこの順に並べられるときは、ゲートドライバ11の出力側に近い位置に配置されているソースドライバに対応する基準階調電圧生成回路25の基準電圧を、該ソースドライバよりゲートドライバ11の出力側から遠い位置に配置されているソースドライバに対応する基準階調電圧生成回路25の基準電圧よりも高く設定する。すなわち、S D1~S D6とゲートドライバ11との距離関係が上記実施の形態1の構成（図11参照）と反対になるため、例えば基準電圧V3では、S D6に対応する基準電圧V3の電圧レベル> S D5に対応する基準電圧V3の電圧レベル> S D4に対応する基準電圧V3の電圧レベル> S D3に対応する基準電圧V3の電圧レベル> S D2に対応する基準電圧V3の電圧レベル> S D1に対応する基準電圧V3の電圧レベル、となるように段階的に設定すれば良い。また、基準階調電圧生成回路25は、V1~V10の10レベル（段階）の基準電圧を生成する構成に限定されず、8レベルあるいは12レベル等の基準電圧を生成する構成であってもよい。また、基準階調電圧生成回路25を、液晶の階調特性に合わせて分圧回路定数を変更した構成にしてもよい。また、RGBの各表示データは8ビットに限定されず、6ビットや10ビットであってもよい。なおビット幅をnとした場合、階調電圧のレベルも+極性/-極性とも2のn乗レベルを設ければ良い。例えばn=10とした場合は、階調電圧は2の10乗=1024レベルを設ければ良い。

【0057】

以下では、本発明の他の実施の形態について図面を用いて以下に説明する。なお、実施の形態1において示した要素と同一の機能を有する要素の説明は省略する。また、実施の

形態 1 において定義した用語については特に断らない限り、以下の各実施の形態においてもその定義に則って用いるものとする。

【 0 0 5 8 】

[実施の形態 2]

図 1 2 は、実施の形態 2 に係る液晶表示装置 2 の概略構成を示す図である。液晶表示装置 2 は、液晶表示パネル 4 0 と、ゲートドライバ 4 1 と、ソースドライバ 4 2 と、T C O N 4 3 と、電源回路 4 4 とを備えている。図 1 2 に示す液晶表示装置 2 の概略構成は、図 1 に示す実施の形態 1 に係る液晶表示装置 1 の概略構成と同一である。

【 0 0 5 9 】

図 1 3 は、1 個のソースドライバ 4 2 の構成を示すブロック図である。同図に示すように、ソースドライバ 4 2 は、シフトレジスタ 5 0 と、クロックラッチ 5 1 と、ラインラッチ 5 2 と、レベルシフタ 5 3 と、複数の電圧デコード 5 4 と、複数の基準階調電圧生成回路 5 5 と、複数の階調電圧生成回路 5 6 とを含んで構成されている。

10

【 0 0 6 0 】

電圧デコード 5 4 は、x 個のブロック (D E C 1 ~ D E C x) に分割されており、また電圧デコード 5 4 に供給する階調電圧を生成する階調電圧生成回路 5 6 、及び、階調電圧生成回路 5 6 に供給する基準電圧を生成する基準階調電圧生成回路 5 5 も、それぞれの電圧デコード 5 4 に対応して x 個のブロック (T L 1 ~ T L x 及び B L 1 ~ B L x) に分割されている。また各ブロックに対応して、ソースラインが複数本ずつ分割されている。

【 0 0 6 1 】

20

このように、D E C 1 に対応して T L 1 及び B L 1 が設けられ、D E C x に対応して T L x 及び B L x が設けられている。それぞれのブロックに対応する基準階調電圧生成回路 5 5 に内蔵されている D A C レジスタは、独立して設定することが可能である。

【 0 0 6 2 】

液晶表示装置 2 では、ソースドライバ毎に、対応する基準階調電圧生成回路の基準電圧を個別に設定する上記液晶表示装置 1 の構成に加えて、各ソースドライバ 4 2 内においても、ブロック毎に基準電圧を個別に設定する構成を有する。

【 0 0 6 3 】

図 1 4 は、B L 1 ~ B L x のそれぞれに対応して生成される基準電圧 V 1 ~ V 1 0 の電圧レベルを模式的に示した図である。図 1 4 に示すように、ゲートドライバ 4 1 の出力側に近い位置に配置されている電圧デコード 5 4 に対応する基準階調電圧生成回路 5 5 の基準電圧を、該電圧デコード 5 4 よりゲートドライバ 4 1 から遠い位置に配置されている電圧デコード 5 4 に対応する基準階調電圧生成回路 5 5 の基準電圧よりも高く設定する。すなわち、各電圧デコード 5 4 の位置がゲートドライバ 4 1 から遠ざかるにつれて、対応する各基準階調電圧生成回路 5 5 の基準電圧を段階的に下げるように設定する。なお、図 1 4 では、電圧デコード D E C 1 ~ D E C x の位置に対応する基準階調電圧生成回路 B L 1 ~ B L x の基準電圧を示している。

30

【 0 0 6 4 】

以上のように、液晶表示装置 2 では、1 つのソースドライバ 4 2 内で出力を複数ブロックに分け、ブロック毎に基準階調電圧生成回路 5 5 及び階調電圧生成回路 5 6 を設けることにより、1 つのソースドライバ 4 2 内においてブロック毎に基準電圧を個別に設定することができる。そのため、液晶表示装置 2 では、ソースドライバ 4 2 毎の基準電圧を、ゲートドライバ 4 1 の出力側に近いものほど高く設定するとともに、1 つのソースドライバ 4 2 内においても、ブロック毎の基準電圧を、ゲートドライバ 4 1 の出力側に近いものほど高く設定することができる。すなわち、S D 1 ~ S D 6 に含まれる全ての電圧デコード 5 4 について、各電圧デコード 5 4 の位置がゲートドライバ 4 1 から遠ざかるにつれて、対応する各基準階調電圧生成回路 5 5 の基準電圧を段階的に下げるように設定することができる。これにより、より細かい単位で連続的に基準電圧を変化させることができるため、例えば隣り合うソースドライバ同士の境界においても確実に表示ムラを低減することができる。また、ソースドライバの出力数が増大した場合でも確実に表示ムラを低減するこ

40

50

とができるため、特に大画面及び高解像度の液晶表示パネルに好適である。

【0065】

[実施の形態3]

図15は、実施の形態3に係る液晶表示装置3の概略構成を示す図である。液晶表示装置3は、液晶表示パネル60と、ゲートドライバ61と、ソースドライバ62と、TCO N63と、電源回路64と、基準階調電圧生成回路65とを備えている。図15に示す液晶表示装置3は、図1に示す実施の形態1に係る液晶表示装置1において基準階調電圧生成回路をソースドライバの外部に設けた構成である。

【0066】

図16は、1個のソースドライバ62の構成を示すブロック図である。同図に示すように、ソースドライバ62は、シフトレジスタ70と、クロックラッチ71と、ラインラッチ72と、レベルシフタ73と、電圧デコード74と、階調電圧生成回路76とを含んで構成されている。階調電圧生成回路76には、外部の基準階調電圧生成回路65から出力される基準電圧 $V1IN \sim V10IN$ が入力される。

10

【0067】

上記の構成においても、実施の形態1に係る液晶表示装置1と同じ効果を得ることができる。また、上記の構成によれば、基準階調電圧生成回路を内蔵しないソースドライバを使用している一般的な従来の液晶表示パネルを利用することができる。

【0068】

[実施の形態4]

図17は、実施の形態4に係る液晶表示装置4の概略構成を示す図である。液晶表示装置4は、液晶表示パネル80と、ゲートドライバ81と、ソースドライバ82と、TCO N83と、電源回路84とを備えている。図17に示す液晶表示装置4は、隣り合うソースドライバ間で基準電圧の受け渡しを行なっている点が、図1に示す実施の形態1に係る液晶表示装置1と異なっている。

20

【0069】

図18は、1個のソースドライバ82の構成を示すブロック図である。同図に示すように、ソースドライバ82は、シフトレジスタ90と、クロックラッチ91と、ラインラッチ92と、レベルシフタ93と、電圧デコード94と、基準階調電圧生成回路95と、左側階調電圧生成回路96と、右側階調電圧生成回路97とを含んで構成されている。

30

【0070】

基準階調電圧生成回路95は、ソースドライバ82内に1個設けられ、生成した基準電圧を左側階調電圧生成回路96に供給するとともに、左側に隣り合うソースドライバ82内の右側階調電圧生成回路97に供給する。

【0071】

液晶表示装置4では、ソースドライバ毎に、対応する基準階調電圧生成回路の基準電圧を個別に設定する上記液晶表示装置1の構成に加えて、隣り合うソースドライバ間において基準電圧を共有する構成を有する。

【0072】

左側階調電圧生成回路96は、基準階調電圧生成回路95から出力される基準電圧 $V1 \sim V10$ （外部に出力される基準電圧を、 $V1OUT \sim V10OUT$ と称す。）により左側階調電圧 $V255PL \sim V0PL / V0ML \sim V255ML$ を生成し電圧デコード94に供給する。一方、右側階調電圧生成回路97は、右側に隣り合うソースドライバ82から出力される基準電圧（外部から入力される基準電圧を、 $V1IN \sim V10IN$ と称す。）を受け取り、右側階調電圧 $V255PR \sim V0PR / V0MR \sim V255MR$ を生成し電圧デコード94に供給する。

40

【0073】

電圧デコード94は、図19に示すようにx個のブロックに分割（ブロックデコーダ98）され、隣り合うブロックデコーダ98の間には抵抗 r が設けられている。各ブロックデコーダ98には、左側階調電圧生成回路96の出力（階調電圧）と右側階調電圧生成回

50

路 97 の出力（階調電圧）とを抵抗 r により分圧した階調電圧が供給される。ブロックデコーダ 98 は、分圧された階調電圧に基づいて所望の表示階調電圧（1 レベル）を選択して、対応するソースライン D1 ~ D960 へ出力する。すなわち、例えば左側階調電圧生成回路 96 の階調電圧 V_{255PL} と右側階調電圧生成回路 97 の右側階調電圧 V_{255PR} とが $X - 1$ 個の抵抗 r で分圧され、分圧された階調電圧が各ブロックデコーダ 98 に供給される。このときのブロックデコーダ 98 に供給される階調電圧の関係を図 20 に示す。同図に示すように、左側階調電圧生成回路 96 の出力 V_{xxL} と右側階調電圧生成回路 97 の出力 V_{xxR} との間に、 $V_{xxL} > V_{xxR}$ の関係があると、ブロックデコーダ 98 に供給される階調電圧は、ゲートドライバ 81 の出力側（左側）のブロックに行くほど高く設定されることになる。

10

【0074】

以上のように、液晶表示装置 4 では、ゲートドライバ 81 が液晶表示パネル 80 に対して左側に配置されているため、各ソースドライバ 82 内部において左側のブロックほどゲートドライバ 81 に近いことになる。したがって、ソースドライバ 82 内部においてもゲートドライバ 81 からの距離が近いほど階調電圧を高く設定することが可能となり、SD1 ~ SD6 に含まれる全てのブロックデコーダ 98 について、各ブロックデコーダ 98 の位置がゲートドライバ 41 から遠ざかるにつれて、対応する階調電圧を段階的に下げるように設定することができる。これにより、細かい単位で連続的に階調電圧を変化させることができるため、確実に表示ムラを低減することができる。

20

【0075】

なお、基準階調電圧生成回路 95 は、上記構成に限定されず、生成した基準電圧を右側階調電圧生成回路 97 に供給するとともに、右側に隣り合うソースドライバ 82 内の左側階調電圧生成回路 96 に供給する構成としてもよい。

【0076】

[実施の形態 5]

図 21 は、実施の形態 5 に係る液晶表示装置 5 の概略構成を示す図である。液晶表示装置 5 は、液晶表示パネル 100 と、ゲートドライバ 101 と、ソースドライバ 102 と、TCON 103 と、電源回路 104 と、基準階調電圧生成回路 105 とを備えている。図 21 に示す液晶表示装置 5 は、図 17 に示す実施の形態 4 に係る液晶表示装置 4 において基準階調電圧生成回路をソースドライバの外部に設けた構成である。

30

【0077】

図 22 は、1 個のソースドライバ 102 の構成を示すブロック図である。同図に示すように、ソースドライバ 102 は、シフトレジスタ 110 と、クロックラッチ 111 と、ラインラッチ 112 と、レベルシフタ 113 と、電圧デコード 114 と、左側階調電圧生成回路 116 と、右側階調電圧生成回路 117 とを含んで構成されている。

【0078】

左側階調電圧生成回路 116 は、このソースドライバ 102 用に設けられた基準階調電圧生成回路 105（図 21 参照）から出力される基準電圧 $V_1 \sim V_{10}$ （ $V_{1INL} \sim V_{10INL}$ と称す。）を受け取り、左側階調電圧 $V_{255PL} \sim V_{0PL} / V_{0ML} \sim V_{255ML}$ を生成し電圧デコード 114 に供給する。一方、右側階調電圧生成回路 117 は、隣り合うソースドライバ用に設けられた基準階調電圧生成回路 105 から出力される基準電圧（ $V_{1INR} \sim V_{10INR}$ と称す。）を受け取り、右側階調電圧 $V_{255PR} \sim V_{0PR} / V_{0MR} \sim V_{255MR}$ を生成し電圧デコード 114 に供給する。

40

【0079】

電圧デコード 114 は、図 19 と同様、 x 個のブロックに分割（ブロックデコーダ）され、隣り合うブロックデコーダの間には抵抗 r が設けられている。各ブロックデコーダには、左側階調電圧生成回路 116 の出力（階調電圧）と右側階調電圧生成回路 117 の出力（階調電圧）とを抵抗 r により分圧した階調電圧が供給される。ブロックデコーダは、分圧された階調電圧に基づいて所望の表示階調電圧（1 レベル）を選択して、対応するソースライン D1 ~ D960 へ出力する。

50

【0080】

上記の構成においても、実施の形態4に係る液晶表示装置4と同じ効果を得ることができる。

【0081】

[実施の形態6]

図23は、実施の形態6に係る液晶表示装置6の概略構成を示す図である。液晶表示装置6は、液晶表示パネル120と、ゲートドライバ121と、ソースドライバ122と、TCON123と、電源回路124と、基準階調電圧生成回路125とを備えている。液晶表示装置6では、基準階調電圧生成回路125の数が、ソースドライバ122の数よりも少なく構成されている。

10

【0082】

図23に示す例では、6個のソースドライバに対して3個の基準階調電圧生成回路1, 3, 6が設けられており、基準階調電圧生成回路1で生成された基準電圧(第1基準電圧)はSD1(第1ソースドライバ)に inputs され、基準階調電圧生成回路3で生成された基準電圧(第1基準電圧)はSD3(第1ソースドライバ)に inputs され、基準階調電圧生成回路6で生成された基準電圧(第1基準電圧)はSD6(第1ソースドライバ)に inputs される。SD1、SD3及びSD6のそれぞれは、上記第1基準電圧に基づいて表示階調電圧を生成する。

【0083】

それぞれの基準階調電圧生成回路1, 3, 6の間には抵抗rが設けられている。基準階調電圧生成回路1で生成された基準電圧(第1基準電圧)と基準階調電圧生成回路3で生成された基準電圧(第1基準電圧)とを元に2個の抵抗rにより分圧された基準電圧(第2基準電圧)がSD2(第2ソースドライバ)に inputs され、基準階調電圧生成回路3で生成された基準電圧(第1基準電圧)と基準階調電圧生成回路6で生成された基準電圧(第1基準電圧)とを元に3個の抵抗rにより分圧された基準電圧(第2基準電圧)がSD4(第2ソースドライバ)及びSD5(第2ソースドライバ)に inputs される。SD2、SD4及びSD5のそれぞれは、上記第2基準電圧に基づいて表示階調電圧を生成する。

20

【0084】

ソースドライバ122の構成は、図16と同一であるため説明を省略する。

【0085】

上記の構成においても、実施の形態1に係る液晶表示装置1と同じ効果を得ることができる。なお、基準階調電圧生成回路1, 3, 6のそれぞれは、SD1、SD3及びSD6に内蔵されていてもよい。この場合は、SD1、SD3及びSD6(各第1ソースドライバ)内で生成された基準階調電圧(第1基準電圧)がSD1、SD3及びSD6から出力され、SD1、SD3及びSD6の外部において第1基準電圧を元に抵抗rにより分圧された基準電圧(第2基準電圧)を、SD2、SD4及びSD5(各第2ソースドライバ)に inputs する構成とすることができる。

30

【0086】

本発明は上記各実施の形態に限定されず、以下の構成としてもよい。

【0087】

[変形例1]

例えば、一部の階調に対応する基準電圧についてのみ、複数の基準電圧生成回路のそれぞれにより生成される複数の基準電圧が、ゲートドライバが配置されている位置からソースラインの延在方向に向かって段階的に低くなるように構成してもよい。言い換えれば、一部の階調に対応する基準電圧について、複数の基準電圧生成回路のそれぞれにより生成される複数の基準電圧を互いに等しく設定してもよい。例えば、白階調及び黒階調については表示ムラが目立たないため、図24に示すように、V1、V5、V6、V10については、各ソースドライバに対応する基準電圧を互いに等しく設定し、表示ムラが目立つ中間調(例えばV2~V4、V7~V9)については基準電圧を段階的に低く設定してもよい。

40

50

【 0 0 8 8 】

[変形例 2]

また、図 2 5 に示すように、表示ムラの目立たない階調（例えば V 1、V 5、V 6、V 1 0）については、各ソースドライバに対応する各基準電圧間の変化量（変化率）を小さくしてもよい。例えば、S D 1 における基準電圧 V 1 の電圧レベルと S D 6 における基準電圧 V 1 の電圧レベルとの差を、S D 1 における基準電圧 V 3 の電圧レベルと S D 6 における基準電圧 V 3 の電圧レベルとの差よりも小さくする。このように、基準電圧毎に、各ソースドライバに対応する基準電圧の変化量を調整してもよい。

【 0 0 8 9 】

[変形例 3]

10

上記液晶表示装置では、ゲートドライバが液晶表示パネルの一方側（左側）に設けられているが、本発明はこれに限定されず、ゲートドライバが液晶表示パネルの両側（左側及び右側）に設けられていてもよい。この場合、ゲートラインが両側のゲートドライバに接続され、1本のゲートラインに対して両側のゲートドライバからゲート信号を供給する構成としてもよいし、ゲートラインが表示領域の中央で分断され左側用ゲートラインと右側用ゲートラインに分けられ、左側用ゲートラインには左側ゲートドライバからゲート信号を供給し、右側用ゲートラインには右側ゲートドライバからゲート信号を供給する構成としてもよい。上記構成では、複数のソースドライバのそれぞれに対応する複数の基準電圧は、ゲートドライバが配置されている位置すなわち液晶表示パネルの両側面から、液晶表示パネルの中央部分に向かって、段階的に低くなるように設定される。

20

【 0 0 9 0 】

[変形例 4]

上記液晶表示装置では、ソースドライバが液晶表示パネルの一方側（上側）に設けられているが、本発明はこれに限定されず、ソースドライバが液晶表示パネルの両側（上側及び下側）に設けられていてもよい。この場合、上側のソースドライバに対応する基準電圧と、下側のソースドライバに対応する基準電圧とを同一の設定にしてもよいし、異なる設定にしてもよい。この構成は、大画面及び高精細の液晶表示装置において上下分割駆動を採用する場合に好適である。

【 0 0 9 1 】

[変形例 5]

30

上記液晶表示装置では、複数の基準電圧を個別（独立）に設定する構成を有するが、これに加えて、表示データを補正する構成を有していてもよい。例えば、T C O N において、ゲートドライバからの距離に応じて表示データを補正する構成を備えていてもよい。

【 0 0 9 2 】

以上、本発明の実施の形態について説明したが、本発明の液晶表示装置は上記各実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で上記実施の形態から当業者が適宜変更した形態も本発明の技術的範囲に含まれることは言うまでもない。

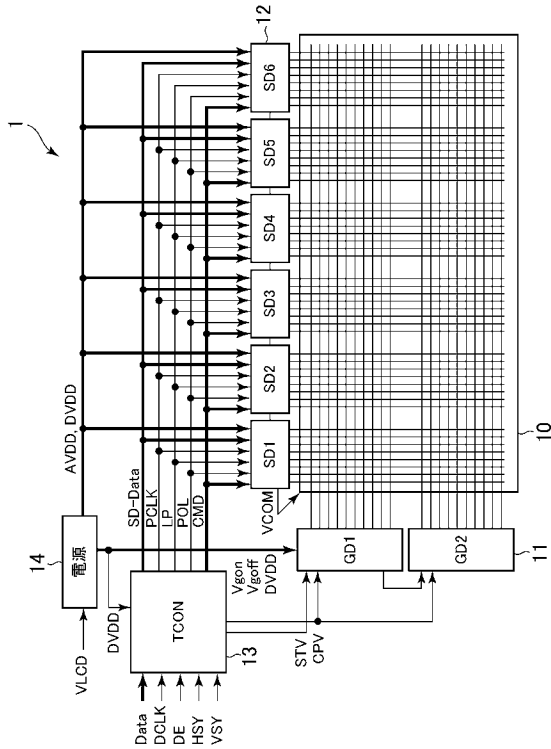
【 符号の説明 】

【 0 0 9 3 】

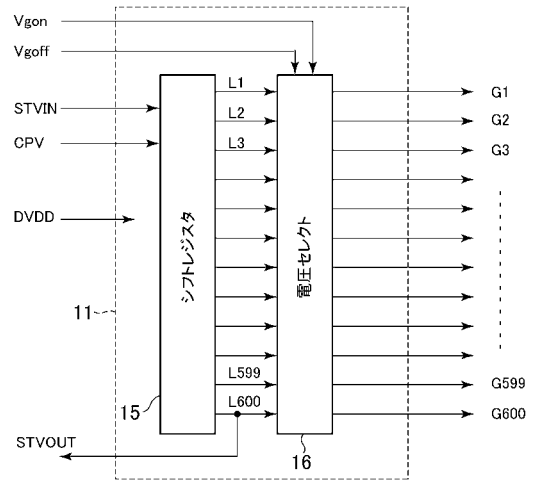
40

1 0 , 4 0 , 6 0 , 8 0 , 1 0 0 , 1 2 0 液晶表示パネル、1 1 , 4 1 , 6 1 , 8 1 , 1 0 1 , 1 2 1 ゲートドライバ、1 2 , 4 2 , 6 2 , 8 2 , 1 0 2 , 1 2 2 ソースドライバ、1 3 , 4 3 , 6 3 , 8 3 , 1 0 3 , 1 2 3 タイミングコントローラ、1 4 , 4 4 , 6 4 , 8 4 , 1 0 4 , 1 2 4 電源回路、2 0 , 5 0 , 7 0 , 9 0 , 1 1 0 シフトレジスタ、2 1 , 5 1 , 7 1 , 9 1 , 1 1 1 クロックラッチ、2 2 , 5 2 , 7 2 , 9 2 , 1 1 2 ラインラッチ、2 3 , 5 3 , 7 3 , 9 3 , 1 1 3 レベルシフト、2 4 , 5 4 , 7 4 , 9 4 , 1 1 4 電圧デコード、2 5 , 5 5 , 6 5 , 9 5 , 1 0 5 , 1 2 5 基準階調電圧生成回路、2 6 , 5 6 , 7 6 , 9 6 , 9 7 , 1 1 6 , 1 1 7 階調電圧生成回路、1 5 シフトレジスタ、1 6 電圧セレクト、3 0 D A C レジスタ、3 1 D A 変換回路、3 2 電圧アンプ回路、9 8 ブロックデコード。

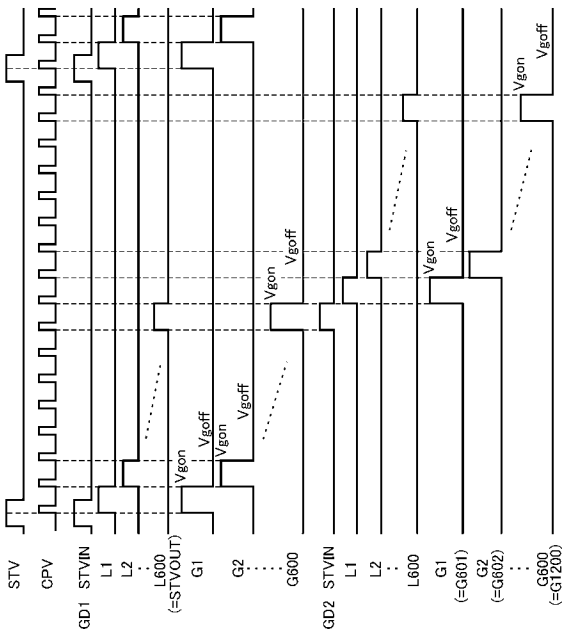
【図 1】



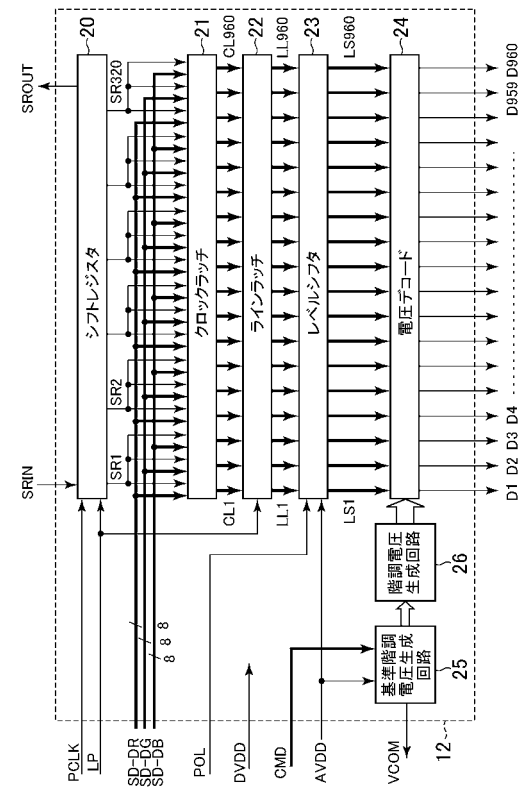
【図 2】



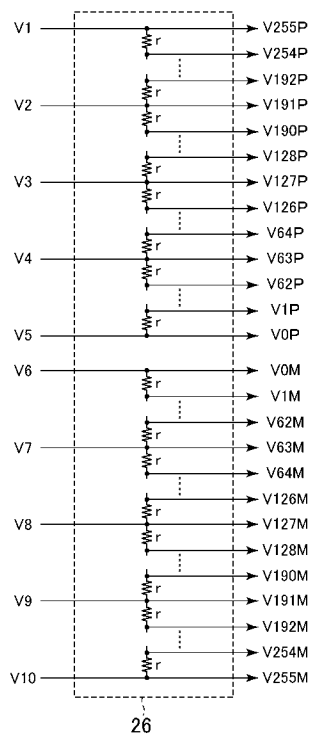
【図 3】



【図 4】



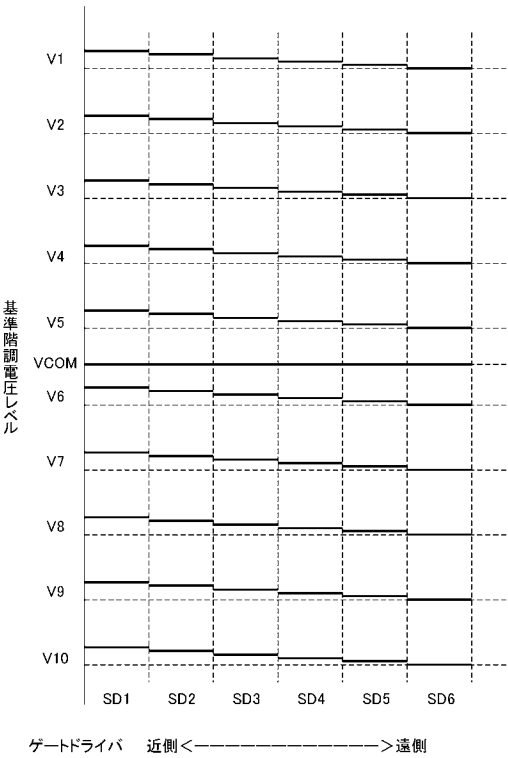
【図 9】



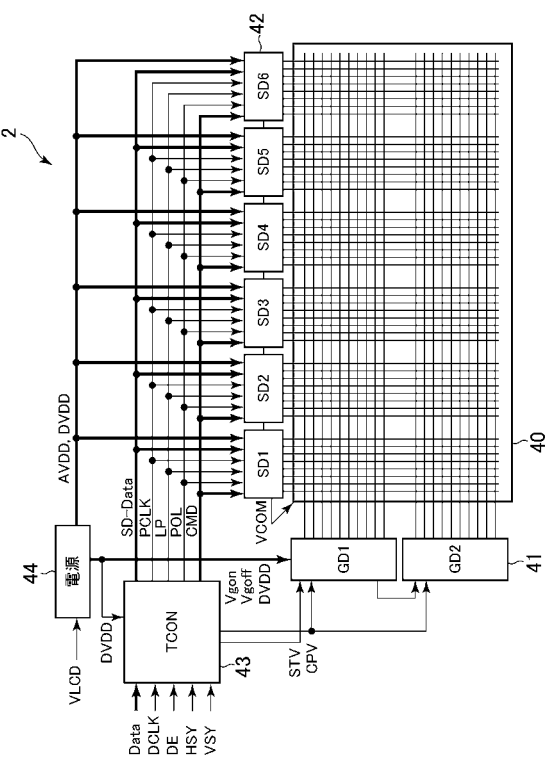
【図 1 0】

極性信号	D7	D6	D5	D4	D3	D2	D1	D0	OUT
+	1	1	1	1	1	1	1	1	V255P
	1	1	1	1	1	1	1	0	V254P
	1	0	0	0	0	0	0	1	V129P
	1	0	0	0	0	0	0	0	V128P
	0	1	1	1	1	1	1	1	V127P
	0	0	0	0	0	0	0	1	V1P
-	0	0	0	0	0	0	0	0	V0P
	0	0	0	0	0	0	0	1	V0M
	0	1	1	1	1	1	1	1	V127M
	1	0	0	0	0	0	0	0	V128M
	1	0	0	0	0	0	0	1	V129M
	1	1	1	1	1	1	1	0	V254M
	1	1	1	1	1	1	1	1	V255M

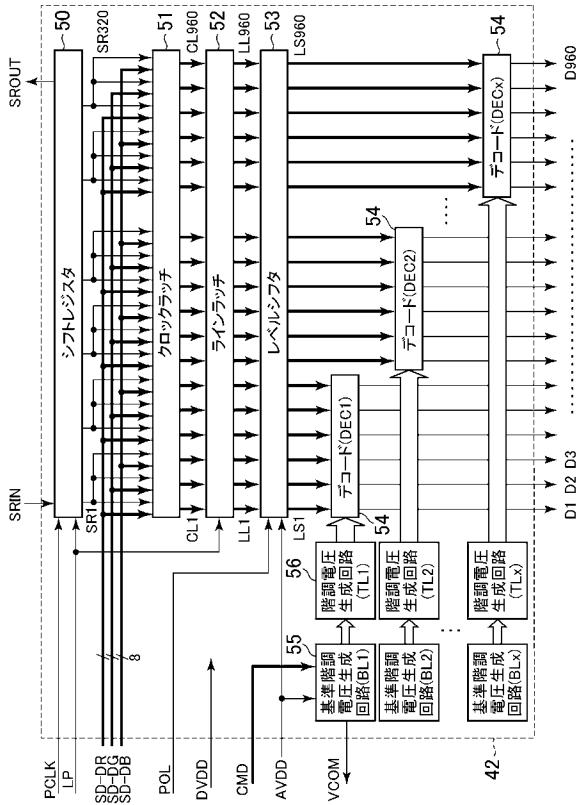
【図 1 1】



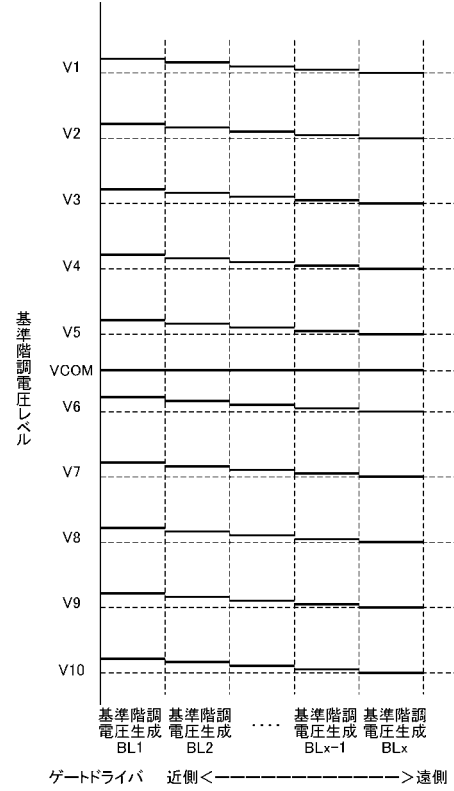
【図 1 2】



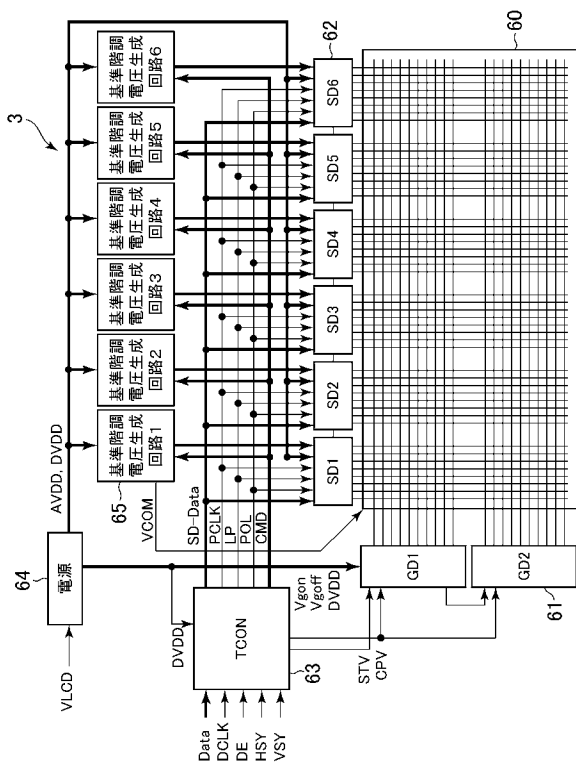
【図 1 3】



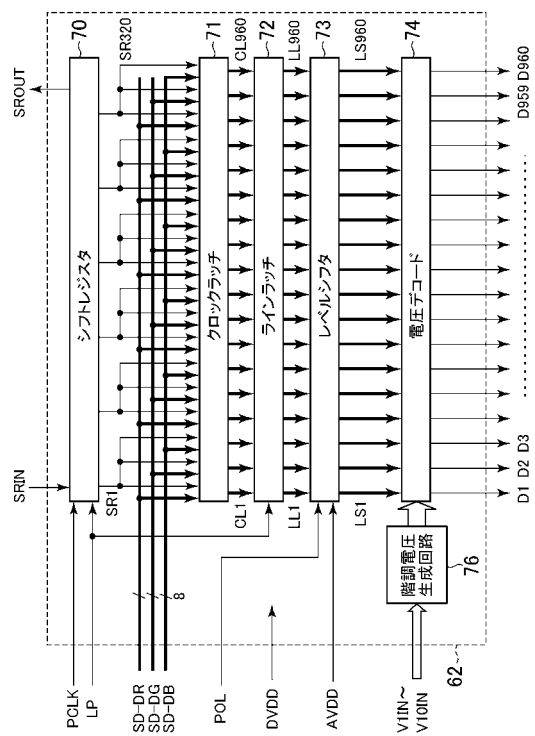
【図 1 4】



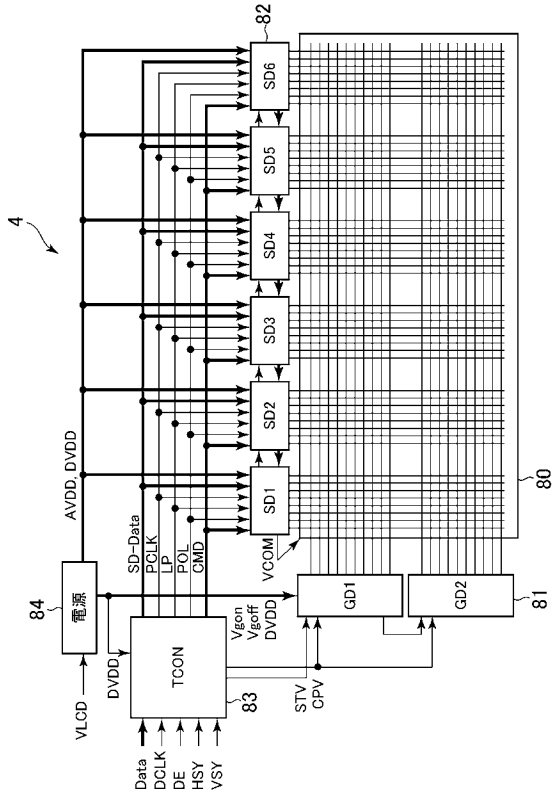
【図 1 5】



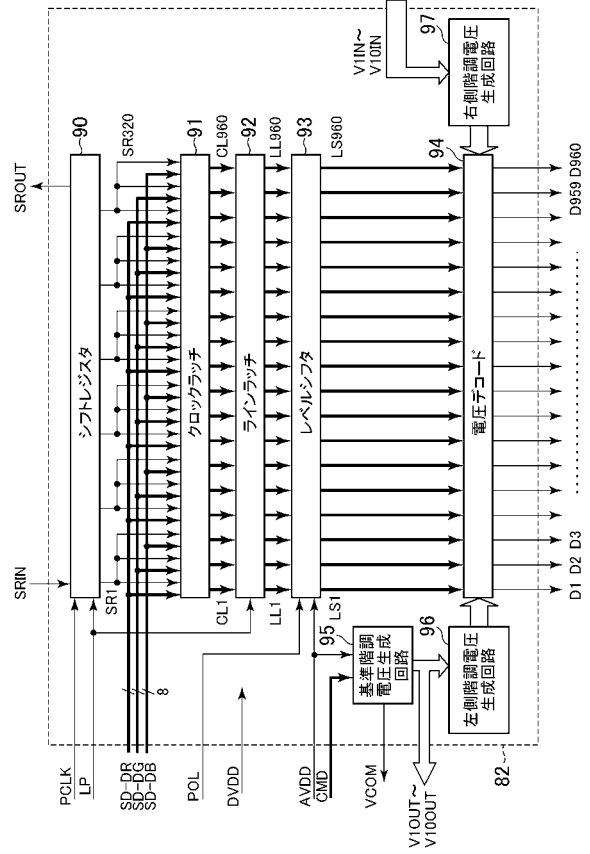
【図 1 6】



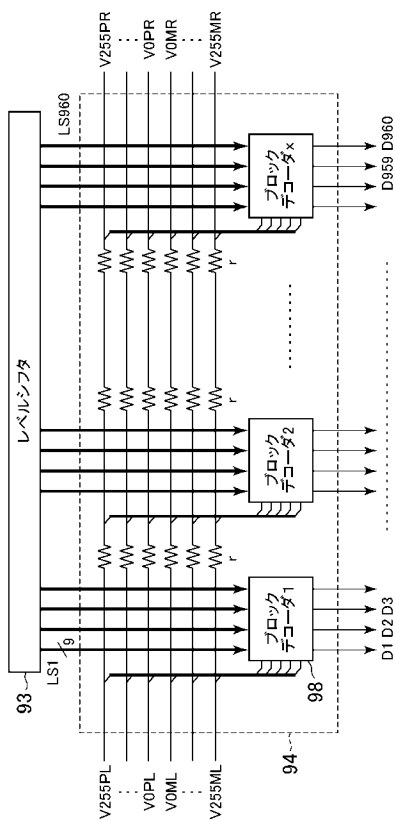
【図 17】



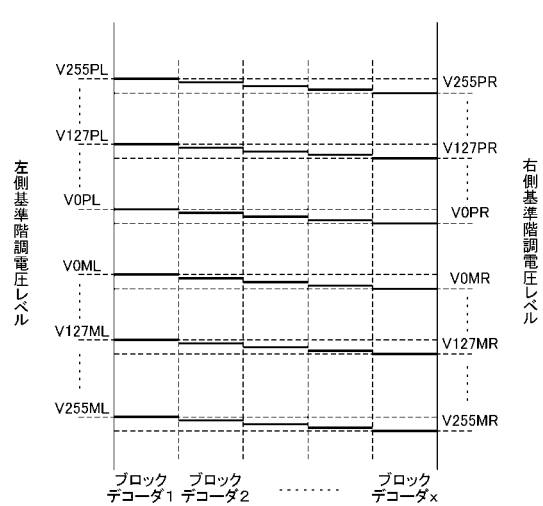
【図 18】



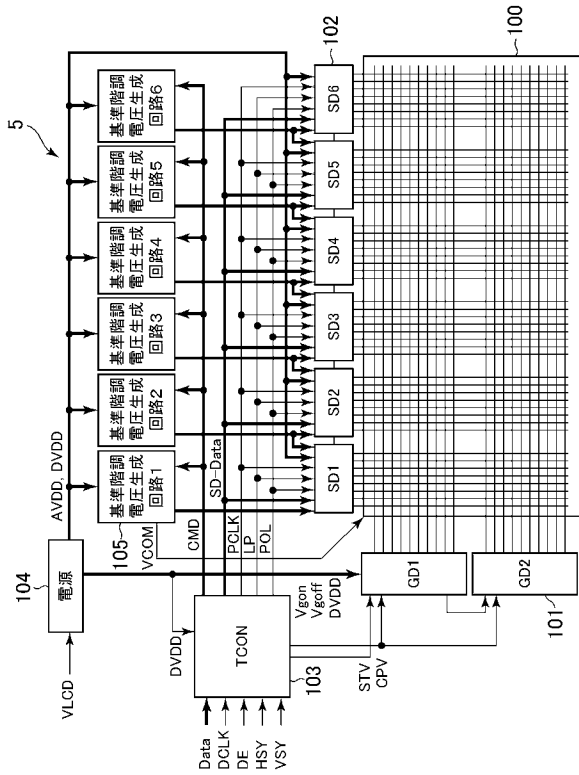
【図 19】



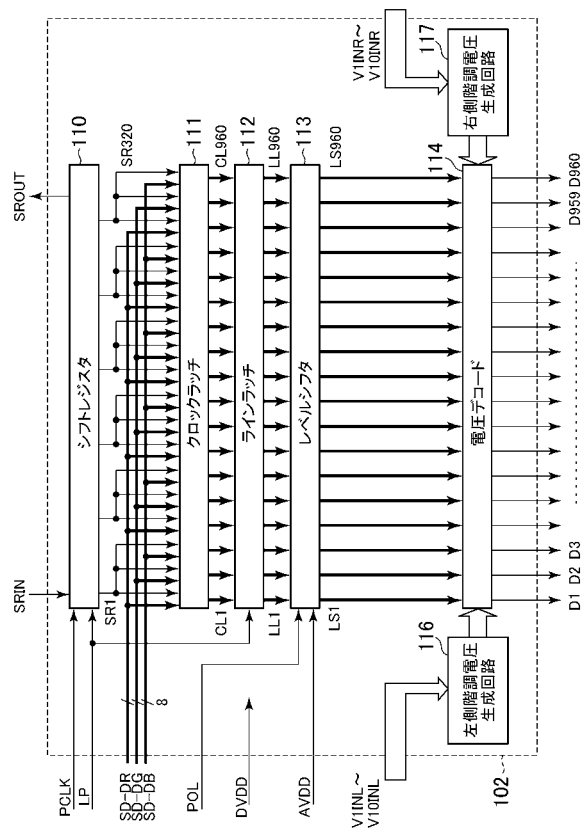
【図 20】



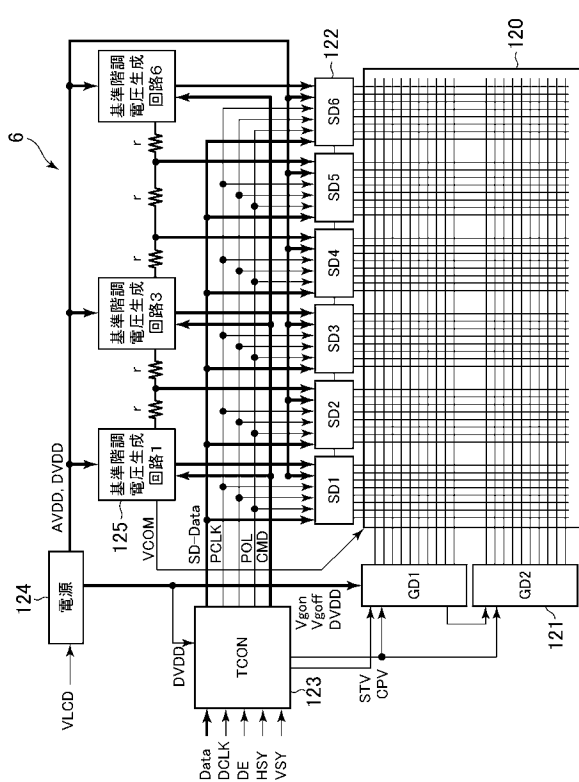
【図 2 1】



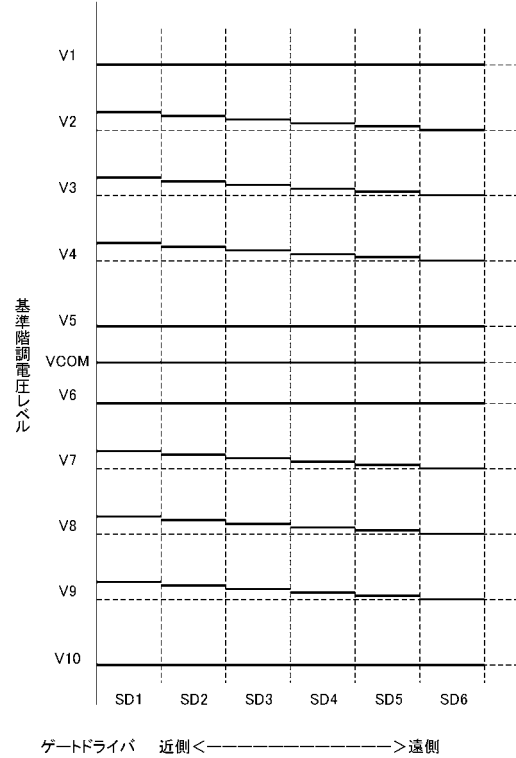
【図 2 2】



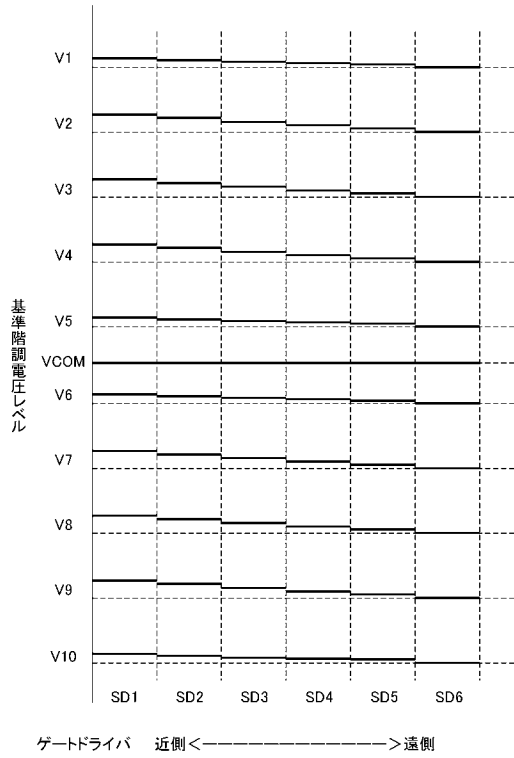
【図 2 3】



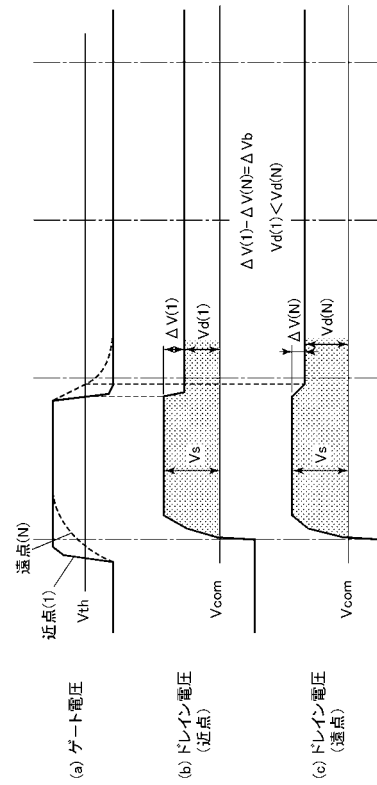
【図 2 4】



【図 25】



【図 26】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 H
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 2 0

F ターム(参考) 5C006 AA16 AA22 AC11 AC21 AC28 AF43 AF46 AF50 AF51 AF72
 AF83 BB14 BB16 BC02 BC03 BC12 BC23 BC24 BF03 BF04
 BF11 BF24 BF43 BF46 FA20 FA22 FA26 FA37
 5C080 AA10 BB05 BB06 CC03 CC06 DD05 DD07 DD08 EE29 FF11
 FF13 GG11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014228575A	公开(公告)日	2014-12-08
申请号	JP2013105832	申请日	2013-05-20
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	酒井智亨 犬塚達裕		
发明人	酒井 智亨 犬塚 達裕		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.641.C G09G3/20.623.F G09G3/20.612.F G09G3/20.641.P G09G3/20.621.M G09G3/20.680.G G09G3/20.611.J G09G3/20.623.V G09G3/20.623.X G09G3/20.642.A G09G3/20.611.H G02F1/133.575 G02F1/133.520		
F-TERM分类号	2H193/ZA04 2H193/ZB18 2H193/ZC25 2H193/ZD23 2H193/ZF04 2H193/ZF05 2H193/ZF13 2H193/ZF18 2H193/ZF23 2H193/ZF31 2H193/ZH45 2H193/ZH46 2H193/ZH53 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC28 5C006/AF43 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF72 5C006/AF83 5C006/BB14 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC12 5C006/BC23 5C006/BC24 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF43 5C006/BF46 5C006/FA20 5C006/FA22 5C006/FA26 5C006/FA37 5C080/AA10 5C080/BB05 5C080/BB06 5C080/CC03 5C080/CC06 5C080/DD05 5C080/DD07 5C080/DD08 5C080/EE29 5C080/FF11 5C080/FF13 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使当显示面板被制造得更大并且具有更高清晰度时，也能够减少在显示屏上的扫描线的延伸方向上出现的显示不均匀性。和显示面板，包括多条信号线和多条扫描线，并基于从外部向液晶显示装置输入的显示数据输入显示灰度电压，所产生的显示灰度多个源极驱动器，用于向多条信号线提供电压；栅极驱动器，用于向多条扫描线提供扫描信号；包括多个参考电压发生电路的用于产生参考电压用于形成，其中所述多个由所述多个参考电压发生电路产生的基准电压是在各灰度彼此不同。

