

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-145901

(P2014-145901A)

(43) 公開日 平成26年8月14日(2014.8.14)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	5C006
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 680G	5C080
<b>G09F 9/30 (2006.01)</b>	G09G 3/20 670M	5C094
<b>G09F 9/00 (2006.01)</b>	G09G 3/20 621M	5G435
	G09F 9/30 330Z	

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2013-14262 (P2013-14262)  
 (22) 出願日 平成25年1月29日 (2013.1.29)

(71) 出願人 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 100108062  
 弁理士 日向寺 雅彦  
 (74) 代理人 100168332  
 弁理士 小崎 純一  
 (74) 代理人 100146592  
 弁理士 市川 浩  
 (74) 代理人 100081732  
 弁理士 大胡 典夫  
 (72) 発明者 鶴田 正之  
 埼玉県深谷市幡羅町一丁目9番地2 株式  
 会社ジャパンディスプレイセントラル内

最終頁に続く

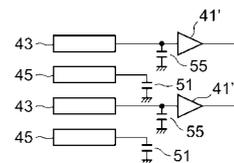
(54) 【発明の名称】 ソースドライバ用半導体装置及びそれを用いた液晶表示装置

(57) 【要約】

【課題】 液晶表示パネル12の信号線16を駆動するソースドライバ20を多出力化構成として、使用するソースドライバ用半導体装置20の個数を減少させた場合には、液晶表示パネル12の入力側の入力容量が減少して耐静電気放電特性が低下していたが、等価的に入力容量を増加させることで耐静電気放電特性に優れたソースドライバ用半導体装置及びそれを使用した液晶表示装置を提供する。

【解決手段】 液晶表示パネル12を駆動するソースドライバ回路41の入力側に複数の入力端子43を接続し、入力端子43の間にソースドライバ回路41とは電氣的に独立した複数のダミー端子45を配設し、このダミー端子45に所定容量値を有する容量素子55を接続する。

【選択図】 図5



**【特許請求の範囲】****【請求項 1】**

液晶表示パネルを駆動するソースドライバ回路と、  
前記ソースドライバ回路の入力側に接続された複数の入力端子と、  
前記ソースドライバ回路の出力側と接続され前記入力端子の数よりも多く配列された複数の出力端子と、  
前記複数の入力端子の間に配設され前記ソースドライバ回路とは電氣的に独立した複数のダミー端子と、  
前記ダミー端子に接続された所定容量値を有する容量素子と、  
を具備したことを特徴とするソースドライバ用半導体装置。

10

**【請求項 2】**

前記容量素子は、前記複数の入力端子の個々の入力端子から前記ソースドライバ回路側を見たときの等価容量とほぼ等しい値の容量値を備えていることを特徴とする請求項 1 記載のソースドライバ用半導体装置。

**【請求項 3】**

前記複数の入力端子と前記複数のダミー端子とは交互に配設されていることを特徴とする請求項 1 記載のソースドライバ用半導体装置。

**【請求項 4】**

前記複数のダミー電極に接続された前記容量素子は、前記複数のダミー電極または前記複数のダミー電極に接続された配線パターン上に絶縁層を介して配置される導電膜から構成されていることを特徴とする請求項 1 記載のソースドライバ用半導体装置。

20

**【請求項 5】**

互いに交差するように配設された複数の信号線と複数の走査線と、前記複数の信号線と前記複数の走査線との交点近傍にマトリクス状に配置された複数のスイッチング素子を有する複数の画素と、を備える液晶表示パネルと、  
前記液晶表示パネルの前記複数の信号線に前記複数の出力端子が接続される請求項 1 記載のソースドライバ用半導体装置と、  
を備えた液晶表示装置。

**【発明の詳細な説明】**

30

**【技術分野】****【0001】**

本発明は、入力回路の構成を改良したソースドライバ用半導体装置、及びこのソースドライバ用半導体装置を用いた液晶表示装置に関する。

**【背景技術】****【0002】**

現在、液晶表示装置は、薄型軽量化や低消費電力などの点からカラーテレビやパーソナルコンピュータ及び映像表示用モニターや携帯電話などに広く採用されている。このような液晶表示装置においては、液晶表示パネルにマトリクス状に複数の画素を配置し、この画素に対してソースドライバから画素用スイッチング素子（TFT）を介して映像信号が供給され、ゲートドライバからのゲート信号によってTFTを選択駆動することにより、液晶表示装置の表示領域内に所定の画像を表示している。

40

**【0003】**

この液晶表示装置は、より大型化及び高精細化の傾向にあり、またより狭額縁化が要求されるようになってきている。半導体技術の向上などとも相俟って、使用されるソースドライバ用半導体装置（ソースドライバ用IC）の個数も減少している。このソースドライバ用半導体装置を使用した液晶表示装置が特許文献 1 に記載されている。

**【先行技術文献】****【特許文献】****【0004】**

**【特許文献 1】**特開平 9 - 9 0 3 9 5 号公報

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

例えば、800RGB×480画素を有するWVGA仕様の液晶表示パネルを駆動する場合には、600本出力のソースドライバ用半導体装置を4個使いとしてソースドライバとして構成していた液晶表示装置では、多出力化された1200本出力のソースドライバ用半導体装置を2個使いで対応するように構成されてきている。

## 【0006】

しかしながら、夫々4個のソースドライバ用半導体装置を統合して多出力化された2個のソースドライバ用半導体装置としてソースドライバを構成する場合には、液晶表示パネルから見た並列するソースドライバ用半導体装置の数量自体が減少するので、その分だけ入力容量が減少することとなり、静電気放電（ESD：Electro static Discharge）に対して弱くなるという問題がある。

10

## 【0007】

実施形態の解決しようとする課題は、耐静電気放電性能を向上させたソースドライバ用半導体装置及びこのソースドライバ用半導体装置を使用した液晶表示装置を提供することにある。

## 【課題を解決するための手段】

## 【0008】

実施形態のソースドライバ用半導体装置は、液晶表示パネルを駆動するソースドライバ回路と、ソースドライバ回路の入力側に接続された複数の入力端子と、ソースドライバ回路の出力側と接続され入力端子の数よりも多く配列された複数の出力端子と、複数の入力端子の間に配設されソースドライバ回路とは電氣的に独立した複数のダミー端子と、ダミー端子に接続された所定容量値を有する容量素子とを有している。

20

## 【0009】

また、実施形態の液晶表示装置は、互いに交差するように配設された複数の信号線と複数の走査線と、複数の信号線と前記複数の走査線との交点近傍にマトリクス状に配置された複数のスイッチング素子を有する複数の画素とを備える液晶表示パネルと、液晶表示パネルの複数の信号線に複数の出力端子が接続される上記記載のソースドライバ用半導体装置とを有している。

30

## 【図面の簡単な説明】

## 【0010】

【図1】実施形態の液晶表示装置を示す説明図である。

【図2】実施形態の液晶表示装置を構成するソースドライバ用半導体装置を示す回路構成図である。

【図3】実施形態の液晶表示装置を構成するソースドライバ用半導体装置の外観構成を模式的に示す説明図である。

【図4】実施形態のソースドライバ用半導体装置の入力側端子部分の構成を示す説明図である。

【図5】実施形態のソースドライバ用半導体装置の入力側端子部分の電氣的な回路構成を等価的に示す説明図である。

40

【図6】実施形態のソースドライバ用半導体装置の入力側端子部分の他の構成を示す説明図である。

## 【発明を実施するための形態】

## 【0011】

以下、図面を参照して、実施形態に係るソースドライバ用半導体装置を用いた液晶表示装置について詳細に説明する。

## 【0012】

実施形態の液晶表示装置は、図1に示すように、表示領域11を有する液晶表示パネル12を備える。この液晶表示パネル12は、ガラス材や合成樹脂材から構成される透明絶

50

縁基板の主面上に、酸化インジウムスズ（ITO）などからなる表示画素13を構成する透明画素電極14がマトリクス状に配置されている。また、これら画素電極14の行方向には複数本の走査線15が、画素電極14の列方向には複数本の信号線16が配設されている。

#### 【0013】

この画素電極14に対応して走査線15及び信号線16の交差位置近傍には、スイッチング素子として複数のTFT17を有している。このTFT17は、画素電極14の行に沿って形成される走査線15とゲート電極が接続され、また、画素電極14の列に沿って形成される信号線16にソース電極もしくはドレイン電極が接続されており、額縁領域（非表示領域）18に配置されたゲートドライバ19から走査線15を介して供給される駆動電圧によってTFT17が導通し、同様に、額縁領域18に配置されたソースドライバ（1）、（2）（ソースドライバ用半導体装置）20からの信号電圧を、TFT17のソース・ドレイン通路を通して画素電極14に印加するように動作する。

10

#### 【0014】

このゲートドライバ19は、TFT17など同一の工程で形成することで液晶表示パネル12内に内蔵することが可能であり、ソースドライバ20はIC化されてTOG方式、あるいはTCP方式などによって液晶表示パネル12と接続配置することが可能である。これらのゲートドライバ19とソースドライバ20は駆動回路26によって駆動されている。

#### 【0015】

さらに、この画素電極14には、所定の電位に設定された補助容量線から構成される補助容量21が並列に接続されており、これらTFT17や画素電極14、走査線15や信号線16などの駆動線の上面には、さらにポリイミドなどから構成される配向膜（図示せず）が設けられて、アレイ基板22として構成されている。

20

#### 【0016】

また、このアレイ基板22と対向する対向基板23は、同様にガラス材や合成樹脂材にて形成された透明絶縁基板と、この透明絶縁基板のアレイ基板22と対向する主面上には、その周辺部分に黒色の遮光膜（図示せず）が設けられるとともに、ITOなどから構成される透明共通電極24が設けられ、この共通電極24の上面には、さらにポリイミドなどからなる配向膜（図示せず）が設けられている。

#### 【0017】

この遮光膜に囲まれた絶縁基板部分には、アクリル材などから構成される三原色カラーフィルタ（図示せず）、並びに配線間の隙間からの漏光を遮断するためのブラックマトリクス（図示せず）が設けられて対向基板23を構成している。これら共通電極24には、共通電極駆動回路（図示せず）からの駆動電圧が、端子25を介して供給されている。

30

#### 【0018】

このアレイ基板22と対向基板23は、所定の隙間を持って対向配置されるとともに、シール材（図示せず）を介して貼り合わされており、この隙間部には液晶部材26が封止されている。この液晶部材26の厚さは、アレイ基板22と対向基板23間に介在されるスペーサ（図示せず）によって規定されて、液晶表示パネル12が構成されている。

#### 【0019】

このソースドライバ（ソースドライバ用半導体装置とも称する）20は、図2に示すように、クロック信号CLKと制御信号STBが入力されるシフトレジスタ31と、画像データDATAが入力されるデータレジスタ32と、制御信号STBと極性反転信号POLが入力されるラッチ33と、レベルシフタ34、D/Aコンバータ35、及び制御信号STBと極性反転信号POLが入力されるバッファアンプ36などからIC回路構成として形成されている。

40

#### 【0020】

制御信号STBは、画像データDATAをデータレジスタ32からラッチ33に移行させ、また、バッファアンプ36から信号線16に対してアナログ画像信号を出力するタイミングを示す信号として利用される。これら各信号は、駆動回路26から供給されている。

#### 【0021】

50

これらクロック信号CLK、制御信号STB、画像データDATA及び極性反転信号POLなどがソースドライバ用半導体装置20としての入力信号となり、バッファアンプ36からのアナログ画像信号などが出力信号となる。ソースドライバ20として信号線16に供給される映像信号のみを捉えれば、画像データDATAが入力信号として、アナログ画像信号(バッファアンプ36の出力)を出力信号として説明することでも差し支えない。

#### 【0022】

この入力信号及び出力信号は、図3に示すソースドライバ用半導体装置20のように、内部に上記した各回路からなるソースドライバ回路41を内蔵した長形状のパッケージ42の一侧に配置した複数の入力端子43に入力信号が供給され、この一侧に対向する他側に配置された複数の出力端子44から出力信号が取り出されることになる。

10

#### 【0023】

図3に示す実施形態においては、この入力端子43の間に夫々ダミー端子45が配設されている。このダミー端子45は、出力端子44と接続されているソースドライバ回路41とは直接的(動作的)には接続されておらず、等価的にはダミー端子45には、図5に示すように、容量素子51が接続されているに過ぎない。このダミー端子45には、別途所定の電圧を印加させておくことが可能である。

#### 【0024】

例えば、図4に示すように、ソースドライバ回路41と接続される入力端子43の間に、入力端子43と同様構成のダミー端子45を配設し、このダミー端子45、もしくはダミー端子45に接続された配線パターンの上に、パッケージ52内において絶縁膜53を介して導電膜54を積層し、導電膜54をアースなどの基準電位点と接続することによって容量素子51として構成することが可能となる。この容量素子51は、既存のパッケージ52内での配線パターンを利用したり、新たに専用の配線パターンを形成して、これら配線パターン上に絶縁膜53を介して基準電位点に接続された導電膜54を対向配置することで、他の構成要素と同じ工程、あるいは同一材料を使用して形成させることも可能である。

20

#### 【0025】

配線や部品点数などの増加を問題としないケースの場合には、ダミー端子45にコンデンサを外付けすることで、容量素子51として形成することや、パッケージ52内で専用に容量素子51を形成してダミー端子45に配線接続させるようにして構成することでも差し支えない。

30

#### 【0026】

これら入力端子43とダミー端子45との等価回路を示すと、図5のように考えることができる。入力端子43側から各入力端子43に接続される内部回路41'側を見た場合の内部容量55は、入力端子43と基準電位点間に内部容量55として配置されるものと見做すことができる。この内部容量55の値は、例えば5PFであるとすると、ダミー端子45に接続される容量素子51の値も略同等の5PFとすることが望ましい。

#### 【0027】

これは、極力入力端子43に近接してダミー端子45を配設することにより、配線長を短く形成することが可能であるとともに、入力に対して並列的に同等の容量値でバランス良く配分させて、入力容量の減少を補償することが可能になるので、ESD対策として有利になる。このダミー端子45は、複数の入力端子43毎に配置させることも可能である。

40

#### 【0028】

また容量値の調整は、絶縁層や導電膜の厚さや大きさ、使用材料などによって適宜調整が可能であり、全体としての容量値は、使用する容量素子51の個数(ダミー端子45の個数)を調整することによっても可能である。

#### 【0029】

この実施形態の場合では、ダミー端子45に接続される容量素子55の構成としては、個々のダミー端子45毎に基準電位点に接続された導電膜54を配置した構成について説明しているが、図6に示すように、横一列に絶縁膜(この図では省略)を設けて、この上

50

に個々のダミー端子45に接続される導電膜54同士を接続する連結配線パターン61を設けて相互に接続しておき、基準電位点に接続される基準端子62にコンタクトホール63を介して一括基準電位点に接続させる構成とすることも可能である。この構成の場合には、入力端子43もしくは入力端子43に接続されている配線パターン64上を連結配線パターン61が横切ることになるので、入力端子43に接続されている内部回路(ソースドライバ回路)41'の動作などに影響が及ばないように配慮する必要があり、例えば、連結配線パターン61部分のみを細線化したり、入力端子43の細く形成されている配線パターン64の上を通すなどの対策を講じれば良い。

【0030】

なお、液晶表示パネル12の構成は、上記説明の構成以外のものでも適用が可能であり、その他、本発明の趣旨を逸脱しない範囲での追加や変更は適宜成し得るものである。

10

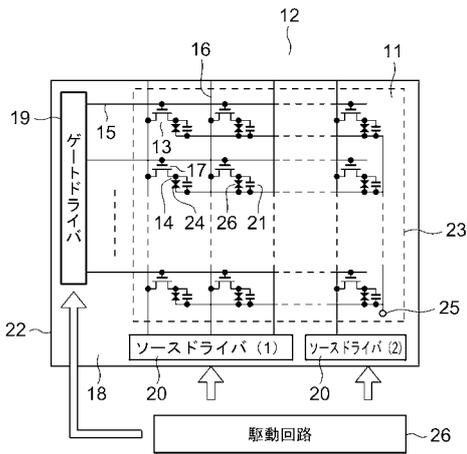
【符号の説明】

【0031】

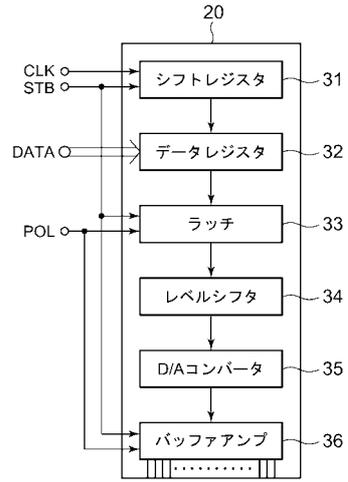
- 12 ... 液晶表示パネル
- 13 ... 画素
- 14 ... 画素電極
- 15 ... 走査線
- 16 ... 信号線
- 17 ... スイッチング素子(TFT)
- 19 ... ゲートドライバ
- 20 ... ソースドライバ(ソースドライバ用半導体装置)
- 41 ... ソースドライバ回路
- 43 ... 入力端子
- 44 ... 出力端子
- 45 ... ダミー端子
- 51 ... 容量素子
- 54 ... 導電膜
- 55 ... 内部容量

20

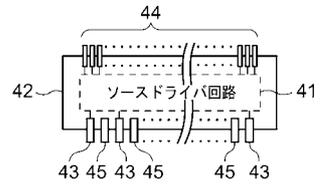
【 図 1 】



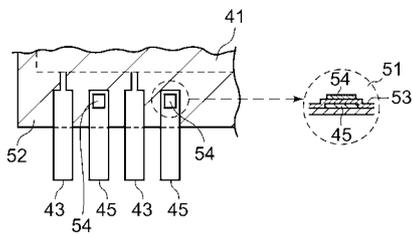
【 図 2 】



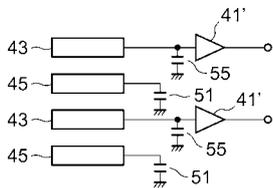
【 図 3 】



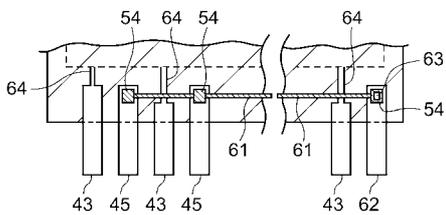
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F 9/00 3 4 6 Z

Fターム(参考) 5C006 AF82 BB16 BC03 BC06 BC11 BC20 BF03 BF04 BF25 BF37  
BF46 FA18 FA33  
5C080 AA10 BB05 DD19 FF11 JJ02 JJ03 JJ06  
5C094 AA21 AA53 BA03 BA43 CA19 DB01 DB02 EA01 FB12 FB14  
FB19  
5G435 AA16 BB12 CC09 EE37 EE41 GG32

专利名称(译)	用于源极驱动器的半导体器件和使用其的液晶显示器件		
公开(公告)号	<a href="#">JP2014145901A</a>	公开(公告)日	2014-08-14
申请号	JP2013014262	申请日	2013-01-29
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	鶴田正之		
发明人	鶴田 正之		
IPC分类号	G09G3/36 G09G3/20 G09F9/30 G09F9/00		
FI分类号	G09G3/36 G09G3/20.680.G G09G3/20.670.M G09G3/20.621.M G09F9/30.330.Z G09F9/00.346.Z G09F9/30.330		
F-TERM分类号	5C006/AF82 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF25 5C006/BF37 5C006/BF46 5C006/FA18 5C006/FA33 5C080/AA10 5C080/BB05 5C080/DD19 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5C094/DB02 5C094/EA01 5C094/FB12 5C094/FB14 5C094/FB19 5G435/AA16 5G435/BB12 5G435/CC09 5G435/EE37 5G435/EE41 5G435/GG32		
代理人(译)	Hyugatera正彦 尾崎纯一 市川浩 大胡夫		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种用于源极驱动器的半导体装置，其通过等效地增加输入容量而具有优异的抗静电放电特性，以及使用该半导体装置的液晶显示装置，以解决以下问题：用于驱动液晶显示面板12的信号线16的驱动器20被配置为具有多输出，并且用于源极驱动器的半导体器件20的数量减少，液晶输入侧的输入容量 解决方案：解决方案：多个输入端子43连接到驱动液晶显示面板12的源极驱动器电路41的输入侧。在输入端子43之间配置有多个电独立于源极驱动器电路41的虚设端子45。具有预定电容值的电容元件55连接到虚设端子45。

