

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-10231

(P2014-10231A)

(43) 公開日 平成26年1月20日 (2014.1.20)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 670D	5C006
G02F 1/133 (2006.01)	G09G 3/20 623R	5C080
	G09G 3/20 623E	
	G09G 3/20 612G	
審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く		

(21) 出願番号	特願2012-145511 (P2012-145511)	(71) 出願人	308033711
(22) 出願日	平成24年6月28日 (2012.6.28)		ラピスセミコンダクタ株式会社
			神奈川県横浜市港北区新横浜二丁目4番地8
		(74) 代理人	100079119
			弁理士 藤村 元彦
		(74) 代理人	100109036
			弁理士 永岡 重幸
		(74) 代理人	100147728
			弁理士 高野 信司
		(72) 発明者	東 真砂彦
			東京都八王子市東浅川町550番地1
			ラピスセミコンダクタ株式会社内
		最終頁に続く	

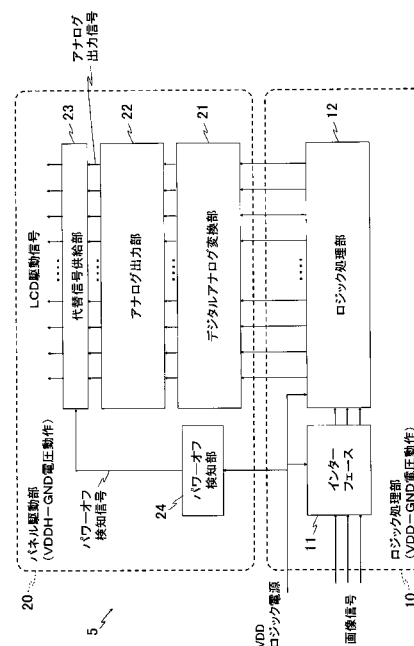
(54) 【発明の名称】 ソースドライバ及び液晶表示装置

(57) 【要約】

【課題】電源オフシーケンスにおいて残像が表示されないようにする簡単な構成のソースドライバ及びこれを備える液晶表示装置を提供する。

【解決手段】液晶表示装置のソースドライバにおいて、入力画像信号を処理するロジック処理部への内部ロジック電源の供給が絶たれたことを検知したときに所定電圧の代替信号を生成し、LCD駆動信号に代えて当該代替信号を液晶パネルに供給する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

内部ロジック電源の供給を受けて入力画像信号からデジタル階調信号を生成するロジック処理部と、LCD駆動電源の供給を受けて前記デジタル階調信号をLCD駆動信号に変換してこれを液晶パネルに供給するパネル駆動部と、を含むソースドライバであって、

前記パネル駆動部は、

前記ロジック処理部への前記内部ロジック電源の供給が絶たれたことを検知して検知信号を生成する検知部と、

当該検知信号に応じて所定電圧の代替信号を生成しこれを前記LCD駆動信号に代えて前記液晶パネルに供給する代替信号供給部と、を含むことを特徴とするソースドライバ。

10

【請求項 2】

前記検知部は、

一端が前記LCD駆動電源に接続され且つ他端が出力端子に接続された抵抗と、

ドレインが前記抵抗の前記他端に接続され、ソースが接地電位に接続され且つゲートに前記内部ロジック電源が入力される電界効果トランジスタと、からなり、

前記出力端子に生じる信号を前記検知信号とすることを特徴とする請求項 1 に記載のソースドライバ。

【請求項 3】

前記内部ロジック電源は、ローパスフィルタを介して前記ゲートに入力されることを特徴とする請求項 2 に記載のソースドライバ。

20

【請求項 4】

前記出力端子と接地電位との間を接続するコンデンサを更に含むことを特徴とする請求項 2 に記載のソースドライバ。

【請求項 5】

前記検知信号は、前記出力端子に生じる信号をバッファリングして得られた信号であることを特徴とする請求項 2 に記載のソースドライバ。

【請求項 6】

前記代替信号供給部は、

複数の出力端子と、

ドレインが前記出力端子のうちの対応する 1 つに接続され、ソースが前記所定電位に接続され、且つ、ゲートに前記検知信号が入力される複数の電界効果トランジスタと、からなり、

30

前記検知信号に応じて前記電界効果トランジスタがオンしたときに前記出力端子に生じる信号を前記代替信号とすることを特徴とする請求項 1 に記載のソースドライバ。

【請求項 7】

前記所定電位は、前記LCD駆動電源の電位、接地電位、前記LCD駆動電源の電位と前記接地電位との間に存在する 1 つの定電位、及び前記複数の出力端子の各々の電位の平均電位、のうちのいずれか 1 つであることを特徴とする請求項 6 に記載のソースドライバ。

。

【請求項 8】

40

液晶パネルと、前記液晶パネルにLCD駆動信号を供給すべきタイミングを含む駆動指令を生成するタイミングコントローラと、内部ロジック電源及びLCD駆動電源を生成する電源部と、前記内部ロジック電源及びLCD駆動電源の供給を受けて前記駆動指令に応じて前記液晶パネルに前記LCD駆動信号を各々が供給するゲートドライバ及びソースドライバと、を含む液晶表示装置であって、

前記ソースドライバは、

前記内部ロジック電源の供給を受けて入力画像信号からデジタル階調信号を生成するロジック処理部と、

前記LCD駆動電源の供給を受けて前記デジタル階調信号をLCD駆動信号に変換してこれを前記液晶パネルに供給するパネル駆動部と、を含み、

50

前記パネル駆動部は、

前記ロジック処理部への前記内部ロジック電源の供給が絶たれたことを検知して検知信号を生成する検知部と、

当該検知信号に応じて所定電圧の代替信号を生成しこれを前記LCD駆動信号に代えて前記液晶パネルに供給する代替信号供給部と、を含むことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルを駆動するためのソースドライバ及びこれを搭載した液晶表示装置に関する。 10

【背景技術】

【0002】

従来より、液晶表示装置のパワーオフ時において残像や表示ムラ等の意図しない画像・映像が液晶パネルに表示されることを防止する工夫がなされている。例えば、特許文献1には、液晶パネル駆動電源であるVDD2の電圧が低下したことを検知したときに、出力信号が出力パッドを介して液晶パネルに伝達されることを遮断すると共に、当該出力パッドからGNDへの放電経路を提供することによって、意図しない画像・映像の表示を防止する技術が開示されている。

【先行技術文献】 20

【特許文献】

【0003】

【特許文献1】特開2011-170349号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1に開示されている技術においては、液晶パネル駆動用の電源であるVDD2の電圧が低下したことを検知する構成となっており、以下のような問題がある。すなわち、特許文献1の図12Aに示されるように、VDD2の電圧低下を検知する回路を構成するために多数のVDD2用のトランジスタが必要となり、回路面積が増大してしまうという問題がある。更に、VDD2よりもロジック電源の方が先にオフした場合には、内部ロジック回路による駆動制御が停止した結果、残像が液晶パネルに表示される期間が長くなってしまいう問題もある。 30

【0005】

本発明は上記した如き問題点に鑑みてなされたものであって、電源オフシーケンスにおいて残像が表示されないようにする簡単な構成のソースドライバ及びこれを備える液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明によるソースドライバは、内部ロジック電源の供給を受けて入力画像信号からデジタル階調信号を生成するロジック処理部と、LCD駆動電源の供給を受けて前記デジタル階調信号をLCD駆動信号に変換してこれを液晶パネルに供給するパネル駆動部と、を含むソースドライバであって、前記パネル駆動部は、前記ロジック処理部への前記内部ロジック電源の供給が絶たれたことを検知して検知信号を生成する検知部と、当該検知信号に応じて所定電圧の代替信号を生成しこれを前記LCD駆動信号に代えて前記液晶パネルに供給する代替信号供給部と、を含むことを特徴とする。 40

【0007】

本発明による液晶表示装置は、液晶パネルと、前記液晶パネルにLCD駆動信号を供給すべきタイミングを含む駆動指令を生成するタイミングコントローラと、内部ロジック電源及びLCD駆動電源を生成する電源部と、前記内部ロジック電源及びLCD駆動電源の 50

供給を受けて前記駆動指令に応じて前記液晶パネルに前記LCD駆動信号を各々が供給するゲートドライバ及びソースドライバと、を含む液晶表示装置であって、前記ソースドライバは、前記内部ロジック電源の供給を受けて入力画像信号からデジタル階調信号を生成するロジック処理部と、前記LCD駆動電源の供給を受けて前記デジタル階調信号をLCD駆動信号に変換してこれを前記液晶パネルに供給するパネル駆動部と、を含み、前記パネル駆動部は、前記ロジック処理部への前記内部ロジック電源の供給が絶たれたことを検知して検知信号を生成する検知部と、当該検知信号に応じて所定電圧の代替信号を生成しこれを前記LCD駆動信号に代えて前記液晶パネルに供給する代替信号供給部と、を含むことを特徴とする。

【発明の効果】

10

【0008】

本発明によるソースドライバ及び液晶表示装置によれば、簡単な構成により電源オフシケンスにおいて残像が表示されないようにすることができる。

【図面の簡単な説明】

【0009】

【図1】本発明の液晶表示装置の構成を示すブロック図である。

【図2】図1のソースドライバの構成を示すブロック図である。

【図3】図2のパワーオフ検知部の構成を示す回路図である。

【図4】図2の代替信号供給部の構成を示す回路図である。

【図5】(a)は、ソースドライバに供給される電源電圧及びパワーオフ検知信号の変化タイミングを示すタイムチャートである。(b)は、図1のタイミングコントローラからソースドライバへの画像信号供給タイミングを示すタイムチャートである。(c)は、図1のバックライトのオンオフタイミングを示すタイムチャートである。

20

【図6】別のパワーオフ検知部の構成を示す回路図である。

【発明を実施するための形態】

【0010】

以下、本発明に係る実施例について添付の図面を参照しつつ詳細に説明する。

【0011】

<第1の実施例>

図1には、本発明の液晶表示装置1の構成が示されている。

30

【0012】

液晶パネル2は、画像・映像を表示するディスプレイである。

【0013】

バックライトユニット3は、表示のために液晶パネル2をその背後から照明する。

【0014】

ゲートドライバ4は、タイミングコントローラ6からの指令に応じて液晶パネル2の複数のゲートライン(図示せず)を順次活性化させるLCD駆動信号を液晶パネル2に供給する。

【0015】

ソースドライバ5は、タイミングコントローラ6からの画像信号の供給を受けて、階調制御のためのLCD駆動信号を複数のソースライン(図示せず)を介して液晶パネル2に供給する。

40

【0016】

タイミングコントローラ6は、ゲートドライバ4及びソースドライバ5に対して適当なタイミングでLCD駆動信号の出力指令を発して液晶パネル2における画像・映像の表示タイミングを制御する。また、タイミングコントローラ6は、液晶パネル2に表示すべき画像・映像を示す画像信号をソースドライバ5に供給する。

【0017】

電源部7は、液晶表示装置1内の各部に電源供給する。ソースドライバ5に対しては、内部ロジック動作の電源(以下、ロジック電源と称する)、及び、液晶パネル駆動用の

50

電源（以下、LCD駆動電源と称する）が供給される。LCD駆動電源の電圧VDDHはロジック電源の電圧VDDよりも高い。

【0018】

図2には、ソースドライバ5の構成が示されている。ソースドライバ5は、ロジック電源の供給を受けて動作するロジック処理部10と、LCD駆動電源の供給を受けて動作するパネル駆動部20とに大別される。

【0019】

ロジック処理部10は、インターフェース11と、ロジック処理部12と、を含む。

【0020】

インターフェース11は、タイミングコントローラ6（図1）からの画像信号を受信し、電圧変換等の処理を施してロジック処理部12に中継する。 10

【0021】

ロジック処理部12は、インターフェース11から中継された画像信号に基づいて画像の階調に対応する論理値を含むデジタル階調信号を生成してデジタルアナログ変換部21に供給する。

【0022】

パネル駆動部20は、デジタルアナログ変換部21と、アナログ出力部22と、代替信号供給部23と、パワーオフ検知部24と、を含む。

【0023】

デジタルアナログ変換部21は、ロジック処理部12から供給されるデジタル階調信号をアナログ階調信号に変換してアナログ出力部22に供給する。 20

【0024】

アナログ出力部22は、デジタルアナログ変換部21から供給されるアナログ階調信号を増幅して得られるLCD駆動信号を、代替信号供給部23を介して液晶パネル2（図1）に供給する。

【0025】

代替信号供給部23は、パワーオフ検知部24からパワーオフ検知信号を供給されていないときにはアナログ出力部22からのLCD駆動信号をそのまま液晶パネル2に供給する。一方、代替信号供給部23は、パワーオフ検知部24から供給されるパワーオフ検知信号に応じて所定電位の代替信号を生成し、これをLCD駆動信号に代えて液晶パネル2（図1）に供給する。代替信号供給部23の構成例については後述する（図4）。 30

【0026】

パワーオフ検知部24は、電源部7からソースドライバ5へのロジック電源の供給が絶たれたこと、すなわち、ロジック電源がオフ状態となったことを検知したときにパワーオフ信号を生成してこれを代替信号供給部23に供給する。

【0027】

以下、図3を参照しつつ、パワーオフ検知部24の構成について説明する。

【0028】

パワーオフ検知部24は、抵抗R1と電界効果トランジスタであるNMOSTランジスタM1とからなる。抵抗R1の一端はLCD駆動電源に接続されており、他端はNMOSTランジスタM1のドレインに接続されている。NMOSTランジスタM1のドレインはパワーオフ検知信号の出力端子N1に接続され、ソース及びサブ（基板）は接地電位であるGNDに接続され、ゲートはロジック電源と接続されている。抵抗R1の抵抗値は、NMOSTランジスタM1のオン抵抗値よりも十分に大きい値である。 40

【0029】

以下、図4を参照しつつ、代替信号供給部23の構成の一例について説明する。ソースドライバ5（図1）の出力端子S1～Sn（nは2以上の整数）は液晶パネル2に接続されている。LCD駆動信号は出力端子S1～Snから液晶パネル2に供給され得る。出力端子S1～Snの各々と1/2（VDDH-GND）との間には、スイッチング素子であるNMOSTランジスタM2-1～M2-nが接続されている。詳細には、NMOSTラ 50

ンジスタM2-1のドレインは出力端子S1に接続され、ソースとサブ（基板）はGNDに接続され、ゲートにはパワーオフ検知部24（図3）からのパワーオフ信号が入力される。NMOSトランジスタM2-2～M2-nの各々も同様に接続されている。パワーオフ信号は分配部25によってNMOSトランジスタM2-1～M2-nの各々のゲートに分配供給される。アナログ出力信号とLCD駆動信号との間にはスイッチ素子であるSW1～SWnが接続されている。

【0030】

以下、図1～図5を参照しつつ、液晶表示装置1のパワーオンオフ時の動作について説明する。

【0031】

オンシーケンスにおいては、図5（a）に示されるように、まず、ロジック電圧がGNDからVDDに変化する。NMOSトランジスタM1のゲートにはVDDが入力されるので、NMOSトランジスタM1はオン状態となる。このときのパワーオフ検知信号の電圧レベルは、VDD-GND間電圧が抵抗R1とNMOSトランジスタM1とによって分圧された値となる。抵抗R1の抵抗値はNMOSトランジスタM1のオン抵抗値よりも十分に高い値に設定されているので、パワーオフ検知信号の電圧レベルはGNDレベルにほぼ等しい値となる。このとき、ソースドライバ5の代替信号供給部23を構成するトランジスタM2-1～M2-n（図4）の各々のゲートにはGNDレベルにほぼ等しい値が入力される。トランジスタM2-1～M2-nの各々はオフ状態となる。スイッチ素子のSW1～SWnはパワーオフ検知信号の電圧レベルがGNDレベルにほぼ等しい値のとき、オン状態となり、アナログ出力信号とLCD駆動信号はつながる為、アナログ出力部22からのアナログ出力信号はLCD駆動信号として液晶パネル2にそのまま供給される。

【0032】

図5（a）に示されるように、ロジック電圧がVDDとなった後、タイミングコントローラ6からソースドライバ5への画像信号の供給が開始される。その後、図5（b）に示されるように、LCD駆動電圧がGNDからVDDHに変化する。その後、図5（c）に示されるように、バックライトユニット3のバックライトがオン状態となる。これ以降、液晶パネル2には、ソースドライバ5から供給されるLCD駆動信号に応じた画像・映像が表示される。

【0033】

オフシーケンスにおいては、図5（a）に示されるように、まず、ロジック電圧がVDDからGNDに変化する。NMOSトランジスタM1のゲートにはGND電位が入力されるので、NMOSトランジスタM1はオフ状態となる。このときのパワーオフ検知信号の電圧レベルは、抵抗R1によってプルアップされてVDDHとなる。このとき、ソースドライバ5の代替信号供給部23を構成するトランジスタM2-1～M2-n（図4）の各々のゲートとスイッチ素子SW1～SWnにはVDDHが入力される。トランジスタM2-1～M2-nの各々はオン状態、SW1～SWnの各々はオフ状態となり、LCD駆動信号は $1/2(VDDH-GND)$ 電位となる。すなわち、液晶パネル2には、アナログ出力部22からのアナログ出力信号は供給されず、 $1/2(VDDH-GND)$ 電位が供給される。

【0034】

図5（a）及び図5（c）に示されるように、ロジック電圧がGNDになるのとほぼ同時にバックライトがオフする。一方、図5（a）に示されるように、ロジック電圧がGNDになってからの一定期間（以下、期間T1と称する）中においては、ロジック処理部12の駆動制御が働かず、LCD駆動電圧はVDDHレベルに維持される。また、図5（b）に示されるように、期間T1中においては、タイミングコントローラ6からソースドライバ5に対して画像信号が供給され続ける。このように、期間T1においてLCD駆動電圧がVDDHレベルであり且つソースドライバ5に対して画像信号が供給されているが、ロジック電源電圧がGND状態であっても、代替信号供給部23がパワーオフ検知信号に応じてソースドライバ5の出力電位すなわち液晶パネル2への入力電位を $1/2(VDD$

10

20

30

40

50

H-GND) 電位に固定している。それ故、液晶パネル 2 は、残像や表示ムラのない黒一色の画面となる。

【0035】

このように、本実施例の液晶表示装置 1 は、ロジック電圧がオフ状態となったことを検知するパワーオフ検知部 24 を備え、オフ状態となったことを検知したときに液晶パネル 2 への入力信号を例えば 1/2 (VDDH-GND) 電位等の一定電位に固定する。かかる構成により、オフシーケンスにおいてロジック電源がオフになった後の一定期間において LCD 駆動電圧が VDDH レベルであり且つソースドライバ 5 に対して画像信号が供給されている状態であっても、液晶パネル 2 に残像や表示ムラが生じることを防止することができる。また、本実施例においては、図 3 に示される簡単な構成のパワーオフ検知部 24 を用いてパワーオフ検知を行なう。それ故、装置を大型化させることなく且つ低コストでパワーオフ検知を行なうことができるという効果を奏する。

10

【0036】

なお、上記の実施例は、ソースドライバ 5 の出力電位を 1/2 (VDDH-GND) 電位に固定した場合の例であるが、これに限られない。例えば、ソースドライバ 5 の出力端子 S1~Sn 同士を短絡させて、これらの端子の各々の電位の平均電位にソースドライバ 5 の出力電位を固定して液晶パネル 2 が単色の画面となるようにしても良い。また、上記の実施例は、トランジスタ M2-1~M2-n を用いて出力端子 S1~Sn の電位を固定した例であるが、これ以外の方法を用いて電位を固定しても良い。

20

【0037】

< 第 2 の実施例 >

本実施例においては、パワーオフ検知部 24 の構成が第 1 の実施例と異なる。その他の構成は第 1 の実施例と同様である。

【0038】

図 6 には、本実施例のパワーオフ検知部 24 の構成が示されている。抵抗 R1 と NMOS トランジスタ M1 とからなる。抵抗 R1 の一端は VDDH に接続されており、他端は NMOS トランジスタ M1 のドレインに接続されている。NMOS トランジスタ M1 のドレインはバッファ B1 の入力に接続され、ソース及びサブ(基板)は GND に接続され、ゲートは抵抗 R2 を介して VDD 電源と接続されている。また、NMOS トランジスタ M1 のゲートと GND との間にはコンデンサ C1 が接続されている。抵抗 R2 とコンデンサ C1 はローパスフィルタ 26 を構成している。バッファ B1 は、パワーオフ検知信号の波形成形のために設けられている。バッファ B1 の入力と GND との間にはノイズ除去のためのコンデンサ C2 が接続されている。バッファ B1 は、出力端子 N1 を介してパワーオフ検知信号を出力する。抵抗 R1 の抵抗値は、NMOS トランジスタ M1 のオン抵抗値よりも十分に大きい値である。

30

【0039】

液晶表示装置 1 のパワーオンオフ時の動作は第 1 の実施例と同様である。本実施例の液晶表示装置 1 によれば、パワーオンオフ時にロジック電源 VDD に生じる高周波ノイズをローパスフィルタ 26 により除去することによって検知の誤動作を防止することができる。また、コンデンサ C2 によって LCD 駆動電源 VDDH に生じるノイズも除去することができる。更に、バッファ B1 によってパワーオフ検知信号の波形を成形して代替信号供給部 23 に供給することができる。それ故、液晶表示装置 1 のパワーオフ検知動作をより安定的に行なうことができる。

40

【符号の説明】

【0040】

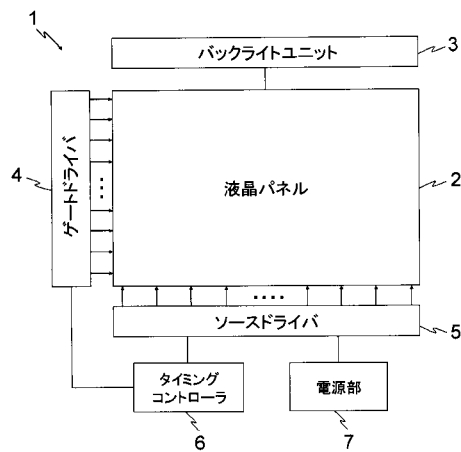
- 1 液晶表示装置
- 2 液晶パネル
- 3 バックライトユニット
- 4 ゲートドライバ
- 5 ソースドライバ

50

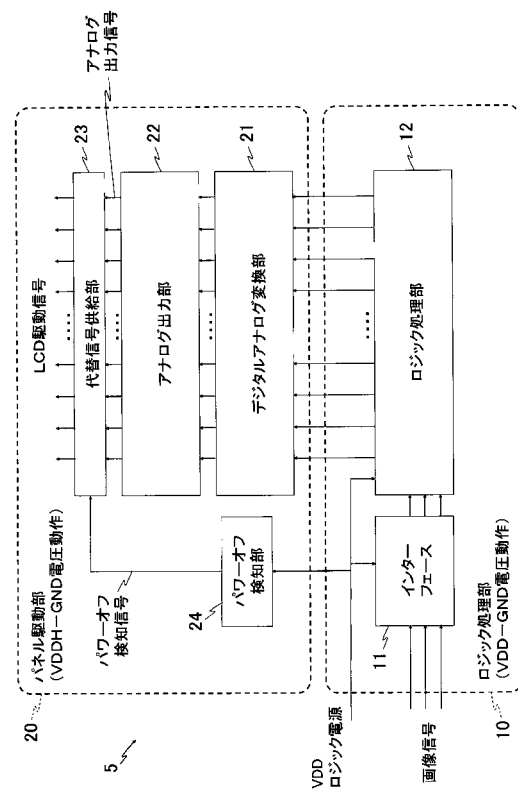
- 6 タイミングコントローラ
- 7 電源部
- 10 ロジック処理部
- 11 インターフェース
- 12 ロジック処理部
- 20 パネル駆動部（供給部）
- 21 デジタルアナログ変換部
- 22 アナログ出力部
- 23 代替信号供給部
- 24 パワーオフ検知部
- 25 分配部
- 26 ローパスフィルタ

10

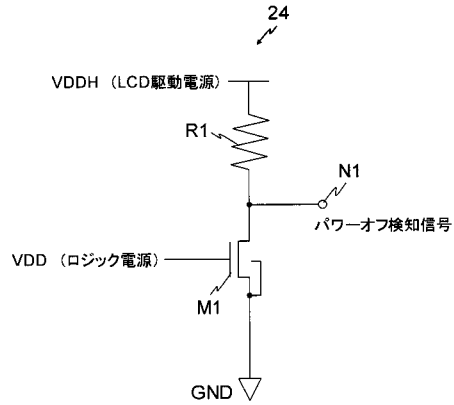
【図 1】



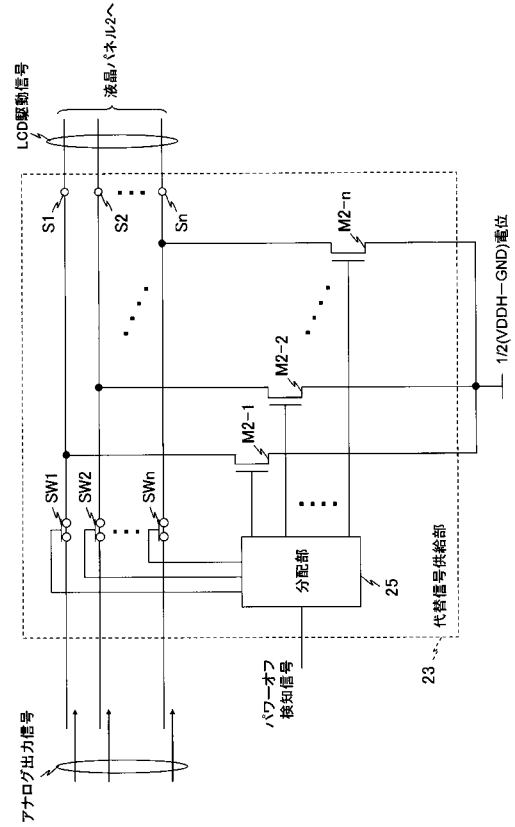
【図 2】



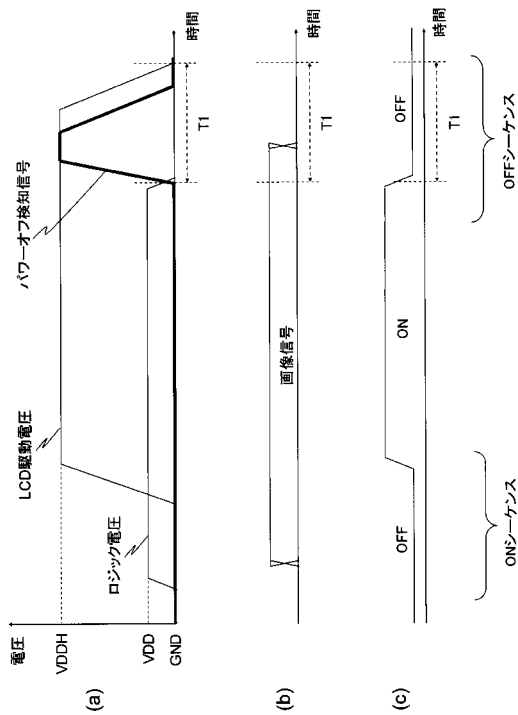
【図 3】



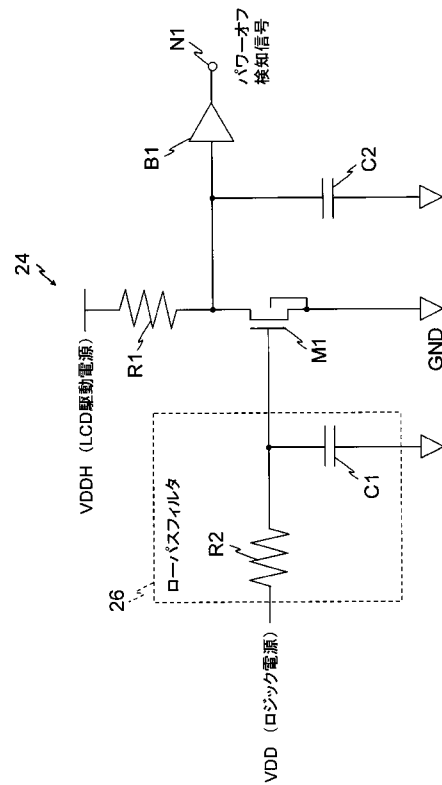
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 2 F 1/133 5 0 5

(72)発明者 中山 晃

東京都八王子市東浅川町 5 5 0 番地 1 ラピスセミコンダクタ株式会社内

F ターム(参考) 2H193 ZE38 ZF31 ZH22 ZH53

5C006 AA16 AC21 AF53 AF64 AF67 AF83 BB11 BC12 BC13 BF21

BF37 BF42 FA34 FA41 FA51

5C080 AA10 BB05 DD01 DD22 DD27 EE29 JJ02 JJ03 JJ04

专利名称(译)	源极驱动器和液晶显示器件		
公开(公告)号	JP2014010231A	公开(公告)日	2014-01-20
申请号	JP2012145511	申请日	2012-06-28
申请(专利权)人(译)	青金石半导体有限公司		
[标]发明人	東真砂彦 中山晃		
发明人	東 真砂彦 中山 晃		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3696 G09G3/3688 G09G2320/0257 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.670.D G09G3/20.623.R G09G3/20.623.E G09G3/20.612.G G02F1/133.505		
F-TERM分类号	2H193/ZE38 2H193/ZF31 2H193/ZH22 2H193/ZH53 5C006/AA16 5C006/AC21 5C006/AF53 5C006/AF64 5C006/AF67 5C006/AF83 5C006/BB11 5C006/BC12 5C006/BC13 5C006/BF21 5C006/BF37 5C006/BF42 5C006/FA34 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD22 5C080/DD27 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	藤村元彦 高野真司		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：提供一种具有简单配置的源极驱动器，用于在断电序列中不显示残留图像，以及具有源极驱动器的液晶显示装置。解决方案：在液晶显示装置的源极驱动器中，当检测到向逻辑处理部分提供用于处理输入图像信号的内部逻辑电源的截止时，产生规定电压的替代信号，从而替代信号提供给液晶面板代替LCD驱动信号。

