

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2013-519105

(P2013-519105A)

(43) 公表日 平成25年5月23日 (2013.5.23)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621B	5C006
G02F 1/133 (2006.01)	G09G 3/20 621A	5C080
	G09G 3/20 621F	
	G09G 3/20 641C	
審査請求 未請求 予備審査請求 有 (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2012-550399 (P2012-550399)	(71) 出願人	510163846
(86) (22) 出願日	平成23年1月21日 (2011.1.21)		コミシリア ア レネルジ アトミック
(85) 翻訳文提出日	平成24年7月27日 (2012.7.27)		エ オ エナジーズ オルタネティヴズ
(86) 国際出願番号	PCT/EP2011/050814		フランス、エフ-75015 パリ、パテ
(87) 国際公開番号	W02011/095403		イマ <ル ポナン デー>、25 リュ
(87) 国際公開日	平成23年8月11日 (2011.8.11)		ルブラン
(31) 優先権主張番号	1001292	(74) 代理人	100071054
(32) 優先日	平成22年3月30日 (2010.3.30)		弁理士 木村 高久
(33) 優先権主張国	フランス (FR)	(72) 発明者	ロッシーニ、ウンベルト
(31) 優先権主張番号	1000403		フランス、エフ-38500 クブルヴィ
(32) 優先日	平成22年2月2日 (2010.2.2)		ー、シェメ ドゥ ボワ ジョリ、194
(33) 優先権主張国	フランス (FR)	F ターム (参考)	2H193 ZA04 ZB09 ZC25 ZD01 ZE02
			ZG34
			5C006 AA14 AA16 AA22 AC28 AF44
			BB16 FA14
			最終頁に続く

(54) 【発明の名称】 液晶ディスプレイに画像を書き込むための方法

(57) 【要約】

本発明は、色順次タイプの液晶スクリーン、特に、L C O S 技術スクリーン (集積回路スクリーン) 上に表示する方法に関する。

画素電極とすべての画素に共通の対電極 (C E) の間の液晶、および、フレームごとに対電極の電位を交互に変更するようにされる。画像を書き込むことは、さまざまな行の連続アドレッシングおよび列導体への電圧レベルの同時印加を含む。書き込み段階の後には、フレームの終了前に、対電極電位を切り替える段階が続き、この段階では、すべての行のすべてのトランジスタがこの切り替え段階の所定の瞬間に同時にオン状態であるように、互いにオーバーラップする間にさまざまな行のトランジスタを行ごと (L₁ ~ L_n) に連続してオンにし、対電極の電位はこの瞬間切り替わる。したがって、対電極電位の切り替えの瞬間の画素のレベルでの制御トランジスタ上での過度電圧は回避される。

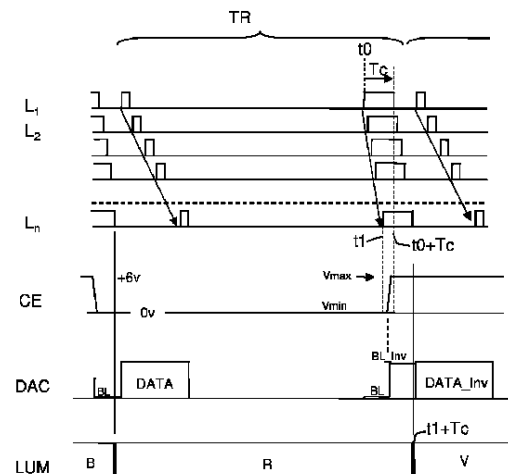


Fig. 2

【特許請求の範囲】

【請求項 1】

液晶ディスプレイに画像を書き込むための方法であって、前記ディスプレイは、画素の行と列からなるマトリックスを備え、各画素は、画素電極（ E_p ）とすべての前記画素に共通の対電極（ C_E ）との間に液晶を備え、制御トランジスタ（ Q ）は、全く同一の列のすべての前記画素に共通のそれぞれの列導体に前記画素電極を連結し、前記列導体は、前記画素に適用されるべきグレーレベルを規定するアナログ信号を受信し、全く同一の行の前記画素の前記制御トランジスタは、それぞれの行導体によって制御され、前記画像を書き込むための方法は、さまざまな行の連続アドレッシングおよび前記列導体への電圧レベルの同時印加を含み、前記対電極に印加される電位は、奇数フレームの間の低値と偶数フレームの間の高値との間で交互に変更され、前記書き込み段階の後には、フレームの終了前に、対電極電位を切り替える段階が続き、この段階では、すべての前記行のすべての前記トランジスタがこの切り替え段階の所定の瞬間に同時にオン状態であるように、互いにオーバーラップする間に前記さまざまな行の前記トランジスタを行ごとに連続してオンにし、前記対電極の電位はこの瞬間切り替わることを特徴とする方法。

10

【請求項 2】

前記トランジスタをオン状態に存続する時間（ T_c ）は、すべての前記行に対して同じであり、第 1 の行の前記トランジスタの前記オン状態の開始（ t_0 ）と最終行の前記トランジスタの前記オン状態の開始（ t_1 ）を隔てる時間より長いことを特徴とする、請求項 1 に記載の書き込み方法。

20

【請求項 3】

前記切り替え段階の間の前記さまざまな行の前記連続アドレッシングのシーケンシングは、前記マトリックスに書き込む段階の間のシーケンシングより速いことを特徴とする、請求項 2 に記載の書き込み方法。

【請求項 4】

黒レベルに相当する電圧レベルは、前記切り替え段階の間に前記電圧導体に印加され、このレベルは、次のフレームに対する書き込み段階まで黒レベルを維持するよう、前記対電極電位の前記切り替えの瞬間に切り替わることを特徴とする、請求項 1 ~ 3 のいずれか一項に記載の書き込み方法。

【請求項 5】

前記ディスプレイは、画素電極と対電極との間のゼロ電圧に対して透過率が最大となるノーマリーホワイト表示であることを特徴とする、請求項 1 ~ 4 のいずれか一項に記載の書き込み方法。

30

【請求項 6】

前記ディスプレイは、大地に対して参照される V_{cc} 値の電源電圧によって供給される集積回路基板上に実装され、前記対電極に印加される前記電圧は、前記 V_{cc} 値よりも大きい相違を有する電位を供給することが可能な、前記基板の外部の電圧源によって供給されることを特徴とする、請求項 1 ~ 5 のいずれか一項に記載の書き込み方法。

【請求項 7】

V_{th} が、それ未満では画素は白を保つ閾値電圧であるとき、前記外部の電圧源は、2 つのフレームのうちの 1 つのフレームの間は電圧 $V_{min} = -V_{th}$ を供給し、別のフレームの間は $V_{max} = V_{cc} + V_{th}$ を供給することを特徴とする、請求項 6 に記載の書き込み方法。

40

【請求項 8】

前記対電極電位の切り替え段階は、次の工程、すなわち、まず初めに、前記対電極電圧を切り替える前に絶対値において前記対電極電圧を増加する工程と、前記切り替え工程の間に、前記次のフレームの前記書き込みの間に有するセットポイント値よりも絶対値においてより高い値をまず得てから、次いで、前記対電極電圧をこのセットポイント値に戻す工程とを含むことを特徴とする、請求項 6 または 7 に記載の書き込み方法。

【請求項 9】

50

前記フレームの書き込み工程は、フレームの開始時にすべての前記行の第 1 の書き込みを行い、次いで、前記フレームの処理過程において少なくとも 1 回の書き込みをリフレッシュする工程を含むことを特徴とする、請求項 1 ~ 8 のいずれか一項に記載の書き込み方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリックス型液晶ディスプレイによる色順次モードでの画像の表示に関する。より具体的には、寸法が小さいスクリーンに適用され、例えば、シリコン基板（英語で「Liquid Crystal on Silicon（液晶オンシリコン）」と称する LCO S 技術）上で実施される。

10

【背景技術】

【0002】

アクティブマトリックス型ディスプレイは、画素の行と列からなるマトリックスを備え、各画素は、画素電極とすべての画素に共通の対電極との間に液晶を備える。画素電極と共通電極との間に印加される電圧は電界を生成し、電界は電界係数に応じて液晶の分子を配向する。この配向は結晶を通過する光の偏光に作用し、偏光板の使用と組み合わせて、印加される電界に依存する光透過レベルを規定する。制御トランジスタ（画素のアクティブ素子）は、全く同一の列のすべての画素の画素電極をそれぞれの列導体に連結する。列導体は、画素に適用されるべきグレーレベルを規定するアナログ電圧を既定の瞬間に受信する。トランジスタが導通している場合は、この電圧は画素電極に印加され、そうでない場合は、画素は隔離されたコンデンサとして振る舞い、事前に受信した電圧レベルを保存する。全く同一の行の画素の制御トランジスタは、それぞれの行導体によって制御される。したがって、画像フレームを書き込む間、マトリックスのさまざまな行を連続してアドレスし、列導体によって既定の瞬間に適用された情報を、アドレスされた行の画素にこの瞬間に書き込む。

20

【0003】

図 1 は、こうしたマトリックスの一般構造を示し、CL は液晶セルを示し、Q はこのセルに関連するトランジスタを示し、セルとトランジスタを合わせたアセンブリは画素を形成する。セルの共通の対電極は CE と示され、画素の電極は Ep と示される。行方向の制御導体は、n 行のマトリックスに対して $L_1 \sim L_n$ で示される。列導体は、m 列のマトリックスに対して $C_1 \sim C_m$ である。行デコーダ DEC は、さまざまな行を連続してアドレスする。行をアドレスする間、この行によって表示されるべき画像を示す一連のアナログ電圧が、デジタルアナログ変換回路 DAC によって列導体に印加される。変換回路は、デジタル信号に基づいてこれらのアナログ電圧を確立する。シーケンス回路 SEQ は、行デコーダと変換回路 DAC の同期動作を確保する。

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

液晶の性質に関する理由で、液晶セルに印加される平均電界はゼロであることが望ましい。そうでない場合は、液晶は、この電界に応じて次第に偏光し、最終的に欠陥（スクリーンのマーキングの欠陥と呼ばれる）の形でディスプレイ上に見られるであろう。この偏光を避けるため、フレームごとに（または、列ごとに、または、行ごとに、または、画素ごとに）この電界の方向を交互に変更することができる。そうすることが可能な理由は、電界の方向はグレーレベルに影響を及ぼさず、電界の振幅のみがグレーレベルを規定するためである。小さな画素（一辺が数マイクロメートル～20マイクロメートル）を有する寸法が小さいスクリーンの場合は、フレーム反転を使用すること、すなわち電界の方向をフレームごとに交互に変更することが好ましいが、その理由は、画素間の横方向電界は、画素の無視できない表面区画を乱すためである。フレーム別の交互変更は、深刻な横方向電界の出現を妨げることによって画素を部分的に保護する。

40

50

【 0 0 0 5 】

このフレーム反転モードにおける電界の方向の交互変更は、2つの異なる方法のいずれかで行うことができる。

- 対電極 C E 上で固定電圧（例えば 0 ボルト）を保持し、変換回路 D A C によって画素電極 E p に提供される信号の極性を交互に変更することによって（偶数フレームの間は、電極 E p 上の極性は正であり（例えば 0 ボルト ~ + 6 ボルト）、奇数フレームの間は、極性は負である（例えば 0 ボルト ~ - 6 ボルト））、または、

- 電極 E p に対して単一の極性（例えば 0 ボルト ~ + 6 ボルト）を保存し、対電極に印加される電圧を、奇数フレームの間の低値（例えば $V_{min} = 0$ ボルト）と偶数フレームの間の高値（例えば $V_{max} = + 6$ ボルト）との間で交互に変更することによって。これは、グレーレベルを示す既定のデジタル値を、偶数フレームが関与するかまたは奇数フレームが関与するかに応じて、2つの異なるアナログ電圧へ変換しなければならないことを意味する。例えば、ゼロ電界に対する画像が黒であるとき、黒画素を生成するアナログ信号は、奇数フレームの間は 0 ボルトでなければならないが、偶数フレームの間は 6 ボルトでなければならない。変換回路は、この周期的変更の達成に適したものでなければならない。

10

【 0 0 0 6 】

第 1 のプロセスの欠点は、正負間の電源レベルで作動できるアナログ回路（特に、変換回路 D A C）を用いるという要件である。技術的に、これは、回路をより複雑にする。これは、第 2 のプロセスには当てはまらない。

20

【 0 0 0 7 】

したがって、対電極に印加する電位を低値と高値との間でフレームごとに切り替える、第 2 のプロセスが好ましい。

【 0 0 0 8 】

切り替えは 2 つの連続フレーム間の時間間隔の間に行わなければならない。すなわち、行を書き込む間に行うことはできない。しかし、行の書き込みが行われなときは、画素電極を列導体に連結する制御トランジスタはすべてオフ状態である。対電極の急激な切り替えは、キャパシティブトランスミッションによって、トランジスタのドレイン上に同じ振幅および同じ符号の電圧変動をもたらす結果となり、次のフレームの間は、トランジスタは、表示されるべき情報を示すアナログ信号を考慮して有すべき電圧の 2 倍の電圧を、ドレインとソースとの間に有することになる。例えば、以下の状況が起こる可能性がある。対電極 C E は低電位（0 ボルト）であり、切り替えの直前には列導体（トランジスタのドレインに連結される）上にゼロ電位が存在し、画素電極（トランジスタのソースに連結される）上に + 6 ボルトの電位が存在する。0 ボルトから + 6 ボルトへ対電極を急激に切り替える間は、画素の電極およびオフ状態のトランジスタのドレインの電位はキャパシティブトランスミッションによって + 1 2 ボルトまで急激に上昇し、ソースは 0 ボルトを維持する。

30

【 0 0 0 9 】

集積回路技術（L C O S 技術を使用したディスプレイまたは光変調器）に従って実施された寸法が小さいディスプレイに対し、1 2 ボルトの電圧は高過ぎ、トランジスタを破損する危険にさらす。

40

【課題を解決するための手段】

【 0 0 1 0 】

このような理由で、フレームの終了時に行デコーダを使用して、すべての行のすべてのトランジスタが既定の瞬間に同時にオン状態であるように、互いにオーバーラップする間にマトリックスのすべての行のトランジスタをオンにするを行ごとに連続して制御し、対電極の電位はこの瞬間切り替わることが本発明に従って提案される。

【 0 0 1 1 】

より正確には、本発明は、液晶ディスプレイに画像を書き込むための方法であって、ディスプレイは、画素の行と列からなるマトリックスを備え、各画素は、画素電極とすべて

50

の画素に共通の対電極との間に液晶を備え、制御トランジスタは、全く同一の列のすべての画素に共通のそれぞれの列導体に画素電極を連結し、列導体は、画素に適用されるグレーレベルを規定するアナログ信号を受信し、全く同一の行の画素の制御トランジスタは、それぞれの行導体によって制御され、画像を書き込むための方法は、さまざまな行の連続アドレッシングおよび列導体への信号レベルの同時適用を含み、対電極に印加される電位は、奇数フレームの間の低値と偶数フレームの間の高値との間で交互に変更され、書き込み段階の後には、フレームの終了前に、対電極電位を切り替える段階が続き、この段階では、すべての行のすべてのトランジスタがこの切り替え段階の既定の瞬間に同時にオン状態であるように、互いにオーバーラップする間にさまざまな行のトランジスタを行ごとに連続してオンにし、対電極の電位はこの瞬間切り替わることを特徴とする方法を提案する。

10

【 0 0 1 2 】

トランジスタをオン状態に存続する時間は、好ましくは、すべての行に対して同じであり、第1の行のトランジスタのオン状態の開始と最終行のトランジスタのオン状態の開始を隔てる時間より長い。

【 0 0 1 3 】

実際には、切り替え段階の間のさまざまな行の連続アドレッシングのシーケンシングは、マトリックスに書き込む段階（または画像生成段階）の間のシーケンシングよりはるかに速い。シーケンシングとは、開始行の瞬間 t_0 と最終行の瞬間 t_1 との間にさまざまな行のアドレッシングの開始を定期的にスタッガリングすることである。トランジスタをオン状態に存続する時間 T_c がトランジスタのすべての行に対して同一であるとき、 T_c は、 $t_1 - t_0$ の値より真に大きくなるように選択される。したがって、 t_1 と $t_0 + T_c$ との間にくる時間間隔の間は、すべてのトランジスタがオン状態である。対電極電位を切り替える段階は、この時間間隔の間に実行される。

20

【 0 0 1 4 】

t_0 から t_1 までの時間は、行デコーダの能力を考慮してできる限り速くなるように選択される。存続時間 T_c は、 t_1 と $t_0 + T_c$ との間の時間間隔により、対電極の切り替えを完全に実行することができ、有用な情報、例えば電荷よりむしろ既定電圧を画素に完全に伝送することができるほど十分であるように選択される。

【 0 0 1 5 】

黒レベルに相当する電圧レベルは、好ましくは、時間 t_0 以降の切り替え段階の間に列導体に印加され、このレベルは、次のフレームに対する画像を書き込む段階まで、すなわち、少なくとも $t_1 + T_c$ まで黒レベルを維持するよう、対電極電位の切り替えの瞬間に切り替わる。

30

【 0 0 1 6 】

本発明は、好ましくは、画素電極と対電極との間のゼロ電圧に対して透過率が最大となるノーマリーホワイト表示に適用される。

【 0 0 1 7 】

先行技術（国際公開第2007/065903号パンフレット）において、一方では、マトリックスのすべての制御トランジスタを同時にオンにし、他方では、フレームごとに交互に変更されるプリチャージ電圧を列方向の導体（したがって、画素電極へ）に印加するよう、マトリックスには一連の行方向のトランジスタ（ n 個のトランジスタ）および一連の列方向のトランジスタ（ m 個のトランジスタ）が補充されることが既に提案されている。しかし、対電極を切り替えることも、連続行のトランジスタを連続してオンにすることもなく、その上、オーバーラップを用いてアドレッシングを実行するのに行デコーダを使用することもなく、マトリックス一面に $n + m$ 個のトランジスタを追加しなければならず、このディスプレイは、ワイドディスプレイパネル用を意図するものであり、LCO S 集積回路の実施用を意図するものではない。

40

【 0 0 1 8 】

本発明の重要な態様によれば、半導体基板上で一体化され、対電極に印加される電圧の定期的な切り替えを原理として動作するが、個別の画素電極すべてが黒レベルに相当する

50

電圧を受信し、対電極電圧の切り替えと同時に切り替わる、液晶ディスプレイの場合、切り替わる対電極電圧は、基板の外部にある電圧源であり、半導体基板上に形成される集積回路の電源電圧 V_{cc} とは独立した電圧源によって生成され、2つの対電極電圧間の相違は、集積回路の電源電圧の V_{cc} 値より大きくなるようにされる。外部の電圧源の切り替えの同期化は、基板の集積回路によって確保される。この構成により、「白」および「黒」の十分な色質を得るために必要な3ボルトより大きい対電極電圧の変動を適用しながら、集積回路に印加される電圧を制限する（例えば、3ボルトに）ことが可能になる。

【0019】

集積回路の電源電圧が V_{cc} （半導体基板はゼロボルトの基準電位と見なされる）であるとき、基板の外部の電圧源は、0未満の電圧および V_{cc} を上回る電圧を供給することができる。

10

【0020】

ノーマリーホワイト表示（電極と対電極との間のゼロ電圧に対して白）に対し、電極間には最小閾値電圧 V_{th} が存在すると考えられ、その最小閾値電圧未満では白表示を維持する。好ましくは、 $V_{cc} + V_{th}$ に最も等しい電圧で黒が得られることを踏まえて、 $-V_{th}$ とほぼ等しい電圧 V_{min} と電圧 $V_{max} = V_{cc} + V_{th}$ との間で対電極電圧を切り替えるよう選択される。この電圧が良好なコントラストを得るのに完全に十分とは言えない場合は、コントラスト補償フィルムが使用される。

【0021】

好ましくは、フレームの終了時の切り替え段階の間は、次のフレームを考慮してその値を切り替える直前に、過度電圧（黒レベルを増強する傾向がある方向に向かって）が対電極電圧に印加され、切り替える瞬間にもまた、次のフレームの処理過程で有さなければならないセットポイント値 V_{min} または V_{max} に戻す前に、黒レベルを増強する傾向がある方向に向かって、過度電圧が対電極電圧に印加される。

20

【0022】

最終的に、フレームの書き込み工程は、フレームの開始時にすべての行の第1の書き込みを行い、次いで、フレームの処理過程において少なくとも1回の書き込みをリフレッシュする工程を含むようにされ得る。

【0023】

本発明の他の特徴および利点は、添付の図面と関連して提供される以下の詳細な説明を読み進むにつれて明らかとなる。

30

【図面の簡単な説明】

【0024】

【図1】本発明の実装形態に対する液晶マトリックス型ディスプレイの構造を示す。

【図2】本発明による画像書き込み方法について説明するタイムチャートを示す。

【図3】図2のタイムチャートの詳細を示す。

【図4】電圧差 $V_{max} - V_{min}$ が集積回路の電源電圧 V_{cc} より大きい場合において V_{max} から V_{min} に切り替わる対電極のタイムチャートを示す。

【図5】対電極が V_{min} から V_{max} に切り替わる次のフレームに対する同様のタイムチャートを示す。

40

【発明を実施するための形態】

【0025】

ディスプレイは、画素ごとに色が割り当てられる、カラーフィルタを備えたタイプのものであっても、画像フレームごとに異なる色でマトリックスを照射するためにマトリックスの制御と同期して着色光源が制御される、カラーフィルタなしの色順次タイプのものであってもよい。本発明は、最も詳細には、色順次タイプのディスプレイに適用可能であり、以下、ディスプレイはこのタイプのもものと見なされる。以下では、用語「フレーム」は、完全な着色画像をスクリーン上に書き込む工程を規定するのに使用され、2つの連続フレームは、色順次モードにおける2つの異なる着色に相当する。

【0026】

50

液晶セルＣＬは、各画素に特有の画素電極Ｅｐと、すべての画素に共通の対電極ＣＥとを備える。上記で説明されたように、スクリーンのマーキングを防ぐため、画素に印加される電界がフレームごとにその方向を反転するように、対電極の電位はフレームごとに切り替えられる。画素のグレーレベルは、既定の光の偏光に対するより大きなまたはより小さなセル透過率によって決定される。この透過率は、電界の方向には依存せず、その振幅にのみ依存する。

【００２７】

画素の行と列の交差部分に位置するセルＣＬに対し、セルの制御トランジスタＱは、画素電極とその列のすべての画素に関連する列導体との間で連結される。制御トランジスタのゲートは、その行のすべての画素に関連する行導体に連結される。ｎ個の行導体 $L_1 \sim L_n$ およびｍ個の列導体 $C_1 \sim C_m$ が存在する。

10

【００２８】

デジタルアナログ変換回路ＤＡＣは、表示されるべき画像情報を受信する。フレームは、ｎ行あり、画像は行ごとに書き込まれる。決められた行に対し、回路ＤＡＣは、この行の画素に書き込まれるべきグレーレベルを示すｍ群のデジタル値を受信する。回路ＤＡＣは、列導体に連結されるその出力上で、ｍレベルのグレーレベルを示すｍレベルのアナログ電圧を確立する。行デコーダは、書き込みを望む行に対応する行導体を選択する。この選択は、その行の画素のすべての制御トランジスタＱをオンにするが、他の行の画素の制御トランジスタはオンにしない。次いで、この行のセルＣＬは、回路ＤＡＣから生じるそれぞれのアナログ電圧を、それらの画素電極Ｅｐ上で受信する。対電極ＣＥは、フレーム全体を通じて一定の電位である。次に、デコーダが第１の行を非選択状態にして別の行を選択する一方で、変換回路ＤＡＣは、書き込まれるべき新しい行に対応する別の群のアナログ電圧を確立するなど、次々に行われる。シーケンス回路ＳＥＱは、行デコーダＤＥＣの動作と変換回路の動作を同期化する。行は、好ましくは、マトリックスでのその位置に応じて順番に定期的に連続して選択される。ただし、列導体に適用される画像情報が、選択された行に表示されるべきであるものと確かに一致すれば、行は、異なる順番で選択される場合もある。フレームの終了時には、液晶セルのｎ行は、表示しなければならないグレーレベルに相当するそれぞれのアナログ電圧を受信している。それらのキャパシティブ性質の理由で、残りのフレームの間は、セルは、それらの制御トランジスタをオンにした瞬間に印加された電荷を保存する（印加された電圧は、誘電率が異方性を示す液晶の再配向の理由で、一定には保たれない）。

20

30

【００２９】

次のフレームの間は、その中に新しいグレーレベルを登録するためにマトリックスの行ごとのアドレッシングが再度開始される。

【００３０】

その上、対電極ＣＥの電位レベルは、奇数ランクのフレームの間の低レベル V_{min} （例えば０ボルト）と偶数ランクのフレームの間の高レベル V_{max} （例えば＋６ボルト）を交互に提供することによって、フレームごとに切り替わる。これにより、奇数フレームの間と偶数フレームの間の両方での対電極の電位に対して参照できるように電極Ｅｐに印加されるアナログ電圧の値を変更することが必要となる。したがって、電極ＥｐとＣＥの間での絶対値 V_x を有する電圧の印加によってグレーレベルが規定される場合は、画素電極Ｅｐに印加されるアナログ電圧は、奇数フレームの間は $V_x - V_{min}$ 、偶数フレームの間は $V_{max} - V_x$ でなければならない。最も黒い画素および最も白い画素に相当する電圧レベルが V_{min} および V_{max} に対して正確に選択されれば、変換回路ＤＡＣは、単に、奇数フレームの間はデジタル入力信号をアナログに変換し、偶数フレームの間は逆デジタル信号をアナログに変換すればよく、これは非常に容易に達成できる。

40

【００３１】

図１ではＳＷと示される、対電極の電位を切り替えるための手段は、行デコーダＤＥＣの制御および変換回路ＤＡＣの制御と同期して、シーケンサによって制御される。対電極電位の切り替えは、上記で示されるものなどの行の書き込み段階以外、すなわち、回路Ｄ

50

A C がセルの決められた行に対応するグレーレベルをこの行に適用する瞬間以外で行わなければならない。しかし、この切り替えが、フレームの最終行の書き込み直後かつ新しいフレームの書き込み直前に警戒することなく実行されれば、上記で記述されたように、セルの制御トランジスタ上にソースドレインの過度電圧を引き起こすリスクが存在することが認識される。これらの過度電圧は有害である。

【 0 0 3 2 】

制御トランジスタ Q 上での過度電圧のリスクを伴わずに対電極電位 C E を切り替えることを可能にするため、シーケンス回路のコマンドの下でマトリックスに実行される書き込みシーケンスについては、ここで図 2 を参照して説明する。

【 0 0 3 3 】

完全な画像書き込みフレーム T R において行デコーダによってさまざまな行に印加されるオン信号が表示されている。各フレームは、行にグレーレベルを書き込む段階である第 1 の段階と、対電極電位を切り替える特定の段階である第 2 の段階とに分解される。本発明によれば、この特定の段階の間、行デコーダは再度動作させられるが、書き込み段階の間に採用された動作方法とは異なる方法で動作させられる。

【 0 0 3 4 】

フレームの開始時、適正な画像の書き込みに対して、それぞれの行導体 $L_1 \sim L_n$ は、この行の制御トランジスタをオンにするパルスを受信する。パルスは、制御トランジスタ Q が画素によって構成されたコンデンサおよび場合により回路の蓄積コンデンサ（または補償コンデンサ）を充電することができるまでの必要な時間だけ存続する。さまざまな行 $L_1 \sim L_n$ の書き込みのためパルスは次々と続くがオーバーラップすることはなく、その結果、単一の行のトランジスタが同時にオン状態となる。

【 0 0 3 5 】

連続行に対応するデジタルデータ D A T A は、変換されて、対応する行の選択と同期して列導体に適用される。

【 0 0 3 6 】

フレームの終了にさしかかると、マトリックスの最終行（行が連続してアドレスされていれば、行 L_1 から始まる行 L_n ）の書き込み後の瞬間 t_0 から第 2 の段階が実行される。第 2 の段階では、行デコーダは、 n 行の連続アドレッシングの新しい動作を実行するが、今回は、ある行から次の行までの一連の選択速度はより速い（すべての行 $L_1 \sim L_n$ のスキャンに対して通常 $0.1 \sim 0.5$ ミリ秒）が、その理由は、列導体上での正確なアナログ電圧（グレーレベルを示す）の確立を待つ必要がないためである。その上、行の選択は、行の相互オーバーラップを用いて行われ、これはすなわち、いくつかの行のトランジスタが同時にオン状態であり得ることを意味する。最終的に、いくつかの行間にオーバーラップがあるだけでなく、さまざまな行の選択時間は、非ゼロ時間に対して、すべての行が同時にアドレスされ、したがって、マトリックスのすべてのトランジスタが同時にオン状態であるようなものとなる。好ましくは、行デコーダの実施および動作を簡潔にするため、オン状態に存続する時間はすべての行に対して同じである。存続時間 T_c は、すべての画素を同じ電荷状態に置くのに十分長く（通常、 1 ミリ秒程度）なければならない。これにより、画素の表示履歴に対して画素を無反応にすることができ、したがって、以前のフレームの間に印加された信号に応じて画素へ印加されるべき信号を規定するために従来使用されたルックアップテーブル（L U K テーブル）を省略することができる。有利には、いずれ分かるように、すべての画素は光透過率ゼロ（黒画素）に相当する電荷状態に置かれる。

【 0 0 3 7 】

したがって、好ましくは、行のアドレッシングが、第 1 の行では瞬間 t_0 に始まり、最終行では瞬間 t_1 に始まる場合、行のトランジスタをオン状態に存続する共通の時間 T_c は、間隔 $t_1 - t_0$ より大きい。非ゼロ時間間隔は、瞬間 t_1 と瞬間 $t_0 + T_c$ との間に存続する。この時間間隔の間は、マトリックスのすべてのトランジスタはオン状態である。電位 V_{min} から電位 V_{max} へまたはその逆の対電極電位の切り替えは、この時間間隔

10

20

30

40

50

の間に引き起こされる。

【0038】

同時に、変換回路DACは、列導体上に既定電位を確立し、これはすなわち、列導体を高インピーダンス状態に保たないことを意味する。

【0039】

したがって、対電極電位の切り替えに起因するトランジスタまたは回路の他の素子の端子間での過度電圧のリスクはない。

【0040】

好ましくは、シーケンス回路によって制御される変換回路は、この切り替え段階の間に、黒レベルに相当する電圧を生成する。しかし、黒レベルを生成するために印加されるべき電圧が対電極電位に依存し、この電位の切り替えが実際に進行しているため、好ましくは、対電極の電位が切り替わると同時に、すべての列導体に存在するアナログ電圧が電圧 V_{min} から電圧 V_{max} またはその逆に切り替わる（奇数フレームから偶数フレームまたはその逆に移るかに応じて）ようにされる。

【0041】

図2は、 t_1 から $t_0 + T_c$ までの時間間隔の間の対電極CE上での電圧の切り替えを示す。また、アナログ電圧に変換されるデジタルデータも示される。デジタルデータは奇数フレームから偶数フレームへ変換され、その結果、奇数フレームにおいてデータDATAが既定の画像に対応する場合、同じ画像を得るために、次の偶数フレームにおいて逆デジタルデータDATA_{Inv}を適用しなければならない。用語DATA_{Inv}は、勿論、以前のフレームのデータの逆数のデータが適用されることを意味するのではなく、以前のフレームのデータの逆の意味で参照されるデータが適用されることを意味する。例えば、フレームが赤、緑、青の着色順で次々と続くとすると、適用されるデータは、data1R、data1G_{Inv}、data1B、data2R_{Inv}、data2G、data2B_{Inv}などと続く。

【0042】

しかし、新しいデータDATA_{Inv}を次のフレームに適用する前に、変換回路は、瞬間 t_0 以降、黒レベルBLに相当するアナログ電圧レベルを列導体に印加する。対電極を切り替える瞬間に黒レベルが逆転すると、変換回路は、対電極電圧が切り替わる瞬間に印加される黒レベル電圧を逆転するように制御される。

【0043】

いわゆる「ノーマリーブラック」液晶スクリーンは、EpとCEとの間でゼロ電圧が印加されるときに黒画素（最小の透過率）を有する。したがって、黒レベルは、列導体に印加される電圧が、対電極電圧が V_{min} のときに奇数フレームの間で V_{min} である場合、またそれとは逆に、列導体に印加される電圧が、対電極電圧が V_{max} のときに偶数フレームの間で V_{max} である場合に得られる。これは、EpとCEとの間で電圧が印加されないときに最大の透過率を有する、いわゆる「ノーマリーホワイト」スクリーンの逆ということになる。スクリーンは、液晶タイプおよびセルの側面に位置する偏光板の相互配向に応じてノーマリーブラックまたはノーマリーホワイトであることが思い出される。TN型（ねじれネマティック型）またはMTN型（混合TN型）液晶は、偏光板が平行配置であるときノーマリーブラックであり、偏光板がクロス配置であるときノーマリーホワイトである。いわゆる「垂直配向型」液晶は、クロス配置の偏光板ではノーマリーブラックであり、平行配置の偏光板ではノーマリーホワイトである。差し当たり図2では、スクリーンはその構造に関わらずノーマリーブラックであり、示されるフレームTRは対電極電圧が V_{min} である奇数フレームであると見なされ、これは、黒レベルが画素電極上の電圧 V_{min} によって規定されることを意味する。

【0044】

その結果、対電極の切り替え段階の開始時には、変換回路は、すべての列導体に電圧 V_{min} （黒レベルBL）を印加する。対電極電位を切り替える瞬間には、変換回路は、すべての列導体に電圧 V_{max} （逆黒レベルBL_{Inv}）を印加する。そして、最終的に

、瞬間 $t_0 + T_c$ 後、行導体 $L_1 \sim L_n$ に印加される連続パルスに応じて、変換回路は、偶数フレームである次のフレームに書き込むために列導体に逆画像データ $DATA_Inv$ を印加する。

【0045】

これらの構成から、対電極電位を切り替える段階の間は、そのフレームの間に表示された画像と矛盾し得る、グレーレベル情報を画素に提供するというリスクが全くないということになる。黒情報のみが一時的に追加される。

【0046】

図2で示されるように、瞬間 t_0 の直前の開始時のみならず、フレームの n 行の書き込みを終了した後、先立つ時間間隔全体を通して、黒レベル BL (TR が奇数フレームの場合は V_{min} または TR が偶数フレームの場合は V_{max}) を列に適用することができることに留意されたい。この黒レベルは、列上に存在するが、瞬間 t_0 前にはセルに移動されない。

10

【0047】

図2のタイムチャートを観察することによって、画素がグレーレベル情報の項目を保存する時間はその行の段に依存することが分かる。事実から判断すると、一連の n 行のアドレッシングは、フレームの開始(グレーレベルの書き込み)時よりもフレームの終了(対電極の切り替えの準備)時においてより速いということになる。フレームの開始時および終了時に行に対し同じスキャン速度を保存することを選択することは可能であろうが、これは、スクリーンの全体的な輝度を低減させることになる。さまざまな行における照射時間の違いを考慮するよう、その行の段に応じて組織的に信号レベルを変更することによってこの現象の補償は可能である。また、あるフレームに対して L_1 から L_n まで、そして、同じ色の次のフレームに対して L_n から L_1 まで、行のスキャン方向を交互に変更するという決定も可能であり、したがって、さまざまな行における照射時間の相違を大抵は取り消すことができる。

20

【0048】

前述では、アナログ電圧の形態での列導体へのグレーレベルの適用は、対応する行に対するアドレッシング時間の間にこの導体上に一定の電圧を印加することであると考えられた。しかし、本発明は、より洗練された方法で電圧の印加が行われる場合、特に、セルの端子間の電圧の安定化を促進する目的で、一時的に正または負の過度の電圧、すなわち、実際に所望の電圧より高いまたは低い電圧が列導体に印加される場合にも適用可能である。

30

【0049】

新しいフレームごとに赤、緑、青の光源の切り替えが必要とされる色順次タイプのスクリーンに対し、対電極の切り替えと同時に、したがって、黒レベルに相当する列導体の電圧が実際にセルに印加される間に、光源の切り替えが行われる。したがって、光源の変更は、いかなる厄介な発光スパイクも生成しない。色の切り替えは、黒レベルが依然として画素に適用されている間に行われれば、必ずしも対電極電圧の切り替えと完全に同期する必要はない。図2は、赤(R) 緑(G) 青(B) 色の光源を切り替える瞬間を示す行 LUM を示す。示される切り替えの瞬間は、瞬間 $t_1 + T_c$ であるが、現時点での対電極電圧に相当する黒レベルがこの瞬間に列に適用される限り、 $t_1 + T_c$ のわずかに前に位置してもよい。

40

【0050】

図3は、対電極電位の切り替え段階の詳細を示す。示される例では、光源の切り替えは、最終行の画素のアドレッシングの終了の瞬間である瞬間 $t_1 + T_c$ で行われる。この瞬間後、新しいデータの書き込みが適用される。このより詳細な図は、存続時間 T_c はほぼ1ミリ秒であり得るのに対して、存続時間 $t_1 - t_0$ は $0.1 \sim 0.5$ ミリ秒であり得ることを示す。

【0051】

本発明は、寸法が非常に小さいスクリーン(一辺が数ミリメートルから数センチメートルまで)、特に、画像投影システム内の透過型光変調器として機能するスクリーンに対し

50

て特に有益である。

【0052】

本発明は、対電極電位を切り替える段階は、セルによって構成されたコンデンサの $V_{max} - V_{min}$ へのプリチャージに相当（黒レベルを確立する）に相当し、これらのコンデンサの 0 ボルトへの放電には相当しないため、ノーマリーホワイトスクリーンまたは光変調器に対して特に有益である。プリチャージされたコンデンサは、所望のグレーレベルをそれ以後により容易に適用できるようにする。

【0053】

前述の詳細な説明では、個別の電極 E_p は 0 ~ 6 ボルトの電圧を受信でき、対電極 C_E の電圧も同様に 0 ~ 6 ボルトで変化すると考えられた。これらの電圧値は、良好な白レベル（ノーマリーブラックスクリーンの場合）または良好な黒レベル（ノーマリーホワイトスクリーンの場合）を得るのに十分な電界を液晶の端子間で生成するという要件と関連すると考えることも必要である。

10

【0054】

ディスプレイが集積回路基板上に実装されると、これらの電圧は、ある集積回路製作技術に対して受け入れ可能となる。しかし、他の現代技術、特に、寸法が非常に小さく良好な解像度を有するスクリーンに対する高密度集積を可能にする技術では、これらの電圧レベルを使用することはできない。

【0055】

その結果、集積回路のトランジスタに印加される電圧のスパンを制限しなければならない（通常 3 ボルトに）ということが起こり得る。簡潔にするため、ここでは、トランジスタが支持できる最大電圧は集積回路の電源電圧 V_{cc} と考えられ、この電圧は半導体基板の端子に印加され、基板自体が全体としてのディスプレイに対する 0 電位基準を規定することができる。

20

【0056】

この場合、画素の個別の電極 E_p に印加される電圧は、0 ボルト（基板の基準電圧）と最大値 V_{cc} （通常 3 ボルト）の間で振動するが、実際にこれらの電圧値を使用して対電極上に電圧を確立することはできない。実際には、個別の画素電極と対電極との間の 3 ボルトの相違は、一般に、良好な黒色質（ノーマリーホワイトスクリーンの場合）または良好な白色質（ノーマリーブラックスクリーンの場合）の生成には十分ではない。

30

【0057】

本発明の重要な態様によれば、対電極に印加される電圧は V_{min} と V_{max} の 2 つの値の間を振動し、これらの電圧は基板の外部の電圧源によって生成され、0 ボルトから V_{cc} まで電圧のスパンに制限されないようにされる。

【0058】

外部の電圧源は、画素電極の制御と同期して集積回路によって制御される。

【0059】

そして、電圧 V_{min} および V_{max} の選択は、「白」の十分な色質と「黒」の十分な色質との間の譲歩によって決定される。

【0060】

これが好ましい例としてノーマリーホワイトスクリーンに適用される場合、色質の良い白は、画素電極と対電極との間の電圧が、正の値 V_{th} である閾値電圧よりも絶対値において小さいときに得られると考えられる。逆に、色質の良い黒を得るには、画素電極と対電極との間の電圧が電圧 V_T よりも絶対値において大きい必要がある。

40

【0061】

例えば、偶数フレームに対し、白画素は 0 ボルトの電極電圧 E_p に相当し、黒画素は V_{cc} の電極電圧 E_p に相当する。次のフレームではその逆となる。したがって、一方では、第 1 のフレームの対電極は、より高い $-V_{th}$ である（それ以外では白は良好ではない）が、 $(V_{cc} - V_T)$ より低い（それ以外では黒は良好ではない） V_{min} のレベルであることが必要である。そして、第 2 のフレームでは、 V_{max} は、 $V_{cc} + V_{th}$ より

50

低いレベルであり（それ以外では白は良好ではない）、 V_T より高いレベルである（それ以外では黒は良好ではない）ことが必要である。

$$-V_{th} < V_{min} < V_{cc} - V_T$$

$$V_T < V_{max} < V_{cc} + V_{th}$$

これは、 $V_{cc} + V_{th}$ が V_T 以上であると仮定する。

【0062】

通常、例えば、 $V_{th} = 1.5 \sim 1.6$ ボルトである。 V_{cc} が3ボルトに等しい場合、これは、液晶の端子間の電圧 V_T が4.5ボルトの場合に黒色質が十分であることを含意し、これは可能であることが証明されている。

【0063】

この値 $V_T = 4.5$ は、必ずしも優れたコントラストを有するための最適値というわけではない。実際には、著しく高い電圧 V_T が必要とされるであろう。しかし、この値は、たとえディスプレイ上のコントラスト向上フィルムの使用などの他の手段によってコントラストを増強する必要があるとしても、ある適用例では十分と見なされる。

【0064】

したがって、実際には、電圧 V_{min} および V_{max} は、それぞれ $-V_{th}$ および $V_{cc} + V_{th}$ （ -1.5 ボルトおよび $+4.5$ ボルト）に等しくなるよう、または、 $-V_{th}$ より極めてわずかに高くおよび $V_{cc} + V_{th}$ より極めてわずかに低くなるように選択される。そして、これらの電圧は、ディスプレイの半導体基板の外部の電圧源を用いて対電極に印加される。

【0065】

その相違は集積回路（画素電極を含む）の電源電圧 V_{cc} よりも大きい、 V_{min} と V_{max} の切り替え電圧を対電極に供給することができる、半導体基板の外部の電圧源の使用は、書き込み工程が、図2および3またはその他を参照して説明通りに実行される2つのフレーム間での消去段階を含む場合に可能である。同電圧源の使用は、消去段階がない場合にも可能である。そのような外部の電圧源は、実際に、対電極の電位間の相違が、画素を制御する集積回路の素子によって支持される最大電圧よりも大きい場合、ディスプレイに書き込むための方法が対電極電位の定期的な切り替えを伴うや否や有用となる。

【0066】

画素電極が黒レベルの電位にもたらされる瞬間および対電極の電位が切り替わる瞬間に、2つのフレーム間での画素の消去を改善するため、好ましくは、対電極の切り替え工程が消去促進段階を含むようにされる。この段階の間、対電極電位は、フレーム全体にわたって保存しなければならない正常なセットポイント値 V_{max} または V_{min} を再開する前に、瞬間的にそれぞれ V_{max} より大きい値または V_{min} より小さな値にもたらされる。この電位の絶対値における増加は、電位 V_{min} および V_{max} が良好な黒色質を得ることができる制限値であるという事実のため特に望ましく、良好な消去のためには絶対値において一時的に電位を増加させる方が良い。

【0067】

この消去促進段階は、すべての画素電極が黒レベルに相当する電位（あるフレームでは0ボルト、次のフレームでは V_{cc} ）にもたらされる瞬間に起こる。

【0068】

図4のタイムチャートは、2つのフレーム間での消去段階であって、対電極電位の電位 V_{min} から電位 V_{max} までの切り替え工程と、すべての画素に印加される黒レベル電位の同時切り替え工程とを含む消去段階を示す（例えば、 V_{max} （ $+4.5$ ボルト）超の V_{MAX} レベル（例えば $+5.5$ ボルトまたは $+6$ ボルト）および V_{min} 未満の V_{MIN} レベル（例えば -2.5 ボルトまたは -3 ボルト）で過度電圧を用いて、図2および3を参照して説明されるプロセスによって。

【0069】

消去段階は、実際には、瞬間 t_1 に始まり（しかし、図2のタイムチャートに従って動作する場合は、その前の瞬間 t_0 に始めることができる）、実際には、瞬間 $t_0 + T_c$ に

10

20

30

40

50

終了する（しかし、図 2 のタイムチャートに従って動作する場合は、次のフレームは、瞬間 $t_1 + T_c$ 後にのみ開始する）。

【0070】

好ましくは、以下の順で行われる。

- すべての個別の画素電極に黒レベル電位 (B_L) を印加する。ここでは、ノーマリーホワイトスクリーンの場合と仮定するが、ノーマリーブラックスクリーンに置き換えることも可能である。黒電位は 0 ボルトであり、対電極電位は V_{max} である。
- その黒レベル状態へ向けてより迅速に液晶分子を配向するため、短時間で $V_{MAX} > V_{max}$ の過度電圧を対電極に印加する。 $V_{max} = 4.5$ ボルトの場合、好ましくは、 V_{MAX} は + 6 ボルトである。
- 次のフレームで有さなければならないセットポイントレベル V_{min} に対電極電位を切り替えるが、 $V_{MIN} < V_{min}$ の過度電圧を用いる。 $V_{min} = -1.5$ ボルトの場合、 $V_{MIN} = -3$ ボルトである。
- 対電極電位の切り替えと同期して、新しい黒レベル電位 B_L_Inv （ここでは V_{cc} ）にすべての個別の電極を切り替える。この新しい電位は、 V_{min} への対電極電位の切り替えで必要である。
- 第 2 のフレームの終了まで、第 2 のフレームに対するそのセットポイント値 V_{min} へ対電極電位を戻す。

【0071】

第 2 のフレームの書き込み工程は、 V_{min} 値へ戻した後で行ごとに始めることができる。マトリックスの行導体が連続して導通させられる場合は、書き込み工程は、図 2 に関して規定された瞬間 $t_1 + T_c$ 後にのみ始める。

【0072】

図 5 は、対電極の電位が、第 1 の過度電圧 V_{MIN} および第 2 の過度電圧 V_{MAX} を渡って、 V_{min} から V_{max} に渡る次のフレームに対する類似したタイムチャートを示す。

【0073】

好ましくは、フレームの処理過程において少なくとも 1 回は画像をリフレッシュするように、すなわち、各画像ポイントに対応する列電位が再度各画素に行ごとに書き込まれるようにされる。

【0074】

この理由は、液晶の端子間の電圧は、フレームの存続時間にわたって変化する傾向があるという事実のためである。電圧は書き込みの瞬間に印加されるが、それ以後画素は隔離され、この電圧での維持を停止する。しかし、印加された電圧は結晶の分子の配向を変更する傾向にあり（所望のグレーレベルに応じて）、この物理的配向自体の変更は誘電率の変化を引き起こし、したがって、キャパシタンスの変化、液晶の変化を引き起こす。書き込みの瞬間に受信される電荷は、一旦画素が隔離されれば変化しないため、分子の配向の変化と並行して変化するのは電圧 ($V = Q / C$) である。画素に関連する広範囲にわたる蓄積コンデンサを設けることによってこの変動を補償よりむしろ、フレームの処理過程において 1 回または複数回画像を再度書き込む方が好ましい。蓄積コンデンサは画素の開口をかなり低減するため、蓄積コンデンサは、透過型のディスプレイにとって特に有害であろう。画像の再度書き込みにはより多くのエネルギーが消費されるが、集積回路は低い電源電圧 V_{cc} (3 ボルト) で作動するため、消費量を誇張することはない。

【0075】

例えば、フレームの処理過程において 1 回または 2 回のリフレッシュを行うようにされ得る。可能なリフレッシュの回数の制限は、マトリックスのすべての行の書き込みに要する時間に対するフレームの存続時間の割合に依存する。

10

20

30

40

【 図 1 】

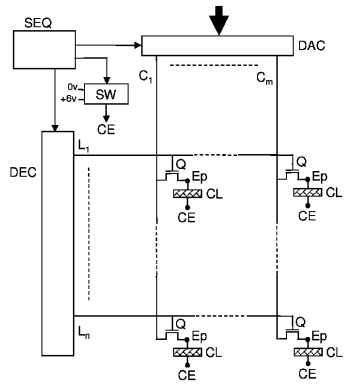


Fig. 1

【 図 2 】

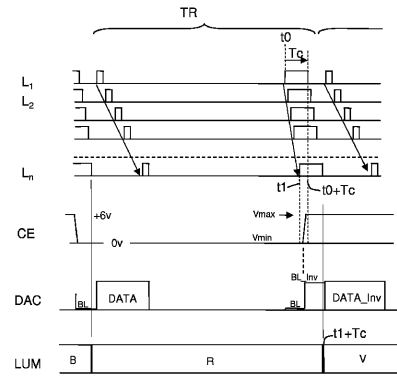


Fig. 2

【 図 3 】

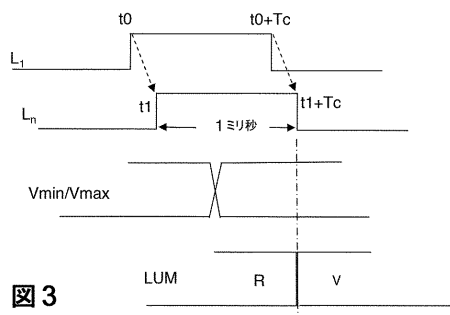


図 3

【 図 4 】

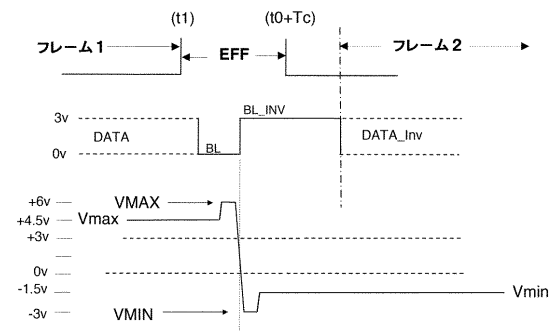


図 4

【図 5】

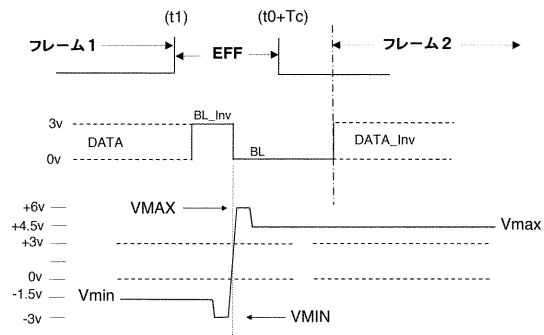


図 5

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2011/050814

A. CLASSIFICATION OF SUBJECT MATTER INV. G09G3/36 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EP0-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9 138421 A (SHARP KK) 27 May 1997 (1997-05-27) * abstract figures 1-4,13	1-9
X	US 2009/219237 A1 (YAMAZAKI KATSUNORI [JP]) 3 September 2009 (2009-09-03) paragraphs [0002] - [0004], [0036] - [0043], [0065] - [0077], [0105] - [0106] figures 1,2,7	1-5,9
A	US 7 019 725 B1 (LEE HYUN CHANG [KR] ET AL) 28 March 2006 (2006-03-28) column 6, line 47 - column 7, line 25 figures 8-9	1
----- -/-		
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
14 March 2011		24/03/2011
Name and mailing address of the ISA/ European Patent Office, P.B. 6818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040 Fax: (+31-70) 340-3016		Authorized officer
		Ladiray, Olivier

1

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2011/050814

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/189586 A1 (NAGASE YOJI [JP]) 30 September 2004 (2004-09-30) paragraphs [0005] - [0016] figure 26	9
A	----- US 2008/094383 A1 (STESSEN JEROEN HUBERT CHRISTOF [NL] ET AL) 24 April 2008 (2008-04-24) paragraphs [0005], [0045] - [0046] figures 2C-2E -----	9

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2011/050814

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 9138421	A	27-05-1997	JP 3240367 B2	17-12-2001
US 2009219237	A1	03-09-2009	CN 101520978 A	02-09-2009
			JP 2009205045 A	10-09-2009
			KR 20090093797 A	02-09-2009
US 7019725	B1	28-03-2006	KR 20010028629 A	06-04-2001
US 2004189586	A1	30-09-2004	JP 2004301989 A	28-10-2004
			KR 20040086191 A	08-10-2004
			TW 1253613 B	21-04-2006
US 2008094383	A1	24-04-2008	CN 1993724 A	04-07-2007
			EP 1774503 A1	18-04-2007
			WO 2006013525 A1	09-02-2006
			JP 2008508550 T	21-03-2008
			KR 20070053207 A	23-05-2007

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2011/050814

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. G09G3/36 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) G09G		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	JP 9 138421 A (SHARP KK) 27 mai 1997 (1997-05-27) * abrégé figures 1-4,13	1-9
X	----- US 2009/219237 A1 (YAMAZAKI KATSUNORI [JP]) 3 septembre 2009 (2009-09-03) alinéas [0002] - [0004], [0036] - [0043], [0065] - [0077], [0105] - [0106] figures 1,2,7	1-5,9
A	----- US 7 019 725 B1 (LEE HYUN CHANG [KR] ET AL) 28 mars 2006 (2006-03-28) colonne 6, ligne 47 - colonne 7, ligne 25 figures 8-9 ----- -/-	1
☒ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiquées en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée		Date d'expédition du présent rapport de recherche internationale
14 mars 2011		24/03/2011
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Ladiray, Olivier

1

Formulaire PCT/ISA/210 (deuxième feuille) (avril 2005)

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2011/050814

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 2004/189586 A1 (NAGASE YOJI [JP]) 30 septembre 2004 (2004-09-30) alinéas [0005] - [0016] figure 26	9
A	----- US 2008/094383 A1 (STESSEN JEROEN HUBERT CHRISTOF [NL] ET AL) 24 avril 2008 (2008-04-24) alinéas [0005], [0045] - [0046] figures 2C-2E -----	9

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2011/050814

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
JP 9138421	A	27-05-1997	JP 3240367 B2	17-12-2001
US 2009219237	A1	03-09-2009	CN 101520978 A	02-09-2009
			JP 2009205045 A	10-09-2009
			KR 20090093797 A	02-09-2009
US 7019725	B1	28-03-2006	KR 20010028629 A	06-04-2001
US 2004189586	A1	30-09-2004	JP 2004301989 A	28-10-2004
			KR 20040086191 A	08-10-2004
			TW 1253613 B	21-04-2006
US 2008094383	A1	24-04-2008	CN 1993724 A	04-07-2007
			EP 1774503 A1	18-04-2007
			WO 2006013525 A1	09-02-2006
			JP 2008508550 T	21-03-2008
			KR 20070053207 A	23-05-2007

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 E
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5

(81) 指定国

AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 5C080 AA10 BB05 CC03 DD08 EE29 EE30 FF11 JJ02 JJ03 JJ04

专利名称(译)	一种在液晶显示器上写入图像的方法		
公开(公告)号	JP2013519105A	公开(公告)日	2013-05-23
申请号	JP2012550399	申请日	2011-01-21
[标]申请(专利权)人(译)	原子能委员会		
申请(专利权)人(译)	Komishiria一个Reneruji原子D 2 O Enajizu Orutanetivuzu		
[标]发明人	ロッシーニウンベルト		
发明人	ロッシーニ、ウンベルト		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 A43D3/14		
CPC分类号	A43D3/1425 G09G3/3614 G09G3/3655 G09G3/3677 G09G2310/0235 G09G2310/0245 G09G2310/063 G09G2320/0233 G09G2320/0238		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.621.A G09G3/20.621.F G09G3/20.641.C G09G3/20.641.E G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H193/ZA04 2H193/ZB09 2H193/ZC25 2H193/ZD01 2H193/ZE02 2H193/ZG34 5C006/AA14 5C006/AA16 5C006/AA22 5C006/AC28 5C006/AF44 5C006/BB16 5C006/FA14 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD08 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	高久木村		
优先权	2010001292 2010-03-30 FR 2010000403 2010-02-02 FR		
外部链接	Espacenet		

摘要(译)

彩色顺序型液晶屏幕技术领域本发明涉及一种彩色顺序型液晶屏幕，尤其涉及一种在LCOS技术屏幕（集成电路屏幕）上显示的方法。对于每个像素，像素电极和对置电极（CE）之间的液晶对于所有像素都是公用的，并且对置电极的电势交替变化。写入图像涉及对各行的连续寻址以及将电压电平同时施加到列导体。在写入阶段之后是在帧结束之前切换对电极电位的阶段，在该阶段中，在该切换阶段的给定时刻，所有行的所有晶体管同时处于导通状态，从而它们相互导通。在重叠期间，不同行的晶体管逐行依次导通（ $L_1 \sim L_n$ ），并且此时反电极的电势切换。因此，避免了在切换对电极电势时控制晶体管上像素水平的过电压。

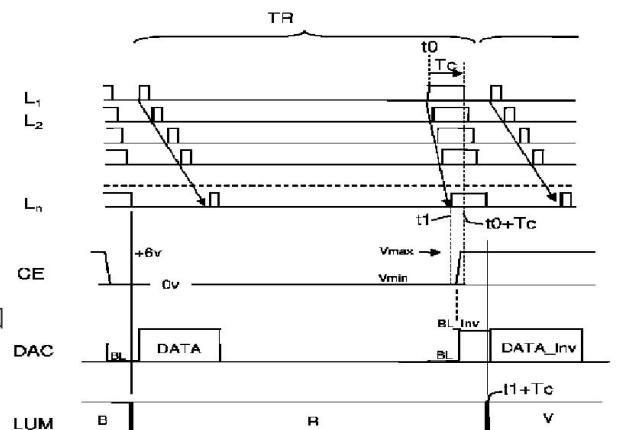


Fig. 2