

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2013-83804
(P2013-83804A)

(43) 公開日 平成25年5月9日(2013.5.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611J	5C006
G02F 1/133 (2006.01)	G09G 3/20 624D	5C080
	G02F 1/133 575	

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号	特願2011-223786 (P2011-223786)	(71) 出願人	502356528
(22) 出願日	平成23年10月11日 (2011.10.11)		株式会社ジャパンディスプレイイースト
			千葉県茂原市早野3300番地
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(72) 発明者	山岸 康彦
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		Fターム(参考)	2H193 ZA04 ZA07 ZB05 ZB07 ZC13
			ZD02 ZD13 ZF42 ZF43 ZF59
			ZH21 ZH45 ZH46 ZH53 ZQ06
			ZQ11 ZQ16
			最終頁に続く

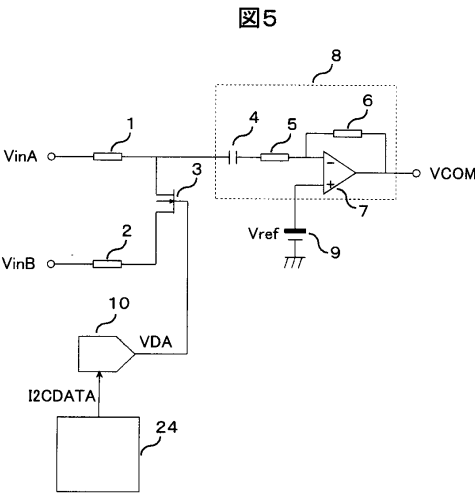
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶表示装置において、共通電圧の電位変動をキャンセルし、液晶表示パネルに表示する画面の画質が劣化するのを防止し、高品位の画像を提供する。

【解決手段】各画素が、画素電極と、対向電極とを有し、1表示ライン上の互いに隣接する2つの画素を画素Aと画素Bとすると、映像電圧の書き込み時に、前記画素Aの前記画素電極に対して前記対向電極に供給される前記共通電圧よりも高電位の映像電圧を印加し、前記画素Bの前記画素電極に対して前記対向電極に供給される前記共通電圧よりも低電位の映像電圧を印加する液晶表示装置であって、前記対向電極の複数箇所の電位変動を検出し、前記共通電圧生成回路にフィードバックするフィードバック手段を有し、前記共通電圧生成回路は、前記フィードバック手段によりフィードバックされた電位変動に基づき、基準共通電圧に電位変動を相殺する逆補正電圧を重畳した共通電圧を前記対向電極に対して供給する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

複数の画素を有する液晶表示パネルを備え、

前記各画素は、映像電圧が供給される画素電極と、共通電圧が供給される前記対向電極とを有し、

1 表示ライン上の互いに隣接する 2 つの画素を画素 A と画素 B とするとき、前記映像電圧を前記画素電極に書き込む時に、前記画素 A が有する前記画素電極に対して前記対向電極に供給される前記共通電圧よりも高電位の映像電圧を印加し、前記画素 B が有する前記画素電極に対して前記対向電極に供給される前記共通電圧よりも低電位の映像電圧を印加する液晶表示装置であって、

10

前記各画素が有する前記対向電極の各々に供給する共通電圧を生成する共通電圧生成回路と、

前記対向電極の各々の内の複数箇所において、共通電圧の電位変動を検出し、前記共通電圧生成回路にフィードバックするフィードバック手段を有し、

前記共通電圧生成回路は、前記フィードバック手段によりフィードバックされた前記電位変動に基づき、前記電位変動がフィードバックされる前の共通電圧である基準共通電圧に、前記電位変動を相殺する逆補正電圧を重畳した共通電圧を前記対向電極に対して供給することを特徴とする液晶表示装置。

【請求項 2】

前記共通電圧生成回路から前記対向電極の各々へ前記共通電圧を供給する供給端を有し

20

、
前記供給端から見て、遠端に位置する箇所を A 点、A 点よりも近端に位置する箇所を B 点、前記 A 点の電圧変動を電圧 A、前記 B 点の電圧変動を電圧 B とするとき、前記フィードバック手段は、前記電圧 A と前記電圧 B の 2 箇所の電位変動を検出し、前記共通電圧生成回路にフィードバックすることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記共通電圧生成回路は、前記電圧 A と前記電圧 B を混合する混合手段と、

前記混合手段で混合した電圧を反転増幅し前記基準共通電圧に重畳して前記対向電極に供給するアンプ回路とを有することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

30

前記液晶表示パネルの垂直走査方向は、前記 A 点から前記 B 点に向かう方向であり、

前記混合手段は、一垂直走査期間の始まりに、前記電圧 A と前記電圧 B の混合比の大小関係が、電圧 A > 電圧 B であり、一垂直走査期間の進行に伴い、前記電圧 A と前記電圧 B の混合比の大小関係が、電圧 A < 電圧 B となるように、連続的に前記混合比の大小関係を変化させることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記液晶表示パネルの垂直走査方向は、前記 A 点から前記 B 点に向かう方向であり、

前記混合手段は、一垂直走査期間の始まりに、前記電圧 A と前記電圧 B の混合比の大小関係が、電圧 A > 電圧 B であり、一垂直走査期間の終わりに近づくにつれて、前記電圧 A と前記電圧 B の混合比の大小関係が、電圧 A < 電圧 B となるように、連続的に前記混合比の大小関係を変化させることを特徴とする請求項 3 に記載の液晶表示装置。

40

【請求項 6】

前記混合手段は、一端に前記電圧 A が入力される抵抗 A と、

一端に前記電圧 B が入力される抵抗 B と、

前記抵抗 A の他端と前記抵抗 B の他端との間に接続されるトランジスタを有し、

前記抵抗 A の抵抗値は、前記抵抗 B の抵抗値よりも大きく、

前記電圧 A は、前記抵抗 A を介して前記アンプ回路に入力され、

前記電圧 B は、前記抵抗 B と前記トランジスタを介して前記アンプ回路に入力され、

前記トランジスタのゲート電圧を変化させて、前記電圧 A と前記電圧 B の混合比を変化させることを特徴とする請求項 4 または請求項 5 に記載の液晶表示装置。

50

【請求項 7】

前記混合手段は、入力されるデジタル制御信号をアナログ制御信号に変換し、当該変換したアナログ制御信号を前記トランジスタのゲートに入力する D/A 変換回路を有し、

前記入力されるデジタル制御信号の変化に応じて前記トランジスタのゲート電圧を変化させて、前記電圧 A と前記電圧 B の混合比を変化させることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記混合手段は、一端に前記電圧 A が入力される抵抗 A と、

一端に前記電圧 B が入力される抵抗 B と、

前記抵抗 A の他端と前記抵抗 B の他端との間に接続され、前記デジタル制御信号が入力されるデジタル制御可変抵抗を有し、

前記抵抗 A の抵抗値は、前記抵抗 B の抵抗値よりも大きく、

前記電圧 A は、前記抵抗 A を介して前記アンプ回路に入力され、

前記電圧 B は、前記抵抗 B と前記デジタル制御可変抵抗を介して前記アンプ回路に入力され、

前記入力されるデジタル制御信号の変化に応じて前記デジタル制御可変抵抗の抵抗値を変化させて、前記電圧 A と前記電圧 B の混合比を変化させることを特徴とする請求項 4 または請求項 5 に記載の液晶表示装置。

【請求項 9】

表示制御回路と、電源回路とを有し、

前記共通電圧生成回路は、前記電源回路内に設けられ、

前記表示制御回路は、前記デジタル制御信号を生成し、前記電源回路内の前記共通電圧生成回路に入力することを特徴とする請求項 7 または請求項 8 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、駆動方法として、ドット反転法等のコモン対称法を採用する液晶表示装置に関する。

【背景技術】

【0002】

アクティブ素子として薄膜トランジスタを使用する TFT 方式の液晶表示装置は、高精細な画像を表示できるため、テレビ、パソコン用ディスプレイ等の表示装置として多用されている。

液晶表示装置は、基本的には、少なくとも一方が透明なガラス等からなる二枚の（一对の）基板の間に、液晶層を挟持した、所謂、液晶表示パネルを有し、この液晶表示パネルの基板に形成した画素形成用の各種電極に選択的に電圧を印加して、所定画素の点灯と消灯を行うもので、コントラスト性能、高速表示性能に優れている。

液晶層は、長時間同じ電圧（直流電圧）が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。これを防止するために、液晶表示装置では、液晶層に印加する電圧を、一定時間毎に交流化、即ち、対向電極に供給される共通電圧（VCOM）を基準にして、画素電極に印加する電圧を、一定時間毎に正電圧側 / 負電圧側に变化させるようにしている。

この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の 2 つ方法が知られている。（下記特許文献 1 参照）

コモン対称法とは、対向電極に供給する共通電圧（VCOM）を一定とし、画素電極に印加する電圧（即ち、階調電圧）を、共通電圧（VCOM）よりも高電位の電圧、あるいは、共通電圧（VCOM）よりも低電位の電圧に反転させる方法で、ドット反転法、あるいは n ライン（例えば、2 ライン）反転法などが知られている。

【先行技術文献】

【特許文献】

【 0 0 0 3 】

【特許文献 1】特開 2 0 0 9 - 1 5 3 3 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

図 1 1 は、液晶表示装置のドット反転法における画素の駆動極性を示す図である。

ドット反転法では、隣接する画素、例えば、G 0 ラインの D R 0 (+) と D G 0 (-) に着目すると、画素の極性はプラス (+) とマイナス (-) で、それ以降の画素においても、隣り合う画素の極性が反対になる様に駆動する。ここで、プラス (+) とは、画素に対する階調電圧の書き込み時に、画素電極に対して対向電極よりも高電位の階調電圧を印加し、マイナス (-) とは、画素に対する階調電圧の書き込み時に、画素電極に対して対向電極よりも低電位の階調電圧を印加することを意味する。

10

次のフレームでは、画素の極性が、前のフレームの極性と反対になる。即ち、前のフレームで、極性が (+) の画素は、次のフレームでは、極性が (-) になり、前のフレームで、極性が (-) の画素は、次のフレームでは、極性が (+) となる。

図 1 2 は、ドット反転駆動法で液晶表示パネルに、1 ドット毎に白 / 黒の縦ストライプの映像を表示する時の、各画素に書き込まれた階調電圧の電位を示す図である。

なお、図 1 1、図 1 2 の説明では、各画素に供給される階調電圧と、共通電圧 (V C O M) との間の電位差が大きい程高い輝度を示す、所謂ノーマリ黒表示モード (Normally Black-displaying Mode) で動作することを前提としている。

20

【 0 0 0 5 】

ドット反転法において、液晶表示パネルに、1 ドット毎に白 / 黒の縦ストライプの映像を表示すると、1 番目の画素の極性は、D R 0 の赤のピクセルと、D B 0 の青のピクセルがプラス (+) で、D G 0 の緑のピクセルがマイナス (-)、2 番目の画素の極性は、D R 1 の赤のピクセルと、D B 1 の青のピクセルがマイナス (-)、D G 1 の緑のピクセルがプラス (+) となり、1 番目の画素 (D R 0 , D G 0 , D B 0) における書き込み映像電圧の実効値は、対向電極に供給される共通電圧 (V C O M) に対してプラス (+) 側に、2 番目の画素 (D R 1 , D G 1 , D B 1) における書き込み電圧の実効値は、対向電極に供給される共通電圧 (V C O M) に対してマイナス (-) 側に偏る。

そのため、画素への階調電圧の書き込み過程において、画素の薄膜トランジスタの寄生容量や書き込み電圧の影響を受け、共通電圧 (V C O M) の電位に歪が生じ、本来一定電圧である共通電圧 (V C O M) の電位が、図 1 2 中の点線で示す V O C M ' の様に変動し、1 番目の画素 (D R 0 , D G 0 , D B 0) の対向電極の共通電圧 (V C O M) は全体的に、正側 (V C O M よりも高電位側の電位) へ歪み、赤及び青の画素 (D R 0 , D B 0) への書き込み電圧 ($\Delta V 1$) が小さくなり、緑の画素 (D G 0) の書き込み電位 ($\Delta V 2$) が逆に大きくなる。

30

前述した共通電圧 (V C O M) の実効電圧の変動は、G 0 の次のラインの G 1 のラインにおいても同様に起こり、G 0 のラインと G 1 のラインでは、画素極性が反対のため、歪む方向が反対となるが、実効電圧 (ΔV) の変動量は同じである。

【 0 0 0 6 】

40

前記した共通電圧 (V C O M) の変動が起因となり、液晶表示パネルに、白 / 黒の縦ストライプの映像を表示すると、液晶表示パネルの画面全体的が緑色に見え、画質が劣化する。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、共通電圧の電位変動をキャンセルし、液晶表示パネルに表示する画面の画質が劣化するのを防止し、高品位の画像を提供することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

50

【 0 0 0 7 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 複数の画素を有する液晶表示パネルを備え、前記各画素は、映像電圧が供給される画素電極と、共通電圧が供給される前記対向電極とを有し、1表示ライン上の互いに隣接する2つの画素を画素Aと画素Bとすると、前記映像電圧を前記画素電極に書き込む時に、前記画素Aが有する前記画素電極に対して前記対向電極に供給される前記共通電圧よりも高電位の映像電圧を印加し、前記画素Bが有する前記画素電極に対して前記対向電極に供給される前記共通電圧よりも低電位の映像電圧を印加する液晶表示装置であって、前記各画素が有する前記対向電極の各々に供給する共通電圧を生成する共通電圧生成回路と、前記対向電極の各々の内の複数箇所において、共通電圧の電位変動を検出し、前記共通電圧生成回路にフィードバックするフィードバック手段を有し、前記共通電圧生成回路は、前記フィードバック手段によりフィードバックされた前記電位変動に基づき、前記電位変動がフィードバックされる前の共通電圧である基準共通電圧に、前記電位変動を相殺する逆補正電圧を重畳した共通電圧を前記対向電極に対して供給する。

10

(2) (1) において、前記共通電圧生成回路から前記対向電極の各々へ前記共通電圧を供給する供給端を有し、前記供給端から見て、遠端に位置する箇所をA点、A点よりも近端に位置する箇所をB点、前記A点の電圧変動を電圧A、前記B点の電圧変動を電圧Bとすると、前記フィードバック手段は、前記電圧Aと前記電圧Bの2箇所の電位変動を検出し、前記共通電圧生成回路にフィードバックする。

20

【 0 0 0 8 】

(3) (2) において、前記共通電圧生成回路は、前記電圧Aと前記電圧Bを混合する混合手段と、前記混合手段で混合した電圧を反転増幅し前記基準共通電圧に重畳して前記対向電極に供給するアンプ回路とを有する。

(4) (3) において、前記液晶表示パネルの垂直走査方向は、前記A点から前記B点に向かう方向であり、前記混合手段は、一垂直走査期間の始まりに、前記電圧Aと前記電圧Bの混合比の大小関係が、電圧A > 電圧Bであり、一垂直走査期間の進行に伴い、前記電圧Aと前記電圧Bの混合比の大小関係が、電圧A < 電圧Bとなるように、連続的に前記混合比の大小関係を変化させる。

30

(5) (3) において、前記液晶表示パネルの垂直走査方向は、前記A点から前記B点に向かう方向であり、前記混合手段は、一垂直走査期間の始まりに、前記電圧Aと前記電圧Bの混合比の大小関係が、電圧A > 電圧Bであり、一垂直走査期間の終わりに近づくにつれて、前記電圧Aと前記電圧Bの混合比の大小関係が、電圧A < 電圧Bとなるように、連続的に前記混合比の大小関係を変化させる。

【 0 0 0 9 】

(6) (4) または (5) において、前記混合手段は、一端に前記電圧Aが入力される抵抗Aと、一端に前記電圧Bが入力される抵抗Bと、前記抵抗Aの他端と前記抵抗Bの他端との間に接続されるトランジスタを有し、前記電圧Aは、前記抵抗Aを介して前記アンプ回路に入力され、前記抵抗Aの抵抗値は、前記抵抗Bの抵抗値よりも大きく、前記電圧Bは、前記抵抗Bと前記トランジスタを介して前記アンプ回路に入力され、前記トランジスタのゲート電圧を変化させて、前記電圧Aと前記電圧Bの混合比を変化させる。

40

(7) (6) において、前記混合手段は、入力されるデジタル制御信号をアナログ制御信号に変換し、当該変換したアナログ制御信号を前記トランジスタのゲートに入力するD/A変換回路を有し、前記入力されるデジタル制御信号の変化に応じて前記トランジスタのゲート電圧を変化させて、前記電圧Aと前記電圧Bの混合比を変化させる。

【 0 0 1 0 】

(8) (4) または (5) において、前記混合手段は、一端に前記電圧Aが入力される抵抗Aと、一端に前記電圧Bが入力される抵抗Bと、前記抵抗Aの他端と前記抵抗Bの他端との間に接続され、前記デジタル制御信号が入力されるデジタル制御可変抵抗を有し、前記抵抗Aの抵抗値は、前記抵抗Bの抵抗値よりも大きく、前記電圧Aは、前記抵抗Aを介

50

して前記アンプ回路に入力され、前記電圧 B は、前記抵抗 B と前記デジタル制御可変抵抗を介して前記アンプ回路に入力され、前記入力されるデジタル制御信号の変化に応じて前記デジタル制御可変抵抗の抵抗値を変化させて、前記電圧 A と前記電圧 B の混合比を変化させる。

(9) (7) または (8) において、表示制御回路と、電源回路とを有し、前記共通電圧生成回路は、前記電源回路内に設けられ、前記表示制御回路は、前記デジタル制御信号を生成し、前記電源回路内の前記共通電圧生成回路に入力する。

【発明の効果】

【 0 0 1 1 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。 10

本発明の液晶表示装置によれば、共通電圧の電位変動をキャンセルして、液晶表示パネルに表示する画面の画質が劣化するのを防止し、高品位の画像を提供することが可能となる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】本発明の前提となる液晶表示装置の概略構成を示すブロック図である。

【図 2】図 1 に示す液晶表示パネルの一例の等価回路を示す図である。

【図 3】本発明の制御信号である交流化信号 (M) と、対向電極に印加される共通電圧 (V C O M) の電圧波形を示す図である。 20

【図 4】本発明の実施例 1 の液晶表示装置において、液晶表示パネルに共通電圧を供給する供給方法を説明するための図である。

【図 5】本発明の実施例 1 の液晶表示装置の共通電圧生成回路の回路構成を示す回路図である。

【図 6】本発明の実施例 1 の液晶表示装置の交流化信号 (M) と、V C O M 生成回路で生成される逆補正共通電圧の波形を示す図である。

【図 7】本発明の実施例 1 の液晶表示装置の共通電圧生成回路のタイミング波形を示す図である。

【図 8】本発明の実施例 1 の液晶表示装置の変形例の共通電圧生成回路の回路構成を示す回路図である。 30

【図 9】本発明の実施例 1 の液晶表示装置の変形例の共通電圧生成回路のタイミング波形を示す図である。

【図 1 0】本発明の実施例 2 の液晶表示装置の共通電圧生成回路の回路構成を示す回路図である。

【図 1 1】液晶表示装置のドット反転法における画素の駆動極性を示す図である。

【図 1 2】ドット反転駆動法で液晶表示パネルに、1 ドット毎に白 / 黒の縦ストライプの映像を表示する時の、各画素に書き込まれた階調電圧の電位を示す図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、図面を参照して本発明の実施例を詳細に説明する。 40

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

〔本発明の前提となる液晶表示装置の構成〕

図 1 は、本発明の前提となる液晶表示装置の概略構成を示すブロック図である。

本実施例の液晶表示装置は、液晶表示パネル 2 1 と、ドレイン・ドライバ部 2 3 と、ゲート・ドライバ部 2 2 と、表示制御回路 2 4 と、電源回路 2 5 とで構成される。

ドレイン・ドライバ部 2 3 は、複数のドレインドライバで構成され、当該複数のドレインドライバは、液晶表示パネル 2 1 の周辺部に設置される。例えば、複数のドレインドライバは、液晶表示パネル 2 1 の一対の基板の第 1 の基板 (例えば、ガラス基板) の 1 辺の 50

周辺部にＣＯＧ方式で実装される。あるいは、複数のドレインドライバは、液晶表示パネル２１の第１の基板の辺の周辺部に配置されるフレキシブル回路基板にＣＯＦ方式で実装される。

同様に、ゲート・ドライバ部２２は、複数のゲートドライバで構成され、当該複数のゲートドライバは、液晶表示パネル２１の周辺部に設置される。例えば、複数のゲートドライバは、液晶表示パネル２１の一对の基板の第１の基板（例えば、ガラス基板）の１辺（ドレインドライバが実装されている辺の以外の１辺）の周辺部にＣＯＧ方式で実装される。あるいは、複数のゲートドライバは、液晶表示パネル２１の第１の基板の１辺（ドレインドライバが実装されている辺の以外の１辺）の周辺部に配置されるフレキシブル回路基板にＣＯＦ方式で実装される。

10

【００１４】

表示制御回路２４と、電源回路２５は、液晶表示パネル２１の周辺部（例えば、液晶表示装置の裏側）に配置される回路基板にそれぞれ実装される。

表示制御回路２４には、パソコンやテレビ受信回路等の表示信号源（ホスト側）から、表示データ（Ｒ，Ｇ，Ｂ）と、クロック（ＣＬＫ）、垂直同期信号（Ｖｓｙｎｃ）、水平同期信号（Ｈｓｙｎｃ）、ディスプレイタイミング信号（ＤＴＭＧ）等の表示制御信号が入力される。

表示制御回路２４は、表示データの交流化等、液晶表示パネル２１の表示に適したタイミング調整を行い、表示形式の表示データに変換して同期信号（クロック信号）と共にドレイン・ドライバ部２３の各ドレインドライバと、ゲート・ドライバ部２２の各ゲート・ドライバに入力する。

20

各ゲートドライバは、表示制御回路２４の制御の基に走査線（ゲート線ともいう；Ｇ）に選択走査電圧を順次供給し、また、各ドレインドライバは、映像線（ドレイン線、ソース線ともいう；Ｄ）に階調電圧（映像電圧ともいう）を供給して映像を表示する。電源回路２５は、入力電圧（ＶＩＮ）に基づき、液晶表示装置に要する各種の電圧を生成する。

【００１５】

図２は、図１に示す液晶表示パネル２１の一例の等価回路を示す図である。

図２に示すように、液晶表示パネル２１は、複数のサブピクセルを有し、各サブピクセルは、映像線（Ｄ）と走査線（Ｇ）とで囲まれた領域に設けられる。

各サブピクセルは、薄膜トランジスタ（ＴＦＴ）を有し、薄膜トランジスタ（ＴＦＴ）の第１の電極（ドレイン電極またはソース電極）は映像線（Ｄ）に接続され、薄膜トランジスタ（ＴＦＴ）の第２の電極（ソース電極またはドレイン電極）は画素電極（ＩＴＯ１）に接続される。また、薄膜トランジスタ（ＴＦＴ）のゲート電極は、走査線（Ｇ）に接続される。

30

なお、図２において、Ｃ１ｃは、画素電極（ＩＴＯ１）と対向電極（ＩＴＯ２）との間に配置される液晶層を等価的に示す液晶容量であり、Ｃｓｔｇは、画素電極（ＩＴＯ１）と対向電極（ＩＴＯ２）との間に形成される保持容量である。

図２に示す液晶表示パネル２１において、列方向に配置された各サブピクセルの薄膜トランジスタ（ＴＦＴ）の第１の電極は、それぞれ映像線（Ｄ）に接続され、各映像線（Ｄ）は列方向に配置されたサブピクセルに、表示データに対応する階調電圧を供給するドレインドライバ２３Ａに接続される。

40

【００１６】

また、行方向に配置された各サブピクセルにおける薄膜トランジスタ（ＴＦＴ）のゲート電極は、それぞれ走査線（Ｇ）に接続され、各走査線（Ｇ）は、１水平走査時間、薄膜トランジスタ（ＴＦＴ）のゲートに走査電圧（正または負のバイアス電圧）を供給するゲートドライバ２２Ａに接続される。なお、図２では、ドレインドライバ２３Ａと、ゲートドライバ２２Ａは１個しか図示していないが、実際には２個以上の複数個配置される場合もある。

液晶表示パネル２１に画像を表示する際、ゲートドライバ２２Ａは、順次、走査線（Ｇ０、Ｇ１、…Ｇｊ、Ｇｊ＋１）を上から下に向かって（Ｇ０→Ｇ１…の順番で）選択し、

50

一方、ある走査線（G）の選択期間中に、ドレインドライバ23Aは、表示データに対応する階調電圧を映像線（D）に供給する。

映像線（D）に供給された電圧は、薄膜トランジスタ（TFT）を経由して、画素電極（ITO1）に印加され、最終的に、保持容量（Cstg）と、液晶容量（Clc）に電荷がチャージされ、液晶分子をコントロールすることにより画像が表示される。

【0017】

なお、以下の説明でも、各画素に供給される階調電圧と、共通電圧（VCOM）との間の電位差が大きい程高い輝度を示す、所謂ノーマリ黒表示モード（Normally Black-displaying Mode）で動作することを前提としている。

液晶表示パネル21は、画素電極（ITO1）、薄膜トランジスタ（TFT）等が形成される第1の基板と、カラーフィルタ等が形成される第2の基板とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

なお、対向電極（ITO2）は、TN方式やVA方式の液晶表示パネルであれば第2の基板側に設けられる。IPS方式の場合は、第1の基板側に設けられる。

また、本発明は、液晶表示パネルの内部構造とは関係がないので、液晶表示パネルの内部構造の詳細な説明は省略する。さらに、本発明は、どのような構造の液晶表示パネルであっても適用可能である。

【0018】

[本発明の特徴]

図3は、本発明の制御信号である交流化信号（M）と、対向電極（ITO2）に印加される共通電圧（VCOM）の電圧波形を示す図である。

図3中、交流化信号（M）は、画素に階調電圧を書き込むときの交流化極性を決める信号であり、一水平走査期間（1H）毎に、High/Lowを繰り返し、High（以下、単にHという。）レベル期間（図3では+で表示）に、例えば、奇数番目の画素に対してVCOMの電圧よりも高電位の階調電圧を書き込み、偶数番目の画素に対してVCOMの電圧よりも低電位の階調電圧を書き込み、Low（以下、単にLという。）レベル期間（図3では-で表示）に、例えば、奇数番目の画素に対してVCOMの電圧よりも低電位の階調電圧を書き込み、偶数番目の画素に対してVCOMの電圧よりも高電位の階調電圧を書き込む。

液晶表示パネル21に、1画素毎に、白/黒の縦ストライプ映像を表示した場合、対向電極（ITO2）の共通電圧（VCOM）の電位は、前述したVCOMの電圧の歪により、交流化信号（M）の極性にあわせて、上下に変動を繰り返し、画面全体的が緑色に見え、画質を劣化させる原因となる。また、カラーパターンと中間調ラストの表示パターンを複合的に同時に表示した際、中間調ラスト表示部にスミアが生じる画質劣化が起こる。

本発明では、この対向電極（ITO2）の電位変動を相殺（または、キャンセル）する逆補正電圧を、基準共通電圧に重畳した共通電圧（VCOMR；以下、逆補正共通電圧という。）を電源回路25で作成し、液晶表示パネル21内の対向電極（ITO2）に供給し、対向電極（ITO2）の電位変動をキャンセルする。結果として、液晶表示パネル21の表示画面が緑色に着色する画質劣化を低減し、高品位の画像を提供することができる。

【0019】

[実施例1]

図4は、本発明の実施例1の液晶表示装置において、液晶表示パネルに共通電圧を供給する供給方法を説明するための図である。

図4に示す対向電極（ITO2）は、面状に形成されており、液晶表示パネル21の下側の辺（図4の下側の辺）から、対向電極（ITO2）に共通電圧（VCOM）を供給する。共通電圧給電端から見ると、図4に示すA点が遠端部、B点が近端部の位置関係となる。なお、本実施例の液晶表示パネル21では、各フレームの垂直走査方向は、図4の遠端部A点から近端部B点に向かって走査することを前提とする。

液晶表示パネル 21 が大型化するにつれ、共通電圧供給端からの抵抗成分が無視できなくなり、共通電圧供給端に近い近端部 B と、共通電圧供給端から遠い遠端部 A では、対向電極 (ITO2) の電位変動によるカップリングノイズの差が大きくなるという問題が発生する。

そこで、遠端部 A 点での対向電極 (ITO2) の電圧変動を電圧 A、近端部 B 点での対向電極 (ITO2) の電圧変動を電圧 B とするとき、液晶表示パネル面内の対向電極 (ITO2) の抵抗成分は、共通電圧供給端から遠ざかる程大きくなるため、垂直走査の過程で、A 点から B 点に走査をする際に、対向電極 (ITO2) の電圧変動量は、「電圧 A > 電圧 B」となる。

カラーパターンを表示した際も、遠端部 A 点での対向電極 (ITO2) の電圧変動 (電圧 A) が、近端部 B 点での対向電極 (ITO2) の電圧変動 (電圧 B) よりも大きくなるため、前述の図 3 に示す VCOM 電圧の逆補正電圧 (VCOMR) も、「VCOMRA > VCOMRB」とすることが望ましい。ここで、VCOMRA は、遠端部 A 点での逆補正電圧、VCOMRB は、近端部 B 点での逆方正電圧である。

このように、液晶表示パネル 21 の対向電極 (ITO2) の電圧変動に対して、垂直走査位置における逆補正電圧を対向電極 (ITO2) に印加することで、対向電極 (ITO2) の電圧変動をキャンセルし、カラーパターンでの画質劣化が軽減させる。

【0020】

図 5 は、本発明の実施例 1 の液晶表示装置の共通電極生成回路 (VCOM 生成回路ともいう) の回路構成を示す回路図である。

図 5 中の VinA と、VinB は、VCOM 生成回路の入力信号であり、図 4 に示した、液晶表示パネル 21 の遠端部 A 点における対向電極 (ITO2) の電圧変動と、近端部 B 点における対向電極 (ITO2) の電圧変動を表す。

図 5 中の VCOM は、VCOM 生成回路からの出力電圧であり、前述の図 3 に示す VCOMR の電圧に相当し、この電圧が、液晶表示パネル 21 の対向電極 (ITO2) に供給される。

図 5 に示す VCOM 生成回路は、抵抗 1 と、抵抗 2 と、トランジスタ 3 (例えば MOS トランジスタ、n チャンネル電界効果トランジスタ) と、トランジスタ 3 のゲートバイアス電圧を生成する 10bit 精度の D/A コンバータ 10 と、反転増幅回路 8 とで構成される。

ここで、抵抗 1 は、液晶表示パネル 21 の遠端部 A 点から液晶表示パネル 21 の一端までの、液晶表示パネル 21 内の配線 (図 4 の LINEA) の配線抵抗であり、抵抗 2 は、液晶表示パネル 21 の近端部 B 点から液晶表示パネル 21 の一端までの、液晶表示パネル 21 内の配線 (図 4 の LINEB) の配線抵抗である。

抵抗 1、抵抗 2 は、配線 (LINEA) と配線 (LINEB) の配線距離の違いから、抵抗値の大小関係が、「抵抗 1 > 抵抗 2」となっており、抵抗 1 が大凡 700Ω、抵抗 2 が 10Ω 程度の値である。

トランジスタ 3 は混合手段を構成し、トランジスタ 3 は、D/A コンバータ 10 の出力信号 (VDA) により内部抵抗を変化させて、VinA の電圧と VinB の電圧の混合比を変化させる。D/A コンバータ 10 の出力信号 (VDA) は、表示制御回路 24 により制御される。

【0021】

反転増幅回路 8 は、固定抵抗 5 と固定抵抗 6 とオペアンプ 7 とで構成され、オペアンプ 7 の比反転端子 (+) には、Vref の基準電圧 9 が入力される。トランジスタ 3 で混合された、VinA の電圧と VinB の電圧の混合電圧は、コンデンサ 4 を介して (所謂、交流結合により)、反転増幅回路 8 に入力される。

反転増幅回路 8 のアンプゲイン G は、「G = 固定抵抗 6 / 固定抵抗 5」で表され、アンプゲイン G を数倍から数十倍に設定するため、「固定抵抗 5 < 固定抵抗 6」とする。なお、対向電極 (ITO2) の共通電圧供給端に、逆補正電圧を印加しても、例えば、遠端部 A 点では、対向電極 (ITO2) の抵抗成分により電位が低下するので、反転増幅回路 8

10

20

30

40

50

のアンブゲイン G は、約 3 程度が好ましい。例えば、 $G = 3$ 倍の場合、「固定抵抗 $5 = 1 \text{ k}\Omega$ 」、「固定抵抗 $6 = 3 \text{ k}\Omega$ 」とする。

V_{COM} 生成回路の出力電圧 (V_{COM}) は、以下の通りとなる。

(1) トランジスタ 3 が OFF 状態の場合

$$V_{COM} = V_{ref} + V_{inA} * G$$

(2) トランジスタ 3 が OFF 状態から ON 状態に遷移する過程にある場合

$$V_{COM} = V_{ref} + (V_{inA} + V_{inB}) * G$$

(3) トランジスタ 3 が ON 状態にある場合、「抵抗 $1 > \text{抵抗 } 2$ 」の関係から、インピーダンスの低い V_{inB} 電圧が支配的となり、

$$V_{COM} = V_{ref} + V_{inB} * G$$

10

つまり、トランジスタ 3 が OFF 状態から ON 状態に遷移する過程において、トランジスタ 3 の内部抵抗値によって、 V_{inA} 電圧と V_{inB} 電圧の混合比が変わることになる。

この V_{inA} の電圧と V_{inB} の電圧の混合電圧は、AC 結合の反転増幅回路 8 にて G 倍に増幅され、DC 基準電圧である V_{ref} 電圧と重畳した電圧が対向電極 ($ITO2$) に供給される逆補正共通電圧 (V_{COMR}) となる。

【0022】

図 6 は、本発明の実施例 1 の液晶表示装置の交流化信号 (M) と、 V_{COM} 生成回路で生成される逆補正共通電圧の波形を示す図である。

図 6 中の交流化信号 (M) は、前述の図 3 で説明した画素に階調電圧を書き込むときの交流化極性を決める信号である。

20

図 6 中の共通電圧 (V_{COM}) は、前述の図 3 に示したカラーパターンを表示した際の対向電極 ($ITO2$) の電圧変動に対する逆補正電圧 (V_{COMR}) に相当する。

前述の図 4 で説明した通り、液晶表示パネル 21 の、共通電圧供給端に近い近端部 B 点より、共通電圧供給端から遠い遠端部 A 点の方が、対向電極 ($ITO2$) の電圧変動が大きいため、遠端部 A 点付近の逆補正電圧 (V_{COMR}) は、近端部 B 点の逆補正電圧 (V_{COMR}) より大きくする必要がある。

従って、前述の図 4 に示す液晶表示パネル 21 の共通電圧供給端から遠い遠端部 A 点から、共通電圧供給端に近い近端部 B 点に垂直走査が進むにつれて、図 6 に示す共通電圧 (V_{COM}) は、基準電圧 V_{ref} を中心に逆補正電圧の振幅 (ΔVP) が徐々に小さくなる。以下、この逆補正共通電圧の振幅 (ΔVP) の制御手法を以下に説明する。

30

【0023】

図 7 は、本発明の実施例 1 の液晶表示装置の V_{COM} 生成回路のタイミング波形を示す図である。

図 7 において、 $DAT A$ は、液晶表示パネル 21 に表示する映像信号を表し、有効表示期間 ($T0 \sim T2$) の映像データを Valid、ブランキング期間 ($T2 \sim T3$) の映像表示期間を Invalid として示す。

$I2CDATA$ は、表示制御回路 24 が D/A コンバータ 10 に電圧設定用の信号として送るデジタル制御信号を表し、デジタル制御信号 ($I2CDATA$) のデジタル設定値に従って、D/A コンバータ 10 でアナログ電圧に変換される。

40

デジタル制御信号 ($I2CDATA$) のデジタル設定値は、有効表示期間の開始時刻 $T0$ からある垂直走査後の時刻 $T1$ まで、D/A コンバータ 10 の出力が、 V_{ref} の基準電圧と等しくなる設定データとして、16 進数表記で $[19E]$ となり、その後、時刻 $T1$ から時刻 $T2$ において、数十ラインの垂直走査を実施する毎に、 $[19E]$ から例えば $[19F] \sim [1FF]$ 迄、電圧設定データを増加させ、ブランキング期間の時刻 $T2$ から時刻 $T3$ の間に、前述とは逆に電圧設定データを $[1FF] \sim [19E]$ に減少させる。

デジタル制御信号 ($I2CDATA$) のデジタル設定値に基づき、D/A コンバータ 10 は、図 7 中に示す通り、VDA なるアナログ電圧のランプ波形を作り、ランプ電圧がトランジスタ 3 のゲートバイアス電圧として印加され、トランジスタ 3 が n チャンネルトラ

50

ンジスタであるので、VDAのランプ波形の電圧が高くなるとその変化に従って、トランジスタ3はOFF状態からON状態に遷移する。

【0024】

トランジスタ3のOFF状態からON状態への遷移過程において、トランジスタ3自身の内部抵抗値が数百MΩから数十mΩへと変化し、図5に示すVinAの電圧とVinBの電圧の混合比の関係が徐々に「VinA < VinB」となるため、逆補正共通電圧（VCOMR）は、図8に示す様に、時刻T1から時刻T2の有効表示期間における逆補正電圧の振幅ΔVPが徐々に減少する。

ここで、例えば、Vref = 5.1V、時刻T1における垂直走査を200ライン、時刻T3における垂直走査を1000ライン、ΔVの電圧を増加する垂直走査のステップ数を40ラインとすると1ステップ当たりの電圧変動が0.06Vとなり、時刻T1から時刻T2の区間において20ステップでΔV = 1.2V変化し、D/Aコンバータ10の設定データが[19E]で、Vrefの基準電圧と同じ5.1Vを出力すれば、VDAはVDA = Vref + ΔVの関係から、5.1V ~ 6.3Vの電圧範囲でランプ波形となる。

なお、本実施例の液晶表示パネル21において、各フレームの垂直走査方向が、図4の近端部B点から遠端部A点に向う方向である場合は、デジタル制御信号（I2CDATA）のデジタル設定値を、トランジスタ3がON状態からOFF状態への遷移するように設定することにより、各フレームの垂直走査方向が、図4の遠端部A点から近端部B点に向う方向である場合と同様の作用・効果を得ることができる。

【0025】

[変形例]

図8は、本発明の実施例1の液晶表示装置の変形例のVCOM生成回路の回路構成を示す回路図である。

図8に示す変形例は、対向電極（ITO2）の遠端部A点と、近端部B点の他に、図4に示すように、対向電極（ITO2）の中間部C点の電位変動に基づき、対向電極（ITO2）の電位変動を相殺するようにしたものである。

図8に示すVCOM生成回路は、抵抗1-2と、トランジスタ（3-2）（例えばMOSトランジスタ、nチャンネル電界効果トランジスタ）と、トランジスタ（3-2）のゲートバイアス電圧を生成する10bit精度のD/Aコンバータ（10-2）が追加された点で、図5に示すVCOM生成回路と相違する。

ここで、抵抗1-2は、液晶表示パネル21の昼間部C点から液晶表示パネル21の一端までの、液晶表示パネル21内の配線（図4のLINEC）の配線抵抗である。さらに、抵抗1抵抗（1-2）、抵抗2は、配線（図4のLINEA）と、配線（図4のLINEC）と、配線（図4のLINEB）の配線距離の違いから、抵抗値の大小関係が、「抵抗1 > 抵抗（1-2） > 抵抗2」となっている。

また、トランジスタ（3-2）は混合手段を構成し、トランジスタ（3-2）は、D/Aコンバータ（10-2）の出力信号（VDA）により内部抵抗を変化させて、VinAの電圧とVinCの電圧の混合比を変化させる。D/Aコンバータ（10-2）の出力信号（VDA2）は、表示制御回路24により制御される。

【0026】

例えば、反転増幅器8のアンプゲインをGとすると、図8に示すVCOM生成回路の出力電圧（VCOM）は、以下の通りとなる。

（1）トランジスタ3、トランジスタ（3-2）が共にOFF状態の場合

$$VCOM = Vref + VinA * G$$

（2）トランジスタ（3-2）がOFF状態で、トランジスタ3がOFF状態からON状態に遷移する過程にある場合

$$VCOM = Vref + (VinA + VinC) * G$$

（3）トランジスタ（3-2）がOFF状態で、トランジスタ3がON状態にある場合、「抵抗1 > 抵抗（1-2）」の関係から、インピーダンスの低いVinC電圧が支配的となり、

10

20

30

40

50

$$VCOM = Vref + VinC * G$$

(4) トランジスタ3がON状態で、トランジスタ(3-2)がOFF状態からON状態に遷移する過程にある場合

$$VCOM = Vref + (VinC + VinB) * G、$$

(5) トランジスタ3とトランジスタ(3-2)が共にON状態にある場合、「抵抗(1-2) > 抵抗2」の関係から、インピーダンスの低いVinB電圧が支配的となり、

$$VCOM = Vref + VINB * G$$

つまり、トランジスタ3がOFF状態からON状態に遷移する過程において、トランジスタ3の内部抵抗値によって、VinA電圧とVinC電圧の混合比が変わり、トランジスタ(3-2)がOFF状態からON状態に遷移する過程において、トランジスタ(3-2)の内部抵抗値によって、VinC電圧とVinB電圧の混合比が変わることになる。

10

このVinAの電圧とVinCの電圧、あるいは、VinCの電圧とVinBの電圧の混合電圧は、AC結合の反転増幅回路8にてG倍に増幅され、DC基準電圧であるVref電圧と重畳した電圧が対向電極(ITO2)に供給される逆補正共通電圧(VCOMR)となる。

【0027】

図9は、本発明の実施例1の液晶表示装置の変形例のVCOM生成回路のタイミング波形を示す図である。

I2CDATAは、表示制御回路24がD/Aコンバータ10に電圧設定用の信号として送るデジタル制御信号を表し、デジタル制御信号(I2CDATA)のデジタル設定値に従って、D/Aコンバータ10でアナログ電圧に変換される。

20

デジタル制御信号(I2CDATA)のデジタル設定値は、有効表示期間の開始時刻T0からある垂直走査後の時刻T1まで、D/Aコンバータ10の出力が、Vrefの基準電圧と等しくなる設定データとして、16進数表記で[19E]となり、その後、時刻T1から時刻T5において、数十ラインの垂直走査を実施する毎に、[19E]から例えば[19F]~[1FF]迄、電圧設定データを増加させ、時刻T5から時刻T2まで[1FF]を維持し、ブランキング期間の時刻T2から時刻T3の間に、前述とは逆に電圧設定データを[1FF]~[19E]に減少させる。

デジタル制御信号(I2CDATA)のデジタル設定値に基づき、D/Aコンバータ10は、図9中に示す通り、VDAなるアナログ電圧のランプ波形を作り、ランプ電圧がトランジスタ3のゲートバイアス電圧として印加され、トランジスタ3がnチャンネルトランジスタであるため、VDAのランプ波形の電圧が高くなるとその変化に従って、トランジスタ3はOFF状態からON状態に遷移する。

30

トランジスタ3のOFF状態からON状態への遷移過程において、トランジスタ3自身の内部抵抗値が数百MΩから数十Ωへと変化し、図5に示すVinAの電圧とVinCの電圧の混合比の関係が徐々に「A < C」となるため、逆補正共通電圧(VCOMR)は、図9に示す様に、時刻T1から時刻T5の有効表示期間における逆補正電圧の振幅ΔVPが徐々に減少する。

【0028】

I2CDATA-2は、表示制御回路24がD/Aコンバータ(10-2)に電圧設定用の信号として送るデジタル制御信号を表し、デジタル制御信号(I2CDATA-2)のデジタル設定値に従って、D/Aコンバータ(10-2)でアナログ電圧に変換される。

40

デジタル制御信号(I2CDATA-2)のデジタル設定値は、有効表示期間の開始時刻T0からある垂直走査後の時刻T5まで、D/Aコンバータ(10-2)の出力が、Vrefの基準電圧と等しくなる設定データとして、16進数表記で[19E]となり、その後、時刻T5から時刻T2において、数十ラインの垂直走査を実施する毎に、[19E]から例えば[19F]~[1FF]迄、電圧設定データを増加させ、ブランキング期間の時刻T2から時刻T3の間に、前述とは逆に電圧設定データを[1FF]~[19E]に減少させる。

50

デジタル制御信号 (I 2 C D A T A - 2) のデジタル設定値に基づき、D / A コンバータ (1 0 - 2) は、図 9 中に示す通り、V D A - 2 なるアナログ電圧のランプ波形を作り、ランプ電圧がトランジスタ (3 - 2) のゲートバイアス電圧として印加され、トランジスタ (3 - 2) が n チャンネルトランジスタであるため、V D A - 2 のランプ波形の電圧が高くなるとその変化に従って、トランジスタ (3 - 2) は O F F 状態から O N 状態に遷移する。

トランジスタ (3 - 2) の O F F 状態から O N 状態への遷移過程において、トランジスタ (3 - 2) 自身の内部抵抗値が数百 M Ω から数十 Ω へと変化し、図 8 に示す V i n C の電圧と V i n B の電圧の混合比の関係が徐々に「V i n C < V i n B」となるため、逆補正共通電圧 (V C O M R) は、図 9 に示す様に、時刻 T 5 から時刻 T 2 の有効表示期間における逆補正電圧の振幅 $\Delta V P$ が徐々に減少する。

なお、図 8 に示す V C O M 生成回路では、 ΔV の電圧を増加する垂直走査のステップ数を、図 5 に示す V C O M 生成回路の場合の半分とする必要がある。

【 0 0 2 9 】

[実施例 2]

図 1 0 は、本発明の実施例 2 の液晶表示装置の V C O M 生成回路の回路構成の回路構成を示す回路図である。

前述の図 5 に示す実施例 1 と異なる点は、D / A コンバータ 1 0 とトランジスタ 3 の代わりに、デジタル制御可変抵抗 I C (1 1) に置き換えた点である。

デジタル制御可変抵抗 I C (1 1) は、表示制御回路 2 4 から出力されるデジタルの設定データ (I 2 C D A T A) を元に抵抗値が変化する I C で、図 5 に示した実施例 1 の D / A コンバータ 1 0 とトランジスタ 3 の役割として機能する。

例えば、設定データが [1 9 F] の場合、デジタル制御可変抵抗 I C (1 1) の内部抵抗が高く、[1 F F] の場合、デジタル制御可変抵抗 I C (1 1) の内部抵抗が低くなる。

表示制御回路 2 4 から、デジタル制御可変抵抗 I C (1 1) に送るデータタイミングは、図 7 に示した I 2 C D A T A と同じである。

また、前述のデジタル制御可変抵抗 I C (1 1) の内部抵抗を可変させて、対向電極 (I T O 2) に供給する共通電圧 (V C O M) の逆補正電圧の振幅 ($\Delta V P$) が変化する作用は、前述の実施例 1 の動作で説明した通りである。

【 0 0 3 0 】

なお、前述の説明では、図 4 に示すように、対向電極 (I T O 2) は、面状の電極の場合について説明したが、本発明は、これに限定されるものではなく、対向電極 (I T O 2) は、走査線 (G) の延長方向に設けられる帯状の電極であってもよい。

また、V C O M 生成回路は、図 1 に示す電源回路 2 5 に設けられる。

さらに、前述の説明では、液晶表示装置の駆動方法として、ドット反転法を採用した場合について説明したが、本発明は、これに限定されるものではなく、本発明は、液晶表示装置の駆動方法として、n ライン (例えば、2 ライン) 反転法を採用した場合にも適用可能である。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【 符号の説明 】

【 0 0 3 1 】

1 , 1 - 2 , 2 抵抗 (配線抵抗)

3 , 3 - 2 n チャンネル電界効果トランジスタ (n - M O S)

4 コンデンサ

5 , 6 固定抵抗

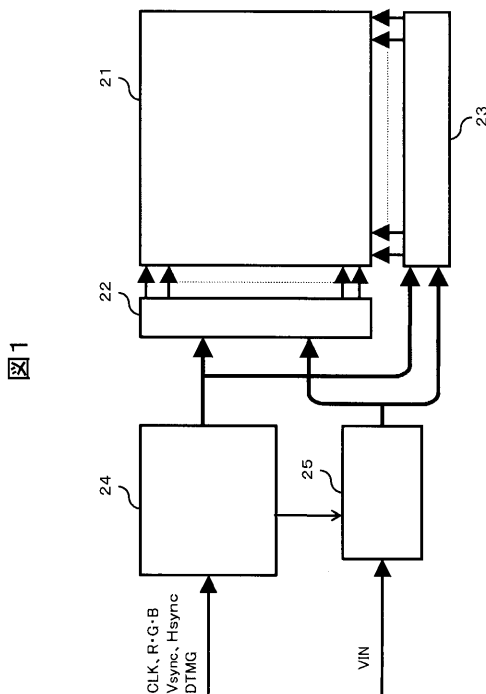
7 オペアンプ

8 反転増幅回路

1 0 , 1 0 - 2 D / A コンバータ
 1 1 デジタル制御可変抵抗 I C
 2 1 液晶表示パネル
 2 2 ゲート・ドライバ部
 2 2 A ゲートドライバ
 2 3 ドレイン・ドライバ部
 2 3 A ドレインドライバ
 2 4 表示制御回路
 2 5 電源回路
 T F T 薄膜トランジスタ
 G 走査線 (ゲート線ともいう)
 D 映像線 (ドレイン線、ソース線ともいう)
 C l c 液晶容量
 C s t g 保持容量
 I T O 1 画素電極
 I T O 2 対向電極

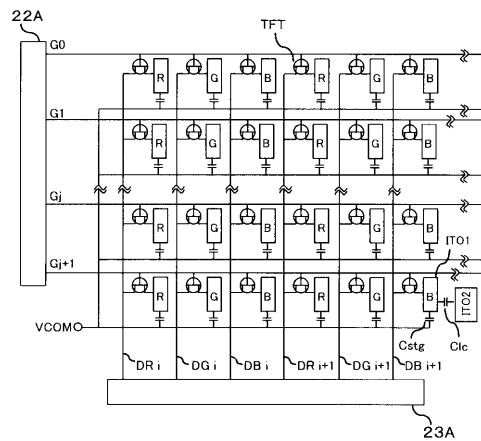
10

【図 1】

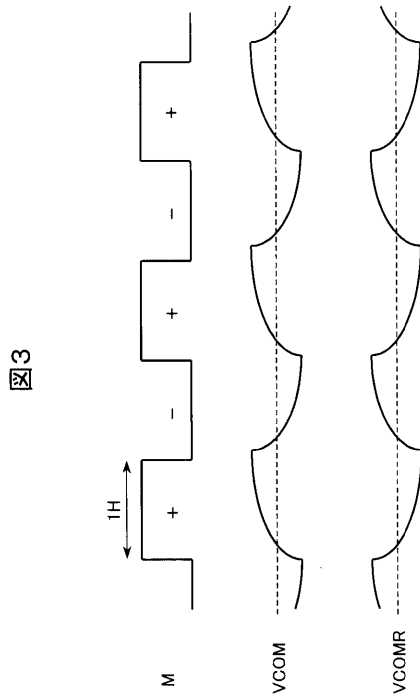


【図 2】

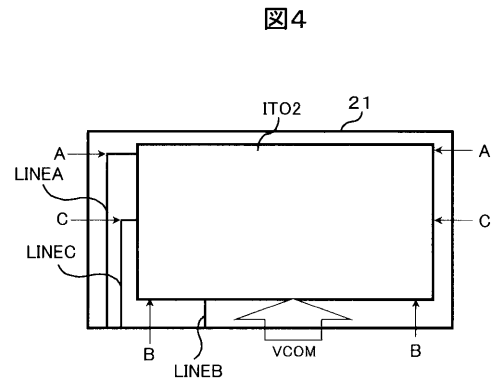
図2



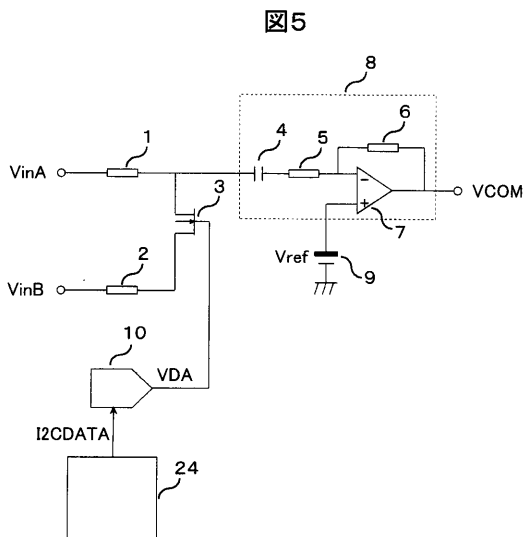
【図3】



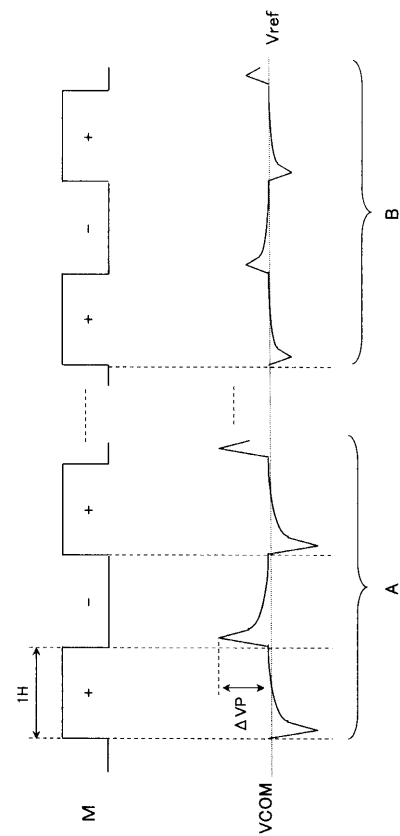
【図4】



【図5】

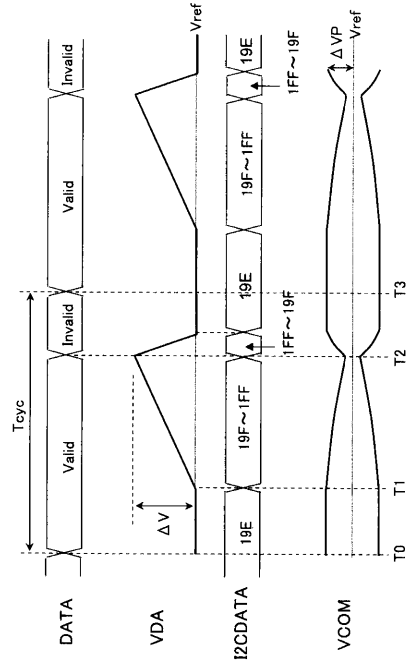


【図6】



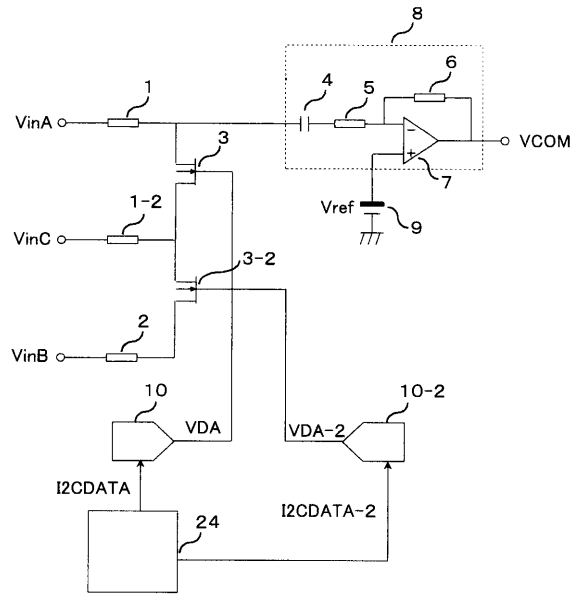
【図 7】

図 7



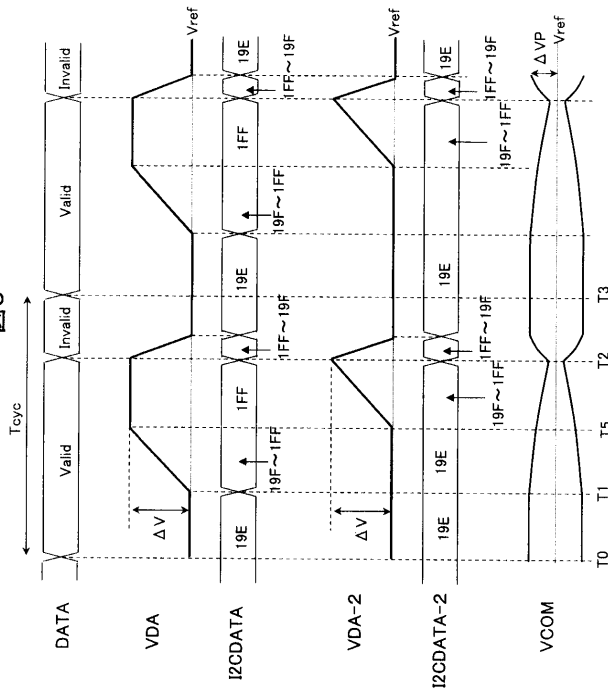
【図 8】

図 8



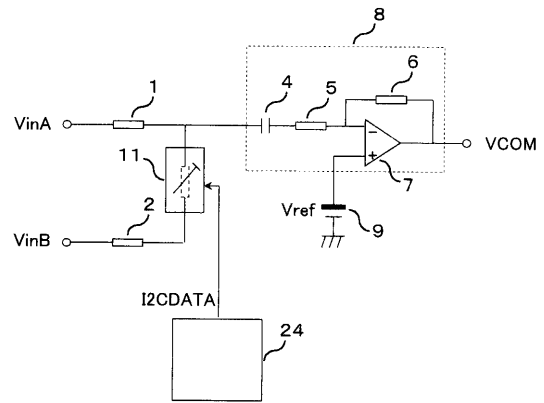
【図 9】

図 9



【図 10】

図 10



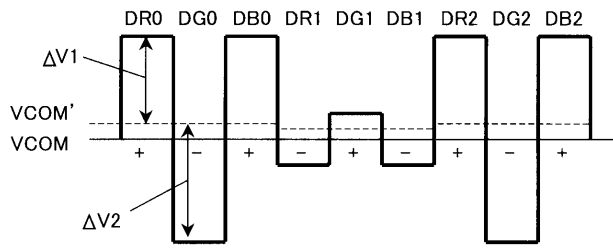
【図 11】

図 11

	DR0	DG0	DB0	DR1	DG1	DB1
G0	+	-	+	-	+	-
G1	-	+	-	+	-	+

【 図 1 2 】

図 12



フロントページの続き

F ターム(参考) 5C006 AC25 AC27 AF21 AF42 AF43 AF46 AF73 AF82 BB16 BF25
BF37 FA37
5C080 AA10 BB05 CC03 DD01 EE29 FF01 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013083804A	公开(公告)日	2013-05-09
申请号	JP2011223786	申请日	2011-10-11
[标]申请(专利权)人(译)	日本显示器东股份有限公司		
申请(专利权)人(译)	有限公司日本东显示器		
[标]发明人	山岸康彦		
发明人	山岸 康彦		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3614 G09G3/3655 G09G2310/0243 G09G2320/0204		
FI分类号	G09G3/36 G09G3/20.611.J G09G3/20.624.D G02F1/133.575 G09G3/20.621.B		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB05 2H193/ZB07 2H193/ZC13 2H193/ZD02 2H193/ZD13 2H193/ZF42 2H193/ZF43 2H193/ZF59 2H193/ZH21 2H193/ZH45 2H193/ZH46 2H193/ZH53 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AC25 5C006/AC27 5C006/AF21 5C006/AF42 5C006/AF43 5C006/AF46 5C006/AF73 5C006/AF82 5C006/BB16 5C006/BF25 5C006/BF37 5C006/FA37 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP5731350B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，取消该公共电压的电势变化，以防止恶化显示在液晶显示面板上的屏幕的图像质量，以提供高品质的图像。A 中的每个像素具有像素电极和对置电极，当彼此相邻的在一个显示行的两个像素和像素A和B，并写入像素A的视频电压时比通过施加高电位的视频电压，比提供给对置电极与像素B的像素电极的公共电压低提供给对置电极到像素电极的公共电压施加的视频电压电势在多个对置电极的点，以检测潜在的变形例的液晶显示装置具有反馈装置，用于反馈到公共电压生成电路，公共电压生成电路，所述反馈通过叠加消除基准公共电压上的电位波动的反向校正电压而获得的公共电压基于由该装置反馈的电位波动被提供给对电极。点域5

