

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-211982

(P2012-211982A)

(43) 公開日 平成24年11月1日(2012.11.1)

(51) Int.Cl.

G02F 1/133 (2006.01)

F I

G02F 1/133 505

G02F 1/133 545

テーマコード (参考)

2H193

審査請求 未請求 請求項の数 10 O L (全 23 頁)

(21) 出願番号 特願2011-77066 (P2011-77066)
 (22) 出願日 平成23年3月31日 (2011. 3. 31)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100108187
 弁理士 横山 淳一
 (72) 発明者 有竹 敬和
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 Fターム(参考) 2H193 ZA21 ZB34 ZB42 ZC24 ZD11
 ZD23 ZD31 ZE18 ZQ17

(54) 【発明の名称】 液晶表示装置及びその駆動方法

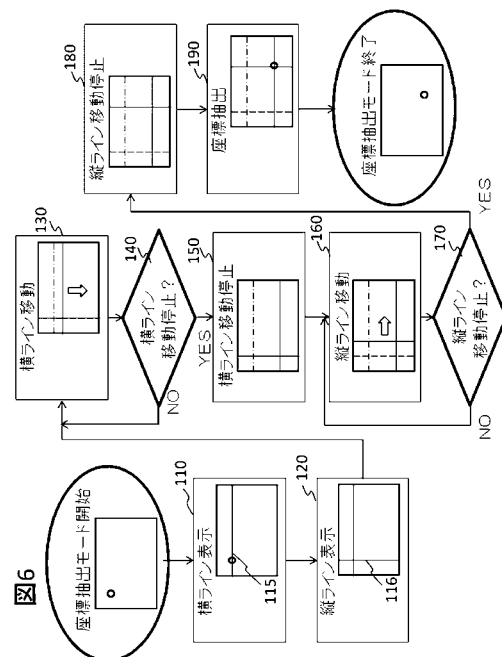
(57) 【要約】

【課題】

コレステリック液晶表示画面を含む表示装置において、コレステリック液晶表示画面において画像を保持した状態において、画像上の位置指定動作時の消費電流を削減することが可能な液晶表示画面の駆動方法及び表示装置を提供する。

【解決手段】

複数の画素を含むコレステリック液晶を有する表示素子と、各画素に電圧を印加する第1電極及び第2電極と、コレステリック液晶を透明状態とするとともに、選択時点に画素が有していた反射率を設定する電圧を第1電極及び第2電極間に印加し、次いで、コレステリック液晶の状態が変化しない電圧を第1電極及び第2電極間に印加する駆動回路とを備えることを特徴とする液晶表示装置。



【選択図】 図6

【特許請求の範囲】**【請求項 1】**

複数の画素を含むコレステリック液晶を有する表示素子と、
各前記画素に電圧を印加する第 1 電極及び第 2 電極と、
コレステリック液晶を透明状態とするとともに、選択時点に画素が有していた反射率を設定する電圧を前記第 1 電極及び前記第 2 電極間に印加し、次いで、コレステリック液晶の状態が変化しない電圧を前記第 1 電極及び前記第 2 電極間に印加する駆動回路とを備えることを特徴とする液晶表示装置。

【請求項 2】

前記複数の画素は前記コレステリック液晶において行列状に配置されており、
前記選択された画素が、行方向に複数存在することを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 3】

前記複数の画素は前記コレステリック液晶において行列状に配置されており、
前記選択された画素は、列方向に複数存在することを特徴とする請求項 1 又は請求項 2 に記載された液晶表示装置。

【請求項 4】

前記行方向の選択された画素と、前記列方向の選択された画素の交点に位置する共通画素は、選択時点の反射率を維持することを特徴とする請求項 3 に記載の液晶表示装置。

20

【請求項 5】

前記コレステリック液晶について、状態変化しない電圧範囲が、前記コレステリック液晶が有する反射率対印加電圧の関係により導かれる、明るさを設定するための電圧範囲より広い範囲であることを特徴とする請求項 1 乃至請求項 4 の内の一つに記載された液晶表示装置。

【請求項 6】

コレステリック液晶に含まれる複数の画素を備える液晶表示装置の駆動方法であって
コレステリック液晶を透明状態とするとともに、選択された画素が選択時点に保持していた反射率を設定する電圧を、前記選択された画素に印加し、
前記選択された画素に印加された電圧をコレステリック液晶が状態変化しない電圧以下の電圧を印加することを特徴とする液晶表示装置の駆動方法。

30

【請求項 7】

前記複数の画素は前記コレステリック液晶において行列状に配置されており、
前記選択された画素は、行方向に複数存在することを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

40

【請求項 8】

前記複数の画素は前記コレステリック液晶において行列状に配置されており、
前記選択された画素は、列方向に複数存在することを特徴とする請求項 6 又は請求項 7 に記載の液晶表示装置の駆動方法。

【請求項 9】

前記行方向の選択された画素と、前記列方向の選択された画素の交点に位置する共通画素は、選択時点の反射率を維持することを特徴とする請求項 8 に記載の液晶表示装置の駆動方法。

50

【請求項 10】

前記コレステリック液晶について、前記状態変化しない電圧範囲が、前記コレステリック液晶が有する反射率対印加電圧の関係により導かれる、反射率を設定するための電圧範囲より広い範囲であることを特徴とする請求項 6 乃至請求項 9 の内の一つに記載された液晶表示装置の駆動方法。

【発明の詳細な説明】**【技術分野】**

10

【0001】

コレステリック液晶層を用いた液晶表示装置及びその駆動方法に関する。

【背景技術】**【0002】**

コレステリック液晶の反射率は、電圧を急激に低下させる前の印加電圧に応じて設定される。そして、印加電圧を低下させた後、印加電圧を切断して 0 電圧（以下グランド電圧という）にしても、その反射率は変化せずに保持される。

このようなコレステリック液晶の性質を利用し、近年、コレステリック液晶を表示部に用いた表示装置が開発されている。

【0003】

20

このように、コレステリック液晶を表示部に用いた表示装置は、電圧を加えなくても所定の画像が表示可能であるため、従来の紙に代わる電子ペーパーとして使用が期待されている。しかしながら、この電子ペーパーにおいても、画面表示を書き換える場合には電力が必要であるため、通常、バッテリーや電池などの電力源が搭載されている。従って、消費電力が少ないことが望ましい。

【0004】

消費電力が増加する処理としては、例えば、画面状に所定の画像が表示された状態で、表示された画像上でカーソルを移動させる処理がある。このような処理では、例えば、既に表示がおこなわれている表示画素にカーソルを表示させ、その後、カーソルを別の位置に移動させる。このとき、各表示画素について考えると、先ず、カーソルを表示させるために、表示画素部に対して電圧の印加と切断を行う。

30

【0005】

その後、カーソルを移動させる前の表示状態に戻すために、再度、表示画素部に対して電圧の印加と切断を行う。

【先行技術文献】**【特許文献】****【0006】****【特許文献 1】** 特開平 11 - 326871**【発明の概要】****【発明が解決しようとする課題】**

40

【0007】

そこで、コレステリック液晶表示画面を含む表示装置において、コレステリック液晶表示画面において画像を保持した状態において、画像上の位置指定動作時の消費電流を削減することが可能な液晶表示装置及びその駆動方法を提供することが課題である。

【課題を解決するための手段】**【0008】**

上記の課題を解決するため、発明の一観点によれば、以下の液晶表示装置が提供される。その液晶表示装置は、複数の画素を含むコレステリック液晶を有する表示素子と、各画素に電圧を印加する第 1 電極及び第 2 電極と、コレステリック液晶を透明状態とするとともに、選択時点に画素が有していた反射率を設定する電圧を第 1 電極及び第 2 電極間に印

50

加し、次いで、コレステリック液晶の状態が変化しない電圧を前記第 1 電極及び前記第 2 電極間に印加する駆動回路とを備えることを特徴とする液晶表示装置。

【発明の効果】

【0009】

コレステリック液晶を用いた表示装置において、画像を保持した状態において、画像上の位置指定動作時の消費電流を削減することが可能な表示装置の駆動方法及びその方法を実現する表示装置を提供することができる。

【図面の簡単な説明】

【0010】

【図 1】図 1 は、実施例 1 の表示装置 30 を示すブロック図である。

10

【図 2】図 2 は、実施例 1 の表示装置 30 に含まれる、コレステリック液晶表示素子 10 の断面構造を示す図である。

【図 3】図 3 は、本実施例のコレステリック液晶層 21c、22c、23c の電圧 - 反射特性の一例を示す。

【図 4】図 4A 及び図 4B はコレステリック液晶層 17 にフォーカルコニック状態を保持させる動作及びフォーカルコニック状態について説明する図である。

【図 5】図 5A 及び図 5B はコレステリック液晶層 17 にプレーナ状態を保持させる動作及びプレーナ状態について説明する図である。

【図 6】図 6 は、実施例 1 に関し、コレステリック液晶表示素子 10 を含む表示装置 30 における座標抽出モードを説明する図である。

20

【図 7】図 7 は縦ライン移動 160 中における X 電極線及び Y 電極線への電圧印加状態を示す図である。

【図 8A】図 8A は縦ライン黒線 116 の移動又は横ライン黒線 115 の移動に対する電圧印加シーケンスを示す波形図である。

【図 8B】図 8B は縦ライン黒線 116 の移動又は横ライン黒線 115 の移動に対する電圧印加シーケンスを示す波形図である。

【図 9】図 9 は、実施例 2 に関し、コレステリック液晶表示素子 10 を含む表示装置 30 における座標抽出モードを説明する図である。

【図 10】図 10 は、縦・横ライン移動動作 260 中における X 電極線及び Y 電極線への電圧印加状態を示す図である。

30

【図 11】図 11 は、コレステリック液晶表示素子 10 において、任意の連続した第 1 X 電極線と第 2 X 電極線間の縦ライン黒線 216 の移動及び任意の連続した第 1 Y 電極線と第 2 Y 電極線間の横ライン黒線 215 に対する電圧印加シーケンスを示す波形図である。

【発明を実施するための形態】

【0011】

以下に実施例に基づいて実施するための形態を説明する。

【実施例 1】

【0012】

図 1 は、実施例 1 の表示装置 30 を示すブロック図である。実施例 1 の表示装置 30 は、コレステリック液晶表示素子 10、駆動回路 40、CPU 50、ライン表示コントローラ 60 を含む。

40

コレステリック液晶表示素子 10 は、青色コレステリック液晶層を含む表示素子、緑色コレステリック液晶層を含む表示素子、及び、赤色コレステリック液晶層を含む表示素子を用いたコレステリック液晶表示素子である。

駆動回路 40 は、電源 31、電圧安定部 34、原振クロック部 35、分周部 36、制御回路 37、Y ドライバ 38、X ドライバ 39 を含む。駆動回路 40 は、画像データ 51 及びライン表示コントローラ 60 から出力されたデータに基づいて、CPU 50 が出力する各種制御信号を受けて、コレステリック液晶表示素子 10 に画像を表示させる回路である。画像データ 51 はコレステリック液晶表示素子 10 に表示させたい画像を表す画像データ 51 である。

50

【 0 0 1 3 】

Xドライバ39はX電極線複数に電圧を印加するドライバである。Yドライバ38はY電極線複数に電圧を印加するドライバである。

電源31は、例えば0Vから40Vまでの電圧を出力する電源回路である。電圧安定部34は、例えば、オペアンプによるボルテージフォロア回路であり、電源31から供給される電圧を安定化させる回路である。

【 0 0 1 4 】

原振クロック部35は、動作の基本となる基本クロックを発生するクロック発生回路である。分周部36は、基本クロックを分周して、表示装置30の動作に必要な各種クロックを生成するクロック分配回路である。

10

【 0 0 1 5 】

制御回路37は、分周部36からの各種クロック及びCPU50からの各種制御信号を受けて動作し、表示データ48を生成する。そして、制御回路37は、表示データ48をYドライバ38およびXドライバ39に供給する。各種制御信号は、電極線選択データ41、データ取り込みクロックCLK42、黒線表示信号FST43、パルス極性制御信号FR44、Y電極線データラッチ信号45、X電極線データラッチ信号46、ドライバ出力オフ信号47を含む。

電極線選択データ41は、黒線の表示に用いるY電極線及びX電極線を指示するためのデータである。

【 0 0 1 6 】

20

データ取り込みクロックCLK42は、Yドライバ38およびXドライバ39において、電極線選択データ41および表示データ48の転送に用いるクロックである。

黒線表示信号FST43は、黒線表示の開始を指示する信号であり、Yドライバ38およびXドライバ39は、黒線表示信号FST43に応じて黒線を表示する。

【 0 0 1 7 】

パルス極性制御信号FR44は、印加電圧の極性反転信号であり、Xドライバ39およびYドライバ38は、パルス極性制御信号FR44に応じて出力する信号の極性を反転する。

X電極線データラッチ信号45は、Yドライバ38における電極線選択データ41の転送終了を指示する信号であり、Yドライバ38は、この信号に応じて転送された電極線選択データ41をラッチする。

30

Y電極線データラッチ信号46は、Xドライバ39に対する電極線選択データ41の転送終了を指示する信号であり、Xドライバ39は、この信号に応じて転送された電極線選択データ41をラッチする。

ドライバ出力オフ信号47は、印加電圧の強制オフ(OFF)信号である。表示データ48は、コレステリック液晶表示素子10に明るさ(階調)がついた画像を表示させるために、Yドライバ38及びXドライバ39に送付するデータであり、明るさ(階調)コードを含む。そして、後に説明するように、画素の明るさ(階調)を表す明るさ(階調)コードを受けたYドライバ38及びXドライバ39は各電極線に画素の明るさ(階調)に対応する電圧を供給する。

40

【 0 0 1 8 】

CPU50は、画像データ51を保持する記憶素子52を備える。CPU50は、画像データ51、及び、ライン表示コントローラからの指示信号を受け、駆動回路40に対して制御信号を出力する。制御回路37はCPU50からの制御信号に応じて表示素子に画像を表示させる。なお、CPU50は、表示データ48を画像データ51に基づいて作成する。

ライン表示コントローラ60は、複数の指示信号をCPU50に対して出力する。複数の指示信号は指示コードを形成する。ライン表示コントローラ60は付属する十字キー、決定ボタン等有する。そこで、十字キー、決定ボタン等を使用して、一定の動作をすると、ライン表示コントローラ60は、コレステリック液晶表示素子10に黒ラインを表示さ

50

せる位置検出モードと、画像表示モードとの切替えを指示する複数の指示信号を出力する。また、十字キー、決定ボタン等を使用する、他の動作をすると、ライン表示コントローラ 60 は、黒ラインの移動を指示する複数の指示信号を出力する。すなわち、ライン表示コントローラ 60 からの指示により、表示装置 30 において、位置検出モードと、画像表示モードが切り替わる。

【0019】

図 2 は、実施例 1 の表示装置 30 に含まれる、コレステリック液晶表示素子 10 の断面構造を示す図である。コレステリック液晶表示素子 10 は青色画像を表示する液晶表示素子 21、緑色画像を表示する液晶表示素子 22、赤色画像を表示する液晶表示素子 23、及び、光吸収層 26 を含む。液晶表示素子 21 は、下側透明基板 21e と、下側電極層 21d と、コレステリック液晶層 21c と、上側電極層 21b と、上側透明基板 21a とを含む。液晶表示素子 22 は、下側透明基板 22e と、下側電極層 22d と、コレステリック液晶層 22c と、上側電極層 22b と、上側透明基板 22a とを含む。

液晶表示素子 23 は、下側透明基板 23e と、下側電極層 23d と、コレステリック液晶層 23c と、上側電極層 23b と、上側透明基板 23a とを含む。

また、駆動回路 27、28、29 は液晶表示素子 21、22、23 を駆動する駆動回路であり、図 1 の駆動回路 40 と同様な回路である。従って、その説明を省略する。

【0020】

上側透明基板 21a、22a、23a、及び、下側透明基板 21e、22e、23e は、いずれも、透光性を有するガラス基板である。また、上記では、ガラス基板としたが、ガラス基板以外にも PET (ポリエチレンテレフタレート) や PC (ポリカーボネート) などの透光性のあるフィルム基板であってもよい。なお、上側透明基板 21a、22a、23a と下側透明基板 21e、22e、23e 間には、それらのギャップを均一に保持するためのスペーサが設けられていてもよい。スペーサとしては、例えば、樹脂製、無機酸化物製、又は、表面に熱可塑性の樹脂がコーティングされている固着スペーサが好適である。なお、スペーサの形状は例えば球体であり、スペーサにより形成される、上側透明基板 21a、22a、23a と、下側透明基板 21e、22e、23e 間のギャップは 4 から 6 μm の範囲であることが望ましい。上記のギャップが 4 μm 以下であると、コレステリック液晶層 17 の反射率が低下し、コレステリック液晶表示素子 10 の表示が暗くなり、表示に対する高い閾値峻峻性も期待できない。一方、上記のギャップが 6 μm 以上であると、表示を行うための駆動電圧が上昇してしまい、汎用部品による駆動が困難となる。

【0021】

上側電極層 21b、22b、23b、下側電極層 21d、22d、23d として、一般的に、インジウム錫酸化物 (ITO: Indium Tin Oxide) の透明導電膜を使用するが、その他インジウム亜鉛酸化物 (IZO: Indium Zinc Oxide) 等の透明導電膜を使用してもよい。

上側電極層 21b、22b、23b は、複数の帯状の透明な X 電極線からなり、透明な各 X 電極線は、上側透明基板 21a、22a、23a 上において、互いに平行に配置されている。

下側電極層 21d、22d、23d は、複数の帯状の透明な Y 電極線からなり、透明な各 Y 電極線は、上側透明基板 21a、22a、23a に対向する下側透明基板 21e、22e、23e の面上において、互いに平行に配置されている。上側電極層 21b、22b、23b の帯状の X 電極線の延在方向と、下側電極層 21d、22d、23d の帯状の Y 電極線の延在方向とは、上側透明基板 21a、22a、23a と下側透明基板 21e、22e、23e とが対向する面に垂直な方向からみた場合に、交差している。

コレステリック液晶層 21c、22c、23c と上側電極層 21b、22b、23b 間、及び、コレステリック液晶層 21c、22c、23c と下側電極層 21d、22d、23d 間には、絶縁性の薄膜層が形成されている。絶縁性の薄膜層の膜厚は、0.3 μm 程度が望ましい。絶縁性の薄膜層の膜厚が厚いと、表示のための駆動電圧が上昇する問題が生じる。一方、絶縁性の薄膜層の膜厚が薄いと、絶縁性の薄膜層を通過するリーク電流が増

10

20

30

40

50

加するため、消費電流が増加する問題が生じる。なお、絶縁性の薄膜層として、例えば、シリコン酸化膜の薄膜、又は、配向安定化膜として知られるポリミド樹脂、アクリル樹脂などの有機膜が採用され、それらの膜の比誘電率は、例えば、5程度である。

【0022】

コレステリック液晶層21c、22c、23cは、上側透明基板21a、22a、23aと下側透明基板21e、22e、23e間のギャップに配置されている。

コレステリック液晶層21c、22c、23cは、例えば、ネマティック液晶混合物にカイラル材を10から40重量%(wt%)添加して形成される。ここで、カイラル材の添加量は、ネマチック液晶成分とカイラル材の合計量を100wt%としたときの値である。

10

また、ネマティック液晶混合物として、周知なものを用いることができるが、誘電率異方性($\Delta\epsilon$)が15から25までの範囲の材料が望ましい。誘電率異方性($\Delta\epsilon$)が15以下であれば、表示のための駆動電圧が上昇し、汎用部品による駆動が困難となる。一方、誘電率異方性が25以上となると表示に対する閾値急峻性が低下し、液晶材料自体の信頼性が低下する懸念がある。

【0023】

また、ネマティック液晶混合物の屈折率異方性(Δn)は、0.18から0.26までの範囲であることが望ましい。屈折率異方性(Δn)が0.18未満であると、コレステリック液晶層21c、22c、23cのプレーナ状態の反射率が低下する。一方、屈折率異方性(Δn)が0.26を超えると、フォーカルコニック状態での散乱反射が大きくなる。また、屈折率異方性(Δn)が0.26を超えるように、ネマティック液晶混合物にカイラル材を添加すると、コレステリック液晶層21c、22c、23cの粘度が上昇し、表示に対する応答速度が低下する。

20

【0024】

光吸収層26は、光を入射させる側とは反対側にある、下側透明基板23eの外面に配置されている。光吸収層26は、可視光を吸収する光吸収層であるとともに、下側透明基板23eの外面から入射される可視光を遮断する。従って、光吸収層26は、人間の目でみた場合に、黒色である。そうすると、コレステリック液晶表示素子10は青色画像を表示する液晶表示素子21、緑色画像を表示する液晶表示素子22、赤色画像を表示する液晶表示素子23を含む。従って、それぞれの液晶素子が備えるコレステリック液晶層21c、22c、23cをフォーカルコニック状態又はホメオトロピック状態とした場合に、コレステリック液晶表示素子10を目視すると、黒色が観測される。なお、上記では、光吸収層26がほとんどすべての波長の光を吸収するため、光吸収層26は黒色であった。しかし、光吸収層26として、ある特定の波長の以外の波長の光を吸収するものを採用してもよい。その場合、フォーカルコニック状態又はホメオトロピック状態のときにコレステリック液晶表示素子10を目視すると、特定の波長の光が示す色調が目視される。

30

【0025】

図3は、本実施例のコレステリック液晶層21c、22c、23cの電圧-反射特性の一例を示す。横軸は、コレステリック液晶層21c、22c、23cを挟む電極間に印加された電圧の電圧値(V)を表し、縦軸はコレステリック液晶層の反射率(%)を表している。なお、曲線PL、曲線FCは印加電圧と、印加電圧を取り除いた時に保持される反射率とを表す。また、曲線Aは電圧印加状態での反射率を表す。

40

図3に示す曲線A(一点鎖線)は電圧印加状態での反射率を印加電圧とともにプロットした曲線である。ただし、曲線Aは、印加電圧が0Vのときにプレーナ状態であったコレステリック液晶が示す反射率の変化を表す。そこで、曲線Aに示すコレステリック液晶の反射率は電圧V0(例えば15V)までは反射率R2を保つ。印加電圧が0Vを超えると、印加電圧の上昇とともに、反射率R1に向け反射率が低下する。すなわち、コレステリック液晶の反射率がR1になると、コレステリック液晶はほぼ透明となる。さらに、印加電圧があるがV1を超えると、コレステリック液晶の反射率はさらに低下する。また、印加電圧V2を超えると、反射率はほぼ0となる。

50

【 0 0 2 6 】

図 3 に示す実線の曲線 P L は、プレーナ状態状態を保持するコレステリック液晶層 2 1 c、2 2 c、2 3 c の電圧 - 反射率特性を示す。すなわち、曲線 P L は、プレーナ状態となっているコレステリック液晶層 2 1 c、2 2 c、2 3 c に横軸に相当する電圧を印加して、急激に電圧を 0 V に下げた時に示す反射率を示す。

ここで、グランド電圧から電圧 V 0 (例えば 1 5 V) までの電圧範囲 W 2 をコレステリック液晶層 2 1 c、2 2 c、2 3 c に印加しても、コレステリック液晶におけるプレーナ状態又はフォーカルコニック状態は維持される。従って、電圧範囲 W 2 の範囲にある電圧をコレステリック液晶層 2 1 c、2 2 c、2 3 c に印加しても、反射率に変化がほとんど見られない。

10

一方、電圧 V 0 以上の電圧をコレステリック液晶層 2 1 c、2 2 c、2 3 c に印加すると、コレステリック液晶層 2 1 c、2 2 c、2 3 c はフォーカルコニック状態とホメオトロピック状態の混在状態になり、反射率が低下してゆく。すなわち、電圧 V 0 は透明状態に遷移する閾値である。なお、コレステリック液晶の反射率がほぼ R 1 であるときには、コレステリック液晶は低反射率状態である。

そして、コレステリック液晶層 2 1 c、2 2 c、2 3 c に電圧 V 0 以上の電圧を印加した後に、電圧を V 0 以下とすると、プレーナ状態とフォーカルコニック状態とが混合し、コレステリック液晶層 2 1 c、2 2 c、2 3 c は図 3 の電圧 - 反射率特性に示す反射率を示す。

すなわち、電圧 V 0 から電圧 V 1 までの間の電圧を、コレステリック液晶層 2 1 c、2 2 c、2 3 c に印加した場合、電圧 V 0 から電圧 V 1 に向けて、反射率が低下する結果となる。一方、電圧領域 W 1 (電圧 V 1 から電圧 V 2 までの間の電圧：例えば 3 0 V から 3 5 V までの電圧範囲) を、コレステリック液晶層 2 1 c、2 2 c、2 3 c に印加した場合、電圧 V 1 から電圧 V 2 に向けて、反射率が上昇する結果となる。

20

【 0 0 2 7 】

曲線 F C は、フォーカルコニック状態となっているコレステリック液晶層 2 1 c、2 2 c、2 3 c に横軸に相当する電圧を印加して、急激に電圧を V 0 以下に下げた時に示す反射率を示す。グランド電圧から電圧 V 0 (例えば 1 5 V) までの電圧範囲 W 2 の範囲にある電圧を、フォーカルコニック状態にあるコレステリック液晶に印加しても、反射率に変化がほとんど見られない。

30

一方、電圧 V 0 以上の電圧をコレステリック液晶層 2 1 c、2 2 c、2 3 c に印加すると、コレステリック液晶層 2 1 c、2 2 c、2 3 c はフォーカルコニックとホメオトロピック状態の混在状態となり、反射率がほぼ R 1 の透明状態が維持される。すなわち、電圧 V 0 はフォーカルコニック状態からホメオトロピック状態に遷移する閾値である。

そして、コレステリック液晶層 2 1 c、2 2 c、2 3 c に電圧 V 0 以上の電圧を印加した後に、電圧を V 0 以下とすると、プレーナ状態とフォーカルコニック状態とが混合し、コレステリック液晶層 2 1 c、2 2 c、2 3 c は図 3 の電圧 - 反射率特性に示す反射率を示す。

ただし、電圧領域 W 1 (電圧 V 1 から電圧 V 2 までの間の電圧) において、フォーカルコニック状態であったコレステリック液晶層に電圧 V 0 から電圧 V 1 までの間の電圧を印加した場合、反射率 R 1 となる低反射率状態が得られる結果となる。一方、電圧領域 W 1 (電圧 V 1 から電圧 V 2 までの間の電圧) を、コレステリック液晶層 2 1 c、2 2 c、2 3 c に印加した場合、電圧 V 1 から電圧 V 2 に向けて、反射率が上昇する結果となる点は上記と同様である。

40

すなわち、フォーカルコニック状態のコレステリック液晶層 2 1 c、2 2 c、2 3 c に対しても、プレーナ状態のコレステリック液晶層 2 1 c、2 2 c、2 3 c に対しても、電圧領域 W 1 内の電圧を印加してホメオトロピック状態とした後、急激に電圧を 0 V にすると、同じ明るさ(階調)をコレステリック液晶層 2 1 c、2 2 c、2 3 c に付加させることができる。すなわち、電圧領域 W 1 内にある電圧は、コレステリック液晶 2 1 c、2 2 c、2 3 c をフォーカルコニックとホメオトロピックとが混在した状態とするとともに、

50

コレステリック液晶 21c、22c、23c に所望の明るさを設定する電圧領域である。

【0028】

なお、後に説明するように、電圧領域 W2 が電圧領域 W1 より広いことが望ましい。すなわち、以下の条件式を満たしていることが望ましい。

電圧領域 W2 > 電圧領域 W1 ・ ・ ・ ・ ・ 式 (1)

ここで、コレステリック液晶層 21c、22c、23c は、例えば、ネマティック液晶混合物にカイラル材を 10 から 40 重量% (wt%) 添加して形成される。そこで、ネマティック液晶の種類を選択や、カイラル材の添加量の調整を行えば、コレステリック液晶層 21c、22c、23c が、図 3 に示すような電圧 - 反射率特性を持つことは周知である。

10

【0029】

図 4A 及び図 4B はコレステリック液晶層 17 にフォーカルコニック状態を保持させる動作及びフォーカルコニック状態について説明する図である。図 4A に示すグラフにおいて、縦軸はコレステリック液晶層 17 に印加する電圧を示し、横軸の左側はコレステリック液晶層 17 の反射率を示し、横軸の右側は時刻を示す。また、図 4A に示すグラフの横軸の左側領域において、コレステリック液晶層 17 への印加電圧と反射率の関係を示す。また、右側領域において、フォーカルコニック状態を保持させる動作について、コレステリック液晶層 17 への印加電圧と時刻の関係を示す。コレステリック液晶層 17 への印加電圧と反射率の関係は図 3 で説明したものと同様なものである。

図 4A に示すように時刻 T1 において、コレステリック液晶層 17 に電圧 V0 以上 (例えば 15V 以上) を印加すると、液晶分子からなるらせん構造は少しずつほどけて、高電圧になるとすべての分子が電界の方向に従うホメオトロピック状態になる。

20

次いで、時刻 T2 において、印加電圧を V1 (例えば 30V) とした後、印加電圧を除去すると、コレステリック液晶層 17 はフォーカルコニック状態を保持する。

図 4B はフォーカルコニック状態を説明する図である。図 4B に示すコレステリック液晶表示部は上側電極層 11、コレステリック液晶層 17、光を吸収するため黒色に見える光吸収層 16、下側電極層 15 を含む。フォーカルコニック状態を保持させると、液晶分子からなるらせん構造のらせん軸は電極面に平行になり、入射光を透過するフォーカルコニック状態になる。従って、入射光は殆ど反射されず、下側透明基板 15 を透過して、その下の黒色に見える光吸収層 16 に吸収される。その結果、コレステリック液晶層 17 がフォーカルコニック状態を保持しているときは、コレステリック液晶層 17 は黒色であると視認される。

30

【0030】

図 5A 及び図 5B はコレステリック液晶層 17 にプレーナ状態を保持させる動作及びプレーナ状態について説明する図である。図 5A に示すグラフにおいて、縦軸はコレステリック液晶層 17 に印加する電圧を示し、横軸の左側はコレステリック液晶層 17 の反射率を示し、横軸の右側は時刻を示す。また、図 5A に示すグラフの横軸の左側領域において、コレステリック液晶層 17 への印加電圧と反射率の関係を示す。また、右側領域において、プレーナ状態を保持させる動作について、コレステリック液晶層 17 への印加電圧と時刻の関係を示す。コレステリック液晶層 17 への印加電圧と反射率の関係は図 3 で説明したものと同様なものである。

40

図 5A に示すように時刻 T1 において、コレステリック液晶層 17 に電圧 V0 以上 (例えば 15V 以上) を印加すると、液晶分子からなるらせん構造は少しずつほどけて、高電圧を印加するとすべての分子が電界の方向に従うホメオトロピック状態となる。

次いで、時刻 T2 において、印加電圧を V2 (例えば 35V) とした後、印加電圧を除去すると、コレステリック液晶層 17 はプレーナ状態を保持する。

図 5B はプレーナ状態を説明する図である。図 5B に示すコレステリック液晶表示部は、上部電極層 11、コレステリック液晶層 17、黒色に見える光吸収層 16、下側電極層 15 を含む。プレーナ状態を保持させると、液晶分子からなるらせん構造のらせん軸は電極に垂直になり、入射光を反射するプレーナ状態になる。なお、入射光の内、らせん構造

50

のらせんピッチ P と液晶の屈折率 n の積に応じた波長 λ を有する光に対する反射強度が最大となる。そこで、赤、青、緑それぞれの色に対応するコレステリック液晶層 17 が重なっている場合は、コレステリック液晶表示部は白色として視認される。

【0031】

また、コレステリック液晶に対する印加電圧を、 V_1 (例えば 30 V) から V_2 (例えば 35 V) の間の中間電圧に保つ。その後、所定の低電圧 V_0 以下 (例えば、15 V 以下) に急激に低下させて、ほぼゼロにすると、液晶分子からなるらせん構造はプレーナ状態とフォーカルコニック状態が混在し、中間的な明るさ (中間階調) の表示が可能となる。

【0032】

図 6 は、実施例 1 に関し、コレステリック液晶表示素子 10 を含む表示装置 30 における座標抽出モードを説明する図である。

ここで、実施例 1 では、縦ライン黒線 116 及び横ライン黒線 115 をデフォルトの位置から、抽出したい座標まで移動させるのに、縦ライン黒線 116 の移動だけをおこなった後に、横ライン黒線 115 の移動を行っている。

なお、以下において、コレステリック液晶表示素子 10 を構成する青色画像を表示する液晶素子 21、緑画像を表示する液晶素子 22、赤色画像を表示する液晶素子 23 の内の一つにより代表させて、座標抽出モードの説明を行う。

また、コレステリック液晶素子 10 のコレステリック液晶層は行列状に配置された複数の画素を含み、液晶表示画面となる。そして、 X 電極線は列方向に延在し、 Y 電極線は行方向に延在している。

座標抽出モード開始すると、以下の動作を行う。

横ライン表示 110 において、表示装置 30 はデフォルトとして設定されている Y 電極線に印加されている電圧と、 X 電極線複数のに印加されている電圧とからなる電圧をデフォルトの Y 電極線上の複数の画素に印加する。その電圧印加により、デフォルトの Y 電極線上の複数の画素は、透明状態にされるとともに、選択前に表示していた明るさに設定される。その結果、その Y 電極線上の複数の画素は黒線を表示するため、コレステリック液晶表示素子 10 の Y 電極線上に横ライン黒線 115 が表示される。

そして、縦ライン表示 120 が終了するまで、透明状態を実現する電圧を Y 電極線上の複数の画素に印加することは維持される。なお、黒線を表示するにあたり、 Y 電極線上の複数の画素のすべてにおいてコレステリック液晶を透明状態としなくてもよい。すなわち、 Y 電極線上の一部の複数の画素が黒線を表示することでもよいし、間欠的に列状または行状に並んだ複数の画素が黒線を表示することであってもよい。

縦ライン表示 120 において、表示装置 30 はデフォルトとして設定されている X 電極線に印加されている電圧と、 Y 電極線複数のに印加されている電圧とからなる電圧をデフォルトの X 電極線上の複数の画素に印加する。その電圧印加により、デフォルトの X 電極線上の複数の画素は、ホメオトロピック状態にされるとともに、選択前に表示していた明るさに設定される。その結果、その X 電極線上の複数の画素は黒線を表示するため、コレステリック液晶表示素子 10 の X 電極線上に縦ライン黒線 116 が表示させる。

そして、横ライン移動 130 が終了するまで、透明状態を実現する電圧を X 電極線上の複数の画素に印加することは維持される。なお、黒線を表示するにあたり、 X 電極線上の複数の画素すべてにおいてコレステリック液晶を透明状態としなくてもよい。すなわち、 X 電極線上の一部の複数の画素が黒線を表示することでもよいし、間欠的に列状または行状に並んだ複数の画素が黒線を表示することであってもよい。

横ライン移動 130 において、表示装置 30 はデフォルトに設定された Y 電極線上の複数の画素から指示された Y 電極線上の複数の画素まで、順次、指示された Y 電極線まで、黒線を移動させる。なお、黒線を移動させるには、図 7 及び図 8 B で示す黒線移動シーケンスを行う。また、黒線移動シーケンスは透明状態を実現する電圧を画素に印加することを含む。

【0033】

横ライン移動停止の判断 140 において、表示装置 30 は指示された Y 電極線まで、

10

20

30

40

50

黒線を移動させたかを判断する。指示された Y 電極線上まで移動していなければ横ライン移動 130 に戻る。一方、指示された Y 電極線上まで移動していれば、横ライン移動停止 150 へ進む。

横ライン移動停止 150 において、表示装置 30 は指示された Y 電極線に対しコレステリック状態を実現する電圧を印加し、その状態を維持する。

【0034】

縦ライン移動 160 において、表示装置 30 はデフォルトに設定された X 電極線から指示された X 電極線までの各 X 電極線に、順次、透明状態を実現する電圧の印加を含む、図 7 及び図 8 B を用いて説明する黒線移動電圧印加シーケンスを行い、指示された X 電極線上まで、黒線を移動させる。

10

【0035】

縦ライン移動停止を判断する 170 において、表示装置 30 は支持された X 電極線上まで、黒線を移動させたかを判断する。支持された X 電極線上まで移動していなければ縦ライン移動 160 に戻る。一方、支持された X 電極線上まで移動していれば、縦ライン移動停止 180 へ進む。

縦ライン移動停止 180 において、表示装置 30 は支持された X 電極線に対し透明状態を実現する電圧を印加し、その状態を維持する。

【0036】

座標抽出 190 において、表示装置 30 は指示された Y 電極線、及び X 電極線に相当する座標を抽出する。その後、Y 電極線及び X 電極線に対し、順次、明るさを保持及び定着する動作を行う。その後、座標抽出モードを終了する。

20

上記において、抽出する座標は、1 本の縦ライン黒線 116 と、1 本の横ライン黒線 115 により指定する例を示した。しかし、同時に抽出される座標は一つに限られない。すなわち、2 以上の縦ライン黒線 116 と、横ライン黒線 115 によって、複数の座標を抽出することであってもよい。また、縦ライン黒線 116 と、2 以上の横ライン黒線 115 によって、複数の座標を抽出することであってもよい。さらに、2 以上の縦ライン黒線 116 と、2 以上の横ライン黒線 115 によって、複数の座標を抽出することであってもよい。

【0037】

図 7 は縦ライン移動 160 中における X 電極線及び Y 電極線への電圧印加状態を示す図である。

30

図 7 において、コレステリック液晶表示素子 10 の表示部と、Y 電極線と、Y 電極線に垂直に交差する X 電極線と、X 電極上の縦ライン黒線 116 と、Y 電極上の横ライン黒線 115 と、表示領域 111、112、113、114 が示されている。また、図 7 において、縦ライン黒線 116 を一つ右隣の X 電極線上に移動させようとして、X 電極上の画素に中間的な明るさ（階調）を保持及び定着させようとする時点における、X 電極線、及び、Y 電極線に対する電圧印加状態を示す。

上記時点において、縦ライン黒線 116 を表示するため、X ドライバ 39 は、縦ライン黒線 116 の真上の X 電極線に、透明状態を実現する電圧 V_0 から電圧 V_1 間の範囲にあり、かつ、絶対値 V_{b2} をもつマイナス電圧を印加する。また、X ドライバ 39 は、その他の X 電極線には 0 V を印加する。すなわち、X ドライバ 39 は、縦ライン黒線 116 の表示している X 電極線に、表示期間中、透明状態を実現する電圧 V_{b2} を印加し続けるドライバである。

40

一方、横ライン黒線 115 を表示するため、Y ドライバ 38 は、横ライン黒線 115 の真下の Y 電極線に対して、マイナス電圧を印加する。なお、Y 電極線に印加したマイナス電圧の絶対値は V_0 から V_1 間にある V_{a2} である。Y 電極線にマイナス電圧 V_{a2} を印加した結果、Y 電極線上の複数の画素において、コレステリック液晶はホメオトロピック状態となる。また、Y ドライバ 38 によって、横ライン黒線 115 の真下の Y 電極線を除き、その他の Y 電極線は、各 Y 電極線が接続する画素の明るさに応じた電圧 V_{a1} 又は電圧 V_{a3} を印加される。ここで、画素の明るさは、縦ライン黒線 116 が隣の X 電極線上

50

から移動してくる前に、画素が保持していた明るさである。

なお、CPU 50が、画素の明るさに関する表示データ48を、CPU 50内に保持された画像データ51に基づいて作成し、制御回路37に出力する。制御回路37は画素の明るさに関する表示データ48を出力し、Yドライバ38によってY電極に印加される電圧を制御する。

すなわち、Yドライバ38は、縦ライン移動160が終了するまで、横ライン黒線115を表示しているY電極線に、透明状態を実現する電圧を印加し続ける。また、Yドライバ38は、縦ライン黒線116上の各画素に接続する各Y電極線の内、横ライン黒線115を表示させるY電極線を除いて、各画素の明るさに応じた電圧であって、電圧V0以下の電圧を各Y電極線に印加するドライバである。

なお、横ライン移動130においては、Yドライバ38の役割と、Xドライバ39の役割は入れ代わる。

【0038】

以上より、表示領域111、112に存在する画素には電圧V a 1が印加される。表示領域113、114に存在する画素には電圧V a 3が印加される。縦ライン黒線116上であって表示領域111と表示領域112間にある画素には、電圧V a 1 + | V b 2 | が印加される。縦ライン黒線116上であって表示領域113と表示領域114間にある画素には、電圧V a 3 + | V b 2 | が印加される。縦ライン黒線116と、横ライン黒線115上とが交差する交点に存在する画素には、電圧| V a 2 | - | V b 2 | が印加される。なお、電圧| V a 2 | - | V b 2 | はほぼ0Vである。横ライン黒線115上の画素には、上記の交点に存在する画素を除き電圧V a 2が印加される。

ここで、電圧V a 1 + | V b 2 |、電圧V a 3 + | V b 2 |、及び、固定電圧V a 2は、電圧V1以下の電圧であって、透明状態を実現する電圧である。ここで、X電極線により与えられるV b 2は固定値であるが、Y電極線により与えられる電圧V a 1と電圧V a 3は縦ライン黒線116の真下の画素が保持していた明るさに応じた電圧となる。

ところで、縦ライン黒線116の表示を、次のX電極線に移すにあたっては、縦ライン黒線上の画素に、電圧領域W1（電圧V2と電圧V1間）内の電圧を印加して、画素に明るさを保持させることになる。その際は、現X電極線に印加される固定電位V b 2を電圧V1とすることで、画素に印加される電圧を電圧領域W1（電圧V2と電圧V1間）内の電圧とする。

すなわち、電圧V a 1と電圧V a 3は縦ライン黒線116の真下のX電極線に電圧V1を印加したときに、各画素が保持していた明るさを示すように図3の電圧 - 反射率特性にしたがって設定される。そして、各画素に電圧V a 1 + | V 1 |、又は、電圧V a 3 + | V 1 | が印加された状態で、電圧V b 2を電圧V1から急激にグランド電圧（0V）とすることにより、各画素は明るさを保持及び定着する。縦黒ライン116以外の111、112、113、114の領域では、明るさの変化はない。なぜなら、電圧V a 1及び電圧V a 3は、電圧領域W2（0Vと電圧V0間）内の電圧であるからである。

従って、電圧V a 1 + | V 1 |、及び、電圧V a 3 + | V 1 | が電圧領域W1内の電圧となり、電圧V a 1及び電圧V a 3が電圧領域W2内の電圧とするには、図3で説明した電圧 - 反射率特性において、W2 > W1となっていることが条件となる。

一方、Y電極線における電圧V a 1及び電圧V a 3の設定時点は、現X電極線の電圧である固定電圧V b 2を電圧V1へ上昇させる時点より前に設定される。そして、少なくとも、電圧V a 1及び電圧V a 3は、各画素に明るさを保持及び定着させる電圧を印加する期間が終了するまで、維持される。

また、縦ライン黒線116移動160中、横ライン黒線115の真下のY電極線において、固定した電圧V a 2が維持される。そのため、横ライン黒線115の表示は維持される。

なお、上記した、縦ライン黒線116を移動させる動作の説明は、X電極線をY電極線に置き換え、縦ライン黒線116を横ライン黒線115に置き換え、YドライバをXドライバに置き換えることにより、横ライン黒線115を移動させる動作に対する説明となる

。なお、横ライン 1 1 5 移動 1 3 0 中、縦ライン黒線 1 1 6 の真上の X 電極線において、電圧 V_{b2} が維持される。

【0039】

図 8 A 及び図 8 B は縦ライン黒線 1 1 6 の移動又は横ライン黒線 1 1 5 の移動に対する電圧印加シーケンスを示す波形図である。具体的には、図 8 A 及び図 8 B はコレステリック液晶表示素子 1 0 において、任意の連続した 2 本の X 電極線間の縦ライン黒線 1 1 6 の移動又は任意の連続した 2 本の Y 電極線間の横ライン黒線 1 1 5 の移動に対する電圧印加シーケンスを示す波形図である。図 8 A 及び図 8 B に示す波形図において、上から、縦ライン黒線 1 1 6 に関連する n 番目の X 電極線 X_n 、その次の X 電極線 X_{n+1} における信号の波形図を示す。また、その次の段において、横ライン黒線 1 1 5 に関連する n 番目の Y 電極線 Y_n 、その次の Y 電極線 Y_{n+1} における信号の波形図を示す。横軸は時刻、縦軸は画素に対する印加電圧を示す。

10

【0040】

図 8 A に示す電圧印加シーケンスは、縦ライン移動 1 6 0 において、縦ライン黒線 1 1 6 を n 番目の X 電極線 X_n から次の X 電極線 X_{n+1} に移動させたときに、X 電極線に沿って配置された画素に対して行う、一般的な、電圧印加シーケンスである。

時刻 T_1 から時刻 T_2 までに行われる、X 電極線 X_n に沿った画素に対する電圧印加シーケンスは、X 電極線 X_n の真下の画素に黒線を保持及び定着させるための黒線保持電圧印加シーケンスである。

黒線保持電圧印加シーケンスは、反射率が低下するフォーカルコニック状態を保持させるための電圧 - V_1 を選択された X 電極線 X_n 上の画素に印加する第 1 動作を有する。また、黒線保持電圧印加シーケンスは、フォーカルコニック状態を保持させるためにグラウンド電圧を選択された X 電極線上の画素に印加する第 2 動作を有する。

20

一方、時刻 T_1 に先立つ時刻において、選択された Y 電極線 Y_n 上に黒線を保持させる黒線保持電圧印加シーケンスを行い、黒線を選択された Y 電極線 Y_n 上の画素に保持させるので、時刻 T_1 から時刻 T_2 の間では、いずれの Y 電極線 Y_n にも電圧が印加されないことになる。その結果、選択された X 電極線 X_n の真下の各画素には、時刻 T_1 以前にはグラウンド電圧が印加され、時刻 T_1 から時刻 T_2 においては X 電極線 X_n に印加した電圧と同様な電圧が選択された X 電極線 X_n 上の各画素に印加される。

【0041】

30

次に、時刻 T_2 から時刻 T_3 までに行われる、X 電極線 X_n に沿って配置された画素に対する電圧印加シーケンスは、 X_n 電極線上の各画素に、画素に明るさを再定着させ、ライン画像を再表示させるための再表示電圧印加シーケンスである。

再表示電圧印加シーケンスは、各画素に明るさを付加し、ライン画像を形成するために選択された X_n 電極線に電圧 - V_1 (例えば、- 30 V) を印加し、X 電極線 X_n 上の画素に電圧 V_1 から電圧 V_2 までの電圧を印加する第 1 動作を有する。また、再表示電圧印加シーケンスは、各画素に対して明るさを保持させるために選択された X 電極線 X_n にグラウンド電圧を画素に印加する第 2 動作を有する。

一方、各 Y 電極線に対しては、時刻 T_2 から時刻 T_3 までの間の第 1 動作において、黒線上の各画素の明るさに応じた電圧を各 Y 電極線に印加し、X 電極線 X_n の電圧をグラウンド電圧にする時に、各 Y 電極線をグラウンド電圧とする。

40

【0042】

以上より、任意の X_n 電極線から次の X_{n+1} 電極線に移動させるときに、一般的な、電圧印加シーケンスは、最短で 4 動作かかる。また、コレステリック液晶を透明状態にする動作は 2 回あり、その度に、液晶中に、らせん構造がくずれることによる電流が流れる。さらに、X 電極線において、電荷の充電と放電は 2 回繰り返される。

【0043】

図 8 B に示す電圧印加シーケンスは、縦ライン移動 1 6 0 において、縦ライン黒線 1 1 6 を任意の X 電極線 X_n から次の X 電極線 X_{n+1} に移動させるときに、X 電極線の真下の画素に対して行う、実施例 1 における、電圧印加シーケンスである。

50

時刻 T 1 から時刻 T 2 までに行われる、X 電極線 X n の真下の画素に縦ライン黒線 1 1 6 を表示させる電圧印加シーケンスは、X n 電極線にコレステリック液晶に透明状態を実現する電圧を印加し、Y 電極線には同時間、連続して縦ライン黒線 1 1 6 上の各画素に、明るさ定着させ、ライン画像を表示させるための電圧を印加する黒線移動電圧印加シーケンスである。

黒線移動電圧印加シーケンスは、第 1 動作と第 2 動作を有する。第 1 動作において、選択された X 電極線 X n 上の複数の画素に、コレステリック液晶に透明状態を実現する、電圧 - V 1 が印加される。次いで、各画素に明るさを定着させ、複数の画素からなるライン画像を再表示させるため、X 電極線 X n への電圧 - V 1 印加は保持しつつ、Y 電極線に画素の明るさに応じたグラウンド電圧から電圧 V 0 までの電圧を印加する。また、黒線移動電圧印加シーケンスは、画素の明るさを保持及び定着させるため、X 電極線 X n に印加する電圧をグラウンド電圧にする第 2 動作を有する。従って、各画素には、第 1 動作終了後において、電圧 V 1 から電圧 V 2 間のいずれかの電圧が印加され、第 2 動作では、各画素にはグラウンド電圧から電圧 V 0 までの電圧が印加される。

【 0 0 4 4 】

一方、時刻 T 1 から時刻 T 2 において、選択された Y 電極線 Y n において、時刻 T 1 に先立つ時刻において、選択された Y 電極線上に黒線を保持させる黒線保持電圧印加シーケンスが行われ、黒線を含むライン画像が選択された Y 電極線上の画素に保持される。また、選択された Y 電極線 Y n 以外の各 Y 電極線には、第 1 動作において、選択された X 電極の真下の各画素の明るさに応じた電圧であって、電圧 V 0 以下の電圧が各 Y 電極線に印加される。なお、第 2 動作期間においては、各 Y 電極線に印加される電圧が、移動先の縦ライン黒線 2 1 6 上の各画素の明るさに応じた電圧に、移行する。

以上より、X 電極線に対する黒線移動電圧印加シーケンスは 2 動作かかり、Y 電極線に対する各画素の明るさに応じた電圧の印加も 2 動作毎に必要となる。

なお、時刻 T 2 から T 3 において、時刻 T 1 から T 2 における黒線移動電圧印加シーケンスが繰り返される。

【 0 0 4 5 】

以上より、実施例 1 における、縦ライン黒線 1 1 6 を任意の X 電極線 X n 上から次の X 電極線上に移動させる電圧印加シーケンスは、2 動作からなる。また、コレステリック液晶を透明状態にする動作は 1 動作あり、その度に、コレステリック液晶中に、らせん構造がくずれることによる電流が流れるが、その回数は黒線移動電圧印加シーケンス中、一回である。さらに、黒線移動電圧印加シーケンス中、X 電極線において、電荷の充電と放電は 1 回繰り返される。

そのため、実施例 1 の表示装置 3 0 において、黒線移動動作は短時間で行われる。また、実施例 1 の表示装置 3 0 において、実施例 1 の黒線移動電圧印加シーケンスを用いて、黒線の移動を行うので、座標抽出モードにおける消費する電流が減少する。

【実施例 2】

【 0 0 4 6 】

実施例 1 は、縦ライン黒線 1 1 6 及び横ライン黒線 1 1 5 をデフォルトの位置から、抽出したい座標まで移動させるのに、縦ライン黒線 1 1 6 の移動だけをおこなった後に、横ライン黒線 1 1 5 の移動を行う例をしめしている。

一方、実施例 2 では、縦ライン黒線 1 1 6 及び横ライン黒線 1 1 5 をデフォルトの位置から、抽出したい座標まで移動させるのに、縦ライン黒線 1 1 6 の移動と横ライン黒線 1 1 5 の移動を入り交えて行う例を示す。

図 9 は、実施例 2 に関し、コレステリック液晶表示素子 1 0 を含む表示装置 3 0 における座標抽出モードを説明する図である。

なお、以下において、コレステリック液晶表示素子 1 0 を構成する青色画像を表示する液晶素子 2 1、緑画像を表示する液晶素子 2 2、赤色画像を表示する液晶素子 2 3 の内の一つにより代表させて、座標抽出モードの説明を行う。

また、コレステリック液晶素子 1 0 のコレステリック液晶層は行列状に配置された複数

10

20

30

40

50

の画素を含み、液晶表示画面となる。そして、X電極線は列方向に延在し、Y電極線は行方向に延在している。

座標抽出モード開始すると、以下の動作を行う。

縦・横ライン表示210において、表示装置30において、X電極線及びY電極において、あらかじめ黒ラインが表示される位置が設定されている。そこで、表示装置30は、透明状態を設定する電圧をあらかじめ設定された位置のX電極線とY電極に印加して、コレステリック液晶表示素子10のX電極線上及びY電極線上に縦ライン黒線216と横ライン黒線215を表示させる。抽出場所確定270が終了するまで、透明状態を実現する電圧がX電極線上・Y電極線上に印加され続ける。なお、黒線を表示するにあたり、Y電極線上のすべての複数の画素においてコレステリック液晶をホメオトロピック状態としなくともよい。すなわち、Y電極線上の一部の複数の画素が黒線を表示することでもよいし、間欠的に列状または行状に並んだ複数の画素が黒線を表示することであってもよい。

10

なお、黒線を表示するにあたり、X電極線上のすべての複数の画素においてコレステリック液晶を透明状態としなくともよい。すなわち、X電極線上の一部の複数の画素が黒線を表示することでもよいし、間欠的に列状または行状に並んだ複数の画素が黒線を表示することであってもよい。

移動指示230において、表示装置30は移動指示を受け取る。

縦・横ライン移動260において、表示装置30は、指示時点でX・Y電極線上に表示されている縦ライン黒線216・横ライン黒線215から指示されたX・Y電極線上まで縦ライン黒線216・横ライン黒線215の移動を行う。その際、表示装置30は、図10から図11までに示す黒線移動電圧印加シーケンスを行い、指示されたX・Y電極線上まで、縦ライン黒線216・横ライン黒線215の移動を行う。

20

抽出場所確定270では、表示装置30は縦ライン黒線216及び横ライン黒線215の移動指示がないと判断するときは、座標抽出280へ進む。また、一方、縦ライン黒線216・横ライン黒線215の移動指示があると判断するときは、移動指示230へ進む。

【0047】

座標抽出280では、表示装置30は、コレステリック液晶表示素子10において、指示されたX電極線の位置から表示部におけるX座標を抽出し、また、指示されたY電極線の位置から表示部におけるY座標を抽出する。その後、縦ライン黒線216上の画素について明るさを回復させる動作及び横ライン黒線215上の画素について明るさを回復させる動作を行う。その後、座標抽出モードを終了する。

30

上記において、抽出する座標は、1本の縦ライン黒線216と、1本の横ライン黒線215により指定されるとした。しかし、同時に抽出される座標は一つに限られない。すなわち、2以上の縦ライン黒線216と、横ライン黒線215によって、複数の座標を抽出することであってもよい。また、縦ライン黒線216と、2以上の横ライン黒線215によって、複数の座標を抽出することであってもよい。さらに、2以上の縦ライン黒線216と、2以上の横ライン黒線215によって、複数の座標を抽出することであってもよい。

【0048】

40

図10は、縦・横ライン移動260中におけるX電極線及びY電極線への電圧印加状態を示す図である。

図10において、コレステリック液晶表示素子10の表示部と、Y電極線と、Y電極線に垂直に交差するX電極線と、X電極上の縦ライン黒線216と、Y電極上の横ライン黒線215と、表示領域211、212、213、214が示されている。また、図10において、縦ライン黒線216を一つ右隣のX電極線上に移動させようとして、X電極上の画素に中間的な明るさ(階調)を保持及び定着させようとする時点における、X電極線、及び、Y電極線に対する電圧印加状態を示す。

【0049】

上記時点において、縦ライン黒線216を表示するため、Xドライバ39は、縦ライン

50

黒線 2 1 6 の真下の X 電極線には、透明状態を実現する電圧 V_0 から電圧 V_1 間の範囲にあり、かつ、絶対値 V_{b2} をもつマイナス電圧を印加する。また、X ドライバ 3 9 は、縦ライン黒線 2 1 6 の真上の X 電極線を除き、その他の X 電極線に対して、各 X 電極線が接続する画素の明るさに応じた電圧 V_{b1} 又は電圧 V_{b3} を印加する。

ここで、画素の明るさは、横ライン黒線 2 1 5 が隣の Y 電極線上から移動してくる前に、画素が保持していた明るさである。

なお、CPU 5 0 が、画素の明るさに関する表示データ 4 8 を、CPU 5 0 内に保持された画像データ 5 1 に基づいて作成し、制御回路 3 7 に出力する。制御回路 3 7 は画素の明るさに関する表示データ 4 8 を出力し、X ドライバ 3 9 によって X 電極に印加する電圧を制御する。

10

【0050】

すなわち、X ドライバ 3 9 は、縦ライン黒線 2 1 6 を表示している X 電極線には、表示期間中、透明状態を実現する固定した電圧 V_{b2} を印加し続ける。

また、X ドライバ 3 9 は、横ライン黒線 2 1 5 上の各画素に接続する各 X 電極線の内、縦ライン黒線 2 1 6 を表示させる X 電極線を除いて、各画素の明るさに応じた電圧を印加する。ここで、後に図 1 1 を用いて説明するように、画素に印加される電圧 V_{b1} - 電圧 V_{a1} 、電圧 V_{b1} - 電圧 V_{a3} 、電圧 V_{b3} - 電圧 V_{a1} 、電圧 V_{b3} - 電圧 V_{a3} が電圧 V_0 以下の電圧となるように、各 X 電極線に電圧が印加される。電圧 V_{a1} 又は電圧 V_{a3} は、Y ドライバ 3 8 が出力する電圧である。

20

【0051】

一方、横ライン黒線 2 1 5 を表示するため、Y ドライバ 3 8 は、横ライン黒線 2 1 5 の真下の Y 電極線には、透明状態を実現する V_0 から V_1 間の絶対値 V_{a2} をもつ、マイナス電圧を印加する。

また、Y ドライバ 3 8 は、横ライン黒線 2 1 5 の真下の Y 電極線を除き、その他の Y 電極線に対して、各 Y 電極線が接続する画素の明るさに応じた電圧 V_{a1} 又は電圧 V_{a3} を印加する。

ここで、画素の明るさは、縦ライン黒線 2 1 6 が隣の X 電極線上から移動してくる前に、画素が保持していた明るさである。

なお、CPU 5 0 が、画素の明るさに関する表示データ 4 8 を、CPU 5 0 内に保持された画像データ 5 1 に基づいて作成し、制御回路 3 7 に出力する。制御回路 3 7 は画素の明るさに関する表示データ 4 8 を出力することにより、Y ドライバ 3 8 によって Y 電極に印加する電圧を制御する。

30

【0052】

すなわち、Y ドライバ 3 8 は、横ライン黒線 2 1 5 を表示している Y 電極線には、表示期間中、透明状態を実現する固定した電圧 V_{a2} を印加し続ける。

また、Y ドライバ 3 8 は、縦ライン黒線 2 1 6 上の各画素に接続する各 Y 電極線の内、横ライン黒線 2 1 5 を表示させる Y 電極線を除いて、各画素の明るさに応じた電圧を印加する。ここで、画素に印加される電圧 V_{b1} - 電圧 V_{a1} 、電圧 V_{b1} - 電圧 V_{a3} 、電圧 V_{b3} - 電圧 V_{a1} 、電圧 V_{b3} - 電圧 V_{a3} が電圧 V_0 以下の電圧となるように、各 Y 電極線に電圧が印加される。

40

【0053】

以上より、表示領域 2 1 1 に存在する画素には電圧 V_{a1} - 電圧 V_{b1} が印加される。表示領域 2 1 2 に存在する画素には電圧 V_{a1} - 電圧 V_{b3} が印加される。表示領域 2 1 3 に存在する画素には電圧 V_{a3} - 電圧 V_{b1} が印加される。表示領域 2 1 4 に存在する画素には電圧 V_{a3} - 電圧 V_{b3} が印加される。

縦ライン黒線 2 1 6 上であって表示領域 2 1 1 と表示領域 2 1 2 間にある画素には、電圧 $V_{a1} + |V_{b2}|$ が印加される。縦ライン黒線 2 1 6 上であって表示領域 2 1 3 と表示領域 2 1 4 間にある画素には、電圧 $V_{a3} + |V_{b2}|$ が印加される。縦ライン黒線 2 1 6 と、横ライン黒線 2 1 5 上とが交差する交点に存在する画素には、電圧 $|V_{a2}| - |V_{b2}|$ が印加される。なお、電圧 $|V_{a2}| - |V_{b2}|$ はほぼ 0 V である。横ライ

50

ン黒線 2 1 5 上であって表示領域 2 1 1 と表示領域 2 1 3 との間にある画素には、電圧 $V_{b1} + |V_{a2}|$ が印加される。横ライン黒線 2 1 5 上であって表示領域 2 1 2 と表示領域 2 1 4 との間にある画素には、電圧 $V_{b3} + |V_{a2}|$ が印加される。

【0054】

ここで、電圧 $V_{a1} + |V_{b2}|$ 、電圧 $V_{a3} + |V_{b2}|$ 、電圧 $V_{b1} + |V_{a2}|$ 、及び、電圧 $V_{b3} + |V_{a2}|$ は、電圧 V_1 以下の電圧であって、透明状態を実現する電圧である。ここで、X 電極線により与えられる V_{b2} は固定値であるが、Y 電極線により与えられる電圧 V_{a1} と電圧 V_{a3} は縦ライン黒線 2 1 6 の真下の画素が保持していた明るさに応じた電圧となる。また、Y 電極線により与えられる V_{a2} は固定値であるが、X 電極線により与えられる電圧 V_{b1} と電圧 V_{b3} は横ライン黒線 2 1 5 の真下の画素が保持していた明るさに応じた電圧となる。

10

【0055】

ところで、縦ライン黒線 2 1 6 の表示を、次の X 電極線上に移すにあたっては、縦ライン黒線 2 1 6 上の画素に、電圧領域 W_1 (電圧 V_2 と電圧 V_1 間) 内の電圧を印加して、画素に明るさを保持及び定着させることになる。すなわち、現 X 電極線への印加電位 V_{b2} は電圧 V_1 であることが望ましい、その結果、画素に印加される電圧を電圧領域 W_1 (電圧 V_2 と電圧 V_1 間) 内の電圧とする。

そうすると、電圧 V_{a1} と電圧 V_{a3} は縦ライン黒線 2 1 6 の真下の X 電極線に電圧 V_1 を印加したときに、各画素が保持していた明るさを示すように図 3 の電圧 - 反射率特性にしたがって設定される。そして、各画素に電圧 $V_{a1} + |V_1|$ 、又は、電圧 $V_{a3} + |V_1|$ が印加された状態で、急激に電圧 V_1 を電圧 V_{b1} 又は電圧 V_{b3} にし、各画素に印加される電圧を電圧 $0V$ にすると、各画素は明るさを保持及び定着する。すなわち、電圧 V_{a1} - 電圧 V_{b1} 、電圧 V_{a1} - 電圧 V_{b3} 、電圧 V_{a3} - 電圧 V_{b1} 、及び、電圧 V_{a3} - 電圧 V_{b3} は、電圧領域 W_2 ($0V$ と電圧 V_0 間) 内の電圧である。

20

ここで、電圧 $V_{a1} + |V_1|$ 、及び、電圧 $V_{a3} + |V_1|$ が電圧領域 W_1 内の電圧となることを第 1 の条件 (電圧 V_2 - 電圧 $V_1 > 電圧 V_{a1}$ 及び電圧 V_2 - 電圧 $V_1 > 電圧 V_{a3}$) とする。

また、電圧 V_0 (電圧領域 W_2 内の電圧) $> 電圧 V_{a1} - 電圧 V_{b1}$ 、電圧 V_0 (電圧領域 W_2 内の電圧) $> 電圧 V_{a1} - 電圧 V_{b3}$ 、電圧 V_0 (電圧領域 W_2 内の電圧) $> 電圧 V_{a3} - 電圧 V_{b1}$ 、及び、電圧 V_0 (電圧領域 W_2 内の電圧) $> 電圧 V_{a3} - 電圧 V_{b3}$ となることを第 2 条件とする。

30

そこで、第 1 条件、第 2 条件の双方が満たされるには、図 3 で説明した電圧 - 反射率特性において、電圧領域 W_2 の電圧幅 $>$ 電圧領域 W_1 の電圧幅 (電圧 V_2 - 電圧 V_1) となっていることが条件となる。

なお、Y 電極線における電圧 V_{a1} 及び電圧 V_{a3} の設定時点は、現 X 電極線の電位を V_{b2} から電圧 V_1 へ上昇させる時点よりも前に設定される。そして、少なくとも、電圧 V_{a1} 及び電圧 V_{a3} は、各画素に明るさを保持及び定着させる電圧を印加する期間が終了するまで、維持される。

また、縦ライン黒線 2 1 6 が移動している間は、横ライン黒線 2 1 5 の真下の Y 電極線において、固定した電圧 V_{a2} が維持される。そのため、横ライン黒線 2 1 5 の表示は維持される。

40

【0056】

一方、横ライン黒線 2 1 5 の表示を、次の Y 電極線上に移すにあたっては、横ライン黒線 2 1 5 上の画素に、電圧領域 W_1 (電圧 V_2 と電圧 V_1 間) 内の電圧を印加して、画素に明るさを保持及び定着させることになる。すなわち、現 Y 電極線への印加電圧 V_{a2} を電圧 V_1 とすることが望ましい。その結果、画素に印加される電圧は電圧領域 W_1 (電圧 V_2 と電圧 V_1 間) 内の電圧となる。

すなわち、電圧 V_{b1} と電圧 V_{b3} は横ライン黒線 2 1 5 の真上の Y 電極線に電圧 V_1 を印加したときに、各画素が保持していた明るさを示すように図 3 の電圧 - 反射率特性にしたがって設定される。そして、各画素に電圧 $V_{b1} + |V_1|$ 、又は、電圧 $V_{b3} + |$

50

V_1 が印加された状態で、急激に電圧 V_1 を電圧 V_{a1} 又は電圧 V_{a3} にし、各画素に印加される電圧を電圧 $0V$ にすると、各画素は明るさを保持及び定着する。すなわち、電圧 V_{b1} - 電圧 V_{a1} 、電圧 V_{b1} - 電圧 V_{a3} 、電圧 V_{b3} - 電圧 V_{a1} 、及び、電圧 V_{b3} - 電圧 V_{a3} は、電圧領域 W_2 ($0V$ と電圧 V_0 間) 内の電圧である。

【0057】

ここで、電圧 $V_{a1} + |V_1|$ 、及び、電圧 $V_{a3} + |V_1|$ が電圧領域 W_1 内の電圧となることを第1の条件 (電圧 V_2 - 電圧 $V_1 >$ 電圧 V_{a1} 及び電圧 V_2 - 電圧 $V_1 >$ 電圧 V_{a3}) とする。また、電圧 V_0 (電圧領域 W_2 内の電圧) $>$ 電圧 V_{a1} - 電圧 V_{b1} 、電圧 V_0 (電圧領域 W_2 内の電圧) $>$ 電圧 V_{a1} - 電圧 V_{b3} 、電圧 V_0 (電圧領域 W_2 内の電圧) $>$ 電圧 V_{a3} - 電圧 V_{b1} 、及び、電圧 V_0 (電圧領域 W_2 内の電圧) $>$ 電圧 V_{a3} - 電圧 V_{b3} がとなることを第2条件とする。そこで、第1条件、第2条件の双方が満たされるには、図3で説明した電圧 - 反射率特性において、電圧領域 W_2 の電圧幅 $>$ 電圧領域 W_1 の電圧幅 (電圧 V_2 - 電圧 V_1) となっていることが条件となる。

10

なお、 X 電極線における電圧 V_{a1} 及び電圧 V_{a3} の設定時点は、現 Y 電極線の電位を V_{b2} から電圧 V_1 へ上昇させる時点よりも前に設定される。そして、少なくとも、電圧 V_{a1} 及び電圧 V_{a3} は、各画素に明るさを保持及び定着させる電圧を印加する期間が終了するまで、維持される。

また、横ライン黒線 215 が移動している間は、縦ライン黒線 216 の真上の X 電極線において、固定した電圧 V_{b2} が維持される。そのため、縦ライン黒線 216 の表示は維持される。

20

同時に $X \cdot Y$ 電極線上の縦ライン黒線 216、横ライン黒線 215 を移動する場合には、上記縦ライン黒線 216 の表示の移動と横ライン黒線 215 の表示の移動を同時に行えばよい。

【0058】

図11は、コレステリック液晶素子10において、任意の連続した第1 X 電極線と第2 X 電極線間の縦ライン黒線 216 の移動及び任意の連続した第1 Y 電極線と第2 Y 電極線間の横ライン黒線 215 に対する黒線移動電圧印加シーケンスを示す波形図である。図11に示す波形図において、横軸は時刻、縦軸は画素に対する印加電圧を示す。また、図11において、上段から下段に向け第1波形図から第6波形図までが示されている。

そこで、第1 X 電極線上から第2 X 電極線上に縦ライン黒線 216 を移動させた後、第1 Y 電極線上から第2 Y 電極線上に横ライン黒線 215 を移動させる動作を、第1波形図から第6波形図までを用いて説明する。

30

【0059】

第1波形図において、第1 X 電極線上の画素に印加される黒線移動電圧印加シーケンスを示す。上記の黒線移動電圧印加シーケンスは第1、及び、第2動作を含み、黒線移動電圧印加シーケンスは以下である。時刻 T_1 以前において、 Y 電極線による、電圧 - V_1 の電圧が印加されている。時刻 T_1 において、第1 X 電極線上に縦ライン黒線 216 が移動してきたので、第1 X 電極線上の画素に透明状態を実現させる電圧を印加する第1動作を行う。次いで、第1 X 電極線上の画素に、明るさを保持及び定着させるため、第2動作において、電圧 $0V$ を印加する。

40

なお、時刻 T_2 以降において、第1 X 電極線上に縦ライン黒線 216 は表示されていない。しかし、第1 X 電極線には以下のような電圧が印加される。時刻 T_2 の第1動作では、第1 Y 電極線上の横ライン黒線 215 上の各画素の明るさに合わせた V_0 以下の電圧が印加される。また、その後の第2動作では、横ライン黒線 215 上の各画像の明るさを定着するため、電圧 $0V$ が印加される。なお、時刻 T_3 から時刻 T_4 まで、時刻 T_4 以降では、時刻 T_2 から時刻 T_3 までの動作が繰り返される。

【0060】

第2波形図において、第2 X 電極線上の画素に印加される黒線移動電圧印加シーケンスを示す。上記の黒線移動電圧印加シーケンスは第1、及び、第2動作を含み、黒線移動電圧印加シーケンスは以下である。

50

まず、以下に示す第 1 動作と第 2 動作からなる電圧印加シーケンスが行われる。すなわち、第 1 動作は、第 2 X 電極線に対して、時刻 T 2 以前において、黒線を表示している Y 電極線上の各画素の明るさにあわせた V 0 以下の電圧を印加する動作である。第 2 動作は、第 2 X 電極線に対して、時刻 T 2 以前において、画像の明るさを定着するため、電圧 0 V を印加する動作である。

時刻 T 2 において、第 2 X 電極線上に縦ライン黒線 2 1 6 が移動してきたので、黒線移動電圧印加シーケンスが第 2 X 電極線に対して行われる。そこで、第 2 X 電極線上の画素に透明状態を実現させる電圧 - V 1 を第 2 X 電極線上に印加する第 1 動作が行われる。ついで、第 2 X 電極線上の画素に明るさを定着させるため、第 2 X 電極線上に電圧 0 V を印加する第 2 動作が行われる。

10

ここで、時刻 T 2 から時刻 T 3 までにおいて、第 1 Y 電極線上の画素に横ライン黒線 2 1 5 を表示させ、さらに、第 2 Y 電極線上の画素に横ライン黒線 2 1 5 を移動させるための動作が行われる。

すなわち、Y ドラインバ 3 8 は、横ライン黒線 2 1 5 の表示に関係している第 1 Y 電極線を除く Y 電極線に対して、第 1 動作で、第 2 X 電極線上の画素の明るさに応じた電圧を印加することになる。なお、時刻 T 2 から時刻 T 3 までにおいて、第 1 Y 電極線を除く Y 電極線は第 2 Y 電極線が含まれる。

【 0 0 6 1 】

第 3 波形図において、第 1 Y 電極線上の画素に印加される黒線移動電圧印加シーケンスを示す。

20

時刻 T 2 以前において、第 1、第 2 X 電極線を含む X 電極に対し、第 1 Y 電極線によって、電圧 V 0 以下の電圧が印加されている。

時刻 T 2 において、第 1 Y 電極線上に横ライン黒線 2 1 5 が移動してきたので、黒線移動電圧印加シーケンスが第 1 Y 電極線に対して行われる。

黒線移動電圧印加シーケンスは第 1、第 2 動作を含む。第 1 動作において、第 1 Y 電極線上の画素に透明状態を実現させる電圧が第 1 Y 電極線に印加される。その後の第 2 動作では、電圧 0 V が第 1 Y 電極線に印加される。X 電極線上には、第 1 Y 電極線上の画素の明るさに合わせた V 0 以下の電圧が印加されているため、各画素に明るさが定着される。その後、時刻 T 3 では、隣接する第 2 Y 電極線上に横ライン黒線 2 1 5 が移動する。

【 0 0 6 2 】

30

第 4 波形図において、第 2 Y 電極線上の画素に印加される黒線移動電圧印加シーケンスを示す。

時刻 T 3 以前において、第 1、第 2 X 電極線を含む X 電極に対し、第 2 Y 電極線によって、縦ライン黒線 2 1 6 上の画素の明るさに合わせた電圧 V 0 以下の電圧が印加されている。

時刻 T 3 において、第 2 Y 電極線上に横ライン黒線 2 1 5 が移動してきたので、黒線移動電圧印加シーケンスが第 2 Y 電極線に対して行われる。

黒線移動電圧印加シーケンスは第 1、第 2 動作を含む。第 1 動作において、第 2 Y 電極線上の画素に透明状態を実現させる電圧が、第 2 Y 電極線に印加される。その後の第 2 動作では、電圧 0 V が第 2 Y 電極線に印加される。X 電極線上には第 2 Y 電極線上の画素の明るさに合わせた V 0 以下の電圧が印加されているため、各画素に明るさが定着される。その後、時刻 T 4 では、隣接する Y 電極線上に横ライン黒線 2 1 5 が移動する。

40

第 5 波形図は、第 1 X 電極線と第 2 Y 電極線の交点画素に係る電圧を示す。また、第 6 波形図は、第 2 X 電極線と第 2 Y 電極線の交点画素にかかる電圧を示す。黒ラインを表示する画素であるときには、第 1 動作で交点画素に印加される電圧は電圧 V 1 から電圧 V 2 内の電圧となり、印加時間中、画素のコレステリック液晶は透明状態を維持する。その後の第 2 動作では交点画素に電圧 0 V が印加されるため、交点画素は第 1 動作で印加された電圧に応じた明るさが保持及び定着される。また、黒ライン上の画素ではない場合には、画素にかかる電圧は V 0 以下となるため、画素への影響がない。

【 0 0 6 3 】

50

以上より、縦ライン黒線 2 1 6 を移動させる電圧印加シーケンスと、横ライン黒線 2 1 5 を移動させる電圧印加シーケンスは、縦ライン黒線 2 1 6 及び横ライン黒線 2 1 5 の移動パターンによらず、2 動作である。ここで、表示装置 3 0 において、実施例 2 においても、コレステリック液晶中のらせん構造がくずれる回数や、X 電極線及び Y 電極線の充放電回数は、実施例 1 と同様である。

そのため、実施例 2 では、表示装置 3 0 において、縦ライン黒線 2 1 6 及び横ライン黒線 2 1 5 の移動パターンによらず、縦ライン黒線 2 1 6、横ライン黒線 2 1 5 の移動は短時間で行われる。また、実施例 2 においても、表示装置 3 0 において、座標抽出モードにおける消費電流が減少する。

【符号の説明】

【 0 0 6 4 】

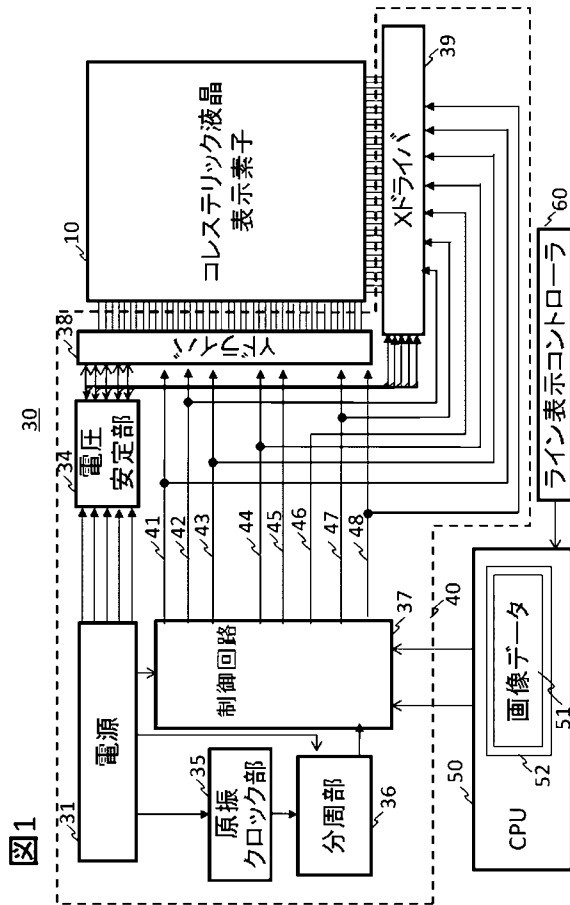
- 1 0 コレステリック液晶表示素子
- 2 1 a、2 2 a、2 3 a 上側透明基板
- 1 1、2 1 b、2 2 b、2 3 b 上側電極層
- 1 7、2 1 c、2 2 c、2 3 d コレステリック液晶層
- 1 5、2 1 d、2 2 d、2 3 d 下側電極層
- 2 1 e、2 2 e、2 3 e 下側透明基板
- 1 6、2 6 光吸収層
- 3 0 表示装置
- 3 1 電源
- 3 4 電圧安定部
- 3 5 原振クロック部
- 3 6 分周部
- 3 7 制御回路
- 3 8 Yドライバ
- 3 9 Xドライバ
- 4 0 駆動回路
- 5 0 C P U
- 6 0 ライン表示コントローラ

10

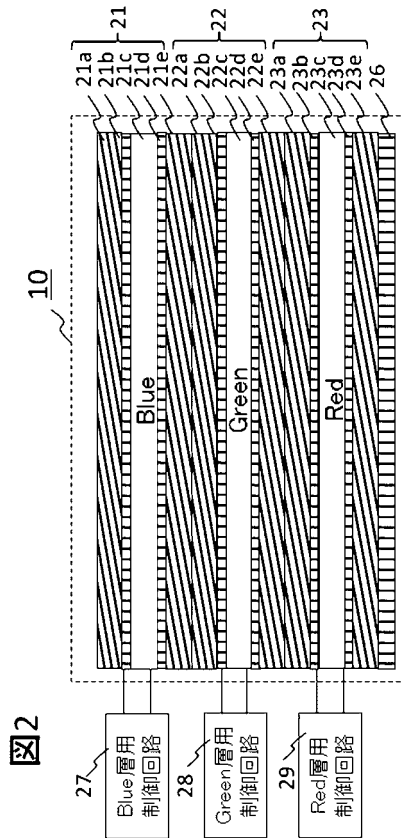
20

30

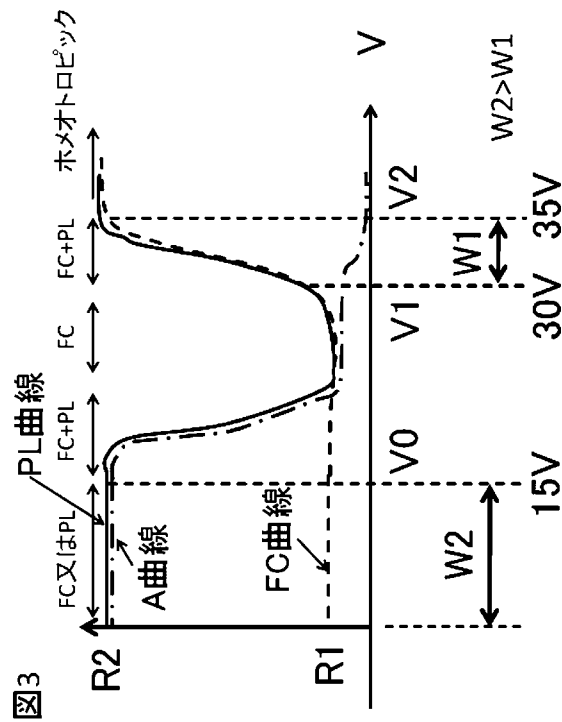
【 図 1 】



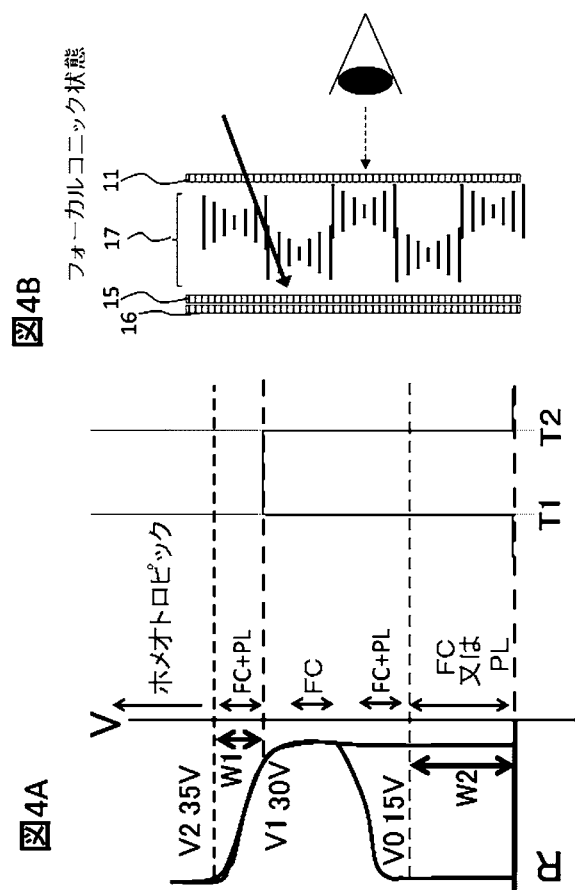
【 図 2 】



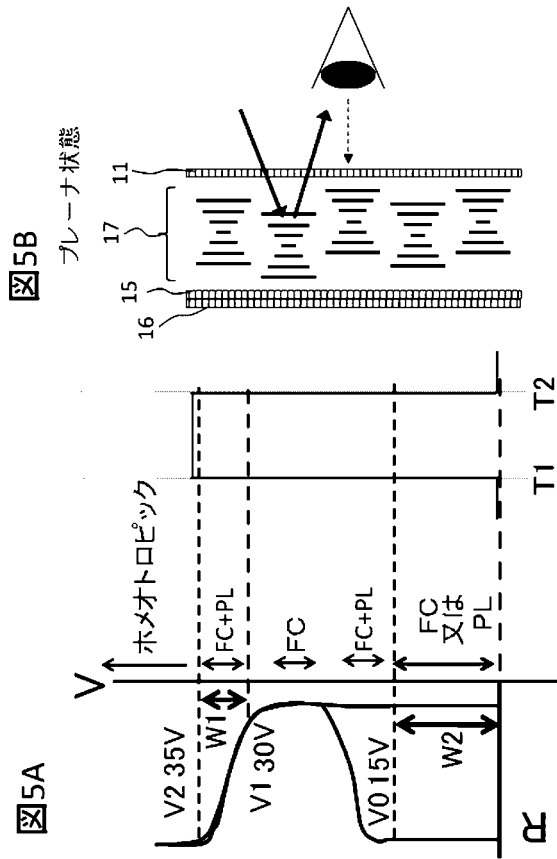
【 図 3 】



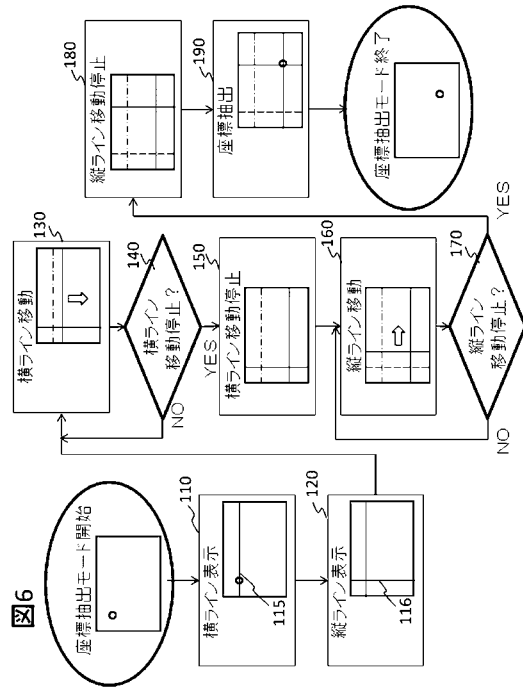
【 図 4 】



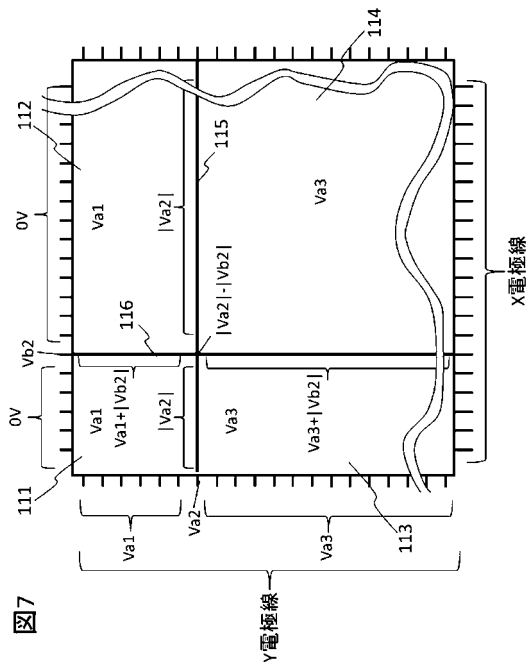
【図5】



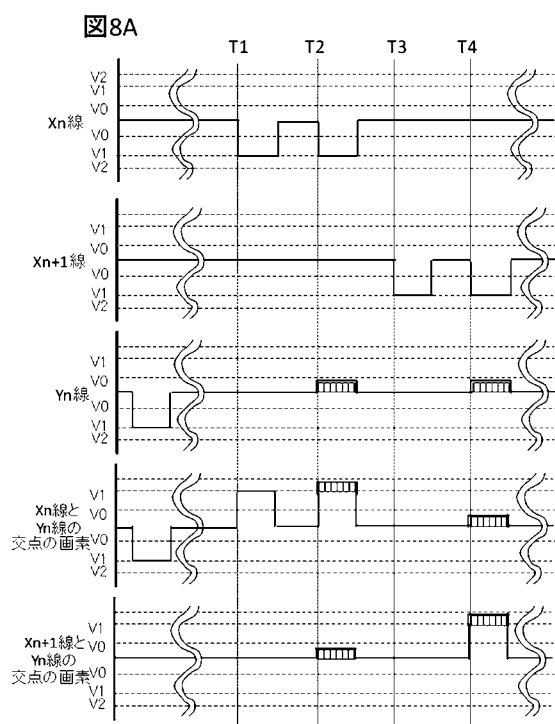
【図6】



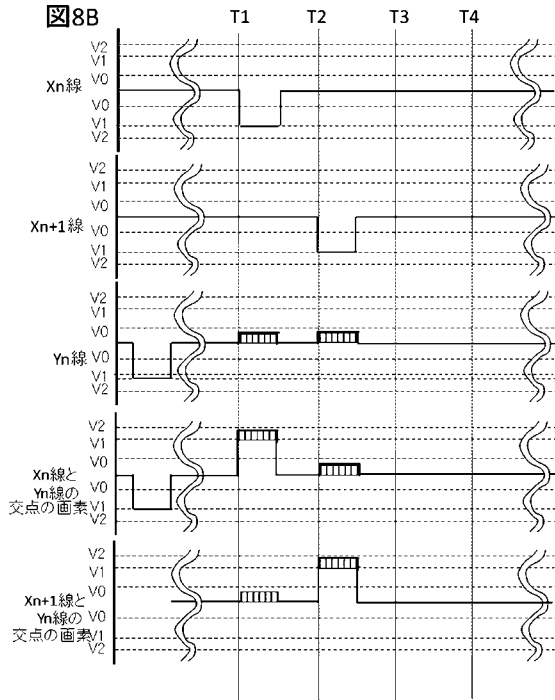
【図7】



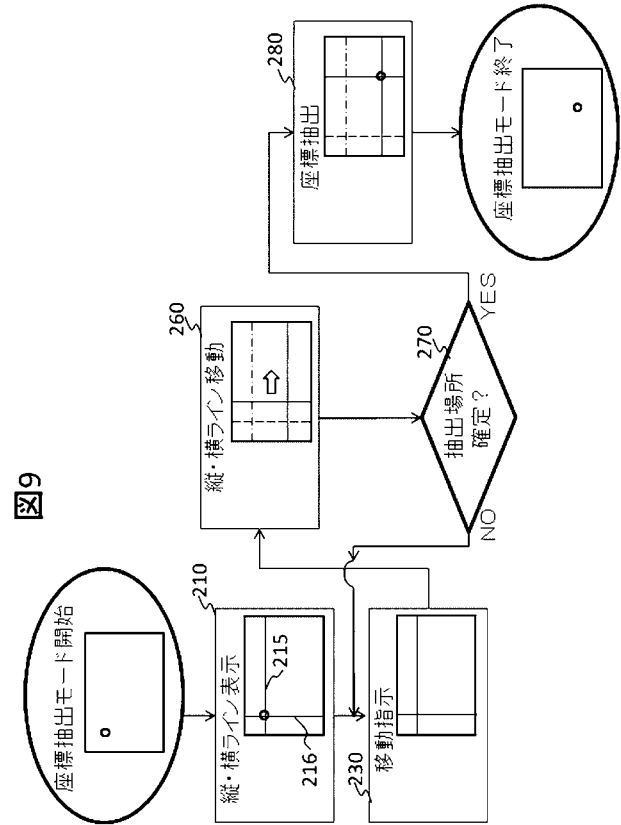
【図8A】



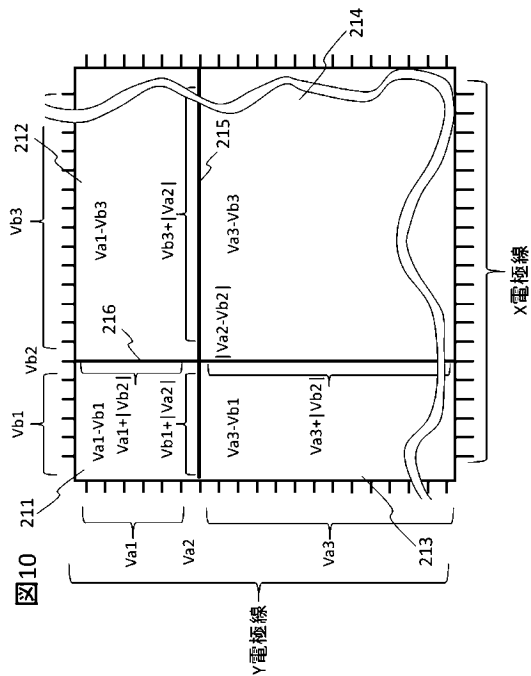
【図 8 B】



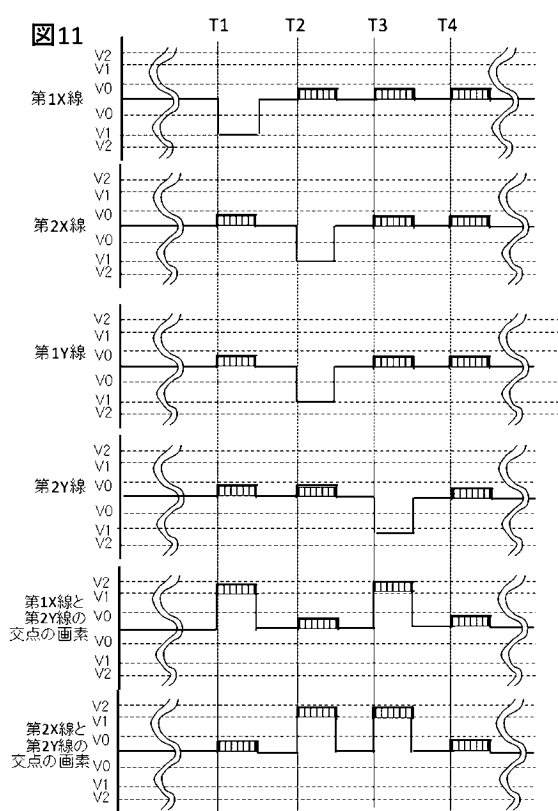
【図 9】



【図 10】



【図 11】



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2012211982A	公开(公告)日	2012-11-01
申请号	JP2011077066	申请日	2011-03-31
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
[标]发明人	有竹敬和		
发明人	有竹 敬和		
IPC分类号	G02F1/133		
CPC分类号	G02F1/13473 G02F1/13718 G09G3/3629 G09G2300/0447 G09G2310/061		
FI分类号	G02F1/133.505 G02F1/133.545		
F-TERM分类号	2H193/ZA21 2H193/ZB34 2H193/ZB42 2H193/ZC24 2H193/ZD11 2H193/ZD23 2H193/ZD31 2H193/ /ZE18 2H193/ZQ17		
代理人(译)	横山纯一		
外部链接	Espacenet		

摘要(译)

[问题] 在包括胆甾型液晶显示屏的显示装置中，提供了一种能够在将图像保持在胆甾型液晶显示屏上的同时减少在图像上的位置指定操作期间的电流消耗的液晶显示屏的驱动方法和显示装置。 要做。 [解决方案] 一种显示元件，其具有胆甾型液晶，包括多个像素；用于向每个像素施加电压的第一电极和第二电极；以及胆甾型液晶的透明状态；像素在选择时的反射率 一种液晶显示器，包括：驱动电路，其在第一电极和第二电极之间施加要设置的电压，然后在第一电极和第二电极之间施加不改变胆甾型液晶的状态的电压。 设备。 [选择图]图6

