



**【特許請求の範囲】****【請求項 1】**

入力信号に応答して複数のデータ線を駆動する複数の出力アンプと、  
前記出力アンプの電気的特性と整合性を有するダミーアンプを有するバイアス制御回路と  
を具備し、  
前記バイアス制御回路は、  
前記出力アンプに入力される  $\gamma$  抵抗回路の電圧を入力されたときの前記ダミーアンプの  
出力の遷移期間に基づいて、前記複数の出力アンプを高バイアスにする期間を制御する  
液晶表示装置のソースドライバ。

10

**【請求項 2】**

請求項 1 に記載の液晶表示装置のソースドライバにおいて、  
前記ダミーアンプは、前記出力アンプのレイアウトと実質的に同一のダミーアンプである  
液晶表示装置のソースドライバ。

**【請求項 3】**

請求項 1 又は 2 に記載の液晶表示装置のソースドライバにおいて、  
前記遷移期間は、立上がり及び立下り波形の傾きを支配的に決定する期間である  
液晶表示装置のソースドライバ。

**【請求項 4】**

請求項 1 乃至 3 のいずれか一項に記載の液晶表示装置のソースドライバにおいて、  
前記バイアス制御回路は、  
前記出力アンプに入力される  $\gamma$  抵抗回路の最高電圧及び最低電圧を、前記出力アンプ  
と同じストロブ信号周期で切り替えて入力される前記ダミーアンプとしての第 1 のダミー  
アンプと、  
前記第 1 のダミーアンプの出力を反転入力とし、前記  $\gamma$  抵抗回路の最高電圧より所定  
電圧だけ小さい電圧を非反転入力とする第 1 のコンパレータと、  
前記第 1 のダミーアンプの出力を反転入力とし、前記  $\gamma$  抵抗回路の最低電圧より所定  
電圧だけ大きい電圧を非反転入力とする第 2 のコンパレータと、  
前記第 1 のコンパレータ及び前記第 2 のコンパレータの出力を入力とする論理演算回  
路と、  
前記論理演算回路の出力を入力とするアンプ用バイアス回路と  
を備え、  
前記アンプ用バイアス回路の出力により前記高バイアスにする期間を制御する  
液晶表示装置のソースドライバ。

20

30

**【請求項 5】**

請求項 4 に記載の液晶表示装置のソースドライバにおいて、  
前記高バイアスにする期間を制御される階調電圧は、 $\gamma$  抵抗回路の最高電圧  $V_{max}$  より、  
前記第 1 のコンパレータ及び前記第 2 のコンパレータの入力オフセット電圧を充分上  
回る程度の電圧  $V_{common}$  の少し下の電圧 ( $V_{max} - V_{common}$ ) を超える階  
調電圧を出力する場合、及び / 又は、 $\gamma$  抵抗回路の最低電圧  $V_{min}$  より前記  $V_{common}$   
の少し上の電圧 ( $V_{min} + V_{common}$ ) より低い階調電圧を出力する場合に行  
われる  
液晶表示装置のソースドライバ。

40

**【請求項 6】**

請求項 4 に記載の液晶表示装置のソースドライバにおいて、  
前記第 1 のコンパレータは、前記第 1 のダミーアンプから出力される前記  $\gamma$  抵抗回路の  
うちの正極側  $\gamma$  抵抗回路の最高電圧と前記正極側  $\gamma$  抵抗回路の最高電圧より少し下の電圧  
との第 1 の比較結果を出力し、  
前記第 2 のコンパレータは、前記第 1 のダミーアンプから出力される前記  $\gamma$  抵抗回路の

50

うちの負極側  $\gamma$  抵抗回路の最低電圧と前記負極側  $\gamma$  抵抗回路の最低電圧より少し上の電圧との第 2 の比較結果を出力し、

前記論理演算回路は前記第 1 の比較結果及び前記第 2 の比較結果に基づく論理演算の結果を出力し、

前記アンプ用バイアス回路は、前記論理演算の結果に基づいて、前記高バイアスにする期間を制御する

液晶表示装置のソースドライバ。

【請求項 7】

請求項 4 に記載の液晶表示装置のソースドライバにおいて、

前記バイアス制御回路は、更に、

10

前記出力アンプに入力される前記  $\gamma$  抵抗回路の最高電圧及び最低電圧を、前記出力アンプと同じストロブ信号周期で切り替えて入力される前記ダミーアンプとしての第 2 のダミーアンプと、

前記第 2 のダミーアンプの出力を反転入力とし、前記  $\gamma$  抵抗回路の最高電圧より所定電圧だけ小さい電圧を非反転入力とする第 3 のコンパレータと、

前記第 2 のダミーアンプの出力を反転入力とし、前記  $\gamma$  抵抗回路の最低電圧より所定電圧だけ大きい電圧を非反転入力とする第 4 のコンパレータと、

を備え、

前記論理演算回路は、前記第 1 のコンパレータ、前記第 2 のコンパレータ、前記第 3 のコンパレータ及び前記第 4 のコンパレータの出力を入力とする

20

液晶表示装置のソースドライバ。

【請求項 8】

請求項 7 に記載の液晶表示装置のソースドライバにおいて、

前記第 1 のコンパレータは、前記第 1 のダミーアンプから出力される前記  $\gamma$  抵抗回路のうちの正極側  $\gamma$  抵抗回路の最高電圧と前記正極側  $\gamma$  抵抗回路の最高電圧より少し下の電圧との第 1 の比較結果を出力し、

前記第 2 のコンパレータは、前記第 1 のダミーアンプから出力される前記正極側  $\gamma$  抵抗回路の最低電圧と前記正極側  $\gamma$  抵抗回路の最低電圧より少し上の電圧との第 2 の比較結果を出力し、

前記第 3 のコンパレータは、前記第 2 のダミーアンプから出力される前記  $\gamma$  抵抗回路のうちの負極側  $\gamma$  抵抗回路の最高電圧と前記負極側  $\gamma$  抵抗回路の最高電圧より少し下の電圧との第 3 の比較結果を出力し、

30

前記第 4 のコンパレータは、前記第 2 のダミーアンプから出力される前記負極側  $\gamma$  抵抗回路の最低電圧と前記負極側  $\gamma$  抵抗回路の最低電圧より少し上の電圧との第 4 の比較結果を出力し、

前記論理演算回路は前記第 1 の比較結果、前記第 2 の比較結果、前記第 3 の比較結果及び前記第 4 の比較結果に基づく論理演算の結果を出力し、

前記アンプ用バイアス回路は、前記論理演算の結果に基づいて、前記高バイアスにする期間を制御する

液晶表示装置のソースドライバ。

40

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の液晶表示装置のソースドライバと、

前記液晶表示装置のソースドライバに駆動される複数のデータ線と、

前記複数のデータ線に接続された複数の画素と

を具備する

液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置のソースドライバ及びそれを用いた液晶表示装置に関する。

50

## 【背景技術】

## 【0002】

近年、テレビやパソコン用ディスプレイに使用される液晶表示装置の大画面化・高精細化が進んでいる。それに伴い液晶表示装置のソースドライバには、より大きな負荷を、より高速に、消費電力を抑えたままで、駆動する能力が必要となってきた。加えて、ソースドライバには多数の差動増幅回路が搭載されるようになってきている。このため、チップ面積の増大や消費電力の増大を招来しないようにしながら、高スルーレート化することが必要である。また、多数の各増幅回路の駆動能力の偏差等の増大にも留意する必要がある。

## 【0003】

特開2001-156559号公報（特許文献1：対応する米国特許US6392485（B1））に、高スルーレート差動増幅回路が開示されている。図1は、特開2001-156559号公報の差動増幅回路の構成を示す回路図である。この差動増幅回路は、Rail-to-rail差動増幅回路であり、P型MOS差動入力部101と、P型MOS副電流源106と、N型MOS差動入力部102と、N型MOS副電流源107と、カレントミラー回路103と、カレントミラー回路104と、プッシュプル出力段105とを備えている。P型MOS差動入力部101は、トランジスタM1，M2，M3で構成される。P型MOS副電流源106は、トランジスタM17，M18で構成される。N型MOS差動入力部102は、トランジスタM4，M5，M6で構成される。N型MOS副電流源107は、トランジスタM19，M20で構成される。カレントミラー回路103は、トランジスタM7，M8，M9，M10で構成される。カレントミラー回路104は、トランジスタM11，M12，M13，M14で構成される。プッシュプル出力段105は、トランジスタM15，M16で構成される。Vddは正側電源電圧、Vssは負側電源電圧である。

## 【0004】

非反転入力Vin（+）はトランジスタM3，M5のゲートに接続され、反転入力Vin（-）はトランジスタM2，M4のゲートに接続されている。トランジスタM2，M3からのP型MOS差動入力部101の出力は、カレントミラー回路104に入力され、トランジスタM4，M5からのN型MOS差動入力部102の出力は、カレントミラー回路103に入力されている。カレントミラー回路103とカレントミラー回路104とは抵抗器R1，R2で接続されている。プッシュプル出力段105のトランジスタM15のゲートはトランジスタM10と抵抗器R2の一端との接続点に接続され、プッシュプル出力段105のトランジスタM16のゲートはトランジスタM12と抵抗器R2の他端との接続点に接続されている。また、抵抗器R1，R2はMOSトランジスタなどでも構成できる。P型MOS副電流源106は、定電流源トランジスタM17とP型MOS出力トランジスタM15のゲート電圧をゲートに入力したトランジスタM18とを直列に接続した電流源回路を、P型MOS差動入力部101の定電流源トランジスタM1に並列に接続して構成されている。N型MOS副電流源107は、定電流源トランジスタM20とN型MOS出力トランジスタM16のゲート電圧をゲートに入力したトランジスタM19とを直列に接続した電流源回路を、N型MOS差動入力部102の定電流源トランジスタM6に並列に接続して構成されている。C1とC2は位相補償容量、Vb1～Vb4はそれぞれのトランジスタが適切に動作するように設定されたバイアス電圧である。ここではプッシュプル出力段105の出力と負側電源電圧Vssの間に外部負荷CLが接続されている。

## 【0005】

この差動増幅回路（液晶表示装置のソースドライバ）では反転入力電圧（Vin-）とアンプ出力端子Voutをショートして1倍アンプとして使用される。この差動増幅回路の動作では、アンプ出力端子Voutが低電圧から高電圧に遷移する時、ノードPG41が瞬間下がることでトランジスタM18をオンさせ、入力差動段（P型MOS差動入力部101及びP型MOS副電流源106）の定電流（定電流源M1、M17）を瞬間増加させることで高スルーレート化する。アンプ出力端子Voutが高電圧から低電圧に遷移す

10

20

30

40

50

る時、ノードNG41が瞬間上がることでトランジスタM19をオンさせ、入力差動段（N型MOS差動入力部102及びN型MOS副電流源107）の定電流（定電流源M6、M20）を瞬間増加させることで高スルーレート化する。

#### 【0006】

関連する技術として、特開2004-78216号公報（特許文献2：対応する米国特許US7317440（B2））に、液晶表示装置を低電力で駆動する回路及びその方法が開示されている。この液晶表示装置駆動用ドライバ回路は、以前データラッチと、バイアス制御電圧発生器と、ドライバアンプとを備える。以前データラッチは、ディスプレイデータの一部分または全部を受信して以前データとして出力する。バイアス制御電圧発生器は、ディスプレイデータの現在データと以前データとを比較して制御信号を発生させる。ドライバアンプは、入力電圧を受信して出力電圧を発生させ、制御信号に応答してスルーレートが調節される。

#### 【0007】

また、関連する技術として、特開2004-32603号公報（特許文献3：対応する米国特許US6897726（B2））に、差動回路と増幅回路及び該増幅回路を用いた表示装置が開示されている。この差動回路は、第1の差動対と、第2の差動対と、第1の負荷回路と、第2の負荷回路と、連絡手段と、第1の出力と、第2の出力と、切替手段とを有する。第1の差動対は、第1の定電流源で駆動され第1、第2の入力電圧を差動入力対より受け、第1導電型である。第2の差動対は、第2の定電流源で駆動され第1、第2の入力電圧を差動入力対より受け、第2導電型である。第1の負荷回路は、第1の電源に接続され、第1の差動対の能動負荷をなす第2導電型トランジスタで構成されている。第2の負荷回路は、第2の電源に接続され、第2の差動対の能動負荷をなす第1導電型トランジスタで構成されている。連絡手段は、第1の負荷回路と第2の負荷回路との間を連絡し、第1及び第2の負荷回路の少なくとも一方から他方へ電流を流すことを可能とする。第1の出力は、第1の負荷回路から出力される。第2の出力は、第2の負荷回路から出力される。切替手段は、第1の出力を活性とし第2の出力を非活性とする第1の接続状態と、第2の出力を活性とし第1の出力を非活性とする第2の接続状態とを切り替える。

#### 【先行技術文献】

#### 【特許文献】

#### 【0008】

【特許文献1】特開2001-156559号公報

【特許文献2】特開2004-78216号公報

【特許文献3】特開2004-32603号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0009】

上記特許文献1の差動増幅回路の動作には、以下のような問題が有ることが、発明者の研究により今回初めて明らかとなった。図2は、特許文献1の差動増幅回路の動作を示すタイミングチャートである。（a）はローレベルでアンプ出力が出力端子に接続され、ハイレベルで出力端子がハイインピーダンスになるように制御するストロブ信号STB、（b）はノードPG41の電圧、（c）はノードNG41の電圧、（d）はアンプ出力端子Voutの電圧、をそれぞれ示している。アンプ出力端子Voutの電圧（d）は、ストロブ信号STB（a）の入力のタイミングで、高速化されて遷移する。

#### 【0010】

アンプ出力端子Voutの電圧（d）が低電圧から高電圧に遷移する場合には、ノードPG41の電圧（b）がドロップ（ $-\Delta V$ ）することでアンプ出力端子Voutの電圧（d）の遷移が高速化される。しかし、回路の動作上、ノードPG41のドロップ時間が非常に長い（ $t_{bpl} = \text{約 } 10 \mu s$ ）。すなわち、長い間、入力差動段（P型MOS差動入力部101及びP型MOS副電流源106）の定電流値を増加させてしまう。そのため、アンプ出力端子Voutの電圧（d）には、リングング波形Q1が現れ、さらに異常動作

として入力差動段が中間段（カレントミラー回路 103、104、抵抗器 R1、R2）の電流を全て引き込んでしまうことで発振動作に陥ることも考え得る。

#### 【0011】

アンプ出力端子 Vout の電圧 (d) が高電圧から低電圧に遷移する場合にも、上記と同様の状況が発生する。すなわち、その場合には、ノード NG41 の電圧 (c) が増加 (+ΔV) することでアンプ出力端子 Vout の電圧 (d) の遷移が高速化される。しかし、回路の動作上、ノード NG41 のアップ時間が非常に長い ( $t_{bn1} = \text{約 } 10 \mu s$ )。すなわち、長い間、入力差動段（N型 MOS 差動入力部 102 及び N型 MOS 副電流源 107）の定電流値を増加させてしまう。そのため、アンプ出力端子 Vout の電圧 (d) には、リングング波形 Q2 が現れ、さらに異常動作として入力差動段が中間段（カレントミラー回路 103、104、抵抗器 R1、R2）の電流を全て引き込んでしまうことで発振動作に陥ることも考え得る。

10

#### 【0012】

さらに、アンプ出力端子 Vout の電圧の遷移動作後、差動増幅回路は定常動作に戻る。そのため、トランジスタ M18 のゲート電圧  $V_{dd} - V_{TP}$ 、トランジスタ M19 のゲート電圧  $V_{TN}$  と電圧が残る。したがって、トランジスタ M18 とトランジスタ M19 のサイズ (W/L) は、その状態でオフ状態にしなければならず非常に設計が難しくなる。ここで、 $V_{TP}$  と  $V_{TN}$  はそれぞれトランジスタ M18 とトランジスタ M19 の閾値電圧である。

20

#### 【課題を解決するための手段】

#### 【0013】

以下に、発明を実施するための形態で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、特許請求の範囲の記載と発明を実施するための形態との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、特許請求の範囲に記載されている発明の技術的範囲の解釈に用いてはならない。

#### 【0014】

本発明の液晶表示装置のソースドライバ (98) は、入力信号に応答して複数のデータ線 (92) を駆動する複数の出力アンプ (22a、22b) と、出力アンプ (22a、22b) の電気的特性と整合性を有するダミーアンプ (32/32a、32b) を有するバイアス制御回路 (13) とを具備する。バイアス制御回路 (13) は、出力アンプ (22a、22b) に入力される  $\gamma$  抵抗回路の電圧 ( $V1/V3$ ) を入力されたときのダミーアンプ (32/32a、32b) の出力 (AMPD11\_\_OUT/AMPD31\_\_OUT、AMPD32\_\_OUT) の遷移期間 ( $t1 \sim t4$ 、 $t5 \sim t8$ ) に基づいて、複数の出力アンプ (22a、22b) を高バイアスにする期間 ( $t2 \sim t3$ 、 $t6 \sim t7$ ) を制御する。

30

#### 【0015】

本発明のソースドライバ (98) は、出力アンプ (22a、22b) の動作において、ダミーアンプ (32/32a、32b) の出力 (AMPD11\_\_OUT/AMPD31\_\_OUT、AMPD32\_\_OUT) の遷移期間 ( $t1 \sim t4$ 、 $t5 \sim t8$ ) に対応させて、出力アンプ (22a、22b) を高バイアス（高バイアス電流）にする期間 ( $t2 \sim t3$ 、 $t6 \sim t7$ ) を制御している。このとき、ダミーアンプ (32/32a、32b) は、出力アンプ (22a、22b) の電気的特性と整合性を有している。そのため、出力アンプ (22a、22b) の出力遷移に追従した期間 ( $t2 \sim t3$ 、 $t6 \sim t7$ ) だけ、出力アンプ (22a、22b) でのバイアス電流をアップし、高スルーレート化することができる。すなわち、実質的に必要十分な高バイアス制御を実現することができる。また、バイアス電流のアップする期間 ( $t2 \sim t3$ 、 $t6 \sim t7$ ) が限定されるので、高スルーレートに伴う動消費電力の増加を抑えることができる。

40

#### 【0016】

本発明の液晶表示装置 (90) は、上記の液晶表示装置のソースドライバ (98) と、

50

液晶表示装置のソースドライバ(98)に駆動される複数のデータ線(92)と、複数のデータ線(92)に接続された複数の画素(99)とを具備する。

この場合にも、上記のソースドライバ(98)を用いているので、動消費電力の増加を抑えつつ、高スルーレート化を図ることができる。

【発明の効果】

【0017】

本発明により、液晶表示装置のソースドライバにおいて、回路定数の設計が容易な回路で、安定した動作をする高スルーレートアンプを実現することが可能となる。

【図面の簡単な説明】

【0018】

【図1】図1は、特開2001-156559号公報の差動増幅回路の構成を示す回路図である。

【図2】図2は、特許文献1の差動増幅回路の動作を示すタイミングチャートである。

【図3】図3は、本発明の実施の形態に係る液晶表示装置の構成を示すブロック図である。

【図4A】図4Aは、本発明の第1の実施の形態に係る液晶表示装置のソースドライバの構成の一例を示すブロック図である。

【図4B】図4Bは、本発明の実施の形態に係る液晶表示装置のソースドライバの構成の一例を示す模式図である。

【図5】図5は、本発明の実施の形態に係る出力アンプの構成の一例を示す回路図である。

【図6】図6は、本発明の実施の形態に係る液晶表示装置のソースドライバの動作の一例を示すタイミングチャートである。

【図7】図7は、有負荷の出力アンプの過渡特性の初期波形と、無負荷のダミーアンプの過渡特性の初期波形を示すグラフである。

【図8】図8は、本発明の第2の実施の形態に係る液晶表示装置のソースドライバの構成の一例を示すブロック図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施の形態に係る液晶表示装置のソースドライバ及びそれを用いた液晶表示装置に関して、添付図面を参照して説明する。

【0020】

(第1の実施の形態)

本発明の第1の実施の形態に係る液晶表示装置のソースドライバ及びそれを用いた液晶表示装置の構成について説明する。

図3は、本発明の第1の実施の形態に係る液晶表示装置の構成を示すブロック図である。液晶表示装置90は、コントローラ95、液晶パネル96、ゲートドライバ97、ソースドライバ98を具備する。

【0021】

コントローラ95は、クロック信号(CLK)、制御信号、及び電源電圧をゲートドライバ97へ、クロック信号(CLK)、制御信号、映像データ、及び電源電圧をソースドライバ98へそれぞれ出力する。ゲートドライバ97は、電源電圧を供給され、クロック信号に同期して動作する。ゲートドライバ97は、制御信号に基づいて、液晶パネル96の複数のゲート線91を駆動する。ただし、コントローラ95と一体に構成されていても良い。その場合、回路面積を小さくすることができる。ソースドライバ98は、電源電圧を供給され、クロック信号に同期して動作する。ソースドライバ98は、制御信号及び映像データに基づいて、液晶パネル96の複数のデータ線92を駆動する。ただし、コントローラ95と一体に構成されていても良い。その場合、回路面積を小さくすることができる。

【0022】

10

20

30

40

50

液晶パネル 96 は、複数のゲート線 91、複数のデータ線 92、及び複数の画素 99 を備える。複数のゲート線 91 は、互いに平行に第 1 方向に延伸している。複数のデータ線 92 は、互いに平行に第 1 方向に垂直な第 2 方向に延伸している。複数の画素 99 は、複数のゲート線 91 と複数のデータ線 92 との交差点近傍に行列上に配列されている。画素 99 は、トランジスタ 93 と液晶を有する画素容量 94 を含む。トランジスタ 93 は、ゲートをゲート線 91 に、ソース/ドレインの一方をデータ線 92 に、他方を画素容量 94 の一方の端子にそれぞれ接続されている。画素容量 94 の他方の COM 端子には対抗基板電圧 VCOM が供給される。ソースドライバ 98 によるデータ線 92 の駆動により、画素容量 94 の階調電圧が制御される。ゲートドライバ 97 によるゲート線 91 の駆動により、トランジスタ 93 のオン/オフが制御される。液晶パネル 96 は、ゲートドライバ 97 及びソースドライバ 98 により、それぞれ複数のゲート線 91 及び複数のデータ線 92 を駆動され、複数の画素 99 に映像データに対応する画像を表示する。

ただし、液晶表示装置 90 としては、ソースドライバ 98 以外は、一般的な構成を用いることができる。

#### 【0023】

次に、ソースドライバ 98 について説明する。

図 4A は、本発明の第 1 の実施の形態に係る液晶表示装置のソースドライバの構成の一例を示すブロック図である。ソースドライバ 98 は、ソースドライバ IC (Integrated Circuit) であり、正極側  $\gamma$  抵抗回路 12a、負極側  $\gamma$  抵抗回路 12b、正極側 DA コンバータ 11a、負極側 DA コンバータ 11b、正極負極ペアアンプ 10、バイアス制御回路 13 を備えている。この図は、奇数番目のデータ線 92 用の奇数出力アンプ 22a と偶数番目のデータ線 92 用の偶数出力アンプ 22b を一個ずつ有する正極負極ペアアンプ 10 を一つ取り出して、関連する回路と共に示した図であり、ドット反転動作の場合を示している。

#### 【0024】

正極側  $\gamma$  抵抗回路 12a は、+ 極性  $\gamma$  補正回路 (図示されず) から少なくとも 2 個のガンマ電圧 (例示:  $V1\_10$ 、 $V1\_18$ ) を供給され、その分圧等により複数の正極参照電圧  $V1\_10 \sim V1\_18$  を生成する。負極側  $\gamma$  抵抗回路 12b は、- 極性  $\gamma$  補正回路 (図示されず) から少なくとも 2 個のガンマ電圧 (例示:  $V1\_1$ 、 $V1\_9$ ) を供給され、その分圧等により複数の負極参照電圧  $V1\_1 \sim V1\_9$  を生成する。正極側 DA コンバータ 11a は、正極側  $\gamma$  抵抗回路 12a から供給される複数の正極参照電圧に基づいて、入力された映像データに対応した正極参照電圧を選択して、正極負極ペアアンプ 10 に出力する。負極側 DA コンバータ 11b は、負極側  $\gamma$  抵抗回路 12b から供給される複数の負極参照電圧に基づいて、入力された映像データに対応した負極参照電圧を選択して、正極負極ペアアンプ 10 に出力する。

#### 【0025】

正極負極ペアアンプ 10 は、入力切替スイッチ 21、出力アンプ 22 (奇数出力アンプ 22a、偶数出力アンプ 22b)、出力スイッチ 23a、23b、出力端子 24a、24b を備えている。入力切替スイッチ回路 21 は、選択された正極参照電及び負極参照電圧のうち、いずれか一方を奇数出力アンプ 22a の非反転入力端子 (+) に、他方を偶数出力アンプ 22b の非反転入力端子 (+) に、極性反転制御信号 POL に応じて切り替えてそれぞれ出力する。奇数出力アンプ 22a 及び偶数出力アンプ 22b は、出力端子 SK11、SG11 をそれぞれの反転入力端子 (-) に接続されている。奇数出力アンプ 22a 及び偶数出力アンプ 22b は、それぞれ供給された正極参照電及び負極参照電圧を演算増幅する。そして、それらの結果を出力 SKOUT11、SGOUT11 として、出力スイッチ 23a、23b を介して出力端子 24a、24b から表示パネル負荷 51a、51b (液晶パネル 96 に対応) に出力する。出力スイッチ 23a、23b は、ストロブ信号 STB (ローレベルでアンプ出力が出力端子に接続され、ハイレベルで出力端子がハイインピーダンスになるように制御する信号) に制御される。奇数出力アンプ 22a 及び偶数出力アンプ 22b は、そのバイアス電圧をバイアス制御回路 13 に制御されている。奇数出

10

20

30

40

50

カアンプ 2 2 a と偶数出力アンプ 2 2 b とは、電気的特性及び構造（レイアウト）は実質的に同じである。

#### 【 0 0 2 6 】

バイアス制御回路 1 3 は、正極側  $\gamma$  抵抗回路 1 2 a 及び負極側  $\gamma$  抵抗回路 1 2 b からの参照電圧、及びコントローラ 9 5 からの極性反転制御信号 P O L に基づいて、奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b に印加する複数のバイアス電圧を制御する。バイアス制御回路 1 3 は、入力切替スイッチ 3 1、ダミースラッシュ 3 2、コンパレータ 3 3、3 4、E X O R 回路 3 5、アンプ用バイアス回路 3 7 を備えている。

#### 【 0 0 2 7 】

入力切替スイッチ 3 1 は、正極側  $\gamma$  抵抗回路 1 2 a の参照電圧のうちの最高電圧 V 1 \_\_ 1 8 と、負極側  $\gamma$  抵抗回路 1 2 b の参照電圧のうちの最低電圧 V 1 \_\_ 1 とを供給される。そして、最高電圧 V 1 \_\_ 1 8 及び最低電圧 V 1 \_\_ 1 を、ダミースラッシュ 3 2 の非反転入力端子（+）に、極性反転制御信号 P O L の周期で切り替えて交互に出力する。

#### 【 0 0 2 8 】

ダミースラッシュ 3 2 は、極性反転制御信号 P O L の周期で交互に最高電圧 V 1 \_\_ 1 8 及び最低電圧 V 1 \_\_ 1 を供給される。ダミースラッシュ 3 2 は、供給される電圧を演算増幅して、その結果としての出力 A M P D 1 1 \_\_ O U T をコンパレータ 3 3、3 4 の反転入力端子（-）に出力する。ダミースラッシュ 3 2 は、その出力端子をその反転入力端子（-）に接続されている。ダミースラッシュ 3 2 は、後述される理由から、出力アンプ 2 2（奇数出力アンプ 2 2 a、偶数出力アンプ 2 2 b）と整合性のある電気的特性を有している。整合性のある電気的特性とは、後述される出力遷移の状態（期間や波形）が、実質的に同じになることを言う。それには、出力アンプ 2 2 と実質的に同じの構造（レイアウト）を有していることが好ましい。加えて、出力アンプ 2 2 の近傍に設けられていることが更に好ましい。ただし、実質的に同じとは、例えば、製造誤差の範囲内で同じという意味である。

#### 【 0 0 2 9 】

コンパレータ 3 3 は、ダミースラッシュ 3 2 の出力を反転入力端子（-）に、最高電圧 V 1 \_\_ 1 8 より少し下の電圧 V 1 \_\_ 1 8 M を非反転入力端子（+）にそれぞれ供給される。そして、その比較結果としての出力 C O M 1 1 O U T を E X O R 回路 3 5 の一方の入力へ出力する。一方、コンパレータ 3 4 は、ダミースラッシュ 3 2 の出力を反転入力端子（-）に、最定電圧 V 1 \_\_ 1 より少し上の電圧 V 1 \_\_ 1 P を非反転入力端子（+）にそれぞれ供給される。そして、その比較結果としての出力 C O M 1 2 O U T を E X O R 回路 3 5 のもう一方の入力へ出力する。

#### 【 0 0 3 0 】

E X O R 回路 3 5 は、2 入力であり、コンパレータ 3 3、3 4 の出力 C O M 1 1 O U T、C O M 1 2 O U T を供給される。そして、それら出力 C O M 1 1 O U T、C O M 1 2 O U T を E X O R 演算して、その結果としての出力 P W R C をアンプ用バイアス回路 3 7 に出力する。

#### 【 0 0 3 1 】

アンプ用バイアス回路 3 7 は、ダミースラッシュ 3 2 の出力 A M P D 1 1 \_\_ O U T が電圧 V 1 \_\_ 1 8 M と電圧 V 1 \_\_ 1 P の間にあるとき、すなわち、出力 C O M 1 1 O U T が H i g h レベルかつ出力 C O M 1 2 O U T が L o w レベルにより、出力 P W R C が H i g h レベルとなるときの、奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b を高バイアスにするように制御する。一方、ダミースラッシュ 3 2 の出力 A M P D 1 1 \_\_ O U T が電圧 V 1 \_\_ 1 8 M より大きいとき、又は電圧 V 1 \_\_ 1 P より小さいとき、すなわち、出力 C O M 1 1 O U T が L o w レベルかつ出力 C O M 1 2 O U T が L o w レベル、又は、出力 C O M 1 1 O U T が H i g h レベルかつ出力 C O M 1 2 O U T が H i g h レベルにより、出力 P W R C が L o w レベルのとき、奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b を低バイアスにするように制御する。この動作はドット反転である。

#### 【 0 0 3 2 】

ここで、ダミースラッシュ 3 2 としては、ソースドライバ部の出力アンプ配列に起因して発

10

20

30

40

50

生する偏差拡大の防止のため出力アンプ配列の一番端に配置されるダミーアンプを利用することが好ましい。このダミーアンプは、出力アンプ 2 2 と全く同じ回路構成とレイアウト構成になっている。すなわち、出力アンプ 2 2 と同様の電気的特性を有しているからである。更に、出力アンプ 2 2 の近傍に設けられているからである。加えて、ダミーアンプを有効利用することにより回路面積の増大を抑制できるからである。そのようなダミーアンプについて詳細に説明する。

#### 【 0 0 3 3 】

図 4 B は、本発明の第 1 の実施の形態に係る液晶表示装置のソースドライバの構成の一例を示す模式図である。通常のソースドライバ ( I C ) 9 8 は、正極負極ペアアンプ 1 0 ( 奇数出力アンプ 2 2 a と偶数出力アンプ 2 2 b ) を数百個並べて設けられている。例えば、9 6 0 出力 ( 奇数出力アンプ 2 2 a と偶数出力アンプ 2 2 b それぞれ 4 8 0 個 ) のソースドライバの場合、2 4 0 出力 ( 奇数出力アンプ 2 2 a と偶数出力アンプ 2 2 b それぞれ 1 2 0 個 ) × 4 ブロックのようなレイアウト配置を行う。その場合、例えば、2 4 0 番目の出力 ( 第 1 番目のブロック 6 1 - 1 の正極負極ペアアンプ 1 0 に属する ) と 2 4 1 番目の出力 ( 第 2 番目のブロック 6 1 - 2 の正極負極ペアアンプ 1 0 に属する ) との間のブロックの切れ目には、回路 6 0 ( 例示 : 制御回路 ) を設けることが考えられる。ここで、各ブロック 6 1 内では、隣り合う素子が出力アンプ 2 2 ( 奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b ) であり、レイアウトが実質的に同一である。そのため、製造的な面で均一性が保たれ、素子間の性能の偏差を低く抑えることができる。しかし、ブロック 6 1 同士の切れ目では出力アンプ 2 2 の隣に他の回路 6 0 が入り、隣り合うレイアウトが異なる。そのため、製造的な面で均一性が保たれず、これが素子間の性能の偏差の増大の原因になることがある。従って、ブロック 6 1 同士の切れ目、すなわち、出力アンプ 2 2 同士の切れ目に、出力アンプ 2 2 と実質的に同一のレイアウトを有するダミーアンプを配置することが好ましい。それにより、出力アンプ 2 2 間の性能の偏差、特にブロック端部での偏差を低く抑えることができる。

#### 【 0 0 3 4 】

本実施の形態では、このブロック 6 1 同士の切れ目に設けたダミーアンプを、バイアス制御回路 1 3 の素子であるダミーアンプ 3 2 として動作させることが好ましい。この場合、出力アンプ 2 2 ( 奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b ) とダミーアンプ 3 2 とは実質的に同一のレイアウト ( 及び同一の電気的特性 ) であるから、そのダミーアンプ 3 2 での電圧の立上がり / 立下り期間が、出力アンプ 2 2 での電圧の立上がり / 立下り期間と概ね等しいとして、出力アンプ 2 2 のスルーレートをコントロールする「期間」 ( 出力アンプ 2 2 のバイアス電流をアップさせる期間 ) を決定する。また、ダミーアンプ 3 2 を出力アンプ 2 2 の近傍に設けることで、ダミーアンプ 3 2 の製造ばらつきが、出力アンプ 2 2 の製造ばらつきを反映しているとして、出力アンプ 2 2 の製造ばらつきに追従した「期間」を作ることができる。

#### 【 0 0 3 5 】

このような回路構成にすることにより、ダミーアンプ 3 2 の出力 A M P D 1 1 \_ O U T が電圧 V 1 \_ 1 8 M と電圧 V 1 \_ 1 P の間にある期間、すなわち、出力アンプ 2 2 ( 奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b ) の出力が遷移する時間にのみ、出力アンプ 2 2 のバイアス電流を上げることができる。このとき、ダミーアンプ 3 2 を使うことで出力アンプ 2 2 のスルーレートの製造ばらつきやバイアス調整によるスルーレート変化に追従したスルーレートをコントロールする、すなわち、製造ばらつきに影響されずに、出力アンプ 2 2 の出力が遷移する期間中にのみ正確にバイアス電流を上げる時間をつくることができる。

#### 【 0 0 3 6 】

次に、出力アンプ 2 2 ( 奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b ) の構成について説明する。

図 5 は、本発明の第 1 の実施の形態に係る出力アンプの構成の一例を示す回路図である。この図で例示される出力アンプは、R a i l - t o - r a i l 差動増幅回路であり、入

10

20

30

40

50

力差動段 4 1 と、中間段 4 2 と、出力段 4 3 とを備えている。

【 0 0 3 7 】

入力差動段 4 1 は、入力差動段 4 1 A、4 1 B を備えている。

入力差動段 4 1 A は、定電流源 ICS 4 1 と、Nch 差動対 (T 1、T 2) とを備えている。定電流源 ICS 4 1 は、第 1 端子を接地に接続されている。Nch 差動対 (T 1、T 2) は、その共通ソースに定電流源 ICS 4 1 の第 2 端子を接続されている。Nch 差動対 (T 1、T 2) の出力対は、中間段 4 2 のカレントミラー回路 4 2 A に接続されている。Nch 差動対 (T 1、T 2) は、正入力端子 INP 4 1 = 非反転入力端 (+) をトランジスタ T 2 のゲートに接続され、負入力端子 INN 4 1 = 反転入力端 (-) をトランジスタ T 1 のゲートに接続されている。定電流源 ICS 4 1 は、アンプ用バイアス回路 3 7 から、定電流源 ICS 4 1 用のバイアス電圧 Vb 1 を供給され、その電流量を制御される。

10

【 0 0 3 8 】

入力差動段 4 1 B は、定電流源 ICS 4 2 と、Pch 差動対 (T 3、T 4) とを備えている。定電流源 ICS 4 2 は、第 1 端子を電源電圧 VDD 2 に接続されている。Pch 差動対 (T 3、T 4) は、その共通ソースに定電流源 ICS 4 2 の第 2 端子を接続されている。Pch 差動対 (T 3、T 4) の出力対は、中間段 4 2 のカレントミラー回路 4 2 B に接続されている。Pch 差動対 (T 3、T 4) は、正入力端子 INP 4 1 = 非反転入力端 (+) をトランジスタ T 4 のゲートに接続され、負入力端子 INN 4 1 = 反転入力端 (-) をトランジスタ T 3 のゲートに接続されている。定電流源 ICS 4 2 は、アンプ用バイアス回路 3 7 から、定電流源 ICS 4 2 用のバイアス電圧 Vb 2 を供給され、その電流量を制御される。

20

【 0 0 3 9 】

中間段 4 2 は、カレントミラー回路 4 2 A と、カレントミラー回路 4 2 B と、定電流源 ICS 4 3 と、浮遊電流源 ICS 4 4 とを備えている。定電流源 ICS 4 3 は、アンプ用バイアス回路 3 7 から、定電流源 ICS 4 3 用のバイアス電圧 Vb 3、Vb 4 を供給され、その電流量を制御される。浮遊電流源 ICS 4 4 は、アンプ用バイアス回路 3 7 から、浮遊電流源 ICS 4 4 用のバイアス電圧 Vb 5、Vb 6 を供給され、その電流量を制御される。

30

【 0 0 4 0 】

カレントミラー回路 4 2 A は、トランジスタ M 5、M 8、M 7、M 8 で構成される。トランジスタ T 5、T 6 (いずれも Pch) はゲートを互いに接続され、ソースを電源電圧 VDD 2 に接続され、ドレインをそれぞれトランジスタ T 7、T 8 のソースに接続されている。トランジスタ T 7、T 8 (いずれも Pch) はゲートを互いに接続され、ドレインをそれぞれ定電流源 ICS 4 3、浮遊電流源 ICS 4 4 の一端に接続されている。トランジスタ T 5、T 6 は更にゲートをトランジスタ T 7 のドレインに接続されている。ドレインを Nch 差動対 (T 1、T 2) の出力対に接続されている。カレントミラー回路 4 2 A は、アンプ用バイアス回路 3 7 から、カレントミラー回路 4 2 A 用のバイアス電圧 VB IASP をトランジスタ T 7、T 8 のゲートに供給され、その電流量を制御される。

40

【 0 0 4 1 】

カレントミラー回路 4 2 B は、トランジスタ M 9、M 10、M 11、M 12 で構成される。トランジスタ T 11、T 12 (いずれも Nch) はゲートを互いに接続され、ソースを接地に接続され、ドレインをそれぞれトランジスタ T 9、T 10 のソースに接続されている。トランジスタ T 9、T 10 (いずれも Nch) はゲートを互いに接続され、ドレインをそれぞれ定電流源 ICS 4 3、浮遊電流源 ICS 4 4 の他端に接続されている。トランジスタ T 11、T 12 は更にゲートをトランジスタ T 9 のドレインに接続されている。ドレインを Pch 差動対 (T 3、T 4) の出力対に接続されている。カレントミラー回路 4 2 B は、アンプ用バイアス回路 3 7 から、カレントミラー回路 4 2 B 用のバイアス電圧 VB IASN をトランジスタ T 9、T 10 のゲートに供給され、その電流量を制御される。

50

## 【 0 0 4 2 】

出力段 4 3 は、プッシュプル出力段であり、トランジスタ T 1 3 ( P c h )、T 1 4 ( N c h ) を備えている。トランジスタ T 1 3 は、カレントミラー回路 4 2 A の出力端 ( T 8 のドレイン側 ) と浮遊電流源 I C S 4 4 の一端との接続点にゲートを、電源電圧 V D D 2 にソースを、及びアンプ出力端子 O U T 4 1 にドレインをそれぞれ接続され、充電作用を有している。トランジスタ T 1 4 は、カレントミラー回路 4 2 B の出力端 ( T 1 0 のドレイン側 ) と浮遊電流源 I C S 4 4 の他端との接続点にゲートを、接地にソースを、及びアンプ出力端子 O U T 4 1 にドレインをそれぞれ接続され、放電作用を有している。位相補償容量 C 4 1 は、一端をトランジスタ M 6 のドレインに、他端をアンプ出力端子 O U T 4 1 にそれぞれ接続されている。位相補償容量 C 4 2 は、一端をトランジスタ M 1 2 のドレインに、他端をアンプ出力端子 O U T 4 1 にそれぞれ接続されている。アンプ出力端子 O U T 4 1 は、出力スイッチ等 ( 図示されず ) を介して、表示パネル負荷 5 1 ( 液晶パネル 9 6 に対応 ) に接続される。

10

## 【 0 0 4 3 】

アンプ正入力端子 I N P 4 1 ( 非反転入力 ( + ) ) が低電圧から高電圧に変化するとき、入力差動段 4 1 B では電流の大部分がトランジスタ T 3 に流れ、トランジスタ T 1 1 に流れる電流が増加する。そのため、カレントミラー回路 4 2 B によりトランジスタ T 1 0、T 1 2 に流れる電流も増加し、トランジスタ T 1 4 のゲート電圧が下がり、トランジスタ T 1 4 に流れる電流が減少し、表示パネル負荷 5 1 の引き込み電流が減少する。一方、入力差動段 4 1 A では電流の大部分がトランジスタ T 2 に流れ、トランジスタ T 8 に流れる電流が減少する。そのため、トランジスタ T 1 3 のゲート電圧が下がりトランジスタ T 1 3 に流れる電流が増加し、表示パネル負荷 5 1 を充電する。これらにより、表示パネル負荷 5 1 が充電され、アンプ出力端子 U T 4 1 の出力電圧が上昇する。

20

## 【 0 0 4 4 】

このとき、アンプ用バイアス回路 3 7 は、定電流源 I C S 4 1、I C S 4 2、I C S 4 3、浮遊電流源 I C S 4 4、カレントミラー回路 4 2 A、4 2 B の電流が通常の場合と比較して増加するように ( 例示：通常動作時 1 0 0 % に対して 2 0 0 % となるように )、V b 1 ~ V b 6、V B I A S P、V B I A S N を制御する。例えば、アンプ用バイアス回路 3 7 は、通常動作時には V b 1 0、V b 2 0、V b 3 0、V b 4 0、V b 5 0、V b 6 0、V B I A S P 0、V B I A S N 0 を出力し、電圧変化時には V b 1 1、V b 2 1、V b 3 1、V b 4 1、V b 5 1、V b 6 1、V B I A S P 1、V B I A S N 1 を出力する。

30

## 【 0 0 4 5 】

その結果、トランジスタ T 3 に流れる電流がより増加し、トランジスタ T 1 1 に流れる電流がより増加し、カレントミラー回路 4 2 B によりトランジスタ T 1 0、T 1 2 に流れる電流もより増加し、トランジスタ T 1 3、T 1 4 のゲート電圧がより速く下がり、トランジスタ M 1 3 に流れる電流がより一層増加し、表示パネル負荷 5 1 を急速に充電し、アンプ出力端子 U T 4 1 の出力電圧がより急激に上昇する。従って、スルーレートを向上することができる。

## 【 0 0 4 6 】

また、アンプ正入力端子 I N P 4 1 ( 非反転入力 ( + ) ) が高電圧から低電圧に変化するとき、入力差動段 4 1 B では電流の大部分がトランジスタ T 4 に流れ、トランジスタ T 1 0 に流れる電流が減少する。そのため、トランジスタ T 1 4 のゲート電圧が上がりトランジスタ T 1 4 に流れる電流が増加し、表示パネル負荷 5 1 の引き込み電流が増加する。一方、入力差動段 4 1 A では電流の大部分がトランジスタ T 1 に流れ、トランジスタ T 5、T 7 に流れ電流が増加する。そのため、カレントミラー回路 4 2 A によりトランジスタ T 6、T 8 に流れる電流も増加し、トランジスタ T 1 5 のゲート電圧が上がり、トランジスタ M 1 5 に流れ電流が減少し、表示パネル負荷 5 1 に対する充電速度が減少する。これらにより、表示パネル負荷 5 1 が放電され、出力電圧 V o u t が下降する。

40

## 【 0 0 4 7 】

このときにも、上述の場合と同様に、アンプ用バイアス回路 3 7 は、定電流源 I C S 4

50

1、ICS42、ICS43、浮遊電流源ICS44、カレントミラー回路42A、42Bの電流が通常の場合と比較して増加するように（例示：通常動作時100%に対して200%となるように）、Vb1～Vb6、VBIASP、VBASNを制御する。例えば、アンプ用バイアス回路37は、通常動作時にはVb1<sub>0</sub>、Vb2<sub>0</sub>、Vb3<sub>0</sub>、Vb4<sub>0</sub>、Vb5<sub>0</sub>、Vb6<sub>0</sub>、VBIASP<sub>0</sub>、VBASN<sub>0</sub>を出力し、電圧変化時にはVb1<sub>1</sub>、Vb2<sub>1</sub>、Vb3<sub>1</sub>、Vb4<sub>1</sub>、Vb5<sub>1</sub>、Vb6<sub>1</sub>、VBIASP<sub>1</sub>、VBASN<sub>1</sub>を出力する。

#### 【0048】

その結果、トランジスタT1に流れる電流がより増加し、トランジスタT5に流れる電流がより増加し、カレントミラー回路42AによりトランジスタT6、T8に流れる電流もより増加し、トランジスタT13、T14のゲート電圧が速く上がり、トランジスタT14に流れる電流がより一層増加し、表示パネル負荷51を急速に放電し、アンプ出力端子UT41の出力電圧が急激に下降する。従って、スルーレートを向上することができる。

10

#### 【0049】

このように、バイアス制御回路13（アンプ用バイアス回路37）は、出力アンプ22（奇数出力アンプ22a及び偶数出力アンプ22b）において、定電流源ICS41、42、43、浮遊電流源ICS44、カレントミラー回路42A、42Bの電流を増加させることで、電流を増加させない場合に比較して、アンプ出力端子OUT41の出力電圧を急激に上昇又は下降させることができる。すなわち、スルーレートを向上することができる。

20

#### 【0050】

なお、定電流源ICS41、42、43、浮遊電流源ICS44は、バイアス制御回路37からのバイアス電圧Vb1～Vb6で電流を制御できるものであれば、どのような回路で実現しても良い。ただし、各バイアス電圧Vb1～Vb6、VBIASP、VBASNの各値は、各電流源に応じて適切に設定され、互いに同一である必要はない。また、各定電流源を制御するバイアス電圧の数はこの図の例に限定されるものではなく、用いられる回路に応じて適宜選択可能である。

#### 【0051】

次に、本発明の第1の実施の形態に係る液晶表示装置のソースドライバの動作について説明する。

30

図6は、本発明の第1の実施の形態に係る液晶表示装置のソースドライバの動作の一例を示すタイミングチャートである。（a）はローレベルでアンプ出力が出力端子に接続され、ハイレベルで出力端子がハイインピーダンスになるように制御するストロブ信号STB、（b）は奇数出力アンプ22aの出力SKOUT11（実線）、及び、偶数出力アンプ22bの出力SGOUT11（破線）、（c）はダミーアンプ32の出力AMPD11\_\_OUT、（d）はコンパレータ33の出力COM11OUT、（e）はコンパレータ34の出力COM12OUT、（f）はEXOR回路35の出力PWRC、をそれぞれ示している。

#### 【0052】

ここでは、動作として、奇数出力アンプ22aの場合を例にして説明する。奇数出力アンプ22aの出力（出力SKOUT11（b）実線）が、ストロブ信号STB（a）の入力（時刻t1）により、正負反転して、負極側DAコンバータ11bからの電圧V1\_\_n（nは1～9のいずれか）から正極側DAコンバータ11aからの電圧V1\_\_m（nは10～18のいずれか）に変化する場合を考える。なお、偶数出力アンプ22b（出力SGOUT11（b）破線）は、奇数出力アンプ22aの場合と逆になる。

40

#### 【0053】

時刻t1において、極性反転制御信号POL（図6で図示されず）の入力により、入力切替スイッチ31は、最高電圧V1\_\_18側のスイッチをオンとし、最低電圧V1\_\_1側のスイッチをオフとする。その結果、入力切替スイッチ31は、最高電圧V1\_\_18をダ

50

ミープンプ 3 2 の非反転入力端子 (+) に供給する。ダミープンプ 3 2 は、最高電圧  $V_{1\_18}$  を供給されると、演算増幅 (1 倍) の動作を実行し、コンパレータ 3 3、3 4 に出力する。

#### 【0054】

時刻  $t_1 \sim t_2$  においては、ダミープンプ 3 2 の出力  $AMD_{11\_OUT}(c)$  は、当初の最低電圧  $V_{1\_1}$  から過渡的に上昇して行くが、電圧  $V_{1\_1P}$  未満である。そのため、コンパレータ 3 3 の出力  $COMP_{11\_OUT}(d)$  は High レベル、コンパレータ 3 4 の出力  $COMP_{12\_OUT}(e)$  は High レベルである。その結果、EXOR 回 3 5 路の出力  $PWRC(f)$  は Low レベルになる。アンプ用バイアス回路 3 7 は、EXOR 回 3 5 路の出力  $PWRC(f)$  に応答して、出力アンプ 2 2 (奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b) に、低バイアスにするようなバイアス電圧  $V_{b1} \sim V_{b6}$ 、 $V_{BIASP}$ 、 $V_{BIASN}$  を出力する。低バイアスのバイアス電圧は、通常動作でのバイアス電圧である。その結果、各定電流源は、通常動作での電流 (バイアス電流) を供給する。ここで、各電流源は、定電流源  $ICS_{41}$ 、 $ICS_{42}$ 、 $ICS_{43}$ 、浮遊電流源  $ICS_{44}$ 、カレントミラー回路 4 2 A、4 2 B である。

10

#### 【0055】

時刻  $t_2 \sim t_3$  においては、ダミープンプ 3 2 の出力  $AMD_{11\_OUT}(c)$  は、更に過渡的に上昇して、電圧  $V_{1\_1P} \sim V_{1\_18M}$  の範囲の値である。そのため、コンパレータ 3 3 の出力  $COMP_{11\_OUT}(d)$  は High レベル、コンパレータ 3 4 の出力  $COMP_{12\_OUT}(e)$  は Low レベルである。その結果、EXOR 回 3 5 路の出力  $PWRC(f)$  は High レベルになる。アンプ用バイアス回路 3 7 は、EXOR 回 3 5 路の出力  $PWRC(f)$  に応答して、奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b に、高バイアスにするようなバイアス電圧  $V_{b1} \sim V_{b6}$ 、 $V_{BIASP}$ 、 $V_{BIASN}$  を出力する。高バイアスのバイアス電圧は、各電流源が通常動作で流す電流 (バイアス電流) よりも大きい電流を流すことができるようなバイアス電圧である。出力アンプ 2 2 (奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b) は、バイアス電流が高いほどスルーレートが速くなる。従って、ダミープンプ 3 2 が遷移している時間のみ出力アンプ (奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b) のバイアス電流をアップして、スルーレートを速くするようにしている。

20

#### 【0056】

時刻  $t_3 \sim t_4$  においては、ダミープンプ 3 2 の出力  $AMD_{11\_OUT}(c)$  は、更に過渡的に上昇して、電圧  $V_{1\_18M}$  を超えて電圧  $V_{1\_18}$  に達する。そのため、コンパレータ 3 3 の出力  $COMP_{11\_OUT}(d)$  は Low レベル、コンパレータ 3 4 の出力  $COMP_{12\_OUT}(e)$  は Low レベルである。その結果、EXOR 回 3 5 路の出力  $PWRC(f)$  は Low レベルになる。アンプ用バイアス回路 3 7 は、EXOR 回 3 5 路の出力  $PWRC(f)$  に応答して、奇数出力アンプ 2 2 a 及び偶数出力アンプ 2 2 b に、低バイアスにするようなバイアス電圧  $V_{b1} \sim V_{b6}$ 、 $V_{BIASP}$ 、 $V_{BIASN}$  を出力する。低バイアスのバイアス電圧は、通常動作でのバイアス電圧である。

30

#### 【0057】

次に、奇数出力アンプ 2 2 a の出力 (出力  $SKOUT_{11}(b)$  実線) が、ストロブ信号  $STB(a)$  の入力 (時刻  $t_5$ ) により、正負反転して、正極側 DA コンバータ 1 1 a からの電圧  $V_{1\_m}$  から負極側 DA コンバータ 1 1 b からの電圧  $V_{1\_n}$  に変化する場合は考える。なお、既述のように、偶数出力アンプ 2 2 b は、奇数出力アンプ 2 2 a の場合と逆になる。

40

#### 【0058】

時刻  $t_5$  において、極性反転制御信号  $POL$  (図 6 で図示されず) の入力により、入力切替スイッチ 3 1 は、最高電圧  $V_{1\_18}$  側のスイッチをオフとし、最低電圧  $V_{1\_1}$  側のスイッチをオンとする。その結果、入力切替スイッチ 3 1 は、最低電圧  $V_{1\_1}$  をダミープンプ 3 2 の非反転入力端子 (+) に供給する。ダミープンプ 3 2 は、最低電圧  $V_{1\_1}$  を供給されると、演算増幅 (1 倍) の動作を実行し、コンパレータ 3 3、3 4 に出力す

50

る。

【 0 0 5 9 】

時刻  $t_5 \sim t_6$  においては、ダミープンプ 32 の出力  $AMD11\_OUT(c)$  は、当初の最高電圧  $V1\_18$  から過渡的に下降して行くが、電圧  $V1\_18M$  以上である。そのため、コンパレータ 33 の出力  $COMP11\_OUT(d)$  は  $Low$  レベル、コンパレータ 34 の出力  $COMP12\_OUT(e)$  は  $Low$  レベルである。その結果、 $EXOR$  回 35 路の出力  $PWRC(f)$  は  $Low$  レベルになる。アンプ用バイアス回路 37 は、 $EXOR$  回 35 路の出力  $PWRC(f)$  に応答して、奇数出力アンプ 22 a 及び偶数出力アンプ 22 b に、低バイアスにするようなバイアス電圧  $Vb1 \sim Vb6$ 、 $VBIASP$ 、 $VBIASN$  を出力する。

10

【 0 0 6 0 】

時刻  $t_6 \sim t_7$  においては、ダミープンプ 32 の出力  $AMD11\_OUT(c)$  は、更に過渡的に下降して、電圧  $V1\_1P \sim V1\_18M$  の範囲の値である。そのため、コンパレータ 33 の出力  $COMP11\_OUT(d)$  は  $High$  レベル、コンパレータ 34 の出力  $COMP12\_OUT(e)$  は  $Low$  レベルである。その結果、 $EXOR$  回 35 路の出力  $PWRC(f)$  は  $High$  レベルになる。アンプ用バイアス回路 37 は、 $EXOR$  回 35 路の出力  $PWRC(f)$  に応答して、奇数出力アンプ 22 a 及び偶数出力アンプ 22 b に、高バイアスにするようなバイアス電圧  $Vb1 \sim Vb6$ 、 $VBIASP$ 、 $VBIASN$  を出力する。

20

【 0 0 6 1 】

時刻  $t_7 \sim t_8$  においては、ダミープンプ 32 の出力  $AMD11\_OUT(c)$  は、更に過渡的に下降して、電圧  $V1\_1P$  未満になり電圧  $V1\_1$  に達する。そのため、コンパレータ 33 の出力  $COMP11\_OUT(d)$  は  $High$  レベル、コンパレータ 34 の出力  $COMP12\_OUT(e)$  は  $High$  レベルである。その結果、 $EXOR$  回 35 路の出力  $PWRC(f)$  は  $Low$  レベルになる。アンプ用バイアス回路 37 は、 $EXOR$  回 35 路の出力  $PWRC(f)$  に応答して、奇数出力アンプ 22 a 及び偶数出力アンプ 22 b に、低バイアスにするようなバイアス電圧  $Vb1 \sim Vb6$ 、 $VBIASP$ 、 $VBIASN$  を出力する。

【 0 0 6 2 】

以上のようにすることで、時刻  $t_2 \sim t_3$ 、 $t_6 \sim t_7$  (出力遷移期間) において、ダミープンプ 32 の出力  $AMPD11\_OUT$  が電圧  $V1\_1P$  と電圧  $V1\_18M$  との間にあるときは、出力アンプ 22 (奇数出力アンプ 22 a 及び偶数出力アンプ 22 b) を高バイアスにするよう制御する。この動作はドット反転である。なお、図 6 は、立ち上がり時間 立下り時間と仮定して説明している。出力アンプ 22 (奇数出力アンプ 22 a 及び偶数出力アンプ 22 b) はバイアス電流が高いほどスルーレートが速くなるため、ダミープンプ 32 が遷移している時間のみ出力アンプ 32 (奇数出力アンプ 22 a 及び偶数出力アンプ 22 b) のバイアス電流がアップされる。

30

【 0 0 6 3 】

ここで、発明者は、種々の検討により、以下の知見を得るに至った。すなわち、まず、高バイアス期間の開始は、ダミープンプ 32 の出力遷移開始と同時 (例示: 時刻  $t_1$ )、もしくは出力遷移開始から所定時間の経過後 (例示: 時刻  $t_2$ ) が望ましい。また、高バイアス期間の終了は、ダミープンプ 32 の出力遷移開始後、出力  $AMPD11\_OUT$  が所定電圧  $V1\_18$  もしくは  $V1\_1$  にできるだけ近い電圧 ( $V1\_18M$  もしくは  $V1\_1P$ ) になるまで (例示: 時刻  $t_3$ ) の間であることが望ましい。そして、コンパレータ 33、34 の入力オフセット電圧を充分上回る電圧を  $Vcomoff$  とした場合、 $V1\_18M = V1\_18 - Vcomoff$ 、 $V1\_1P = V1\_1 + Vcomoff$  に設定して、高バイアス期間の終了にすることが望ましい。

40

【 0 0 6 4 】

その理由は、以下のとおりである。すなわち、高バイアス期間は出力アンプ 22 (奇数出力アンプ 22 a 及び偶数出力アンプ 22 b) 内の位相補償容量  $C41$ 、 $C42$  への充放

50

電開始から終了までの期間、すなわち、アンプ出力（SKOUT11及びSGOUG11）の立上がり又は立下り波形の傾きを支配的に決定する期間で必要十分であること、及び、この出力アンプ22（奇数出力アンプ22a及び偶数出力アンプ22b）とほぼ同特性で無負荷であるダミープアンプ32の過渡特性の初期が出力アンプのそれと殆ど差がないこと、である。これらのことは、ダミープアンプ32に負荷を接続しなくてもよいことの理由でもある。そのため、図4Aでは、これらのことに対応させて、コンパレータ33、34において比較される電圧値がV1\_18M及びV1\_1Pとなっている。

#### 【0065】

また、出力アンプ22のスルーレートの製造ばらつきにダミープアンプ32のスルーレートが追従する点も好都合である。図7は、有負荷の出力アンプの過渡特性の初期波形と、無負荷のダミープアンプの過渡特性の初期波形を示すグラフである。縦軸は電圧、横軸は時間をそれぞれ示している。曲線Aは、無負荷の場合での出力端子24での電圧波形である。曲線Bは、負荷10kΩ+350pFの場合でのアンプ出力直後の電圧波形である。曲線Cは、負荷10kΩ+250pFの場合での出力端子24での電圧波形である。曲線Dは、負荷10kΩ+350pFの場合での出力端子24での電圧波形である。無負荷の場合（曲線A）と有負荷の場合（曲線B、C、D）とを比較すると、過渡特性、特にその初期特性に殆ど差が無いことが分かる。従って、バイアス制御回路13に求められるダミープアンプ32の特性は、ダミープアンプ32に負荷を接続しなくても、負荷の接続された出力アンプ22の特性と同等とみなすことができる。

#### 【0066】

以上のように、本実施の形態では、EXOR回路35の出力（アンプ用バイアス回路37の入力）PWRCの電圧がHighレベルの期間、すなわち、ダミープアンプ32の出力が遷移している時間のみ出力アンプ22（奇数出力アンプ22a、偶数出力アンプ22b）のバイアス電流を大きくするように、アンプ用バイアス回路37から各出力アンプ22a、22bへ複数本の出力信号（Vb1～Vb6、VBISP、VBISN）が供給される。

#### 【0067】

ここで、出力アンプ22とダミープアンプ32とは、電気的特性が実質的に同じに設定されている（例えば、同じ構造/レイアウトを有している）。すなわち、出力アンプ22の出力が遷移する時間とダミープアンプ32の出力が遷移する時間とは実質的に同じになる。従って、ダミープアンプ32の出力が遷移している時間のみ出力アンプ22のバイアス電流を大きくすることで、出力アンプ22の出力が遷移している時間のみにバイアス電流を大きくすることができる。

#### 【0068】

また、本実施の形態では、好ましい形態として、ダミープアンプ32として、出力アンプ配列の偏差の増大を抑制するために設けられたダミープアンプを用いている。この場合、出力アンプ22の構成とダミープアンプ32の構成（レイアウト）が実質的に同じであり、出力アンプ22とダミープアンプ32とは互いに比較的近い距離に設けられている。従って、出力アンプ22とダミープアンプ32に対する製造ばらつきや偏差の影響は概ね同じと考えることができる。そのため、出力アンプ22のスルーレートの偏りやバイアス調整によるスルーレートの変化は、ダミープアンプ32のスルーレートの偏りやバイアス調整によるスルーレートの変化とほぼ同様になると考えられる。従って、ダミープアンプ32を用いているにもかかわらず、出力アンプ22の電気定特性に追従してスルーレートのコントロールすることができる。すなわち、製造ばらつきに影響されずに、出力アンプ22の出力が遷移する期間中にのみ正確にバイアス電流を上げる時間をつくることができる。

#### 【0069】

更に、ダミープアンプ32として、出力アンプ配列の偏差の増大を抑制するために設けられたダミープアンプを用いることで、ダミープアンプ32用に新たに特別な素子を形成する必要なく、回路面積の増加を抑制することができる。

#### 【0070】

10

20

30

40

50

## (第2の実施の形態)

本発明の第2の実施の形態に係る液晶表示装置のソースドライバ及びそれを用いた液晶表示装置の構成について説明する。本実施の形態では、ドット反転動作ではなく、カラム反転動作の場合の構成及び動作である点で第1の実施の形態と異なる。以下、詳細に説明する。

## 【0071】

本発明の第2の実施の形態に係る液晶表示装置の構成については、第1の実施の形態の場合と同様に図3に示す構成のとおりである。

## 【0072】

ソースドライバ98について説明する。

図8は、本発明の第2の実施の形態に係る液晶表示装置のソースドライバの構成の一例を示すブロック図である。ソースドライバ98は、ソースドライバICであり、正極側 $\gamma$ 抵抗回路12a、負極側 $\gamma$ 抵抗回路12b、正極側DAコンバータ11a、負極側DAコンバータ11b、正極負極ペアアンプ10、バイアス制御回路13を備えている。この図は、奇数番目のデータ線92用の奇数出力アンプ22aと偶数番目のデータ線92用の偶数出力アンプ22bを一個ずつ有する正極負極ペアアンプ10を一つ取り出して、関連する回路と共に示した図であり、更に、バイアス制御回路13について図4Aのダミーアンプ及びその周辺回路を2組用意した回路を示している。カラム反転動作の場合を示している。

## 【0073】

正極側 $\gamma$ 抵抗回路12aは、+極性 $\gamma$ 補正回路(図示されず)から少なくとも2個のガンマ電圧(例示:  $V_{3\_10}$ 、 $V_{3\_18}$ )を供給され、その分圧等により複数の正極参照電圧(例示:  $V_{3\_10} \sim V_{3\_18}$ )を生成する。負極側 $\gamma$ 抵抗回路12bは、-極性 $\gamma$ 補正回路(図示されず)から少なくとも2個のガンマ電圧(例示:  $V_{3\_1}$ 、 $V_{3\_9}$ )を供給され、その分圧等により複数の負極参照電圧(例示:  $V_{3\_1} \sim V_{3\_9}$ )を生成する。正極側DAコンバータ11aは、正極側 $\gamma$ 抵抗回路12aから供給される複数の正極参照電圧に基づいて、入力された映像データに対応した正極参照電圧(正転用、反転用)を選択して、正極負極ペアアンプ10に出力する。負極側DAコンバータ11bは、負極側 $\gamma$ 抵抗回路12bから供給される複数の負極参照電圧に基づいて、入力された映像データに対応した負極参照電圧(正転用、反転用)を選択して、正極負極ペアアンプ10に出力する。

## 【0074】

正極負極ペアアンプ10は、入力切替スイッチ21、出力アンプ22(奇数出力アンプ22a、偶数出力アンプ22b)、出力スイッチ23a、23b、出力端子24a、24bを備えている。入力切替スイッチ回路21は、選択された正極参照電圧(正転用、反転用)のうち、いずれか一方を奇数出力アンプ22aの非反転入力端子(+)に、極性反転制御信号POLに応じて切り替えて出力する。また、選択された負極参照電圧(正転用、反転用)のうち、いずれか一方を偶数出力アンプ22bの非反転入力端子(+)に、極性反転制御信号POLに応じて切り替えて出力する。奇数出力アンプ22a及び偶数出力アンプ22bは、出力端子SK11、SG11をそれぞれの反転入力端子(-)に接続されている。奇数出力アンプ22a及び偶数出力アンプ22bは、それぞれ供給された正極参照電圧及び負極参照電圧を演算増幅する。そして、それらの結果を出力SKOUT11、SGOUT11として、出力スイッチ23a、23bを介して出力端子24a、24bから表示パネル負荷51a、51b(液晶パネル96に対応)に出力する。出力スイッチ23a、23bは、ストロブ信号STB(ローレベルでアンプ出力が出力端子に接続され、ハイレベルで出力端子がハイインピーダンスになるように制御する信号)に制御される。奇数出力アンプ22a及び偶数出力アンプ22bは、そのバイアス電圧をバイアス制御回路13に制御されている。奇数出力アンプ22aと偶数出力アンプ22bとは、電気的特性及び構造(レイアウト)は実質的に同じである。

## 【0075】

10

20

30

40

50

バイアス制御回路 13 は、正極側  $\gamma$  抵抗回路 12 a 及び負極側  $\gamma$  抵抗回路 12 b からの参照電圧、及びコントローラ 95 からの極性反転制御信号 P O L に基づいて、奇数出力アンプ 22 a 及び偶数出力アンプ 22 b に印加する複数のバイアス電圧を制御する。バイアス制御回路 13 は、入力切替スイッチ 31 a、31 b、ダミーステージ 32 a、コンパレータ 33 a、34 a、E X O R 回路 35 a、入力切替スイッチ 31 b、ダミーステージ 32 b、コンパレータ 33 b、34 b、E X O R 回路 35 b、O R 回路 36、アンプ用バイアス回路 37 を備えている。

#### 【0076】

入力切替スイッチ 31 a は、正極側  $\gamma$  抵抗回路 12 a の参照電圧のうちの最高電圧  $V_{3\_18}$  及び最低電圧  $V_{3\_10}$  を供給される。そして、最高電圧  $V_{3\_18}$  と最低電圧  $V_{3\_10}$  を、ダミーステージ 32 a の非反転入力端子 (+) に、極性反転制御信号 P O L の周期で切り替えて交互に出力する。入力切替スイッチ 31 b は、負極側  $\gamma$  抵抗回路 12 b の参照電圧のうちの最高電圧  $V_{3\_9}$  及び最低電圧  $V_{3\_1}$  を供給される。そして、最高電圧  $V_{3\_9}$  と最低電圧  $V_{3\_1}$  を、ダミーステージ 32 b の非反転入力端子 (+) に、極性反転制御信号 P O L の周期で切り替えて交互に出力する。

#### 【0077】

ダミーステージ 32 a は、極性反転制御信号 P O L の周期で交互に最高電圧 ( $V_{3\_18}$ ) 及び最低電圧 ( $V_{3\_10}$ ) を供給される。ダミーステージ 32 a は、供給される電圧を演算増幅して、その結果としての出力 A M P D 31 \_ O U T をコンパレータ 33 a、34 a の反転入力端子 (-) に出力する。ダミーステージ 32 a は、その出力端子をその反転入力端子 (-) に接続されている。ダミーステージ 32 a は、第 1 の実施の形態の場合と同様に、出力アンプ 22 (奇数出力アンプ 22 a、偶数出力アンプ 22 b) と同様の電気特性を有している。それには、出力アンプ 22 と同じ構造 (レイアウト) を有していることが好ましい。加えて、出力アンプ 22 の近傍に設けられていることが更に好ましい。

#### 【0078】

ダミーステージ 32 b は、極性反転制御信号 P O L の周期で交互に最高電圧 ( $V_{3\_9}$ ) 及び最低電圧 ( $V_{3\_1}$ ) を供給される。ダミーステージ 32 b は、供給される電圧を演算増幅して、その結果としての出力 A M P D 32 \_ O U T をコンパレータ 33 b、34 b の反転入力端子 (-) に出力する。ダミーステージ 32 b は、その出力端子をその反転入力端子 (-) に接続されている。ダミーステージ 32 b は、第 1 の実施の形態の場合と同様に、出力アンプ 22 (奇数出力アンプ 22 a、偶数出力アンプ 22 b) と同様の電気特性を有している。それには、出力アンプ 22 と同じ構造 (レイアウト) を有していることが好ましい。加えて、出力アンプ 22 の近傍に設けられていることが更に好ましい。

#### 【0079】

コンパレータ 33 a は、ダミーステージ 32 a の出力を反転入力端子 (-) に、最高電圧 ( $V_{3\_18}$ ) より少し下の電圧 ( $V_{3\_18M}$ ) を非反転入力端子 (+) にそれぞれ供給される。そして、その比較結果としての出力 C O M 31 O U T を E X O R 回路 35 a の一方の入力へ出力する。一方、コンパレータ 34 a は、ダミーステージ 32 a の出力を反転入力端子 (-) に、最定電圧 ( $V_{3\_10}$ ) より少し上の電圧 ( $V_{3\_10P}$ ) を非反転入力端子 (+) にそれぞれ供給される。そして、その比較結果としての出力 C O M 32 O U T を E X O R 回路 35 a のもう一方の入力へ出力する。

#### 【0080】

コンパレータ 33 b は、ダミーステージ 32 b の出力を反転入力端子 (-) に、最高電圧 ( $V_{3\_9}$ ) より少し下の電圧 ( $V_{3\_9M}$ ) を非反転入力端子 (+) にそれぞれ供給される。そして、その比較結果としての出力 C O M 33 O U T を E X O R 回路 35 b の一方の入力へ出力する。一方、コンパレータ 34 b は、ダミーステージ 32 b の出力を反転入力端子 (-) に、最定電圧 ( $V_{3\_1}$ ) より少し上の電圧 ( $V_{3\_1P}$ ) を非反転入力端子 (+) にそれぞれ供給される。そして、その比較結果としての出力 C O M 34 O U T を E X O R 回路 35 b のもう一方の入力へ出力する。

#### 【0081】

10

20

30

40

50

EXOR回路35aは、2入力であり、コンパレータ33a、34aの出力COM31OUT、COM32OUTを供給される。そして、それら出力COM31OUT、COM32OUTをEXOR演算する。そして、その演算結果をOR回路36の一方の入力へ出力する。EXOR回路35bは、2入力であり、コンパレータ33b、34bの出力COM33OUT、COM34OUTを供給される。そして、それら出力COM33OUT、COM34OUTをEXOR演算する。そして、その演算結果をOR回路36の他方の入力へ出力する。

【0082】

OR回路36は、EXOR回路35a及びEXOR回路35bの出力をOR演算する。そして、その演算結果としての出力PWRCをアンプ用バイアス回路37に出力する。

10

【0083】

アンプ用バイアス回路37は、以下の(1)及び(2)のうちの少なくとも一方が成立した場合、奇数出力アンプ22a及び偶数出力アンプ22bをいずれも高バイアスにするように制御する。

(1)ダミープアンプ32aの出力AMPD31\_\_OUTが電圧V3\_\_18Mと電圧V3\_\_10Pの間にあるとき、すなわち、出力COM31OUTがHighレベルかつ出力COM32OUTがLowレベルにより、OR回路36の出力PWRCがHighレベルとなるとき。

(2)ダミープアンプ32bの出力AMPD32\_\_OUTが電圧V3\_\_9Mと電圧V3\_\_1Pの間にあるとき、すなわち、出力COM33OUTがHighレベルかつ出力COM34OUTがLowレベルにより、OR回路36の出力PWRCがHighレベルとなるとき、

20

【0084】

一方、アンプ用バイアス回路37は、以下の(3)及び(4)のうちの少なくとも一方が成立した場合、奇数出力アンプ22a及び偶数出力アンプ22bをいずれも低バイアスにするように制御する。

(3)ダミープアンプ32aの出力AMPD31\_\_OUTが電圧V3\_\_18Mより大きい、又は電圧V3\_\_10Pより小さいとき、すなわち、出力COM31OUTがLowレベルかつ出力COM32OUTがLowレベル、又は、出力COM31OUTがHighレベルかつ出力COM32OUTがHighレベルにより、OR回路36の出力PWRCがLowレベルのとき。

30

(4)ダミープアンプ32bの出力AMPD32\_\_OUTが電圧V3\_\_9Mより大きい、又は電圧V3\_\_1Pより小さいとき、すなわち、出力COM33OUTがLowレベルかつ出力COM34OUTがLowレベル、又は、出力COM33OUTがHighレベルかつ出力COM34OUTがHighレベルにより、OR回路36の出力PWRCがLowレベルのとき。

これら一連の動作はカラム反転動作である。

【0085】

ここで、ダミープアンプ32a、32bとしては、ソースドライバ部の出力アンプ配列に起因して発生する偏差拡大の防止のため出力アンプ配列の一番端に配置されるダミープアンプを利用することが好ましい。このダミープアンプは、出力アンプ22と全く同じ回路構成とレイアウト構成になっている。すなわち、出力アンプ22と同様の電気的特性を有しているからである。更に、出力アンプ22の近傍に設けられているからである。加えて、ダミープアンプを有効利用することにより回路面積の増大を抑制できるからである。この点は、図4Bを参照して説明した第1の実施の形態のダミープアンプ32の場合と同様である。

40

【0086】

また、アンプ用バイアス回路37を、奇数出力アンプ22aを制御するアンプ用バイアス回路と偶数出力アンプ22bを制御するアンプ用バイアス回路とに分ける、あるいはそれら二つの機能を持たせる、というようにしても良い。その場合、奇数出力アンプ22aを制御するアンプ用バイアス回路は、EXOR回路35aからの出力に応じて、奇数出力

50

アンプ 22 a を第 1 の実施の形態と同様に制御し、偶数出力アンプ 22 b を制御するアンプ用バイアス回路は E X O R 回路 35 b からの出力に応じて、偶数出力アンプ 22 b を第 1 の実施の形態と同様に制御する。

【0087】

本発明の第 2 の実施の形態に係る出力アンプの構成の一例については、第 1 の実施の形態の場合と同様に図 5 に示す構成のとおりである。

【0088】

本発明の第 2 の実施の形態に係る液晶表示装置のソースドライバの動作については、奇数出力アンプ 22 a 及び偶数出力アンプ 22 b の各々に、互いに独立にバイアス電圧を制御するためのタイミング信号を出力する回路（入力切替スイッチ、ダミーアンプ、コンパレータ×2、E X O R 回路）が設けられていることや、コンパレータの参照電圧が異なること以外は、第 1 の実施の形態の場合と同様の図 6 に示す動作のとおりである。なお、この場合にも、第 1 の実施の形態と同様に、立ち上がり時間 立下り時間と仮定して説明している。

【0089】

本実施の形態においても、第 1 の実施の形態と同様の効果を得ることができる。

また、出力アンプの設計上、カラム反転動作では立ち上がり時間と立下り時間のバランスが合わないことがある。本実施の形態のように、2 つの E X O R 回路の出力を、O R 回路を通すことによりアンプ出力の遷移時間の遅い方でバイアス電流をアップする時間を作ることができる。それにより、正極負極ペアアンプ内で奇数出力アンプと偶数出力アンプとの間で、立ち上がり時間と立下り時間のバランスが合わない場合でも、より適切な遷移時間を設定することができる。

【0090】

本発明の各実施の形態では、液晶表示装置用ソースドライバ I C の差動増幅器の動作において、ダミーアンプ 32 を設けて規定電圧振幅（ $V_{1\_18}$  から  $V_{1\_10}$  まで及び  $V_{1\_9}$  から  $V_{1\_1}$  まで、又は、 $V_{3\_18}$  から  $V_{3\_10}$  まで及び  $V_{3\_9}$  から  $V_{3\_1}$  まで）で動作させ、ダミーアンプ 32 が出力遷移をしている期間に、出力アンプ 22 のバイアス電流を上げるよう制御する。このとき、ダミーアンプ 32 は、出力アンプ 22 と同等の電気的特性を有している。れにより、出力アンプ 22 の出力遷移に追従した期間だけ、出力アンプ 22 でのバイアス電流をアップし、高スルーレート化することができる。また、バイアス電流のアップする期間が限定されるので、高スルーレート化に伴う動消費電力の増加を抑えることができる。

【0091】

また、電気的特性は、製造ばらつきに伴う電気的特性の設計からのずれを含んでいても良い。すなわち、ダミーアンプ 32 を出力アンプ 22 の近傍に設けることで、ダミーアンプ 32 の製造ばらつきを出力アンプ 22 の製造ばらつきと同じようにすることができる。それにより、ダミーアンプ 32 の出力遷移期間を用いることで、出力アンプ 22 の製造ばらつきによるスルーレートばらつきに追従した期間だけバイアス電流をアップし、高スルーレート化することができ、動消費電力を下げるすることができる。

【0092】

本発明では、実質的に必要十分な高バイアス制御を行うことができる。それは、制御時間として、高バイアス制御を行う必要がある出力アンプの出力遷移期間と同等のダミーアンプの出力遷移期間を用いていること、及び、制御対象の階調電圧（階調電圧の変化幅）として、最も変化の大きい最大階調電圧と最低階調電圧とを用いていること、などの理由による。また、本発明では、無駄な動消費電力アップの抑制を図ることができる。それは、前述のように、実質的に必要十分な高バイアス制御を行っていること、などの理由による。また、本発明では、出力アンプの製造ばらつき（ソースドライバ I C 内 / I C 間）によるスルーレートばらつきに追従した高バイアス制御を行うことができる。

【0093】

本発明は上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施

10

20

30

40

50

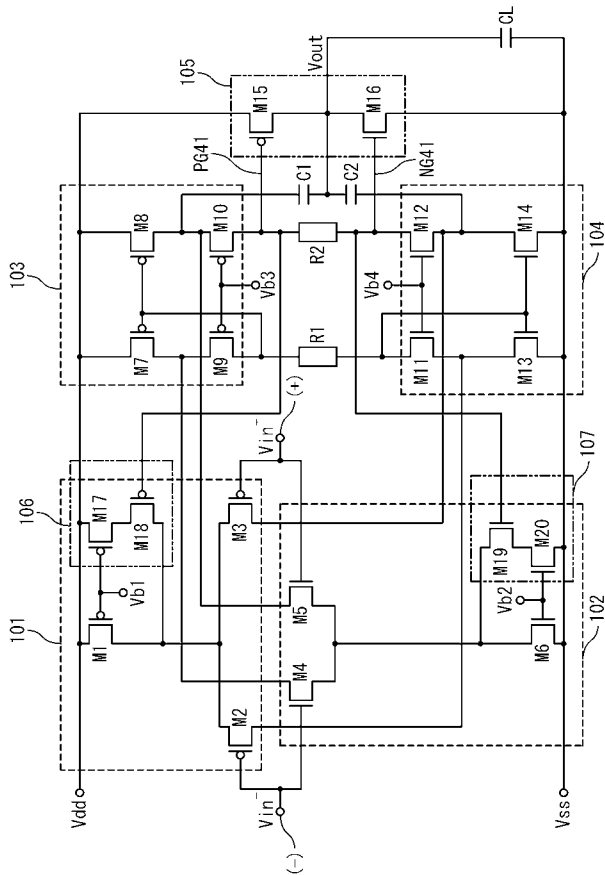
の形態は適宜変形又は変更され得ることは明らかである。また、各実施の形態に開示された技術は、技術的な矛盾の発生しない限り他の実施の形態にも適用可能である。

【符号の説明】

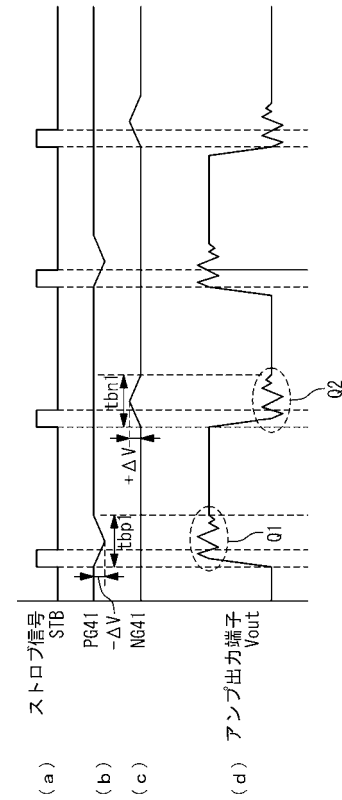
【0094】

|                            |                   |    |
|----------------------------|-------------------|----|
| 10                         | 正極負極ペアアンプ         |    |
| 11                         | D A コンバータ         |    |
| 11a                        | 正極側 D A コンバータ     |    |
| 11b                        | 負極側 D A コンバータ     |    |
| 12                         | $\gamma$ 抵抗回路     |    |
| 12a                        | 正極側 $\gamma$ 抵抗回路 | 10 |
| 12b                        | 負極側 $\gamma$ 抵抗回路 |    |
| 13                         | バイアス制御回路          |    |
| 21                         | 入力切替スイッチ          |    |
| 22                         | 出力アンプ             |    |
| 22a                        | 奇数出力アンプ           |    |
| 22b                        | 偶数出力アンプ           |    |
| 23a、23b                    | 出力スイッチ            |    |
| 24a、24b                    | 出力端子              |    |
| 31、31a、31b                 | 入力切替スイッチ          |    |
| 32、32a、32b                 | ダミーアンプ            | 20 |
| 33、34、33a、33b、34a、34b      | コンパレータ            |    |
| 35、35a、35b                 | E X O R 回路        |    |
| 36                         | O R 回路            |    |
| 37                         | アンプ用バイアス回路        |    |
| 41、41A、41B                 | 入力差動段             |    |
| 42                         | 中間段               |    |
| 42A、42B                    | カレントミラー回路         |    |
| 43                         | 出力段               |    |
| I C S 41、I C S 42、I C S 43 | 定電流源              |    |
| I C S 44                   | 浮遊電流源             | 30 |
| 51a、51b                    | 表示パネル負荷           |    |
| 60                         | 回路                |    |
| 61、61-1、61-2、...           | ブロック              |    |
| 90                         | 液晶表示装置            |    |
| 91                         | ゲート線              |    |
| 92                         | データ線              |    |
| 93                         | トランジスタ            |    |
| 94                         | 画素容量              |    |
| 95                         | コントローラ            |    |
| 96                         | 液晶パネル             | 40 |
| 97                         | ゲートドライバ           |    |
| 98                         | ソースドライバ           |    |
| 99                         | 画素                |    |

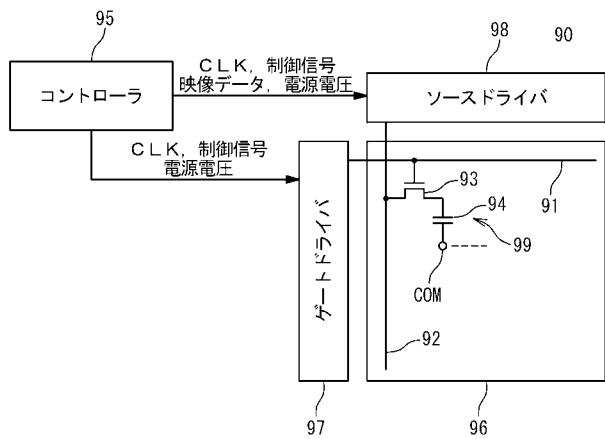
【図 1】



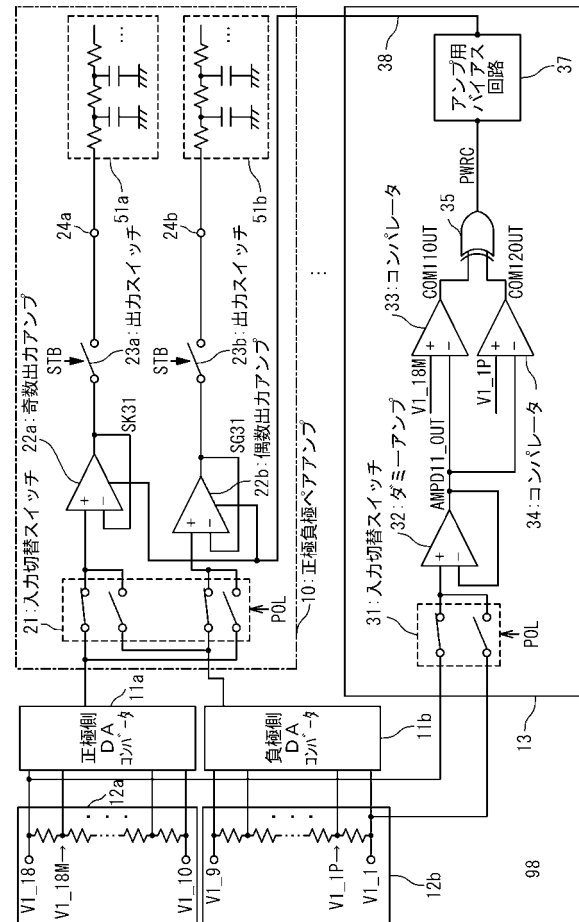
【図 2】



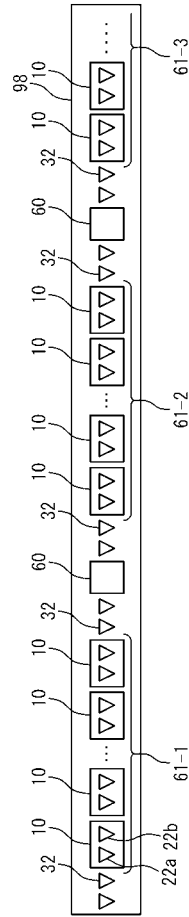
【図 3】



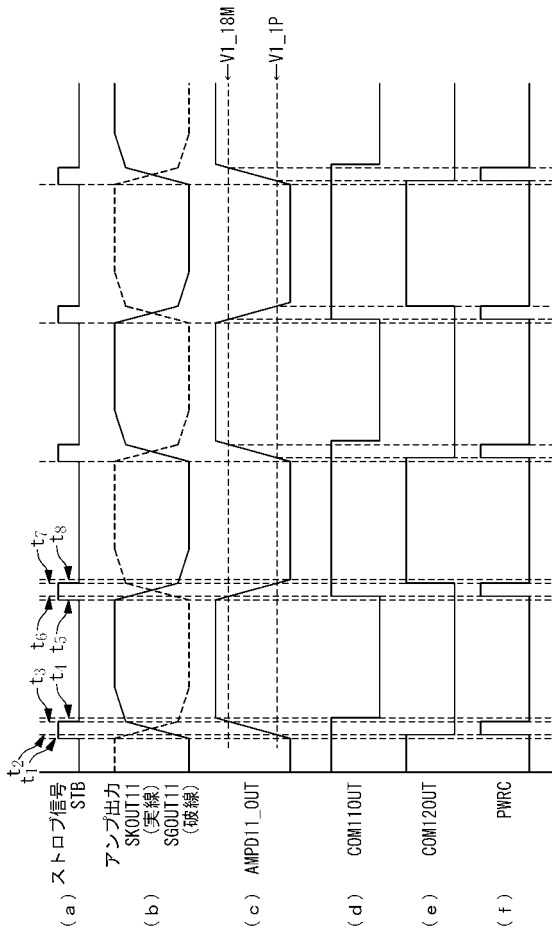
【図 4 A】



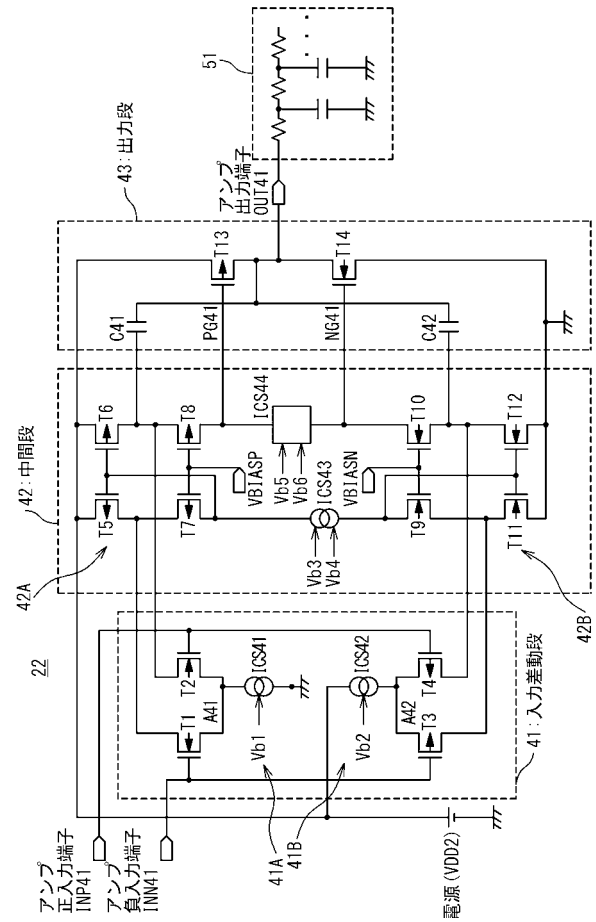
【図4B】



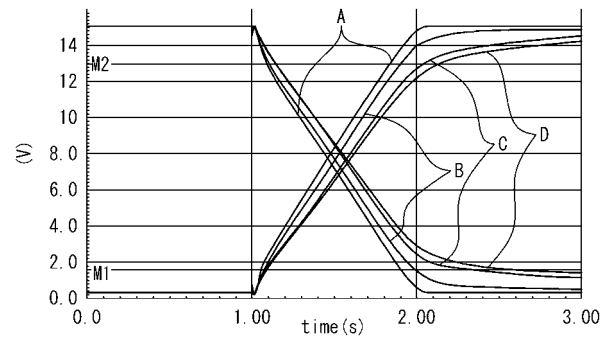
【図6】



【図5】



【図7】





## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

|         |       |         |
|---------|-------|---------|
| G 0 9 G | 3/20  | 6 2 3 C |
| G 0 9 G | 3/20  | 6 2 1 B |
| G 0 9 G | 3/20  | 6 1 1 A |
| G 0 9 G | 3/20  | 6 1 1 J |
| G 0 2 F | 1/133 | 5 0 5   |
| G 0 2 F | 1/133 | 5 5 0   |
| H 0 3 F | 1/02  |         |

F ターム(参考) 5C080 AA10 BB05 DD05 DD08 DD26 FF01 FF11 JJ02 JJ03 JJ04  
5J500 AA01 AA18 AC36 AC65 AF10 AH10 AH17 AH25 AH38 AK12  
AK17 AK34 AS08 AT06

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置的源极驱动器和使用源极驱动器的液晶显示装置                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 公开(公告)号        | <a href="#">JP2012027127A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | 公开(公告)日 | 2012-02-09 |
| 申请号            | JP2010163938                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    | 申请日     | 2010-07-21 |
| [标]申请(专利权)人(译) | 瑞萨电子株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 申请(专利权)人(译)    | 瑞萨电子公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| [标]发明人         | 河越弘和                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| 发明人            | 河越 弘和                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133 H03F1/02                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| CPC分类号         | G09G3/3688                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| FI分类号          | G09G3/36 G09G3/20.623.B G09G3/20.612.F G09G3/20.611.H G09G3/20.680.G G09G3/20.623.C G09G3/20.621.B G09G3/20.611.A G09G3/20.611.J G02F1/133.505 G02F1/133.550 H03F1/02                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| F-TERM分类号      | 2H193/ZA04 2H193/ZB03 2H193/ZC01 2H193/ZE40 2H193/ZF04 2H193/ZF11 2H193/ZF35 2H193/ZJ20 5C006/AC27 5C006/AF42 5C006/AF43 5C006/AF50 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BF14 5C006/BF25 5C006/BF26 5C006/BF43 5C006/FA14 5C006/FA22 5C006/FA26 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD26 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5J500/AA01 5J500/AA18 5J500/AC36 5J500/AC65 5J500/AF10 5J500/AH10 5J500/AH17 5J500/AH25 5J500/AH38 5J500/AK12 5J500/AK17 5J500/AK34 5J500/AS08 5J500/AT06 |         |            |
| 代理人(译)         | 工藤稔                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |

# 摘要(译)

液晶显示装置的源极驱动器在抑制功耗增加的同时增加了转换速率。 解决方案：液晶显示装置的源极驱动器包括多个输出放大器22a, 22b, 用于响应输入信号驱动多条数据线92, 虚设与输出放大器22a, 22b的电特性兼容并且偏置控制电路13具有放大器32。基于输入到输出放大器22a和22b的 $\gamma$ 电阻电路的电压 $V_1$ 被输入时的虚拟放大器32的输出转变时段, 偏置控制电路13设置多个输出放大器22a和22b的高偏置时段 $t_2$ 。到 $t_3$ 。(图4A)。

