

(11) 特許出願公開番号

特開2011-170236

(P2011-170236A)

(43) 公開日 平成23年9月1日(2011.9.1)

(51) Int. Cl.	F 1	テーマコード (参考)
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/36	2 H 1 9 3
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 1 1 D	5 C 0 0 6
G 0 2 F 1/133 (2006.01)	G 0 9 G 3/20 6 2 3 C	5 C 0 8 0
	G 0 9 G 3/20 6 4 2 A	
	G 0 9 G 3/20 6 4 2 D	

審査請求 未請求 請求項の数 9 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2010-35771 (P2010-35771)
(22) 出願日 平成22年2月22日 (2010. 2. 22)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728
弁理士 上柳 雅普

(74) 代理人 100107261
弁理士 須澤 修

(74) 代理人 100127661
弁理士 宮坂 一彦

(72) 発明者 保坂 宏行
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 飯坂 英仁
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

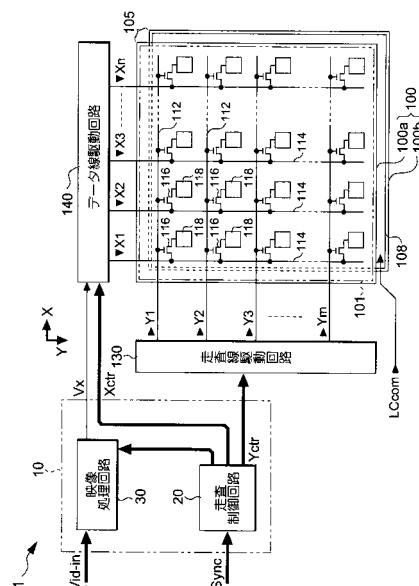
最終頁に続く

(54) 【発明の名称】 映像処理回路、その処理方法、液晶表示装置および電子機器

(57) 【要約】

【課題】 横電界の影響による表示品位の低下を抑える。

【解決手段】液晶パネル１００は、素子基板１００aに設けられた画素電極１１８と対向基板１００bに設けられたコモン電極１０８とにより液晶１０５が挟持された液晶素子を有する。映像処理回路３０は、ノーマリーブラックモードにおいて、映像信号Vid-inで指定される階調レベルに対応する液晶素子の印加電圧が閾値Vth1を下回る暗画素と、閾値Vth2以上である明画素との境界の一部であって、液晶分子のチルト方位で定まるリスク境界を検出し、検出したリスク境界に隣接する印加電圧が電圧Vc1を下回る暗画素、及びその暗画素にリスク境界を挟んで隣接する明画素の少なくともいずれかに対応する液晶素子への印加電圧を、映像信号で指定される階調レベルに対応する印加電圧から、横電界を原因とした液晶の配向不良を抑制する電圧に補正する。



【特許請求の範囲】

【請求項 1】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出する境界検出部と、

前記リスク境界に隣接する第 2 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第 2 電圧以下で、且つ前記第 1 電圧を上回る電圧に補正する補正部と

を備えることを特徴とする映像処理回路。

【請求項 2】

前記補正部は、

前記リスク境界に隣接する第 1 画素に対して当該リスク境界の反対側で隣接し、当該リスク境界とは反対方向に向かって連続する 1 以上の第 2 画素について、当該第 2 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第 2 電圧以下で、且つ前記第 1 電圧を上回る電圧にそれぞれ補正するものであり、

前記液晶パネルの表示を更新する時間間隔を S とし、

前記第 2 画素に対応する液晶素子の印加電圧が前記補正部により補正された後の電圧に切り替わったときの当該液晶素子の応答時間を T_1 とした場合に、

$S < T_1$ であるとき、

前記連続する 1 以上の第 2 画素の数は、

前記応答時間 T_1 を前記時間間隔 S で割った値の整数部の値に応じて定められることを特徴とする請求項 1 に記載の映像処理回路。

【請求項 3】

前記補正部は、

前記リスク境界に隣接する第 1 画素に対して前記映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から、前記第 3 電圧以上で、且つ当該リスク境界を挟んで隣接する第 2 画素の当該印加電圧を下回る電圧に補正する

ことを特徴とする請求項 1 又は 2 に記載の映像処理回路。

【請求項 4】

前記補正部は、

前記リスク境界に隣接する第 2 画素に対して当該リスク境界の反対側で隣接し、当該リスク境界とは反対方向に向かって連続する 1 以上の第 1 画素について、当該第 1 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第 1 電圧以上で、且つ当該リスク境界を挟んで隣接する第 2 画素の当該印加電圧を下回るように補正するものであり、

前記液晶パネルの表示を更新する時間間隔を S とし、

前記第 1 画素に対応する液晶素子の印加電圧が前記補正部により補正された後の電圧に切り替わったときの当該液晶素子の応答時間を T_2 とした場合に、

$S < T_2$ であるとき、

前記連続する 1 以上の第 1 画素の数は、

前記応答時間 T_2 を前記時間間隔 S で割った値の整数部の値に応じて定められることを特徴とする請求項 3 に記載の映像処理回路。

【請求項 5】

前記補正部は、前記補正の対象とする第 1 画素に対応する液晶素子への印加電圧を、当

該液晶素子に初期傾斜角を与える程度の電圧とする

ことを特徴とする請求項 3 又は 4 に記載の映像処理回路。

【請求項 6】

前記チルト方位は、前記画素電極の側から前記コモン電極に向かって平面視したときに、前記画素電極側における液晶分子の長軸の一端から、前記液晶分子の他端に向かう方向である

ことを特徴とする請求項 1 ないし 5 のいずれかに記載の映像処理回路。

【請求項 7】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出し、

前記リスク境界に隣接する第 2 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第 2 電圧以下で、且つ前記第 1 電圧を上回る電圧に補正する

ことを特徴とする映像処理方法。

【請求項 8】

第 1 基板に複数の画素の各々に対応して設けられた画素電極と第 2 基板に設けられたコモン電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

請求項 1 ないし 6 のいずれかに記載の映像処理回路と

を備えることを特徴とする液晶表示装置。

【請求項 9】

請求項 8 に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0002】

液晶パネルは、一定の間隙に保たれた一对の基板によって液晶を挟持した構成である。詳細には、液晶パネルは、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板にコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。画素電極とコモン電極との間において、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが表示制御に寄与する、ということが出来る。

【0003】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えば V A（Vertical Alignment）方式や、T N（Twisted Nematic）方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（つまり、リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開

10

20

30

40

50

口部)の形状を規定するなどして液晶パネルの構造を工夫する技術(例えば特許文献1参照)や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術(例えば特許文献2参照)などが提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平6-34965号公報(図1)

【特許文献2】特開2009-69608号公報(図2)

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、液晶パネルの構造によってリバースチルトドメインを低減する技術では、開口率が低下しやすく、また、構造を工夫しないで既に製作された液晶パネルに適用することができない、という欠点がある。一方、設定値以上の映像信号をクリップする技術では、表示する画像の明るさが設定値に制限されてしまう、という欠点もある。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係る映像処理回路にあっては、複数の画素の各々に対応して画素電極が設けられた第1基板と、コモン電極が設けられた第2基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、入力した映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出する境界検出部と、前記リスク境界に隣接する第2画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第2電圧以下で、且つ前記第1電圧を上回る電圧に補正する補正部とを備えることを特徴とする。本発明によれば、液晶パネルの構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。さらに、リスク境界に隣接する画素のうち、第2画素に対応する液晶素子への印加電圧を、映像信号で指定される階調レベルに対応する値から、第2電圧以下で、且つ前記第1電圧を上回る電圧に補正するので、表示する画像の明るさが設定値に制限されてしまうこともない。

【0007】

本発明において、前記補正部は、前記リスク境界に隣接する第1画素に対して当該リスク境界の反対側で隣接し、当該リスク境界とは反対方向に向かって連続する1以上の第2画素について、当該第2画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第2電圧以下で、且つ前記第1電圧を上回る電圧にそれぞれ補正するものであり、前記液晶パネルの表示を更新する時間間隔をSとし、前記第2画素に対応する液晶素子の印加電圧が前記補正部により補正された後の電圧に切り替わったときの当該液晶素子の応答時間をT1とした場合に、 $S < T1$ であるとき、前記連続する1以上の第2画素の数は、前記応答時間T1を前記時間間隔Sで割った値の整数部の値に応じて定められることが好ましい。本発明によれば、液晶素子の応答時間が、表示画面が更新される時間間隔より長い場合でも、リバースチルトドメインの発生を抑えることが可能となる。このような値にすると、映像信号Vid-inで指定される階調レベルを不必要に補正してしまうこともない。

【0008】

また、本発明において、前記補正部は、前記リスク境界に隣接する第1画素に対して前記映像信号で指定される印加電圧が前記第1電圧よりも低い第3電圧を下回る場合、当該第1画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から、前記第3電圧以上で、且つ当該リスク境界を挟んで隣接する第2画素の当該印加電圧を下回る電圧に補正することが好ましい。本発明によれば、隣接する画素どうしの印加電圧の差を更に小さくし、リバースチルトドメインの発生をより一層抑えることが可能となる。

【0009】

また、本発明において、前記補正部は、前記リスク境界に隣接する第2画素に対して当該リスク境界の反対側で隣接し、当該リスク境界とは反対方向に向かって連続する1以上の第1画素について、当該第1画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第1電圧以上で、且つ当該リスク境界を挟んで隣接する第2画素の当該印加電圧を下回るように補正するものであり、前記第1画素に対応する液晶素子の印加電圧が前記補正部により補正された後の電圧に切り替わったときの当該液晶素子の応答時間を T_2 とした場合に、 $S < T_2$ であるとき、前記連続する1以上の第1画素の数は、前記応答時間 T_2 を前記時間間隔 S で割った値の整数部の値に応じて定められることが好ましい。本発明によれば、隣接する画素どうしの印加電圧の差を更に小さくし、リバースチルトドメインの発生をより一層抑えることが可能となる。このような値にすると、映像信号Vid-inで指定される階調レベルを不必要に補正してしまうこともないし、液晶分子が不安定な状態が次の更新（書換）でも継続してしまうことを抑えることが可能となる。また、本発明によれば、液晶素子の応答時間が、表示画面が更新される時間間隔より長い場合でも、リバースチルトドメインの発生を抑えることが可能となる。

【0010】

また、本発明において、前記補正部は、前記補正の対象とする第1画素に対応する液晶素子への印加電圧を、当該液晶素子に初期傾斜角を与える程度の電圧とすることが好ましい。本発明によれば、暗画素の透過率の変化を抑制しつつ、液晶分子がリバースチルト状態になることを抑制することができる。

また、本発明において、前記チルト方位は、前記画素電極の側から前記コモン電極に向かって平面視したときに、前記画素電極側における液晶分子の長軸の一端から、前記液晶分子の他端に向かう方向であることを特徴とする。リバースチルトドメインは、画素電極同士で発生する横電界に起因するためである。

なお、本発明は、映像処理回路のほか、映像処理方法、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

【0011】

【図1】本発明の第1実施形態に係る映像処理回路を適用した液晶表示装置を示す図。

【図2】同液晶表示装置における液晶素子の等価回路を示す図。

【図3】同映像処理回路の構成を示す図。

【図4】同液晶表示装置を構成する液晶パネルのV-T特性を示す図。

【図5】同液晶パネルにおける表示動作を示す図。

【図6】同液晶パネルにおいてVA方式としたときの初期配向の説明図。

【図7】同液晶パネルにおける画像の動きを説明するための図。

【図8】同液晶パネルにおいて発生するリバースチルトの説明図。

【図9】同液晶パネルにおける画像の動きを説明するための図。

【図10】同液晶パネルにおいて発生するリバースチルトの説明図。

【図11】同映像処理回路におけるリスク境界の検出手順を示す図。

【図12】同映像処理回路における補正処理を示す図。

【図13】同映像処理回路によるリバースチルトの抑制を示す図。

【図14】同液晶パネルにおいて他のチルト方位角としたときの図。

【図15】同液晶パネルにおいて他のチルト方位角としたときの図。

10

20

30

40

50

- 【図 16】同液晶パネルにおいて T N 方式としたときの初期配向の説明図。
【図 17】同液晶パネルにおいて発生するリバースチルトの説明図。
【図 18】本発明の第 2 実施形態に係る映像処理回路における補正処理を示す図。
【図 19】本発明の第 3 実施形態に係る映像処理回路の構成を示す図。
【図 20】同映像処理回路における補正処理を示す図。
【図 21】本発明の第 4 実施形態に係る映像処理回路における補正処理を示す図。
【図 22】液晶表示装置を適用したプロジェクターを示す図。
【図 23】横電界の影響による表示上の不具合等を示す図。
【発明を実施するための形態】

【0012】

以下、本発明の実施の形態について図面を参照しつつ説明する。

<第 1 実施形態>

まず、本発明の第 1 実施形態について説明する。

図 1 は、本実施形態に係る映像処理回路を適用した液晶表示装置の全体構成を示すブロック図である。

図 1 に示すように、液晶表示装置 1 は、制御回路 10 と、液晶パネル 100 と、走査線駆動回路 130 と、データ線駆動回路 140 とを備える。制御回路 10 には、映像信号 Vid-in が上位装置から同期信号 Sync に同期して供給される。映像信号 Vid-in は、液晶パネル 100 における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号 Sync に含まれる垂直走査信号、水平走査信号およびドットクロック信号（いずれも図示省略）に従った走査の順番で供給される。

なお、映像信号 Vid-in は階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号 Vid-in は液晶素子の印加電圧を指定するものといって差し支えない。

【0013】

制御回路 10 は、走査制御回路 20 と映像処理回路 30 とを備える。走査制御回路 20 は、各種の制御信号を生成して、同期信号 Sync に同期して各部を制御する。映像処理回路 30 は、詳細については後述するが、デジタルの映像信号 Vid-in を処理して、アナログのデータ信号 Vx を出力する。

【0014】

液晶パネル 100 は、素子基板（第 1 基板）100a と対向基板（第 2 基板）100b とが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶 105 が挟持された構成である。素子基板 100a のうち、対向基板 100b との対向面には、複数 m 行の走査線 112 が図において X（横）方向に沿って設けられる一方、複数 n 列のデータ線 114 が、Y（縦）方向に沿って、且つ各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

なお、この実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、…、(m-1)、m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、…、(n-1)、n 列目という呼び方をする場合がある。

【0015】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、n チャネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。コモン電極 108 には、図示省略した回路によって電圧 LCcom が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側であるので、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 について

10

20

30

40

50

は、破線で示すべきであるが、見難くなるのでそれぞれ実線で示す。

【0016】

図2は、液晶パネル100における等価回路を示す図である。

図2に示すように、液晶パネル100は、走査線112とデータ線114との交差に対応して、画素電極118とコモン電極108とで液晶105を挟持した液晶素子120が配列した構成である。図1では省略したが、液晶パネル100における等価回路では、実際には図2に示すように、液晶素子120に対して並列に補助容量（蓄積容量）125が設けられる。補助容量125は、一端が画素電極118に接続され、他端が容量線115に共通接続されている。容量線115は時間的に一定の電圧に保たれている。

ここで、走査線112がHレベルになると、その走査線にゲート電極が接続されたTF T116がオンとなり、画素電極118がデータ線114に接続される。このため、走査線112がHレベルであるときに、データ線114に階調に応じた電圧のデータ信号を供給すると、そのデータ信号は、オンしたTF T116を介して画素電極118に印加される。走査線112がLレベルになると、TF T116はオフするが、画素電極に印加された電圧は、液晶素子120の容量性および補助容量125によって保持される。

液晶素子120では、画素電極118およびコモン電極108によって生じる電界に応じて液晶105の分子配向状態が変化する。このため、液晶素子120は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル100では、液晶素子120毎に透過率が変化するので、液晶素子120が画素に相当する。そして、この画素の配列領域が表示領域101となる。

なお、本実施形態においては、液晶105をVA方式として、液晶素子120が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0017】

走査線駆動回路130は、走査制御回路20による制御信号Yctrにしたがって、1、2、3、…、m行目の走査線112に、走査信号Y1、Y2、Y3、…、Ymを供給する。詳細には、走査線駆動回路130は、図5(a)に示すように、走査線112をフレームにわたって1、2、3、…、(m-1)、m行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧V_H（Hレベル）とし、それ以外の走査線への走査信号を非選択電圧V_L（Lレベル）とする。

なお、フレームとは、液晶パネル100を駆動することによって、画像の1コマ分を表示させるのに要する期間をいい、同期信号Syncに含まれる垂直走査信号の周波数が60Hzであれば、その逆数である16.7ミリ秒である。

【0018】

データ線駆動回路140は、映像処理回路30から供給されるデータ信号V_xを、走査制御回路20による制御信号Xctrにしたがって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングする。

なお、本説明において電圧については、液晶素子120の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子120の印加電圧は、コモン電極108の電圧LCcomと画素電極118との電位差であり、他の電圧と区別するためである。

【0019】

さて、液晶素子120の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、例えば図4(a)に示すようなV-T特性で表される。このため、液晶素子120を、映像信号Vid-inで指定された階調レベルに応じた透過率とさせるには、その階調レベルに応じた電圧を液晶素子120に印加すればよいはずである。しかしながら、液晶素子120の印加電圧を、映像信号Vid-inで指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生する場合がある。

【0020】

リバースチルトドメインに起因する表示上の不具合の例について説明する。例えば図23に示すように、映像信号Vid-inで示す画像が、白画素を背景として黒画素が連続する

10

20

30

40

50

黒パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その黒パターンの左端縁部（動きの後縁部）において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、という一種の尾引き現象として顕在化する。

なお、本実施形態のように、液晶パネル100が、映像信号Vid-inの供給速度と等倍速で駆動される場合に、白画素を背景とした黒画素の領域がフレーム毎に2画素以上ずつ移動するとき、後述するように液晶素子の応答時間が、表示画面が更新される時間間隔より短ければ、このような尾引き現象は顕在化しない（または、視認されにくい）。この理由は、次のように考えられる。すなわち、あるフレームにおいて、白画素と黒画素とが隣接したときに、その白画素でリバースチルトドメインが発生するかもしれないが、画像の動きを考えると、リバースチルトドメインが発生する画素が離散的となるので、視覚的に目立たない、と考えられるからである。

10

なお、図23において見方を変えると、黒画素を背景として白画素が連続する白パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その白パターンの右端縁部（動きの先端部）において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、ということもできる。

また、同図においては、説明の便宜上、画像のうち、1ラインの境界付近を抜き出している。

【0021】

リバースチルトドメインに起因する表示上のこの不具合は、液晶素子120において挟持された液晶分子が不安定な状態にあるときに、横電界の影響によって乱れる結果、以後、印加電圧に応じた配向状態になりにくくなることが原因のひとつとして考えられている。ここで、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合であり、これは、表示しようとする画像において黒レベルの（または黒レベルに近い）暗画素と、白レベルの（または白レベルに近い）明画素と、が隣接する場合である。

20

このうち、暗画素については、印加電圧がノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって閾値 V_{th1} （第1電圧）を下回る電圧範囲Aにある液晶素子120の画素をいうことにする。また、便宜的に、液晶素子の印加電圧が電圧範囲Aにある液晶素子の透過率範囲（階調範囲）を「a」とする。

次に、明画素については、印加電圧が閾値 V_{th2} （第2電圧）以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲Bにある液晶素子120とする。便宜的に、液晶素子の印加電圧が電圧範囲Bにある液晶素子の透過率範囲（階調範囲）を「b」とする。

30

【0022】

液晶分子が不安定な状態であるときとは、液晶素子の印加電圧が電圧範囲Aにおいて V_{c1} を下回るときである。液晶素子の印加電圧が V_{c1} を下回るときは、その印加電圧による縦電界の規制力が配向膜による規制力と比較して弱いので、液晶分子の配向状態は、わずかな外的要因によって乱れやすい。また、その後、印加電圧が V_{c1} 以上になったときに、その印加電圧に応じて液晶分子が傾斜しようとしても、応答に時間がかかりやすいためである。逆にいえば、印加電圧が V_{c1} 以上であれば、液晶分子が印加電圧に応じて傾斜し始める（透過率が変化し始める）ので、液晶分子の配向状態は安定状態にある、ということができる。このため、電圧 V_{c1} は、透過率で規定した閾値 V_{th1} よりも低い関係にある。

40

【0023】

このように考えた場合、変化前において液晶分子が不安定な状態にあった画素は、画像の動きによって暗画素と明画素とが隣接することになったときの横電界の影響によって、リバースチルトドメインが発生しやすい状況にあるということができる。ただし、液晶分子の初期配向状態を考慮して検討すると、暗画素と明画素との位置関係によってリバースチルトドメインが発生する場合と発生しない場合とがある。

そこで次に、これらの場合をそれぞれ検討する。

【0024】

50

図6 (a) は、液晶パネル100において互いに縦方向および横方向に隣接する 2×2 の画素を示す図であり、図6 (b) は、液晶パネル100を、図6 (a) におけるp-q線を含む垂直面で破断したときの簡易断面図である。

図6に示すように、VA方式の液晶分子は、画素電極118とコモン電極108との電位差（液晶素子の印加電圧）がゼロである状態において、チルト角が θa で、チルト方位角が $\theta b (= 45 \text{度})$ で、初期配向しているものとする。ここで、リバースチルトドメインは、上述したように画素電極118同士の横電界に起因して発生することから、画素電極118が設けられた素子基板100aの側における液晶分子の振る舞いが問題となる。このため、液晶分子のチルト方位角およびチルト角については、画素電極118（素子基板100a）の側を基準にして規定する。

10

【0025】

詳細には、チルト角 θa とは、図6 (b) に示すように、基板法線Svを基準にして、液晶分子の長軸Saのうち、画素電極118側の一端を固定点としてコモン電極108側の他端が傾斜したときに、液晶分子の長軸Saがなす角度とする。

一方、チルト方位角 θb とは、データ線114の配列方向であるY方向に沿った基板垂直面を基準にして、液晶分子の長軸Saおよび基板法線Svを含む基板垂直面（p-q線を含む垂直面）がなす角度とする。なお、チルト方位角 θb については、画素電極118の側からコモン電極108に向けて平面視したときに、画面上方向（Y方向の反対方向）から、液晶分子の長軸の一端を始点として他端に向かう方向（図6 (a) では右上方向）までを、時計回りで規定した角度とする。

20

また、同様に画素電極118の側から平面視したときに、液晶分子における画素電極側の一端から他端に向かう方向を便宜的にチルト方位の下流側と呼び、反対に他端から一端に向かう方向（図6 (a) では左下方向）を便宜的にチルト方位の上流側と呼ぶことにする。

【0026】

このような初期配向となる液晶105を用いた液晶パネル100において、例えば図7 (a) に示すように、破線で囲まれた 2×2 の4画素に着目する。図7 (a) では、白レベルの画素（白画素）からなる領域を背景として黒レベルの画素（黒画素）からなるパターンが右上方向にフレーム毎に1画素ずつ移動する場合を示している。

すなわち、図8 (a) に示すように、 $(n-1)$ フレームにおいて 2×2 の4画素がすべて黒画素の状態から、 n フレームにおいて、左下の1画素だけが白画素に変化するときを想定する。上述したようにノーマリーブラックモードにおいて、画素電極118とコモン電極108との電位差である印加電圧は、黒画素よりも白画素で大きい。このため、黒から白に変化する左下の画素では、図8 (b) のように、液晶分子が実線で示す状態から破線で示す状態に、電界方向とは垂直方向（基板面の水平方向）に傾斜しようとする。

30

【0027】

しかしながら、白画素の画素電極118 (Wt) と黒画素の画素電極118 (Bk) との間隙で生じる電位差は、白画素の画素電極118 (Wt) とコモン電極108との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極118とコモン電極108との間隙よりも狭い。従って、電界の強度で比較すると、画素電極118 (Wt) と画素電極118 (Bk) との間隙で生じる横電界は、画素電極118 (Wt) とコモン電極108との間隙で生じる縦電界よりも強い。

40

左下の画素は、 $(n-1)$ フレームにおいて液晶分子が不安定な状態の黒画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、白レベルの電圧が画素電極118 (Wt) に印加されたことによる縦電界よりも、隣接する画素電極118 (Bk) からの横電界の方が強い。従って、白になろうとしている画素では、図8 (b) に示すように、黒画素に隣接する側の液晶分子Rvが、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子Rvは、縦電界に応じて破線のように基板水平方向に傾斜しようとする他の液晶分子の動きに悪影響を与える。このため、白に変化する

50

べき画素においてリバースチルトが発生する領域は、図 8 (c) に示すように、白に変化すべき画素と黒画素との間隙にとどまらず、その間隙から白に変化すべき画素を浸食する形で広範囲に拡がる。

このように、図 8 から、白に変化しようとする着目画素の周辺が黒画素であった場合、その着目画素に対して黒画素が右上側、右側および上側で隣接するとき、その着目画素では、リバースチルトが右辺および上辺に沿った内周領域にて発生する、ということができる。

なお、図 8 (a) に示すパターンの変化は、図 7 (a) に示した例のみならず、黒画素からなるパターンが、図 7 (b) に示すように右方向にフレーム毎に 1 画素ずつ移動する場合や、図 7 (c) に示すように上方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 23 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に右上方向、右方向または上方向に、1 画素ずつ移動する場合にも発生する。

【0028】

次に、液晶パネル 100 において、図 9 (a) に示すように、白画素からなる領域を背景として黒画素からなるパターンが左下方向にフレーム毎に 1 画素ずつ移動する場合に、破線で囲まれた 2×2 の 4 画素に着目する。

すなわち、図 10 (a) に示すように、 $(n-1)$ フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、 n フレームにおいて、右上の 1 画素だけが白画素に変化するときを想定する。

この変化後においても、黒画素の画素電極 118 (Bk) と白画素の画素電極 118 (Wt) との間隙では、画素電極 118 (Wt) とコモン電極 108 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 10 (b) に示すように、黒画素において白画素に隣接する側の液晶分子 Rv は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となる。しかし、黒画素では縦電界が $(n-1)$ フレームから変化しないので、他の液晶分子に影響をほとんど与えない。このため、黒画素から変化しない画素においてリバースチルトが発生する領域は、図 10 (c) に示すように、図 8 (c) の例と比較して無視できる程度に狭い。

一方、 2×2 の 4 画素のうち、右上において黒から白に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、右上画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の水平方向に図 10 (b) において破線で示すように正しく傾斜する結果、目的である白画素に変化するので、表示品位の劣化が発生しないことになる。

なお、図 10 (a) に示すパターンの変化は、図 9 (a) に示した例のみならず、黒画素からなるパターンが、図 9 (b) に示すように左方向にフレーム毎に 1 画素ずつ移動する場合や、図 9 (c) に示すように下方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 23 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に左下方向、左方向または下方向に、1 画素ずつ移動する場合にも発生する。

【0029】

図 6 から図 10 までの説明から、想定している VA 方式 (ノーマリーブラックモード) の液晶において、ある n フレームに着目したとき、次のような要件を満たす場合に、 n フレームにおいて次の画素でリバースチルトドメインの影響を受ける、ということができる。すなわち、

(1) n フレームに着目したときに暗画素と明画素とが隣接して、すなわち、印加電圧が低い状態の画素と印加電圧が高い状態の画素とが隣接して、横電界が強くなる場合であって、かつ、

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する左下側、左側または下側に

10

20

30

40

50

位置する場合に、

(3) n フレームにおいて当該明画素に変化する画素が、1 フレーム前の $(n-1)$ フレームでは、液晶分子が不安定な状態にあったとき、

n フレームにおいて当該明画素でリバースチルトが発生する、ということになる。

ところで、図 7 では、 2×2 の 4 画素が $(n-1)$ フレームで黒画素であって、次の n フレームで左下だけが白画素となったときを例示した。しかし、一般的には、 $(n-1)$ フレームおよび n フレームのみならず、これらフレームを含む前後の複数フレームにわたって同様な動きを伴うのが通例である。このため、図 7 (a) ~ (c) に示すように、 $(n-1)$ フレームで液晶分子が不安定な状態であった暗画素（白丸点が付された画素）では、画像パターンの動きから、その左下側、左側または下側に明画素が隣接している場合が多いと考えられる。

10

【0030】

このため、事前に $(n-1)$ フレームにおいて、映像信号 Vid-in で示す画像において暗画素と明画素とが隣接し、且つ、その暗画素が、その明画素に対して右上側、右側または上側に位置する場合、要件 (1) 及び要件 (3) の少なくともいずれかを満たさないようにすれば、リバースチルトの発生が抑制されるわけである。これに対し、この実施形態では、明画素に対応する液晶素子の印加電圧を低くする電圧の補正が行われる。これにより、画像パターンの動きにより n フレームにおいて要件 (2) および要件 (3) を満たすことになっても、要件 (1) を満たさないようにして、 n フレームにおいてリバースチルトドメインが発生しないようにする。

20

【0031】

これを前提として、 n フレームから $(n+1)$ フレームにかけて考察する。 n フレームにおいて、映像信号 Vid-in で示す画像において暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して右上側、右側または上側に位置する場合は、その明画素に相当する液晶素子に対し適切に電圧を印加すれば、画像パターンが 1 画素分移動した結果、 $(n+1)$ フレームにおいて要件 (2) および要件 (3) を満たすことになっても、要件 (1) を満たすことはない。このため、 n フレームからみて、将来となる $(n+1)$ フレームにおいてリバースチルトドメインの発生を未然に抑えることができる、ということになる。ここで、リバースチルトドメインの発生を抑制することのできるような、明画素に対応する印加電圧を V_{c2} とする。電圧 V_{c2} は、リスク境界を挟んで隣接する画素であって白になろうとする画素の液晶分子の配向の変化を抑制できる程度の大きさであればよい。この電圧補正により、互いに隣接する明画素と暗画素との間の電位差が小さくなって、横電界の発生が抑制されるので、暗画素におけるリバースチルトドメインの発生を抑制することができる。

30

なお、明画素に対する印加電圧は V_{c2} に限定されるものでなく、 V_{c2} 以下であればよい。この実施形態では、補正による透過率の変化がなるべく知覚されないようにする、という点を優先して、補正電圧として電圧 V_{c2} を採用することにする。

このように

【0032】

このような考えに基づいて、 n フレームの映像信号 Vid-in を処理して、液晶パネル 100 でリバースチルトドメインの発生を未然に防ぐための回路が、図 1 における映像処理回路 30 である。

40

次に、映像処理回路 30 について詳細に説明する。

【0033】

次に、映像処理回路 30 の詳細について図 3 を参照して説明する。図 3 に示すように、映像処理回路 30 は、境界検出部 302、遅延回路 312、補正部 314 および D/A 変換器 316 を備える。

遅延回路 312 は、FIFO (Fast In Fast Out: 先入れ先出し) メモリーや多段のラッチ回路などにより構成され、上位装置から供給される映像信号 Vid-in を蓄積して、所定時間経過後に読み出して映像信号 Vid-d として出力するものである。なお、遅延回路 3

50

1 2における蓄積および読出は、走査制御回路20によって制御される。

【0034】

境界検出部302は、第1検出部321と、第2検出部322と、判別部324とを備える。

第1検出部321は、映像信号Vid-inで示す画像を解析して、階調範囲aにある画素（第1画素）と階調範囲bにある画素（第2画素）とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、第1検出部321は、隣接する部分があると判別したときに、その隣接部分を境界として検出して、境界の位置情報を出力する。

なお、ここでいう境界とは、あくまでも階調範囲aにある暗画素と階調範囲bにある明画素とが隣接する部分、すなわち、強い横電界が発生する部分をいう。このため、例えば階調範囲aにある画素と、階調範囲aでもなく階調範囲bでもない別の階調範囲d（図4（a）参照）にある画素とが隣接する部分や、階調範囲bにある画素と階調範囲dにある画素とが隣接する部分については、境界として扱わない。

【0035】

第2検出部322は、第1検出部321により検出された境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とを抽出して、リスク境界として検出し、リスク境界の位置情報を出力するものである。

判別部324は、遅延して出力された映像信号Vid-dで示す画素が、第2検出部322で抽出されたリスク境界に隣接している明画素であるか否かを判別する。そして、判別部324は、その判別結果が「Yes」である場合に出力信号のフラグQを例えば“1”として出力し、その判別結果が「No」であれば“0”として出力する。

なお、ここでいう「リスク境界に隣接している」とは、画素の一辺に沿ってリスク境界に隣接している場合と、画素の一角において縦横に連続するリスク境界が位置している場合とを含む。また、第1検出部321は、ある程度（少なくとも3行以上）の映像信号を蓄積してからでないと、表示すべき画像における垂直または水平方向にわたって境界を検出することができない。第2検出部322についても同様である。このため、上位装置からの映像信号Vid-inの供給タイミングを調整する意味で、遅延回路312が設けられている。

上位装置から供給される映像信号Vid-inのタイミングと、遅延回路312から供給される映像信号Vid-dのタイミングとは異なるので、厳密に言えば、両者の水平走査期間等については一致しないことになるが、以降については特に区別しないで説明する。

また、第1検出部321および第2検出部322における映像信号Vid-inの蓄積等は、走査制御回路20によって制御される。

【0036】

補正部314は、判別部324から供給されるフラグQが“1”である場合に、映像信号Vid-dで指定される明画素の階調レベルをc2の映像信号に補正して、映像信号Vid-outとして出力するものである。階調レベルc2は、閾値Vth2（第2電圧）以下で、且つ閾値Vth1以上（第1電圧）を上回るいずれかの印加電圧により得られるが、この補正を施さない場合の明度から10%以内の変化で収まることが好ましい。

なお、補正部314は、判別部324から供給されるフラグQが“1”である場合であっても、フラグQが“0”であるときには、階調レベルを補正することなく、映像信号Vid-dをそのまま映像信号Vid-outとして出力する。

【0037】

D/A変換器316は、デジタルデータである映像信号Vid-outを、アナログのデータ信号Vxに変換する。なお上述したように、本実施形態では、面反転方式としているので、データ信号Vxの極性は、液晶パネル100で1コマ分の書き替え毎に切り替えられる。

【0038】

映像処理回路30によれば、映像信号Vid-dで示す画素がリスク境界に隣接している明

10

20

30

40

50

画素であれば、フラグQが“1”であれば、その映像信号Vid-dで示す明画素の階調レベルがc2に補正されてから、映像信号Vid-outとして出力される。

一方、映像信号Vid-dで示す画素がリスク境界に隣接している明画素でない場合は、階調レベルが補正されることなく、映像信号Vid-dが、映像信号Vid-outとして出力される。

【0039】

液晶表示装置1の表示動作について説明すると、上位装置からは映像信号Vid-inが、フレームにわたって1行1列～1行n列、2行1列～2行n列、3行1列～3行n列、…、m行1列～m行n列の画素の順番で、供給される。映像処理回路30は、映像信号Vid-inを遅延・補正等の処理をして映像信号Vid-outとして出力する。

ここで、1行1列～1行n列の映像信号Vid-outが出力される水平有効走査期間(Ha)でみたときに、処理された映像信号Vid-outは、D/A変換器316によって、図5の(b)で示すように正極性または負極性のデータ信号Vxに、ここでは例えば正極性に変換される。このデータ信号Vxは、データ線駆動回路140によって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングされる。

一方、1行1列～1行n列の映像信号Vid-outが出力される水平走査期間では、走査制御回路20が走査線駆動回路130に対し走査信号Y1だけをHレベルとなるように制御する。走査信号Y1がHレベルであれば、1行目のTF T116がオン状態になるので、データ線114にサンプリングされたデータ信号は、オン状態にあるTF T116を介して画素電極118に印加される。これにより、1行1列～1行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

【0040】

続いて、2行1列～2行n列の映像信号Vid-inは、同様に映像処理回路30によって処理されて、映像信号Vid-outとして出力されるとともに、D/A変換器316によって正極性のデータ信号に変換された上で、データ線駆動回路140によって1～n列目のデータ線114にサンプリングされる。

2行1列～2行n列の映像信号Vid-outが出力される水平走査期間では、走査線駆動回路130によって走査信号Y2だけがHレベルとなるので、データ線114にサンプリングされたデータ信号は、オン状態にある2行目のTF T116を介して画素電極118に印加される。これにより、2行1列～2行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

以下同様な書込動作が3、4、…、m行目に対して実行され、これにより、各液晶素子に、映像信号Vid-outで指定された階調レベルに応じた電圧が書き込まれて、映像信号Vid-inで規定される透過像が作成されることとなる。

次のフレームでは、データ信号の極性反転によって映像信号Vid-outが負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0041】

図5(b)は、映像処理回路30から、水平走査期間(H)にわたって1行1列～1行n列の映像信号Vid-outが出力されたときのデータ信号Vxの一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号Vxは、正極性であれば、基準電圧Vcntに対し、映像処理回路30によって処理された階調レベルに応じた分だけ高位側の電圧(図において↑で示す)になり、負極性であれば、基準電圧Vcntに対し、階調レベルに応じた分だけ低位側の電圧(図において↓で示す)になる。

詳細には、データ信号Vxの電圧は、正極性であれば、白に相当する電圧Vw(+)から黒に相当する電圧Vb(+)までの範囲で、一方、負極性であれば、白に相当する電圧Vw(-)から黒に相当する電圧Vb(-)までの範囲で、それぞれ基準電圧Vcntから階調に応じた分だけ偏位させた電圧となる。

電圧Vw(+)および電圧Vw(-)は、電圧Vcntを中心に互いに対称の関係にある。電圧Vb(+)およびVb(-)についても電圧Vcntを中心に互いに対称の関係にある。

なお、図5(b)は、データ信号Vxの電圧波形を示すものであって、液晶素子120

に印加される電圧（画素電極 118 とコモン電極 108 との電位差）とは異なる。また、図 5（b）におけるデータ信号の電圧の縦スケールは、図 5（a）における走査信号等の電圧波形と比較して拡大してある。

【0042】

続いて、映像処理回路 30 による処理の具体例について説明する。

映像信号 Vid-in で示す画像（の一部）が例えば図 11（1）に示すように、階調範囲 b の白（明）画素を背景として、液晶分子が不安定状態にある黒（暗）画素からなる領域が表示される画像である場合、第 1 検出部 321 によって検出される境界は、図 11（2）に示すとおりとなる。

次に、図 11（3）に示すように、第 2 検出部 322 は、第 1 検出部 321 によって検出された境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とを抽出して、これをリスク境界とする。

補正部 314 は、抽出されたリスク境界に隣接する明画素について、図 12（a）に示すように、階調レベルを c2 の映像信号に補正する。なお、図 12（a）において、※1 で示す白画素は、左下の一角において縦横に連続するリスク境界が位置しているので、「リスク境界に隣接している」ということになり、補正部 314 において補正対象とするか否かの判断対象となる。これは、※1 で示す白画素に対し、左下に位置する白表示画素に相当するパターンが右斜め上方向に 1 画素移動したときに対処するためである。これに対して、※2 で示す白画素は、その一角において縦または横のみに断裂したリスク境界が位置し、縦横で連続したリスク境界が位置していないので、補正部 314 において階調レベル

の判断対象とはならない。

なお、この内容は、チルト方位角などに関係なく共通する内容であるから、以下ではその説明を適宜省略する。

【0043】

ここでいう白画素は、すべて階調レベル c2 よりも高い画素であるから、図 11（1）で示す画像は、リスク境界に隣接している白画素の階調レベルが補正部 314 によって階調レベル c2 に補正されて、図 12（a）に示すとおりとなる。これにより、リスク境界を挟んで隣接する明画素と暗画素との電位差が小さく抑制されて、横電界を原因とするリバー

【0044】

スチルトドメインの発生が抑制される。

以上のとおり、本実施形態では、1 フレーム分の画像全体ではなく、画素同士における境界およびリスク境界を検出するための処理だけで済むので、2 フレーム分以上の画像を解析して動きを検出する構成と比較して、映像処理回路の大規模化や複雑化を抑えることが可能である。さらには、リバー

スチルトドメインが発生しやすい状態の領域が、黒画素の移動に伴って連続的となることを防止することが可能となる。

また、本実施形態では、映像信号 Vid-in で規定される画像のうち、階調レベルが補正される明画素は、暗画素に対してチルト方位の上流側に位置する明画素のみである。このため、映像信号 Vid-in に基づかない表示が発生する部分は、チルト方位角を考慮しない構成と比較して少なくすることができる。

さらに、本実施形態では、設定値以上の映像信号を一律にクリップしもないので、使用しない電圧範囲を設けることによってコントラスト比に悪影響を与えることもない。

また、液晶パネル 100 の構造に変更等を加える必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【0045】

<チルト方位角の他の例>

上述した実施形態では、VA 方式においてチルト方位角 θ_b が 45 度である場合を例にとって説明した。次に、チルト方位角 θ_b が 45 度以外の例について説明する。

まず、図 13（a）に示すようにチルト方位角 θ_b が 22.5 度である例について説明する。この例では、リバー

スチルトは、図 13（b）に示すように、画素の左辺および下辺

に沿った内周領域でリバースチルトは発生する。なお、この例では、図 8 に示したチルト方位角 θb が 45 度である場合の例を 180 度回転させたときと等価である。

チルト方位角 θb が 22.5 度である場合には、チルト方位角 θb が 45 度である場合にリバースチルトドメインが発生する要件 (1) ~ (3) のうち、として、要件 (2) を次のように修正する。すなわち、

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する右上側、右側または上側に位置する場合に、

と修正する。なお、要件 (1) および要件 (3) については変更はない。

したがって、チルト方位角 θb が 22.5 度であれば、n フレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に左下側、左側または下側に位置する場合、その明画素の階調レベルを補正してやればよい。

このためには、映像処理回路 30 における第 2 検出部 322 が、第 1 検出部 321 によって検出された境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分とを抽出して、リスク境界として検出する構成とすれば良い。

この構成によれば、チルト方位角 θb が 22.5 度である場合に、図 12 (b) に示すように、映像信号 Vid-in で規定される画像において黒画素からなる領域が左下方向、左方向または下方向のいずれかに 1 画素だけ移動するときであっても、リスク境界を挟んで隣接する明画素と暗画素との間に生じる横電界が抑制されて、リバースチルトドメインの発生を抑えることが可能となる。

【0046】

次に、図 14 (a) に示すようにチルト方位角 θb が 90 度である例について説明する。この例では、図 14 (b) に示すように、画素右辺に沿った領域でリバースチルトは集中的に発生する。このため、その画素においてリバースチルトドメインは、右辺で発生した幅の分だけ、上辺の右辺寄りおよび下辺の右辺寄りにおいても発生する、という見方もできる。

このため、チルト方位角 θb が 90 度である場合には、チルト方位角 θb が 45 度である場合にリバースチルトドメインが発生する要件 (1) ~ (3) のうち、として、要件 (2) を次のように修正する。すなわち、

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する左側のみならず、その左側で発生する領域の影響を受ける上側または下側に位置する場合に、

と修正する。なお、要件 (1) および要件 (3) については変更はない。したがって、チルト方位角 θb が 90 度であれば、n フレームにおいて、暗画素と明画素とが隣接する場合であって、その暗画素が、その明画素に対して反対に右側、下側または上側に位置する場合、その明画素について階調レベルを補正してやればよい。

このためには、映像処理回路 30 における第 2 検出部 322 が、第 1 検出部 321 によって検出された境界のうち、暗画素が右側に位置し明画素が左側に位置する部分と、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が下側に位置し明画素が上側に位置する部分とを抽出して、リスク境界として検出する構成とすればよい。

この構成によれば、チルト方位角 θb が 90 度である場合、図 12 (b) に示すように、映像信号 Vid-in で規定される画像において黒画素からなる領域が上方向、右上方向、右方向、右下方向または下方向のいずれかに 1 画素だけ移動する場合であっても、リスク境界を挟んで隣接する明画素と暗画素との間の横電界が抑制されて、リバースチルトドメインの発生を抑えることが可能となる。

【0047】

< TN 方式 >

上述した実施形態では、液晶 105 に VA 方式を用いた例について説明した。そこで次に、液晶 105 に TN 方式とした例について説明する。

図15(a)は、液晶パネル100における 2×2 の画素を示す図であり、図15(b)は、図15(a)におけるp-q線を含む垂直面で破断したときの簡易断面図である。

これらの図に示すように、TN方式の液晶分子は、画素電極118とコモン電極108との電位差がゼロである状態において、チルト角が θ_a であって、チルト方位角が θ_b (=45度)で、初期配向しているものとする。TN方式は、VA方式とは反対に、基板水平方向に傾斜するので、TN方式のチルト角 θ_a は、VA方式の値よりも大きい。

【0048】

液晶105にTN方式を用いた例では、高コントラスト比などが得られる等の理由により、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードが用いられる場合が多い。

このため、液晶105にTN方式を用いるとともに、ノーマリーホワイトモードとしたとき、液晶素子120の印加電圧と透過率との関係は、図4(b)に示すようなV-T特性で表され、印加電圧が高くなるにつれて透過率が減少する。ただし、液晶素子120の印加電圧が電圧 V_{cl} を下回るときに、液晶分子が不安定状態となる点においては、ノーマリーブラックモードと変わりはない。

【0049】

このようなTN方式のノーマリーホワイトモードにおいて、図16(a)に示すように、(n-1)フレームにおいて 2×2 の4画素がすべて液晶分子の不安定な白画素の状態から、nフレームにおいて、右上の1画素だけが黒画素に変化するときを想定する。上述したようにノーマリーホワイトモードにおいて、画素電極118とコモン電極108との電位差は、ノーマリーブラックモードとは反対に白画素よりも黒画素で大きい。このため、白から黒に変化する右上の画素では、図16(b)のように、液晶分子が実線で示す状態から破線で示す状態に、電界方向に沿った方向(基板面の垂直方向)に起立しようとする。

しかしながら、白画素の画素電極118(Wt)と黒画素の画素電極118(Bk)との間隙で生じる電位差は、黒画素の画素電極118(Bk)とコモン電極108との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極118とコモン電極108との間隙よりも狭い。よって、電界の強度で比較すると、画素電極118(Wt)と画素電極118(Bk)との間隙で生じる横電界は、画素電極118(Bk)とコモン電極108との間隙で生じる縦電界よりも強い。

右上の画素は、(n-1)フレームにおいて液晶分子が不安定な状態の白画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、黒レベルの電圧が画素電極118(Bk)に印加されたことによる縦電界よりも、隣接する画素電極118(Wt)からの横電界の方が強いので、黒になろうとしている画素では、図16(b)に示すように、白画素に隣接する側の液晶分子Rvが、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子Rvは、縦電界にしたがって破線のように基板水平方向に起立しようとする他の液晶分子の動きに悪影響を与える。このため、黒に変化すべき画素においてリバースチルトが発生する領域は、図16(c)に示すように、黒に変化すべき画素と白画素との間隙にとどまらず、その間隙から黒に変化すべき画素を浸食する形で広範囲に拡がる。

したがって、図16に示した内容から、黒に変化しようとする着目画素の周辺が白画素であった場合、当該着目画素に対して白画素が左下側、左側および下側で隣接するとき、当該着目画素では、リバースチルトが左辺および下辺に沿った内周領域にて発生することになる。

【0050】

一方、図17(a)に示すように、(n-1)フレームにおいて 2×2 の4画素がすべて液晶分子の不安定な白画素の状態から、nフレームにおいて、左下の1画素だけが黒画素に変化するときを想定する。この変化においても、黒画素の画素電極118(Bk)と白画素の画素電極118(Wt)との間隙では、画素電極118(Bk)とコモン電極10

10

20

30

40

50

8との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図17(b)に示すように、白画素において黒画素に隣接する側の液晶分子Rvは、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となるが、白画素では縦電界の強度が(n-1)フレームから変わらないので、他の液晶分子に影響をほとんど与えない。このため、白画素から変化しない画素においてリバースチルトが発生する領域は、図17(c)に示すように、図16(c)の例と比較して無視できる程度に狭い。

一方、2×2の4画素のうち、左下において白から黒に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、左下画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の垂直方向に図16(b)において破線で示すように正しく起立する結果、目的である黒画素に変化するので、表示品位の劣化が発生しないことになる。

【0051】

このため、TN方式においてチルト方位角 θ_b が45度であるノーマリーホワイトモードの場合、要件(1)をそのままに、

(2) nフレームにおいて、当該暗画素(印加電圧高)が、隣接する明画素(印加電圧低)に対して右上側、右側または上側に位置する場合に、

(3) nフレームにおいて当該暗画素に変化する画素は、1フレーム前の(n-1)フレームでは、液晶分子が不安定な状態にあったとき

nフレームにおいて当該暗画素でリバースチルトが発生する、ということになる。

したがって、この発生状態を、(n+1)フレームを基準として考え直した場合、画像の動きによって、(n+1)フレームにおいて暗画素が上記位置関係を満たすことになっても、変化前のnフレームにおいて、

(3) nフレームにおいて当該暗画素に変化する画素は、1フレーム前の(n-1)フレームでは、液晶分子が不安定な状態にあったときnフレームにおいて当該暗画素でリバースチルトが発生する、ということになる。したがって、この発生状態を、(n+1)フレームを基準として考え直した場合、画像の動きによって、(n+1)フレームにおいて暗画素が上記位置関係を満たすことになっても、変化前のnフレームにおいて、リスク境界を挟んで隣接する明画素と暗画素との間の横電界が抑制されるように、その暗画素の階調レベルを低くすればよいということになる。

ノーマリーホワイトモードでは、ノーマリーブラックモードとは反対に、階調レベルが明るいほど、液晶素子の印加電圧が低くなる点を考慮すれば、映像処理回路30の構成を、次のように変更すれば良いことになる。

すなわち、nフレームにおいて、映像処理回路30における第2検出部322が、第1検出部321によって検出された境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分とを抽出して、リスク境界として検出する。そして、補正部314が、判別部324から供給されるフラグQが“1”である場合に、映像信号Vid-dで指定される暗画素の階調レベルがc2よりも暗いレベルを指定していれば、その暗画素について階調レベルc2の映像信号に補正して、映像信号Vid-outとして出力する構成であればよい。

なお、この例では、TN方式においてチルト方位角 θ_b を45度とした例を説明したが、リバースチルトドメインの発生方向がVA方式と逆になる点を考慮すれば、チルト方位角 θ_b が45度以外の角度である場合の措置、そのための構成についても、いままでの説明から容易に類推できるはずである。

【0052】

<第2実施形態>

次に、本発明の第2実施形態について説明する。本実施形態では、ノーマリーブラックモードであることを前提として説明する。特に断りのない限り、その内容は以降の実施形態でも同じである。また、以下の説明において、第1実施形態と同じ構成については同一

の符号を付して表し、その詳細な説明については適宜省略する。上述した実施形態では、リスク境界に隣接する明画素について階調レベルを補正していたが、この実施形態では、2以上（複数）の明画素がリスク境界の反対方向に向かって連続する場合に、この複数の明画素について階調レベルを補正する。

この実施形態の映像処理回路30が、第1実施形態の構成と相違する部分は、判別部324の判別内容が変更された点にある。

判別部324は、遅延回路312によって遅延された映像信号Vid-dで示す画素が明画素であるか否か、および、その画素が第2検出部322で検出されたリスク境界に隣接しているか否かをそれぞれ判別する。判別部324は、その判別結果がいずれも「Yes」である場合に、出力信号のフラグQを例えば「1」として出力し、その判別結果がいずれか1つでも「No」であれば「0」として出力する。判別部324は、或る明画素についてフラグQを「0」から「1」へ切り替えて出力するときには、リスク境界とは反対方向に向かって連続する2以上の明画素について、フラグQを「1」として出力する。ここでは、判別部324は、3つ連続する明画素についてフラグQを「1」として出力する。

【0053】

映像処理回路30による処理の具体例について説明する。

映像信号Vid-inで示す画像が例えば図11(1)に示すものである場合、 $\theta b = 45$ 度であるとき、映像処理回路30によって図18(a)に示すような階調レベルに補正される。映像処理回路30では、検出されたリスク境界に隣接し、階調レベルが階調範囲bに属する明画素であってそのリスク境界の反対方向に向かって連続する2以上の明画素について、その各画素が階調レベルc2の映像信号に補正される。この明画素群は、ここでは3つの明画素からなる。

【0054】

また、第1実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図11(1)で示す画像は、映像処理回路30によって図18(b)に示すような映像信号に補正される。また、 $\theta b = 225$ 度である場合、図11(1)で示す画像は、映像処理回路30によって図18(c)に示すような映像信号に補正される。このように、液晶素子120のチルト方位によって定まる明画素を補正対象としているので、本来の画像からの変化を抑制しつつ、リバースチルトドメインの発生を抑制し得る。

【0055】

ところで、液晶パネル100の表示画面が更新される時間間隔をS（ミリ秒）とし、補正部314により各明画素の印加電圧が補正されて、電圧Vc2に切り替わったときの液晶素子120の配向状態になるまでの応答時間をT（ミリ秒）とする。液晶パネル100が等倍速で駆動される場合、時間間隔Sは、フレームに等しい16.7ミリ秒である。このため、 $S (= 16.7) \geq T$ であれば、階調レベルc2とする明画素は境界に隣接する1画素のみで足りる。一方、近年では、2倍速、4倍速、…というように、液晶パネル100の駆動がより高速化する傾向がある。このような高速駆動であっても、上位装置からは供給される映像信号Vid-inは、等速駆動と同様にフレーム毎に1コマ分である。このため、nフレームと(n+1)フレームとの間では、動画表示視認特性を向上させる等のために、補間技術等によって両フレームの中間的な画像が生成されて、液晶パネル100に表示させる場合がある。例えば2倍速駆動の場合、表示画面が更新される時間間隔は、半分の8.35（ミリ秒）となる。このため、各フレームは第1フィールドと第2フィールドとの2つに分割されるとともに、第1フィールドでは、例えば自フレームの画像を表示させる更新がなされ、第2フィールドでは、当該自フレームの画像と後のフレームの画像とに相当する補間画像を表示させる更新がなされる。したがって、高速駆動であっても、フレームを分割したフィールドにおいて、画像パターンが1画素分ずつ移動する場合があります。

【0056】

映像信号Vid-inが1コマ分供給されるフレームの時間をF（ミリ秒）としたとき、これのU倍速（Uは整数）で液晶パネルを駆動するとき、1フィールドの時間は、FをUで

割った値となり、これが表示画面の更新される時間間隔 S となる。

このため、例えば 1 フレームが 16.7 ミリで供給される映像信号 Vid-in に対して液晶パネル 100 を 2 倍速で駆動するとき、表示画面が更新される時間間隔 S は、半分の 8.35 ミリ秒となる。ここで、上記応答時間 T が仮に 24 ミリ秒であったとすると、補正対象として好ましい画素数は、「24」を「8.35」で割った値が「2.874…」であるから、この値のうちの整数部「2」に「1」を加えた「3」ということになる。

このように、本実施形態によれば、液晶パネル 100 が 2 倍速以上される場合等、液晶素子の応答時間が、表示画面が更新される時間間隔より長くなる場合でも、補正対象とする明画素の数を適切に設定することで、上述したリバースチルトドメインに起因する表示上の不具合の発生を事前に回避することが可能となる。すなわち、この実施形態では、ノーマリーブラックモードでは、補正の対象となる明画素群を 3 つの連続する明画素としていたが、この数は「3」に限らず、液晶素子 120 の応答時間と液晶パネル 100 の駆動速度とを考慮してその数をさらに多くてもよい。

また、この実施形態においても、液晶 105 を例えば TN 方式として、電圧無印加時において液晶素子 120 が白状態となるノーマリーホワイトモードとしてもよい。

この実施形態の構成によれば、上記以外にも第 1 実施形態と同等の効果を奏する。

【0057】

<第 3 実施形態>

次に、本発明の第 3 実施形態について説明する。

以下の説明において、第 1 実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

上述した第 1 実施形態では、映像信号 Vid-in の解析によって暗画素と明画素とがリスク境界を挟んで隣接するときに、明画素のみの階調レベルを補正していた。これに対し、横電界の影響を受けやすい画素（ノーマリーブラックモードでは暗画素）であって、 n フレームにおいて明画素に変化する画素が、1 フレーム前の $(n-1)$ フレームでは、液晶分子が不安定な状態にある暗画素についても、その階調レベルを補正してもよい。つまり、暗画素に対応する液晶分子が不安定にならないようにすることで、上記要件 (3) を満たさないようにし、暗画素がリバースチルトドメインの発生を抑制する。

【0058】

図 19 は、この実施形態に係る映像処理回路 30 の構成を示すブロック図である。映像処理回路 30 が上述の第 1 実施形態の映像処理回路 30 と相違する部分は、算出部 318 が追加された点と、判別部 324 の判別内容が変更された点とにある。

詳細には、ノーマリーブラックモードを例にとると、算出部 318 は、遅延した映像信号 Vid-d の画素が第 2 検出部 322 によって検出されたリスク境界に隣接している場合に、第 1 に、その画素が明画素であれば、その明画素について階調レベル $c2$ を算出して出力し、第 2 に、その画素が暗画素であれば、その明画素について階調レベル $c1$ を算出して出力する。

判別部 324 は、第 1 に、遅延回路 312 によって遅延された映像信号 Vid-d で示す画素が明画素であるか否か、および、その画素が第 2 検出部 322 で検出されたリスク境界に隣接しているか否かをそれぞれ判別する。判別部 324 は、その判別結果がいずれも「Yes」である場合に、出力信号のフラグ Q を例えば「1」として出力し、その判別結果がいずれか 1 つでも「No」であれば「0」として出力する。判別部 324 は、第 2 に、遅延回路 312 によって遅延された映像信号 Vid-d で示す画素が印加電圧が $Vc1$ を下回る暗画素であるか否か、および、その画素が第 2 検出部 322 で検出されたリスク境界に隣接しているか否かをそれぞれ判別する。判別部 324 は、その判別結果がいずれも「Yes」である場合に、出力信号のフラグ Q を例えば「1」として出力し、その判別結果がいずれか 1 つでも「No」であれば「0」として出力する。

【0059】

補正部 314 は、判別部 324 から出力されるフラグ Q が「1」であり、その階調レベルが印加電圧が $Vc1$ を下回り、 $c1$ よりも暗い階調レベルを表す暗画素であれば、映像信号

Vid-dを算出部318から出力される階調レベルc1に補正し、これを映像信号Vid-outとして出力する。すなわち、補正部314は、リスク境界に隣接する暗画素に対して映像信号Vid-inで指定される印加電圧が閾値Vth1よりも低い電圧Vc1を下回る場合、その暗画素に対応する液晶素子への印加電圧を、電圧Vc1以上で、且つそのリスク境界を挟んで隣接する明画素に対応する印加電圧（つまり、電圧Vc2）を下回るように補正する。ここでは、補正による暗画素の透過率の変化を知覚されにくくするために、暗画素に対応する液晶素子への印加電圧はVc1に補正されるものとする。

なお、補正部314は、リスク境界に隣接する暗画素の階調レベルがc1以上であれば、その暗画素については階調レベルを補正しなくてよい。また、補正部314は、判別部324から出力されるフラグQが「1」であり、映像信号Vid-dから供給される画素が明画素を表すのであれば、映像信号Vid-dを算出部318から出力される階調レベルc2に補正し、これを映像信号Vid-outとして出力する。

【0060】

映像処理回路30による処理の具体例について説明する。

映像信号Vid-inで示す画像が例えば図11(1)に示すものである場合、 $\theta b = 45$ 度であるとき、映像処理回路30によって図20(a)に示すような階調レベルに補正される。映像処理回路30では、上述の第1実施形態と同じ手順で、リスク境界に隣接する明画素の階調レベルを階調レベルc2に補正する一方で、リスク境界に対して明画素の反対側に隣接する暗画素の階調レベルがc1を下回る場合に、階調レベルc1の映像信号に補正する。

【0061】

ところで、VA方式における液晶分子は、液晶素子の印加電圧がゼロのときに基板面に対して垂直方向に最も近い状態になるが、電圧Vc1は、液晶分子に初期傾斜角を与える程度の電圧であり、この電圧の印加から液晶分子が傾斜し始める。液晶分子が安定状態となる電圧Vc1は、一般的には、液晶パネルにおける様々なパラメータが絡んで一概には決まらない。ただし、本実施形態のように、画素電極118とコモン電極108との間隙（セルギャップ）よりも、画素電極118同士の間隙が狭い、という液晶パネルにあっては、おおよそ1.5ボルトとなる。したがって、暗画素に対応する印加電圧Vc1としては、 $Vc1 = 1.5$ ボルトが下限となるので、この電圧以上であればよいということになるが、1.5ボルトに限定されるわけではない。

【0062】

また、第1実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図11(1)で示す画像は、映像処理回路30によって図20(b)に示すような階調レベルに補正される。また、 $\theta b = 225$ 度である場合、図11(1)で示す画像は、映像処理回路30によって図20(c)に示すような階調レベルに補正される。

この実施形態によれば、上述の第1実施形態と同等の効果を奏するとともに、補正対象とする暗画素群の液晶素子への印加電圧が高くなるように補正されるので、液晶素子120の液晶分子を不安定な状態にならないようにすることができる。この結果、横電界によって発生するリバースチルトドメインをより一層抑制することが可能となる。

なお、※3で示す白画素及び※4で示す黒画素は、左下の一角において縦横に連続するリスク境界が位置しているので、「リスク境界に隣接している」ということになり、補正部314において補正対象とするか否かの判断対象となる。なお、この内容はチルト方位角 θb が異なる場合でも同様である。

また、この実施形態においても、液晶105を例えばTN方式として、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードとしてもよい。

【0063】

<第4実施形態>

次に、本発明の第4実施形態について説明する。

以下の説明において、第3実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。この実施形態の映像処理回路30が、上述の第3実施形

10

20

30

40

50

態の映像処理回路 30 と相違する部分は、判別部 324 の判別内容が変更された点にある。

上述した第 2 実施形態では、リスク境界を挟んで互いに隣接する明画素及び暗画素について、それぞれ 1 ずつの階調レベルを補正していた。これに対し、この実施形態ではこの明画素を含む 2 以上の連続する明画素、及びこの暗画素を含む 2 以上の連続する暗画素について、階調レベルを補正する。

【0064】

判別部 324 は、第 1 に、遅延回路 312 によって遅延された映像信号 Vid-d で示す画素が明画素であるか否か、および、その画素が第 2 検出部 322 で検出されたリスク境界に隣接しているか否かをそれぞれ判別する。判別部 324 は、その判別結果がいずれも「Yes」である場合に、出力信号のフラグ Q を例えば「1」として出力し、その判別結果がいずれか 1 つでも「No」であれば「0」として出力する。判別部 324 は、或る明画素についてフラグ Q を「0」から「1」へ切り替えて出力したときには、リスク境界とは反対方向に向かって連続する 2 以上の明画素についても、フラグ Q を「1」として出力する。ここでは、判別部 324 は、2 つの連続する明画素についてフラグ Q を「1」として出力する。判別部 324 は、第 2 に、遅延回路 312 によって遅延された映像信号 Vid-d で示す画素が印加電圧が Vc1 を下回り、c1 よりも暗い階調レベルを表す暗画素であるか否か、および、その画素が第 2 検出部 322 で検出されたリスク境界に隣接しているか否かをそれぞれ判別する。判別部 324 は、その判別結果がいずれも「Yes」である場合に、出力信号のフラグ Q を例えば「1」として出力し、その判別結果がいずれか 1 つでも「No」であれば「0」として出力する。判別部 324 は、或る暗画素についてフラグ Q を「0」から「1」へ切り替えて出力したときには、検出されたリスク境界とは反対方向に向かって連続する 2 以上の暗画素についても、フラグ Q を「1」として出力する。ここでは、判別部 324 は、2 つの連続する暗画素についてフラグ Q を「1」として出力する。

【0065】

補正部 314 は、判別部 324 から出力されるフラグ Q が「1」であれば、映像信号 Vid-d は、算出部 318 から出力される階調レベルに補正して、これを映像信号 Vid-out として出力する。

【0066】

映像処理回路 30 による処理の具体例について説明する。

映像信号 Vid-in で示す画像が例えば図 11 (1) に示すものである場合、 $\theta b = 45$ 度であるとき、映像処理回路 30 によって図 21 (a) に示すような階調レベルに補正される。

映像処理回路 30 では、ノーマリーブラックモードであれば、上述の第 1 実施形態と同じ手順で、補正対象の明画素を階調レベル c2 に補正する一方で、リスク境界に対してこの明画素群の反対側で隣接し、その境界の反対方向に向かって連続する 2 以上の暗画素を階調レベル c1 の映像信号に補正する。補正対象の明画素は、ここでは 2 つの連続する明画素であり、補正対象の暗画素は、連続する 2 つの暗画素である。また、第 1 実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図 11 (1) で示す画像は、映像処理回路 30 によって図 21 (b) に示すような階調レベルに補正される。また、 $\theta b = 225$ 度である場合、図 11 (1) で示す画像は、映像処理回路 30 によって図 21 (c) に示すような階調レベルに補正される。このように、液晶素子 120 のチルト方位によって定まる暗画素を補正対象としているので、本来の画像からの変化を抑制しつつ、リバースチルトドメインの発生を抑制し得る。

【0067】

この実施形態の構成によれば、上述の第 2 実施形態の構成よりも、近接する画素同士の電位差を更に小さくすることができ、横電界の影響を一層抑制することが可能となる。また、液晶素子の応答時間 T2 が、表示画面が更新される時間間隔 S より長い場合でも、リバースチルトドメインの発生を抑えることが可能となる。具体的には、液晶パネル 100 の表示を更新する時間間隔を S とし、印加電圧が補正されて電圧に切り替わったときの前

記液晶素子の応答時間を T_2 とした場合に、 $S < T_2$ であるとき、そのリスク境界に隣接する第1画素に対して隣接し、そのリスク境界とは反対方向に向かって連続する画素の数は、前記応答時間 T_2 を前記時間間隔 S で割った値の整数部の値に応じて定められる。

また、この実施形態においても、液晶105を例えばTN方式として、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードとしてもよい。

【0068】

<変形例>

上述した実施形態では、暗画素と明画素とが垂直または水平方向で隣接する部分を境界として検出したが、この理由は、画像パターンの移動方向がいずれにも対処するためである。一方、ワードプロセッサや、テキストエディターなどの表示画面において、カーソルのような移動を考えると、画像パターンの移動方向として、水平(X)方向のみを想定すれば十分である場合がある。例えば、画像パターンの移動方向として水平方向のみを想定する場合に、例えばVA方式であってチルト方位角 θ_b を45度とすると、第1検出部321は、階調範囲aにある画素と階調範囲bにある画素とが垂直方向で隣接する部分のみを境界として検出すれば良い。この場合、第1検出部321は、水平方向で隣接する部分について境界として扱わない。

【0069】

このように画像パターンの動き方向として水平方向のみを想定すれば、垂直方向や斜め方向についても想定する構成と比較して、構成の簡易化を図ることが可能となる。

なお、ここではVA方式であってチルト方位角 θ_b を45度とした場合を例にとって説明したが、VA方式であってチルト方位角 θ_b を22.5度とした場合についても同様である。

【0070】

上述した各実施形態において、映像信号Vid-inは、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしてもよい。映像信号Vid-inが液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすればよい。

上述した第2および第4実施形態において、補正対象とする明画素や暗画素の各画素の階調レベルはそれぞれ同じでなくてもよい。

また、各実施形態において、液晶素子120は、透過型に限られず、反射型であってもよい。さらに、液晶素子120は、ノーマリーブラックモードに限られず、ノーマリーホワイトモードでもよいのは上述したとおりである。

【0071】

<電子機器>

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル100をライトバルブとして用いた投射型表示装置(プロジェクター)について説明する。図22は、このプロジェクターの構成を示す平面図である。

この図に示すように、プロジェクター2100の内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR(赤)色、G(緑)色、B(青)色の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0072】

このプロジェクター2100では、液晶パネル100を含む液晶表示装置が、R色、G色、B色のそれぞれに対応して3組設けられる。ライトバルブ100R、100Gおよび100Bの構成は、上述した液晶パネル100と同様である。R色、G色、B色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて

、ライトバルブ100R、100Gおよび100がそれぞれ駆動される構成となっている。

ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各原色の画像が合成された後、スクリーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

【0073】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R色、G色、B色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像は、ダイクロイックプリズム2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる水平走査方向は、ライトバルブ100Gによる水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

【0074】

電子機器としては、図22を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニター直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

【符号の説明】

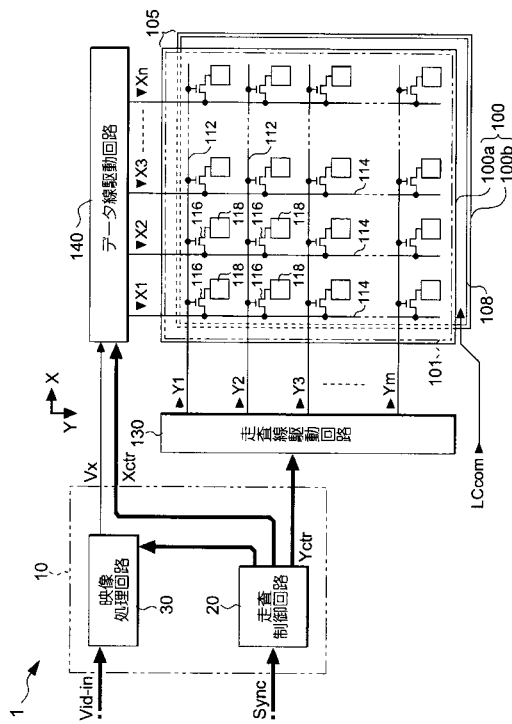
【0075】

1…液晶表示装置、30…映像処理回路、100…液晶パネル、100a…素子基板、100b…対向基板、105…液晶、108…コモン電極、118…画素電極、120…液晶素子、302…境界検出部、314…補正部、316…D/A変換器、318…算出部、321…第1検出部、322…第2検出部、324…判別部、2100…プロジェクター。

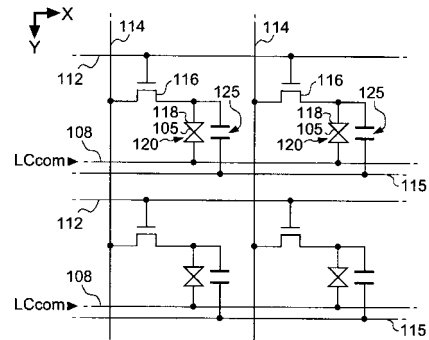
10

20

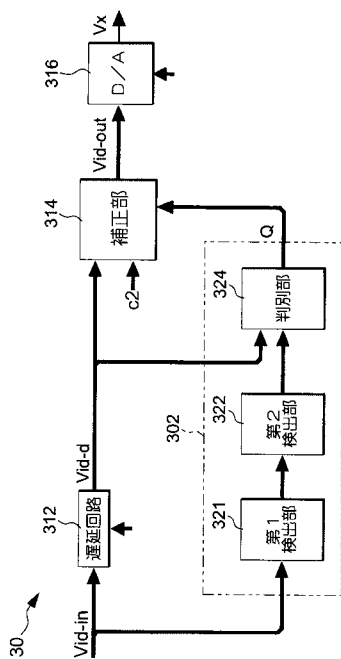
【図 1】



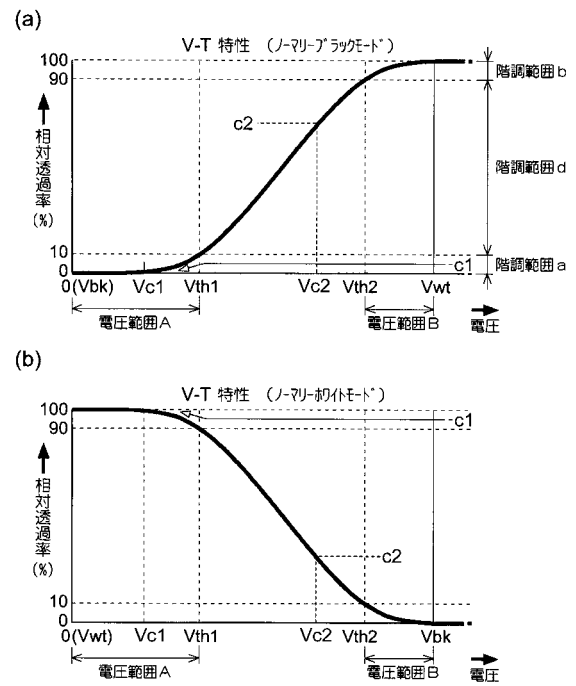
【図 2】



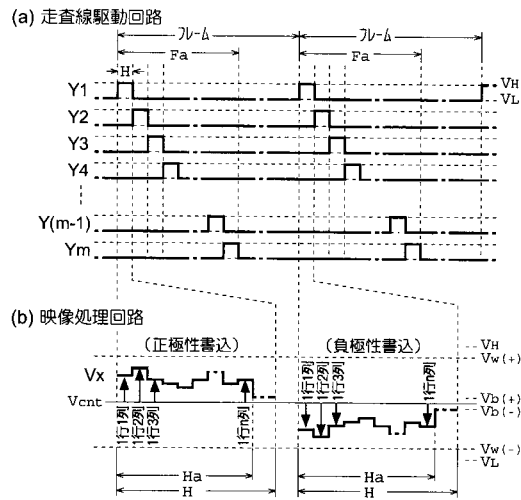
【図 3】



【図 4】

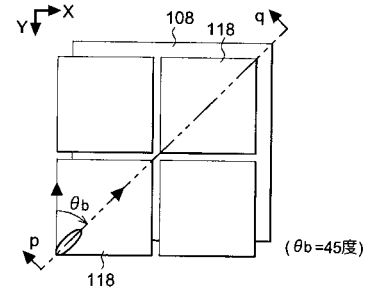


【図 5】

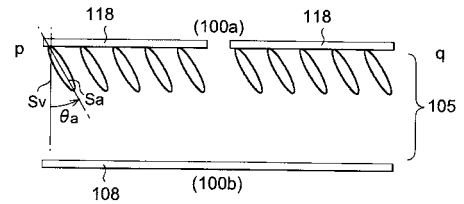


【図 6】

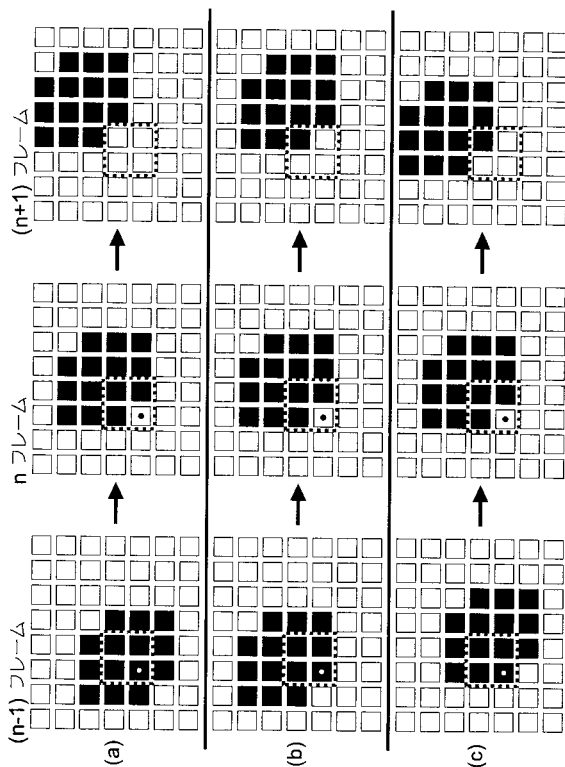
(a) VA



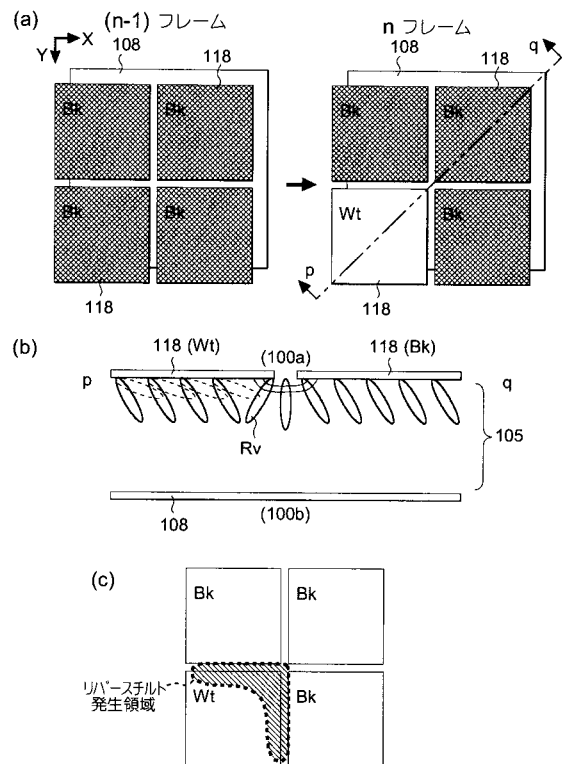
(b)



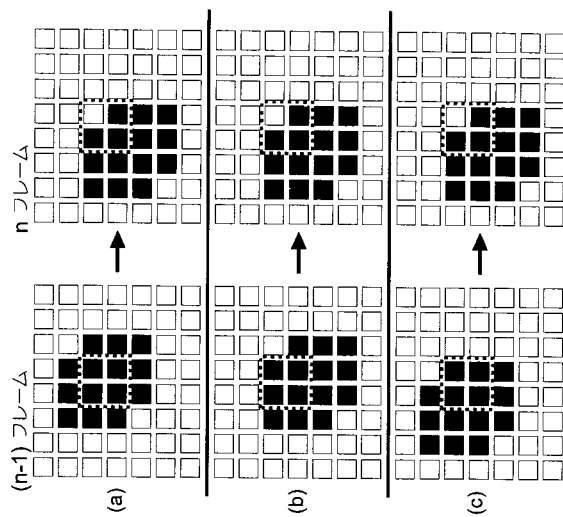
【図 7】



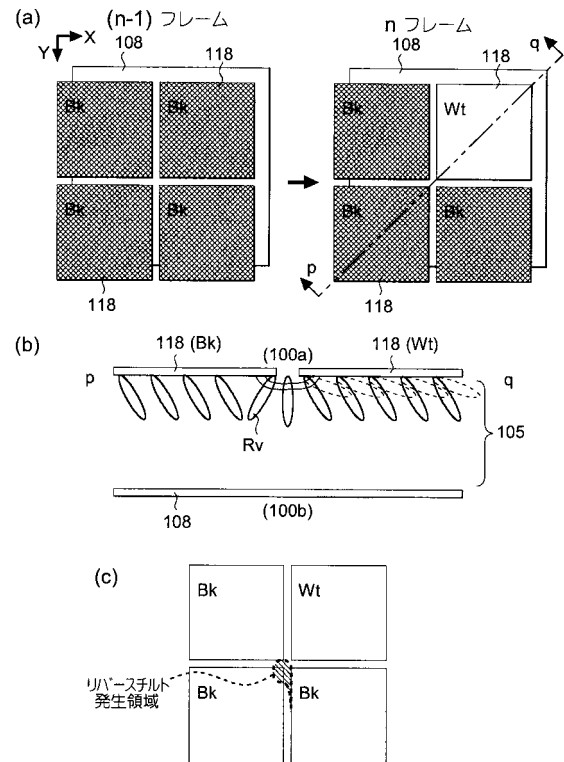
【図 8】



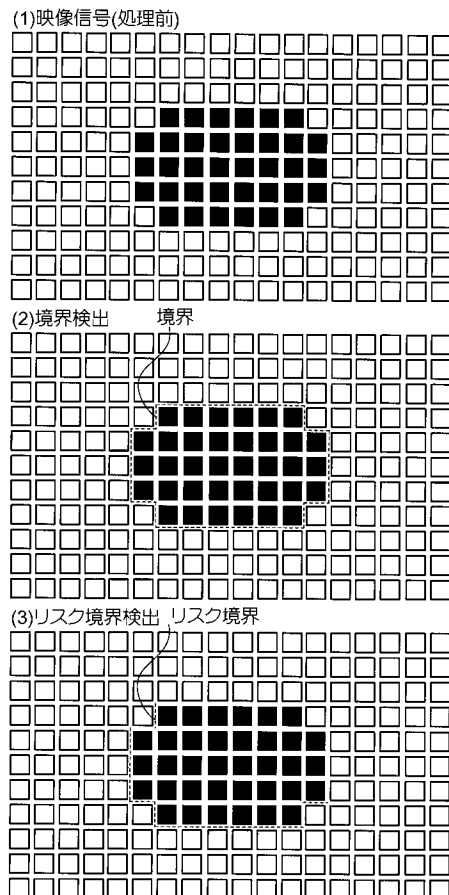
【図 9】



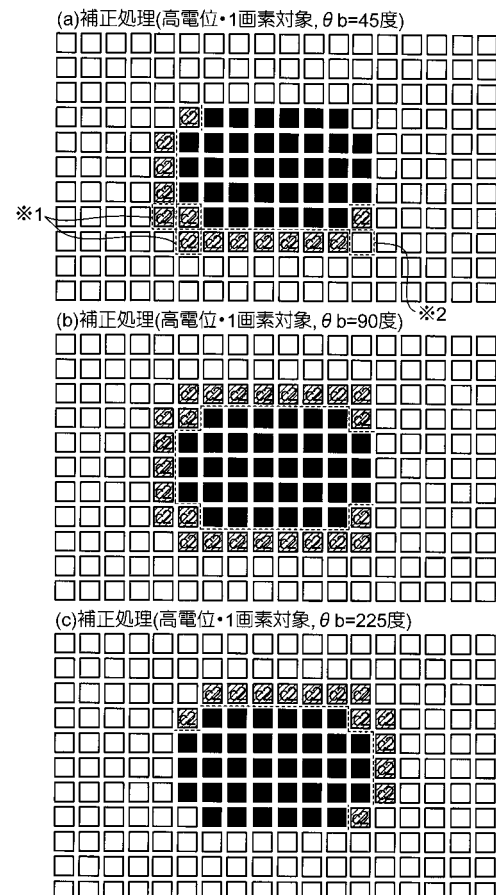
【図 10】



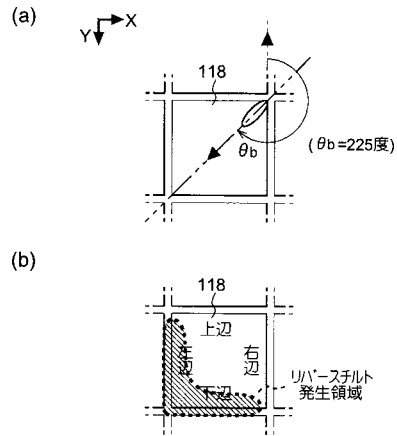
【図 11】



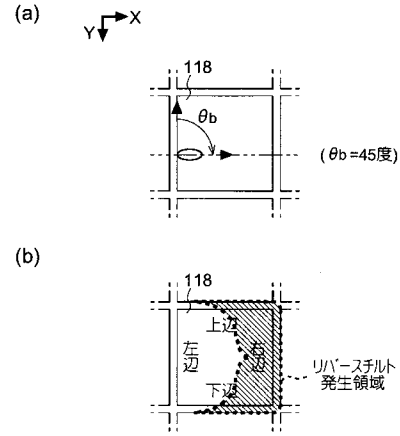
【図 12】



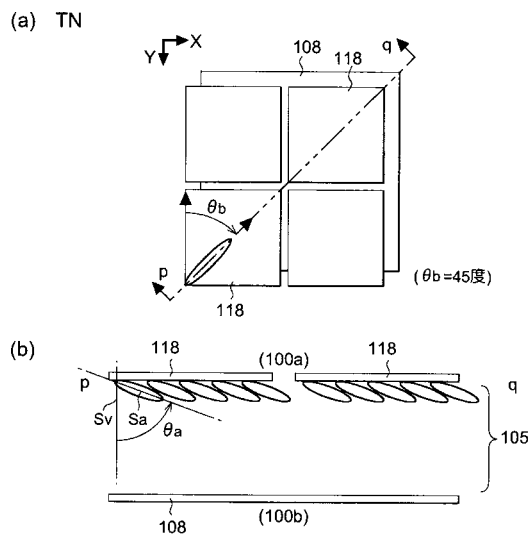
【図 13】



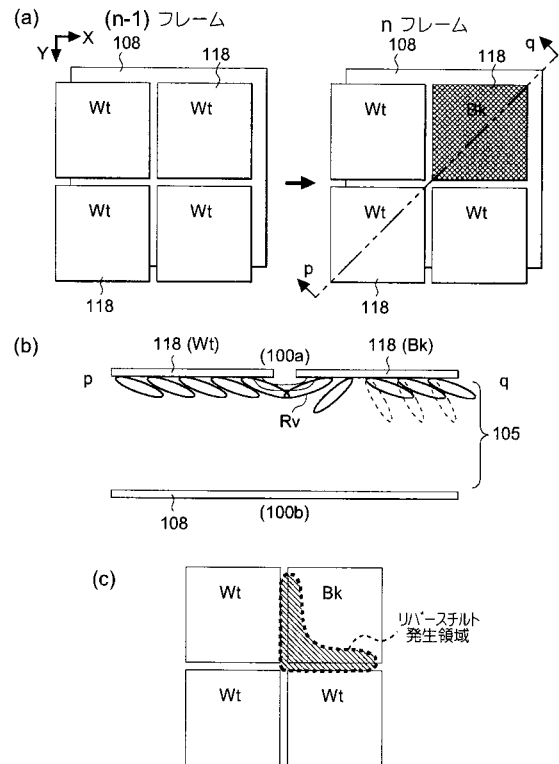
【図 14】



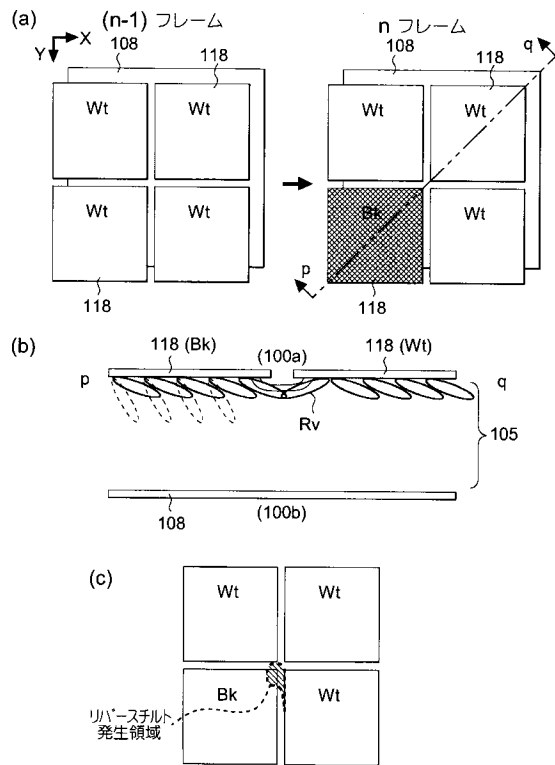
【図 15】



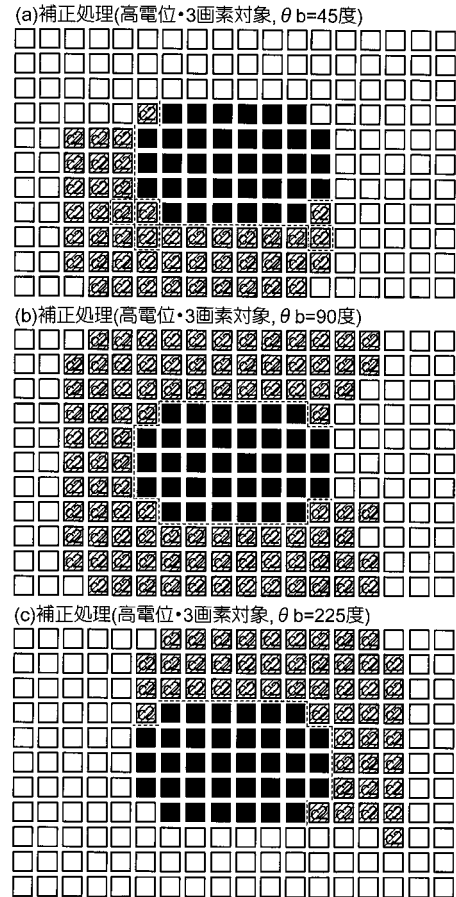
【図 16】



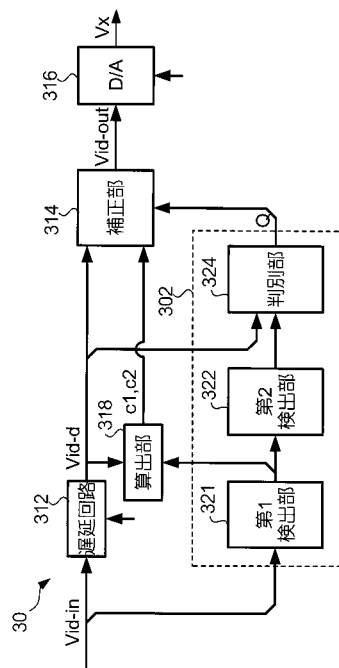
【図 17】



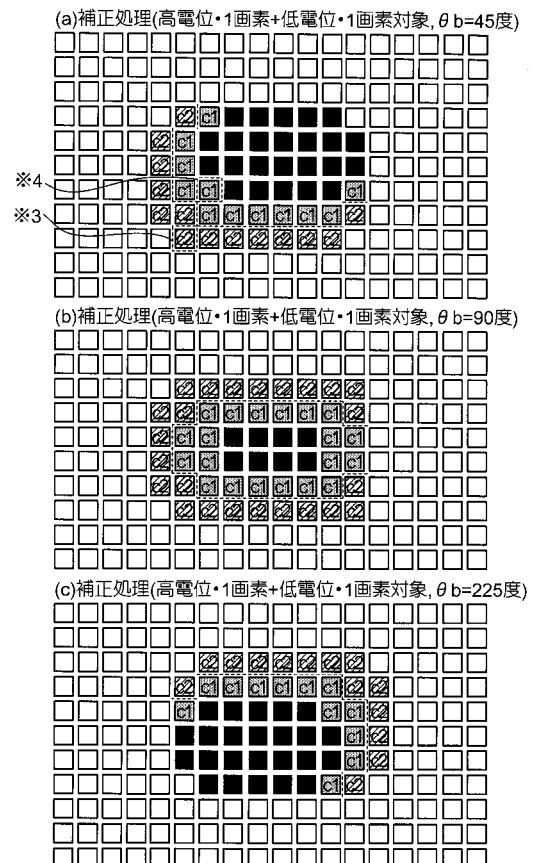
【図 18】



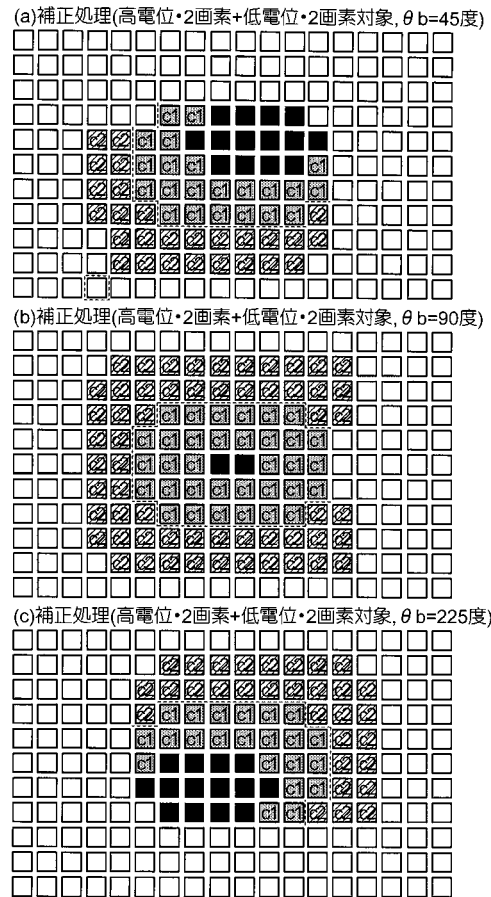
【図 19】



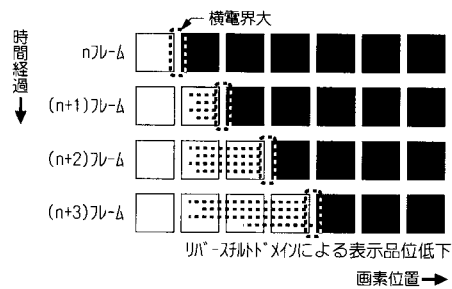
【図 20】



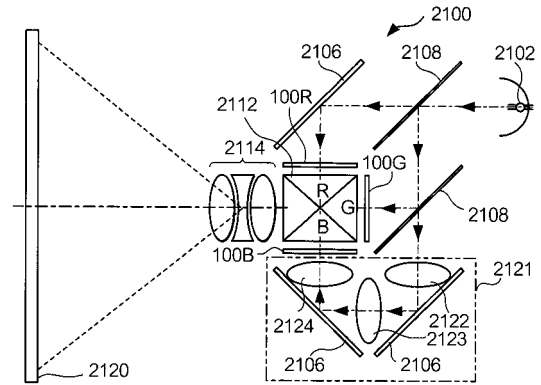
【図 2 1】



【図 2 3】



【図 2 2】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 1 2 U
G 0 2 F 1/133 5 0 5
G 0 2 F 1/133 5 5 0
G 0 9 G 3/20 6 4 1 C

F ターム(参考) 2H193 ZA04 ZA07 ZB02 ZB03 ZC16 ZC25 ZD01 ZD02 ZD23 ZE03
ZF12 ZF18 ZQ06 ZQ11 ZR04
5C006 AF45 AF46 BB16 BC06 BC16 FA22 FA41 FA56
5C080 AA10 BB05 DD01 DD05 DD22 EE28 EE29 FF07 FF11 JJ01
JJ02 JJ03 JJ04 JJ05 JJ06

【要約の続き】

【選択図】図 1

专利名称(译)	图像处理电路，其处理方法，液晶显示装置和电子设备		
公开(公告)号	JP2011170236A	公开(公告)日	2011-09-01
申请号	JP2010035771	申请日	2010-02-22
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	保坂宏行 飯坂英仁		
发明人	保坂 宏行 飯坂 英仁		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/2096 G09G3/3648 G09G2320/0209 G09G2370/08		
FI分类号	G09G3/36 G09G3/20.611.D G09G3/20.623.C G09G3/20.642.A G09G3/20.642.D G09G3/20.612.U G02F1/133.505 G02F1/133.550 G09G3/20.641.C G09G3/20.641.P G09G3/20.670.B		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZC16 2H193/ZC25 2H193/ZD01 2H193/ZD02 2H193/ZD23 2H193/ZE03 2H193/ZF12 2H193/ZF18 2H193/ZQ06 2H193/ZQ11 2H193/ZR04 5C006/AF45 5C006/AF46 5C006/BB16 5C006/BC06 5C006/BC16 5C006/FA22 5C006/FA41 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD05 5C080/DD22 5C080/EE28 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	须泽 修 宫坂和彦		
其他公开文献	JP5304684B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止由于横向电场的影响导致显示质量下降。解决方案：液晶面板100包括液晶元件，其中液晶105放置在元件基板100a上制备的像素电极118和在相对基板100b上制备的公共电极108之间。在常黑模式中，视频处理电路30检测由液晶分子的倾斜方向决定的风险边界，该液晶分子是施加到液晶元件并且对应于灰色的电压的暗像素之间的边界的一部分。由视频信号Vid-in指定的电平小于阈值Vth1和施加电压为阈值Vth2或更大的亮像素，并且将施加的电压校正到对应于至少一个暗像素的液晶元件。邻近检测到的风险边界并且其施加的电压小于电压Vc1，并且与风险边界上的暗像素相邻的亮像素从对应于由视频信号指定的灰度级的施加电压变为电压防止由横向电场引起的液晶取向失败。 Z

