

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-170235
(P2011-170235A)

(43) 公開日 平成23年9月1日(2011.9.1)

| | | |
|-----------------------------|----------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| G09G 3/36 (2006.01) | G09G 3/36 | 2H193 |
| G09G 3/20 (2006.01) | G09G 3/20 680C | 5C006 |
| G02F 1/133 (2006.01) | G09G 3/20 612U | 5C080 |
| | G09G 3/20 641C | |
| | G09G 3/20 641P | |

審査請求 未請求 請求項の数 8 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2010-35770 (P2010-35770)
(22) 出願日 平成22年2月22日 (2010.2.22)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100107261
弁理士 須澤 修
(74) 代理人 100127661
弁理士 宮坂 一彦
(72) 発明者 飯坂 英仁
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 保坂 宏行
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

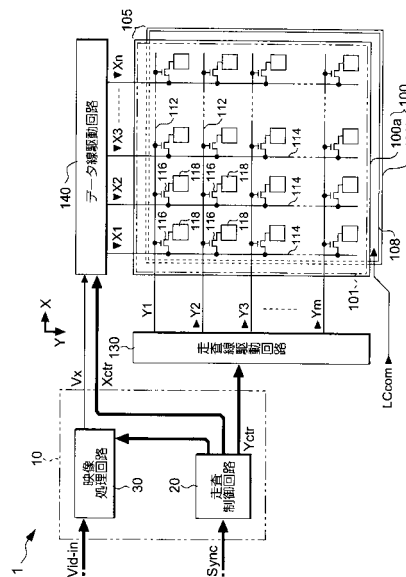
最終頁に続く

(54) 【発明の名称】 映像処理回路、その処理方法、液晶表示装置および電子機器

(57) 【要約】

【課題】横電界の影響による表示品位の低下を抑える。
【解決手段】液晶パネル100は、素子基板100aに設けられた画素電極118と対向基板100bに設けられたコモン電極108とにより液晶105が挟持された液晶素子を有する。映像処理回路30は、ノーマリーブラックモードにおいて、映像信号Vid-inで指定される階調レベルに対応する液晶素子の印加電圧が閾値Vth1を下回る暗画素と、閾値Vth2以上である明画素との境界を検出するとともに、検出した境界に隣接する明画素への印加電圧が電圧Vc1を上回る場合に、その境界に対し、暗画素の反対方向に向かって連続する複数の明画素(ここでは、3画素)に対応する印加電圧を、映像信号で指定される階調レベルに対応する印加電圧から電圧Vc1に補正する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を検出する境界検出部と、

前記境界検出部により検出された境界に対して前記第 1 画素の反対側で隣接し、当該境界とは反対方向に向かって連続する 2 以上の第 2 画素について、当該第 2 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第 1 電圧以上で、且つ前記第 2 電圧を下回るように補正する補正部と

を備えることを特徴とする映像処理回路。

【請求項 2】

前記補正部は、

前記境界検出部により検出された境界に対して前記第 2 画素の反対側で隣接し、当該境界とは反対方向に向かって連続する 2 以上の第 1 画素について、当該第 1 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第 1 電圧以上で、且つ前記 2 以上の第 2 画素に対応する液晶素子への印加電圧を下回るように補正することを特徴とする請求項 1 に記載の映像処理回路。

【請求項 3】

前記補正部は、

前記 2 以上の第 1 画素に対して前記境界の反対側で隣接し、前記映像信号で指定される印加電圧が前記第 1 電圧を下回る第 3 画素であって当該境界とは反対方向に向かって連続する 1 以上の第 3 画素について、互いに隣接する前記第 3 画素及び前記第 1 画素に対応する液晶素子への印加電圧の差が小さくなるように、当該 1 以上の第 3 画素に対応する当該印加電圧を高くする

ことを特徴とする請求項 2 に記載の映像処理回路。

【請求項 4】

前記補正部は、

前記 2 以上の第 2 画素に対して前記境界の反対側で隣接し、前記映像信号で指定される印加電圧が前記第 2 電圧以上である第 4 画素であって当該境界とは反対方向に向かって連続する 1 以上の第 4 画素について、互いに隣接する前記第 4 画素及び前記第 2 画素に対応する液晶素子への印加電圧の差が小さくなるように、当該 1 以上の第 4 画素に対応する当該印加電圧を低くする

ことを特徴とする請求項 1 ないし 3 のいずれかに記載の映像処理回路。

【請求項 5】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を検出し、

検出された境界に対して前記第 1 画素の反対側で隣接し、当該境界とは反対方向に向かって連続する 2 以上の第 2 画素について、当該第 2 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第 1 電圧以上で、且つ前記第 2 電圧を下回るように補正する

10

20

30

40

50

ことを特徴とする映像処理方法。

【請求項 6】

前記検出された境界に対して前記第 2 画素の反対側で隣接し、当該境界とは反対方向に向かって連続する 2 以上の第 1 画素について、当該第 1 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第 1 電圧以上で、且つ前記 2 以上の第 2 画素に対応する液晶素子への印加電圧を下回るように補正する

ことを特徴とする請求項 5 に記載の映像処理方法。

【請求項 7】

第 1 基板に複数の画素の各々に対応して設けられた画素電極と第 2 基板に設けられたコモン電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

請求項 1 ないし 4 のいずれかに記載の映像処理回路と

を備えることを特徴とする液晶表示装置。

【請求項 8】

請求項 7 に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0002】

液晶パネルは、一定の間隙に保たれた一对の基板によって液晶を挟持した構成である。詳細には、液晶パネルは、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板にコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。画素電極とコモン電極との間において、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが表示制御に寄与する、ということが出来る。

【0003】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えば V A（Vertical Alignment）方式や、T N（Twisted Nematic）方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（つまり、リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開口部）の形状を規定するなどして液晶パネルの構造を工夫する技術（例えば特許文献 1 参照）や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献 2 参照）などが提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 6 - 3 4 9 6 5 号公報（図 1）

【特許文献 2】特開 2 0 0 9 - 6 9 6 0 8 号公報（図 2）

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、液晶パネルの構造によってリバースチルトドメインを低減する技術では

10

20

30

40

50

、開口率が低下しやすく、また、構造を工夫しないで既に製作された液晶パネルに適用することができない、という欠点がある。一方、設定値以上の映像信号をクリップする技術では、表示される画像の明るさが設定値に制限されてしまう、という欠点もある。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係る映像処理回路にあっては、複数の画素の各々に対応して画素電極が設けられた第1基板と、コモン電極が設けられた第2基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、入力した映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を検出する境界検出部と、前記境界検出部により検出された境界に対して前記第1画素の反対側で隣接し、当該境界とは反対方向に向かって連続する2以上の第2画素について、当該第2画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第1電圧以上で、且つ前記第2電圧を下回るように補正する補正部とを備えることを特徴とする。本発明によれば、液晶素子の応答時間が、表示画面が更新される時間間隔より長い場合でも、リバースチルトドメインの発生を抑えることが可能となる。例えば、前記液晶パネルの表示を更新する時間間隔をSとし、前記補正部により印加電圧が補正されて電圧に切り替わったときの前記液晶素子の応答時間をTとした場合に、 $S < T$ であるとき、前記境界に隣接する前記第1画素に対して前記境界の反対側で隣接し、当該境界とは反対方向に向かって連続する前記第2画素の数は、前記応答時間Tを前記時間間隔Sで割った値の整数部の値とするとよい。また、本発明によれば、液晶パネルの構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。さらに、境界に隣接する付近画素のうち、第2画素に対応する液晶素子への印加電圧を、映像信号で指定される階調レベルに対応する値から補正するので、表示される画像の明るさが設定値に制限されてしまうこともない。

【0007】

本発明において、前記補正部は、前記境界検出部により検出された境界に対して前記第2画素の反対側で隣接し、当該境界とは反対方向に向かって連続する2以上の第1画素について、当該第1画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から、前記第1電圧以上で、且つ前記2以上の第2画素に対応する液晶素子への印加電圧を下回るように補正することが好ましい。本発明によれば、隣接する第1画素及び第2画素に対応する液晶素子の印加電圧の差を更に小さくし、リバースチルトドメインの発生をより一層抑えることが可能となる。

【0008】

また、本発明において、前記補正部は、前記2以上の第1画素に対して前記境界の反対側で隣接し、前記映像信号で指定される印加電圧が前記第1電圧を下回る第3画素であって当該境界とは反対方向に向かって連続する1以上の第3画素について、互いに隣接する前記第3画素及び前記第1画素に対応する液晶素子への印加電圧の差が小さくなるように、当該1以上の第3画素に対応する当該印加電圧を高くすることが好ましい。本発明によれば、リバースチルトドメインの発生を抑えために前記1以上連続する第1画素に対応する液晶素子の印加電圧を上昇させることを原因として目立つことのある第1画素と第3画素との間の境界を、知覚されにくくすることができる。

【0009】

また、本発明において、前記補正部は、前記2以上の第2画素に対して前記境界の反対側で隣接し、前記映像信号で指定される印加電圧が前記第2電圧以上である第4画素であって当該境界とは反対方向に向かって連続する1以上の第4画素について、互いに隣接す

10

20

30

40

50

る前記第4画素及び前記第2画素に対応する液晶素子への印加電圧の差が小さくなるように、当該1以上の第4画素に対応する当該印加電圧を低くすることが好ましい。本発明によれば、リバースチルトドメインの発生を抑えために前記1以上連続する第2画素に対応する液晶素子の印加電圧を上昇させることを原因として目立つことのある第2画素と第4画素との間の境界を、知覚されにくくすることができる。

なお、本発明は、映像処理回路のほか、映像処理方法、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

【0010】

【図1】本発明の第1実施形態に係る映像処理回路を適用した液晶表示装置を示す図。 10

【図2】同液晶表示装置における液晶素子の等価回路を示す図。

【図3】同映像処理回路の構成を示す図。

【図4】同液晶表示装置における表示特性を示す図。

【図5】同液晶表示装置における表示動作を示す図。

【図6】同映像処理回路における補正処理の内容を示す図。

【図7】同補正処理による横電界の低減を示す図。

【図8】本発明の第2実施形態に係る映像処理回路の構成を示す図。

【図9】同映像処理回路における補正処理の内容を示す図

【図10】同補正処理による横電界の低減を示す図。

【図11】本発明の第3実施形態に係る映像処理回路における境界補正の内容を示す図。 20

【図12】同実施形態に係る別の境界補正の内容を示す図。

【図13】同実施形態に係る別の境界補正の内容を示す図

【図14】実施形態に係る液晶表示装置を適用したプロジェクターを示す図。

【図15】横電界の影響による表示上の不具合の一例を示す図。

【発明を実施するための形態】

【0011】

以下、本発明の実施の形態について図面を参照しつつ説明する。

< 第1実施形態 >

まず、本発明の第1実施形態について説明する。

図1は、本実施形態に係る映像処理回路を適用した液晶表示装置の全体構成を示すブロック図である。 30

図1に示すように、液晶表示装置1は、制御回路10と、液晶パネル100と、走査線駆動回路130と、データ線駆動回路140とを備える。制御回路10には、映像信号Vid-inが上位装置から同期信号Syncに同期して供給される。映像信号Vid-inは、液晶パネル100における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号Syncに含まれる垂直走査信号、水平走査信号およびドットクロック信号（いずれも図示省略）に従った走査の順番で供給される。

なお、映像信号Vid-inは階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号Vid-inは液晶素子の印加電圧を指定するものといって差し支えない。 40

【0012】

制御回路10は、走査制御回路20と映像処理回路30とを備える。走査制御回路20は、各種の制御信号を生成して、同期信号Syncに同期して各部を制御する。映像処理回路30は、詳細については後述するが、デジタルの映像信号Vid-inを処理して、アナログのデータ信号Vxを出力する。

【0013】

液晶パネル100は、素子基板（第1基板）100aと対向基板（第2基板）100bとが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶105が挟持された構成である。素子基板100aのうち、対向基板100bとの対向面には、複数m行の走査線112が図においてX（横）方向に沿って設けられる一 50

方、複数 n 列のデータ線 114 が、 Y (縦) 方向に沿って、且つ各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

なお、この実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、...、 $(m-1)$ 、 m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、...、 $(n-1)$ 、 n 列目という呼び方をする場合がある。

【0014】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、 n チャンネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。コモン電極 108 には、図示省略した回路によって電圧 L_{com} が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側であるので、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 については、破線で示すべきであるが、見難くなるのでそれぞれ実線で示す。

【0015】

図 2 は、液晶パネル 100 における等価回路を示す図である。

図 2 に示すように、液晶パネル 100 は、走査線 112 とデータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成である。図 1 では省略したが、液晶パネル 100 における等価回路では、実際には図 2 に示されるように、液晶素子 120 に対して並列に補助容量 (蓄積容量) 125 が設けられる。補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

ここで、走査線 112 が H レベルになると、その走査線にゲート電極が接続された TFT 116 がオンとなり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に階調に応じた電圧のデータ信号を供給すると、そのデータ信号は、オンした TFT 116 を介して画素電極 118 に印加される。走査線 112 が L レベルになると、TFT 116 はオフするが、画素電極に印加された電圧は、液晶素子 120 の容量性および補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 およびコモン電極 108 によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が表示領域 101 となる。

なお、本実施形態においては、液晶 105 を VA 方式として、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0016】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Y_{ctr} にしたがって、1、2、3、...、 m 行目の走査線 112 に、走査信号 Y_1 、 Y_2 、 Y_3 、...、 Y_m を供給する。詳細には、走査線駆動回路 130 は、図 5 (a) に示すように、走査線 112 をフレームにわたって 1、2、3、...、 $(m-1)$ 、 m 行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧 V_H (H レベル) とし、それ以外の走査線への走査信号を非選択電圧 V_L (L レベル) とする。

なお、フレームとは、液晶パネル 100 を駆動することによって、画像の 1 コマ分を表示させるのに要する期間をいい、同期信号 $Sync$ に含まれる垂直走査信号の周波数が 60 Hz であれば、その逆数である 16.7 ミリ秒である。

【0017】

データ線駆動回路 140 は、映像処理回路 30 から供給されるデータ信号 V_x を、走査

10

20

30

40

50

制御回路 20 による制御信号 X_{ctr} にしたがって 1 ~ n 列目のデータ線 114 にデータ信号 $X_1 \sim X_n$ としてサンプリングする。

なお、本説明において電圧については、液晶素子 120 の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子 120 の印加電圧は、コモン電極 108 の電圧 $L C_{com}$ と画素電極 118 との電位差であり、他の電圧と区別するためである。

【0018】

さて、液晶素子 120 の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、例えば図 4 (a) に示されるような $V-T$ 特性で表される。このため、液晶素子 120 を、映像信号 V_{id-in} で指定された階調レベルに応じた透過率とさせるには、その階調レベルに応じた電圧を液晶素子 120 に印加すればよいはずである。しかしながら、液晶素子 120 の印加電圧を、映像信号 V_{id-in} で指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生する場合がある。

10

【0019】

この不具合は、液晶素子 120 において挟持された液晶分子が不安定な状態にあるときに、横電界の影響によって乱れる結果、以後、印加電圧に応じた配向状態になりにくくなるのが原因のひとつとして考えられている。液晶素子 120 への印加電圧が、ノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって閾値 V_{th1} (第 1 電圧) を下回る電圧範囲 A にあると、縦電界による規制力が配向膜による規制力よりもわずかに上回る程度であるため、液晶分子の配向状態が乱れやすい。これが、液晶分子が不安定な状態にあるときである。便宜的に、液晶素子の印加電圧が電圧範囲 A にある液晶素子の透過率範囲 (階調範囲) を「a」とする。また、以下の説明においては、階調範囲 a における階調レベルを特に区別する必要のないときは、その階調レベルを「a」と表すとともに、その階調レベルを得るための液晶素子への印加電圧を「 V_a 」と表すことがある。

20

【0020】

一方、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合をいい、これは、表示しようとする画像において黒レベルまたは黒レベルに近い暗画素と、白レベルまたは白レベルに近い明画素とが隣接する場合をいう。このうち、暗画素は、図 4 (a) に示すようなノーマリーブラックモードでは、印加電圧が電圧範囲 A にある液晶素子 120 であり、この暗画素に対して横電界を与えるのが明画素である。この明画素を特定するため、明画素を、印加電圧が閾値 V_{th2} (第 2 電圧) 以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲 B にある液晶素子 120 とする。便宜的に、液晶素子 120 の印加電圧が電圧範囲 B にある液晶素子の透過率範囲 (階調範囲) を「b」とする。また、以下の説明においては、階調範囲 b における各階調レベルを特に区別する必要のないときは、その階調レベルを「b」として表すとともに、その階調レベルを得るための液晶素子 120 への印加電圧を「 V_b 」と表すことがある。

30

なお、ノーマリーブラックモードにおいて、閾値 V_{th1} は、液晶素子の相対透過率を 10% とさせる光学的閾値電圧であり、閾値 V_{th2} は、液晶素子の相対透過率を 90% とさせる光学的飽和電圧と考えてよい。

40

【0021】

印加電圧が電圧範囲 A にある液晶素子は、電圧範囲 B にある液晶素子に隣接したときに、横電界を受けてリバースチルトドメインが発生しやすい状況にある。逆に、電圧範囲 B にある液晶素子は、電圧範囲 A にある液晶素子に隣接しても、縦電界の影響が支配的であるために安定状態にあるので、電圧範囲 A の液晶素子のようにリバースチルトドメインが発生することはない。

【0022】

この表示上の不具合の例について説明すると、映像信号 V_{id-in} で示される画像が例えば図 15 に示されるようなものである場合、詳細には、階調範囲 a の暗画素が階調範囲 b

50

の明画素を背景としてフレーム毎に1画素ずつ左方向に移動する場合、暗画素から明画素に変化すべき画素がリバースルトドメインの発生によって階調範囲bの階調にはならない、という一種の尾引き現象として顕在化する。この現象の原因のひとつとしては、暗画素と明画素とが隣接したときに、これらの画素同士の横電界が強くなって、その暗画素において液晶分子の配向が乱れるとともに、配向の乱れた領域が、暗画素の移動に伴って拡大したためであると考えられる。

したがって、液晶分子の配向乱れに起因する表示上の不具合の発生を抑えるためには、映像信号Vid-inで示される画像において暗画素と明画素とが隣接するときでも、液晶パネル100では、暗画素と明画素とを隣接させないことが重要となる。

【0023】

そこで、液晶パネル100の前段に設けられた映像処理回路30は、映像信号Vid-inで示される画像を解析して、階調範囲aの暗画素と階調範囲bの明画素とが隣接する状態があるか否かを検出する。そして、映像処理回路30は、暗画素と明画素との境界に隣接する明画素を含み、且つその境界の反対方向に向かって連続する2以上の明画素(つまり、印加電圧を高くすべき方の画素)について、各画素の階調レベルを、階調範囲bでもなく、階調範囲aでもない別の階調範囲cに属する階調レベルc1に補正する。階調範囲cは、階調範囲aを上回り、且つ階調範囲bを下回る階調レベルの範囲である。これにより、液晶パネル100では、明画素に対応する液晶素子120に対し、階調レベルc1に相当する電圧Vc1が印加されるので、横電界の影響を受けやすい画素(ノーマリーブラックモードでは暗画素)に対して強い横電界が発生しないことになる。

【0024】

次に、映像処理回路30の詳細について、図3を参照して説明する。図3に示すように、映像処理回路30は、補正部300、境界検出部302、遅延回路312およびD/A変換器316を備える。

遅延回路312は、FIFO(Fast In Fast Out:先入れ先出し)メモリーや多段のラッチ回路などにより構成され、上位装置から供給される映像信号Vid-inを蓄積して、所定時間経過後に読み出して映像信号Vid-dとして出力するものである。なお、遅延回路312における蓄積および読出は、走査制御回路20によって制御される。

【0025】

境界検出部302は、第1に、映像信号Vid-inで示される画像を解析して、階調範囲aにある画素(第1画素)と階調範囲bにある画素(第2画素)とが隣接する部分があるか否かを判別する。境界検出部302は、第2に、その隣接する部分があると判別したとき、その隣接部分である境界を検出する。

なお、ここでいう境界とは、階調範囲aにある画素と階調範囲bにある画素とが隣接する部分をいう。このため、例えば階調範囲aにある画素と階調範囲cにある画素とが隣接する部分や、階調範囲bにある画素と階調範囲cにある画素とが隣接する部分については、境界として扱わない。

【0026】

補正部300は、判別部310とセレクター314とを備える。判別部310は、遅延回路312によって遅延された映像信号Vid-dで示される画素の階調レベルが階調範囲bに属するか否か、および、その画素が境界検出部302で検出された境界に接しているか否かをそれぞれ判別する。判別部310は、その判別結果がいずれも「Yes」である場合に出力信号のフラグQを例えば「1」として出力し、その判別結果がいずれか1つでも「No」であれば「0」として出力する。また、判別部310は、或る明画素についてフラグQを「0」から「1」へ切り替えて出力したときには、それに続く2以上の明画素についてもフラグQを「1」として出力する。ここでは、判別部310は、3つ連続する明画素についてフラグQ「1」を出力する。

なお、境界検出部302は、少なくとも複数ラインの映像信号を蓄積してからでないと、表示すべき画像における境界を検出することができないので、映像信号Vid-inの供給タイミングを調整する意味で遅延回路312が設けられている。このため、上位装置から

10

20

30

40

50

供給される映像信号 Vid-in のタイミングと、遅延回路 312 から供給される映像信号 Vid-d のタイミングとは異なるので、厳密に言えば、両者の水平走査期間等については一致しないことになるが、以降については特に区別しないで説明する。

【0027】

セレクター 314 は、制御端子 Sel に供給されたフラグ Q に応じて入力端 a、b のいずれかを選択し、選択した入力端に供給された信号を出力端 Out から映像信号 Vid-out を出力する。セレクター 314 において、入力端 a に遅延回路 312 による映像信号 Vid-d が供給され、入力端 b に補正用として階調レベル c1 の映像信号が供給される。セレクター 314 は、制御端子 Sel に供給されたフラグ Q が「1」であれば、入力端 b を選択し、該フラグ Q が「0」であれば、入力端 a を選択して、いずれか一方に入力される映像信号を映像信号 Vid-out として出力する。

10

【0028】

D/A 変換器 316 は、デジタルデータである映像信号 Vid-out を、アナログのデータ信号 Vx に変換する。液晶 105 に直流成分が印加されるのを防止するため、データ信号 Vx の電圧は、ビデオ振幅中心である電圧 Vc に対して高位側の正極性電圧と低位側の負極性電圧とに例えばフレーム毎に交互に切り替えられる。

なお、コモン電極 108 に印加される電圧 LC com は、電圧 Vc とほぼ同電圧と考えてよいが、n チャンネル型の TFT 116 のオフリーク等を考慮して、電圧 Vc よりも低位となるように調整されることがある。

【0029】

フラグ Q が「1」である場合、境界に対し暗画素に対して反対側に隣接する明画素を原因として、横電界の影響を与えリバーサチルトドメインが発生しやすい状況にあることを意味する。フラグ Q が「1」である場合、セレクター 314 は入力端 b を選択するので、階調範囲 b の階調レベルを指定する映像信号 Vid-d は、階調レベル c1 を指定する映像信号に補正されてから、映像信号 Vid-out として出力される。一方、フラグ Q が「0」であれば、セレクター 314 では、入力端 a が選択されるので、遅延させた映像信号 Vid-d が映像信号 Vid-out として出力される。

20

【0030】

ここで、液晶表示装置 1 の表示動作について説明すると、上位装置からは、映像信号 Vid-in が、フレームにわたって 1 行 1 列 ~ 1 行 n 列、2 行 1 列 ~ 2 行 n 列、3 行 1 列 ~ 3 行 n 列、...、m 行 1 列 ~ m 行 n 列の画素の順番で、供給される。映像処理回路 30 は、映像信号 Vid-in を遅延・置換等の処理をして映像信号 Vid-out として出力する。

30

ここで、1 行 1 列 ~ 1 行 n 列の映像信号 Vid-out が出力される水平有効走査期間 (Ha) でみたときに、処理された映像信号 Vid-out は、D/A 変換器 316 によって、図 5 (b) で示すように正極性または負極性のデータ信号 Vx に、ここでは例えば正極性に変換される。このデータ信号 Vx は、データ線駆動回路 140 によって 1 ~ n 列目のデータ線 114 にデータ信号 X1 ~ Xn としてサンプリングされる。

一方、1 行 1 列 ~ 1 行 n 列の映像信号 Vid-out が出力される水平走査期間では、走査制御回路 20 が走査線駆動回路 130 に対し走査信号 Y1 だけを H レベルとなるように制御する。走査信号 Y1 が H レベルであれば、1 行目の TFT 116 がオン状態になるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある TFT 116 を介して画素電極 118 に印加される。これにより、1 行 1 列 ~ 1 行 n 列の液晶素子には、それぞれ映像信号 Vid-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

40

続いて、2 行 1 列 ~ 2 行 n 列の映像信号 Vid-in は、同様に映像処理回路 30 によって処理されて、映像信号 Vid-out として出力されるとともに、D/A 変換器 316 によって正極性のデータ信号に変換された上で、データ線駆動回路 140 によって 1 ~ n 列目のデータ線 114 にサンプリングされる。

2 行 1 列 ~ 2 行 n 列の映像信号 Vid-out が出力される水平走査期間では、走査線駆動回路 130 によって走査信号 Y2 だけが H レベルとなるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある 2 行目の TFT 116 を介して画素電極 118 に

50

印加される。これにより、2行1列～2行n列の液晶素子には、それぞれ映像信号 Vid-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

以下同様な書込動作が3、4、…、m行目に対して実行され、これにより、各液晶素子に、映像信号 Vid-out で指定された階調レベルに応じた電圧が書き込まれて、映像信号 Vid-in で規定される透過像が作成されることとなる。次のフレームでは、データ信号の極性反転によって映像信号 Vid-out が負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0031】

図5(b)は、映像処理回路30から、水平走査期間(H)にわたって1行1列～1行n列の映像信号 Vid-out が出力されたときのデータ信号 Vx の一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号 Vx は、正極性であれば、基準電圧 Vcnt に対し、映像処理回路30によって処理された階調レベルに応じた分だけ高位側の電圧(図において $V_{w(+)}$ で示す)になる。データ信号 Vx は、負極性であれば、基準電圧 Vcnt に対し、階調レベルに応じた分だけ低位側の電圧(図において $V_{w(-)}$ で示す)になる。詳細には、データ信号 Vx の電圧は、正極性であれば、白に相当する電圧 $V_{w(+)}$ から黒に相当する電圧 $V_{b(+)}$ までの範囲で、一方、負極性であれば、白に相当する電圧 $V_{w(-)}$ から黒に相当する電圧 $V_{b(-)}$ までの範囲で、それぞれ基準電圧 Vcnt から階調に応じた分だけ偏位させた電圧となる。電圧 $V_{w(+)}$ および電圧 $V_{w(-)}$ は、電圧 Vcnt を中心に互いに対称の関係にある。電圧 $V_{b(+)}$ および $V_{b(-)}$ についても電圧 Vcnt を中心に互いに対称の関係にある。

なお、図5(b)は、データ信号 Vx の電圧波形を示すものであって、液晶素子120に印加される電圧(画素電極118とコモン電極108との電位差)とは異なる。また、図5(b)におけるデータ信号の電圧の縦スケールは、図5(a)における走査信号等の電圧波形と比較して拡大してある。

【0032】

次に、映像処理回路30による処理の具体例について説明する。

映像信号 Vid-in で示される画像が例えば図6(1)に示すものである場合、境界検出部302によって検出される境界は、図6(2)に示すとおりである。

映像処理回路30では、検出された境界に隣接し、階調レベルが階調範囲bに属する明画素であってその境界の反対方向に向かって連続する2以上の明画素を補正の対象とする。この補正対象となる明画素群のことを、以下では「補正対象明画素群」と称する。ここでは、補正対象明画素群の各画素について、階調レベルc1の映像信号に補正される。補正対象明画素群は、ここでは3つの連続する明画素により構成される。階調レベルc1は、閾値 Vth1 以上閾値 Vth2 を下回るいずれかの印加電圧により得られるものであればよいが、この補正を施さない場合の明度から10%以内の変化で収まることが好ましい。

以上の処理により、図6(1)で示される画像は、映像処理回路30によって図6(3)に示されるような階調レベルに補正される。

【0033】

仮に、映像信号 Vid-in を映像処理回路30で処理しないで液晶パネル100に供給する構成としたとき、正極性書込である場合、画素電極の電位は、例えば図7(a)に示すとおりである。すなわち、明画素の画素電極の電位は、正極性書込であれば暗画素の画素電極の電位よりも低くなるが、その電位差が大きいので、横電界の影響を受けやすくなる。一方、負極性である場合、電圧 Vc (ほぼ電圧 LC com に等しい)を基準にして対称となり、電位の高低関係が逆転するが、電位差が大きいことには変わりはないので、やはり横電界の影響を受けやすくなる。

【0034】

これに対し、映像処理回路30の構成によれば、図7(a)の表示が映像信号 Vid-in で指定される場合、図7(b)で示されるように、画素電極の電位が引き下げられる。これにより、画素電極同士の電位差が段階的に変化するので、横電界の影響を抑えることが可能となる。これによって、階調範囲aの暗画素が階調範囲bの明画素を背景としてフレ

10

20

30

40

50

ーム毎に左方向に移動する場合であっても、リバーチルトドメインの発生は抑制されているので、図15に示されるように尾引き現象の発生は目立たなくなる。

【0035】

ここで、液晶パネル100の表示画面が更新される時間間隔を S （ミリ秒）とし、補正部310により補正対象明画素群の各画素の印加電圧が補正されて、電圧 V_{c1} に切り替わったときの液晶素子120の配向状態になるまでの応答時間を T （ミリ秒）とする。例えば、液晶パネル100が等倍速で駆動される場合、時間間隔 S は、フレームに等しい16.7ミリ秒である。このため、 $S (= 16.7) > T$ であれば、階調レベル $c1$ とする明画素は境界に隣接する1画素のみで足りる。一方、近年では、2倍速、4倍速、...というように、液晶パネル100の駆動がより高速化する傾向がある。このような高速駆動であっても、上位装置からは供給される映像信号 V_{id-in} は、等速駆動と同様にフレーム毎に1コマ分である。このため、 n フレームと $(n+1)$ フレームとの間では、動画表示視認特性を向上させる等のために、補間技術等によって両フレームの中間的な画像が生成されて、液晶パネル100に表示させる場合がある。例えば2倍速駆動の場合、表示画面が更新される時間間隔は、半分の8.35（ミリ秒）となる。このため、各フレームは第1フィールドと第2フィールドとの2つに分割されるとともに、第1フィールドでは、例えば自フレームの画像を表示させる更新がなされ、第2フィールドでは、当該自フレームの画像と後のフレームの画像とに相当する補間画像を表示させる更新がなされる。したがって、高速駆動であっても、フレームを分割したフィールドにおいて、画像パターンが1画素分ずつ移動する場合があります。

10

20

【0036】

映像信号 V_{id-in} が1コマ分供給されるフレームの時間を F （ミリ秒）とし、これの U 倍速（ U は整数）で液晶パネルを駆動するとき、1フィールドの時間は、 F を U で割った値となり、これが表示画面の更新される時間間隔 S となる。

このため、例えば1フレームが16.7ミリで供給される映像信号 V_{id-in} に対して液晶パネル100を2倍速で駆動するとき、表示画面が更新される時間間隔 S は、半分の8.35ミリ秒である。ここで、上記応答時間 T が仮に2.4ミリ秒であったとすると、補正対象明画素群として好ましい画素数は、「24」を「8.35」で割った値が「2.874...」であるから、この値のうちの整数部「2」に「1」を加えた「3」ということになる。このように、 $S < T$ であるとき、補正対象明画素群の画素数については、応答時間 T を時間間隔 S で割った値の整数部の値を最低数とすればよい。この構成によれば、液晶パネル100が2倍速以上される場合等、液晶素子の応答時間が、表示画面が更新される時間間隔より長くなる場合でも、補正対象明画素群の数を適切に設定することで、上述したリバーチルトドメインに起因する表示上の不具合の発生を事前に回避することが可能となる。

30

また、映像信号 V_{id-in} で規定される画像のうち、境界付近の画素の階調レベルが局所的に補正されるので、その補正による表示画像の変更がユーザーに知覚される可能性も小さい。また、液晶パネル100の構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

40

【0037】

また、この実施形態では、液晶105をVA方式としたノーマリーブラックモードとして説明したが、液晶105を例えばTN方式として、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードとしてもよい。ノーマリーホワイトモードとしたとき、液晶素子120の印加電圧と透過率との関係は、例えば図4(b)に示されるような $V-T$ 特性で表され、印加電圧が高くなるにつれて透過率が減少する。横電界の影響を受ける画素は、印加電圧が低い方の画素であることに変わりはないが、ノーマリーホワイトモードにおいて印加電圧が低い方の画素は明画素となる。このため、ノーマリーホワイトモードにおいて、映像処理回路30は、印加電圧が閾値 V_{th1} であるときの透過率よりも大きい明画素（第1画素）と印加電圧が閾値 V_{th2} であるときの透過率以下の暗画

50

素（第2画素）とが隣接する状況である場合に、映像信号 Vid-in で指定される暗画素群の階調レベルを階調レベル c1 に補正すればよい。

ノーマリーホワイトモードにおいても、3つの連続する暗画素を階調レベル c1 に補正する構成に限らず、液晶素子 120 の応答時間と液晶パネル 100 の駆動速度等を考慮してその数をさらに多くてもよい。

【0038】

< 第2実施形態 >

次に、本発明の第2実施形態について説明する。

以下の説明において、第1実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

上述した第1実施形態では、映像信号 Vid-in の解析によって暗画素と明画素とが隣接するときに、印加電圧が高い側の画素群の階調レベルを補正していた。これに対し、横電界を更に小さくするために、電界の影響を受けやすい画素（ノーマリーブラックモードでは暗画素）である、印加電圧が低い側の画素への印加電圧を高くしてもよい。

【0039】

図8は、この実施形態に係る映像処理回路30の構成を示すブロック図である。

この実施形態の映像処理回路30が、上述の第1実施形態の構成と相違する部分は、算出部318が追加された点と、判別部310の判別内容が変更された点とにある。

ノーマリーブラックモードを例にとると、算出部318は、遅延回路312によって遅延された映像信号 Vid-d で示される画素の階調レベルが、階調範囲 b に属する明画素であれば階調レベル c1 を出力し、階調範囲 a に属する暗画素であれば、階調レベル c2 を出力する。

判別部310は、第1に、遅延回路312によって遅延された映像信号 Vid-d で示される画素の階調レベルが階調範囲 b に属するか否か、および、その画素が境界検出部306で検出された境界に隣接しているか否かをそれぞれ判別する。判別部310は、その判別結果がいずれも「Yes」である場合に、出力信号のフラグQを例えば「1」として出力し、その判別結果がいずれか1つでも「No」であれば「0」として出力する。判別部310は、或る明画素についてフラグQを「0」から「1」へ切り替えて出力したときには、検出された境界とは反対側に連続する、2以上の明画素についてもフラグQを「1」として出力する。ここでは、判別部310は、2つの連続する明画素についてフラグQを「1」として出力する。判別部310は、第2に、遅延回路312によって遅延された映像信号 Vid-d で示される画素の階調レベルが階調範囲 a に属するか否か、および、その画素が境界検出部302で検出された境界に隣接しているか否かをそれぞれ判別する。判別部310は、その判別結果がいずれも「Yes」である場合に、出力信号のフラグQを例えば「1」として出力し、その判別結果がいずれか1つでも「No」であれば「0」として出力する。判別部310は、或る暗画素についてフラグQを「0」から「1」へ切り替えて出力したときには、検出された境界とは反対側に連続する、2以上の暗画素についてもフラグQを「1」として出力する。ここでは、判別部310は、2つの連続する明画素についてフラグQを「1」として出力する。

判別部310から出力されるフラグQが「1」であれば、映像信号 Vid-d は、算出部318から出力される階調レベルに補正され、映像信号 Vid-out として出力される。

【0040】

映像処理回路30による処理の具体例について説明する。

映像信号 Vid-in で示される画像が例えば図9(1)に示されるものである場合、境界検出部302によって検出される境界は、図9(2)に示されるとおりである。

映像処理回路30では、上述の第1実施形態と同じ手順で、2以上の明画素を含む補正対象明画素群を階調レベル c1 に補正する一方で、検出された境界に対して補正対象明画素群の反対側で隣接し、暗画素が2以上連続する暗画素群（以下、「補正対象暗画素群」という。）について、階調レベル c2 の映像信号に補正する。補正対象暗画素群は、ここでは2つの連続する暗画素により構成される。階調レベル c2 は、閾値 Vth1 以上で、且つ電圧 V

10

20

30

40

50

c1を下回るいずれかの印加電圧により得られるものである。すなわち、図4に示したとおり、階調レベルc2は、階調範囲cに属する階調レベルであるとともに、階調レベルc1を下回る階調レベルである。

【0041】

仮に、映像信号Vid-inを映像処理回路30で処理しないで液晶パネル100に供給する構成としたとき、階調範囲aに属する暗画素と階調範囲bに属する明画素とにおいて、画素電極の電位は、正極性書込であれば図10(a)で示されるとおりであり、暗画素と明画素との間における横電界が大きくなる。これに対して本例では、図10(b)に示されるように、暗画素群の液晶素子への印加電圧が高くなるように補正されるので、近接する画素同士の電位差を更に小さくすることができ、第1実施形態の構成よりも横電界の影響をより一層抑制することが可能となる。また、この実施形態では、境界を挟んで隣接する暗画素及び明画素からなる画素群(4画素)について階調レベルが置き換えられる。よって、液晶パネル100が2倍速以上される場合等、液晶素子の応答時間が表示画面が更新される時間間隔より長くなる場合でも、上述したリバースチルトドメインに起因する表示上の不具合の発生を事前に回避することが可能となる。

10

【0042】

なお、ここでは、補正対象暗画素群および補正対象明画素群をそれぞれ2つの連続する画素としていたが、この数は「2」に限らず、液晶素子120の応答時間と液晶パネル100の駆動速度等を考慮してその数をさらに多くてもよい。

また、この実施形態においても、液晶105を例えばTN方式として、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードとしてもよい。ノーマリーホワイトモードとしたとき、映像処理回路30は、印加電圧が閾値V_{th1}であるときの透過率よりも大きい明画素と印加電圧が閾値V_{th2}であるときの透過率以下の暗画素とが隣接するような状況である場合に、各画素の階調レベルを補正すればよい。

20

【0043】

< 第3実施形態 >

次に、本発明の第3実施形態について説明する。

以下の説明において、第1、2実施形態と同じ構成については同一の符号を付して表し、その詳細な説明については適宜省略する。

この実施形態の映像処理回路30による補正処理の具体例について、図11~図13を参照しつつ説明する。これら各図の(a)~(c)のそれぞれにおいて、各矩形が1画素に対応しており、矩形の内側に示すアルファベット、またはアルファベット及び数値の組み合わせは、各階調レベルに対応している。また、P1~P12は各画素を区別するための符号であり、図中左から右に向かって末尾の数字が大きくなる。また、各矩形の下部のグラフにおいて、横軸は各画素の位置を表し、縦軸は各画素位置の画素に対応する液晶素子の印加電圧を表す。

30

【0044】

ここで、上述の第2実施形態の構成により階調レベルが補正された画像が、図11(a)に示されるものである場合を考える。このとき、階調レベルc1である補正対象明画素群Pix1と、階調レベルc2である補正対象暗画素群Pix2とがその画素列の方向に隣接している。また、補正対象暗画素群Pix2に対して補正対象明画素群Pix1の反対側には、補正対象暗画素群Pix2でない暗画素が連続している。この暗画素群のことを、補正対象暗画素群Pix2と区別するために、以下では、隣接暗画素群Pix3と称する。隣接暗画素群Pix3は、各画素(第3画素)の階調レベルが階調範囲aに含まれるものである。

40

ところで、ユーザーにより知覚されるべき境界の位置は、本来境界B1のみであるが、リバースチルトドメインを抑制するための階調補正を行うことにより、補正対象暗画素群Pix2の階調レベルが隣接暗画素群Pix3よりも高くなるから、境界B2もユーザーに知覚されることがある。

そこで、この実施形態の映像処理回路30では本来視認されるべきでない境界が目立たないようにするために、以下に説明する境界補正を行う。

50

【 0 0 4 5 】

< A . 補正対象暗画素群に対する境界補正 >

まず、補正対象暗画素群Pix2に対する境界補正について説明する。

図 1 1 (b) に示すように、映像処理回路 3 0 では、隣接暗画素群Pix3の階調レベルが、補正対象暗画素群Pix2の階調レベルを上回らないように、各画素の階調レベルを高くする。この階調レベルについては、算出部 3 1 8 が階調レベルを補正して出力することで実現可能である。ここでは、隣接暗画素群Pix3のうち画素 P 9 ~ P 1 1 のそれぞれの階調レベルが a から c3 (ただし、 $a < c3 < c2$) に補正されている。階調レベル c3 を得るための液晶素子 1 2 0 への印加電圧は Vc3 であり、Vc3 は、電圧 Va を上回るとともに電圧 Vc2 を下回る印加電圧である。この印加電圧の補正により、隣接暗画素群Pix3の階調レベルが、補正対象暗画素群Pix2の階調レベル「c1」と階調レベル「a」との間となるので、境界補正を行わない場合に比べて、画素 P 8、P 9 間の境界が B 2 視認されにくくなる。

10

【 0 0 4 6 】

また、図 1 1 (c) に示すように、映像処理回路 3 0 では、隣接暗画素群Pix3の各画素を互いに同じ階調レベルにするのではなく、境界 B 2 に近づくとつれて次第に各画素の階調レベルが高くなるようにしてもよい。ここでは、画素 P 1 1 の階調レベルを c33 とし、画素 P 1 0 の階調レベルを c32 とし、画素 P 9 の階調レベルを c31 としている。これにより境界 B 2 を更に目立たなくすることができる。

また、階調レベル c1 である補正対象明画素群Pix1に対して境界 B 1 の反対側には、補正対象明画素群Pix1でない明画素が連続している。この明画素群のことを、補正対象明画素群Pix1と区別するために、以下では「隣接明画素群Pix4」と称する。隣接明画素群Pix4は、各画素(第 4 画素)の階調レベルが階調範囲 b に含まれるものである。ここで、補正対象明画素群Pix1の階調レベルは隣接明画素群Pix4よりも低いから、図 1 2 (a) に示す境界 B 3 がユーザーに知覚されることがある。

20

そこで、映像処理回路 3 0 では境界 B 3 が目立たないようにするために、以下に説明する境界補正を行うようにしてもよい。

【 0 0 4 7 】

< B . 補正対象明画素群に対する境界補正 >

図 1 2 (b) に示すように、映像処理回路 3 0 では、隣接明画素群Pix4の階調レベルが、補正対象明画素群Pix1の階調レベルを上回らないように、隣接明画素群Pix4の各画素の階調レベルを低くする。ここでは、隣接明画素群Pix4のうち画素 P 2 ~ P 4 のそれぞれの階調レベルが b から c4 (ただし、 $c1 < c4 < b$) に補正されている。階調レベル c4 を得るための液晶素子 1 2 0 への印加電圧は Vc4 である。電圧 Vc4 は、電圧 Vb を下回るとともに Vc1 を上回る印加電圧である。この印加電圧の補正により、隣接明画素群Pix4の階調レベルが、補正対象明画素群Pix1の階調レベル「c1」と階調レベル「b」との間となるので、境界補正を行わない場合に比べて、画素 P 4、P 5 間の境界 B 3 が視認されにくくなる。

30

【 0 0 4 8 】

また、図 1 2 (c) に示すように、映像処理回路 3 0 では、隣接明画素群Pix4の各画素を互いに同じ階調レベルにするのではなく、境界 B 3 に近づくとつれて次第に各画素の階調レベルが低くなるようにしてもよい。ここでは、画素 P 2 の階調レベルを c41 とし、画素 P 3 の階調レベルを c42 とし、画素 P 4 の階調レベルを c43 としている。これにより境界 B 3 を更に目立たなくすることができる。

40

なお、この補正対象明画素群に対する境界補正は、第 2 実施形態の映像処理回路 3 0 に算出部 3 1 8 を備えることで実現されてもよい。

【 0 0 4 9 】

< C . 補正対象暗画素群、及び補正対象明画素群に対する補正 >

映像処理回路 3 0 では、図 1 1 を用いて説明した上記 < A . 補正対象暗画素群に対する境界補正 >、及び図 1 2 を用いて説明した < B . 補正対象明画素群に対する境界補正 > に対応する補正の両方を行ってもよい。これにより、境界 B 2、B 3 の双方を目立たなくすることができる。

50

なお、この境界補正において階調レベルを補正する暗画素および明画素の画素数を、ここでは連続する3画素としていたが、これ以外の数であってもよい。一例として、1～6画素とすれば十分な境界補正の効果を奏する。

【0050】

また、この実施形態の境界補正を以下のようにして行ってもよい。

図13(a)に示す例では、映像処理回路30は、補正対象暗画素群pix1の階調レベルを変化させ、隣接暗画素群Pix3の階調レベルを変化させていない。具体的には、映像処理回路30は、画素P8の階調レベルを、隣接画素群Pix3よりも高く、且つ階調レベルc2よりも低い階調レベルc3としている。この場合も、画素P8、P9という互いに隣り合う画素どうしの階調レベルの差(印加電圧の差)が小さくなるので、境界B2をユーザーに知覚されにくくすることができる。また、図13(b)に示すように、映像処理回路30は、補正対象暗画素群pix2の階調レベルを変化させ、隣接明画素群Pix4の階調レベルを変化させないようにしてもよい。具体的には、映像処理回路30は、画素P5の階調レベルを、隣接画素群Pix4よりも低く、且つ階調レベルc1よりも高い階調レベルc4としている。この場合も、画素P4、P5という互いに隣り合う画素どうしの階調レベルの差が小さくなるので、境界B3をユーザーに知覚されにくくすることができる。

このように、映像処理回路30が、リバースチルトドメインの抑制を目的として階調レベルが補正された画素群と、その画素群に対して境界とは反対側に隣接する画素群との階調レベルの差(つまり、電位差)を小さくする補正を行うことで、本来なかった境界が視認されることを抑制することができる。

【0051】

<変形例>

上述した各実施形態において、映像信号Vid-inは、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしてもよい。映像信号Vid-inが液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすればよい。

上述した各実施形態において、補正対象明画素群や補正対象暗画素群の各画素の階調レベルはそれぞれ同じでなくてもよい。

また、各実施形態において、液晶素子120は、透過型に限られず、反射型であってもよい。さらに、液晶素子120は、ノーマリーブラックモードに限られず、ノーマリーホワイトモードでもよいのは上述したとおりである。

また、この実施形態においても、液晶105を例えばTN方式として、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードとしてもよい。この場合も、映像処理回路30では、隣接する補正対象暗画素群の暗画素に対応する液晶素子への印加電圧との差が小さくなるように、隣接暗画素群に対応する印加電圧を高くしたり、隣接する補正対象明画素群の明画素に対応する液晶素子への印加電圧との差が小さくなるように、隣接明画素群に対応する印加電圧を低くしたりすればよい。

【0052】

<電子機器>

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル100をライトバルブとして用いた投射型表示装置(プロジェクター)について説明する。図14は、このプロジェクターの構成を示す平面図である。

この図に示されるように、プロジェクター2100の内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR(赤)色、G(緑)色、B(青)色の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【 0 0 5 3 】

このプロジェクター 2 1 0 0 では、液晶パネル 1 0 0 を含む液晶表示装置が、R 色、G 色、B 色のそれぞれに対応して 3 組設けられる。ライトバルブ 1 0 0 R、1 0 0 G および 1 0 0 B の構成は、上述した液晶パネル 1 0 0 と同様である。R 色、G 色、B 色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ 1 0 0 R、1 0 0 G および 1 0 0 がそれぞれ駆動される構成となっている。

ライトバルブ 1 0 0 R、1 0 0 G、1 0 0 B によってそれぞれ変調された光は、ダイクロイックプリズム 2 1 1 2 に 3 方向から入射する。そして、このダイクロイックプリズム 2 1 1 2 において、R 色および B 色の光は 9 0 度に屈折する一方、G 色の光は直進する。したがって、各原色の画像が合成された後、スクリーン 2 1 2 0 には、投射レンズ 2 1 1 4 によってカラー画像が投射されることとなる。

10

【 0 0 5 4 】

なお、ライトバルブ 1 0 0 R、1 0 0 G および 1 0 0 B には、ダイクロイックミラー 2 1 0 8 によって、R 色、G 色、B 色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ 1 0 0 R、1 0 0 B の透過像は、ダイクロイックプリズム 2 1 1 2 により反射した後に投射されるのに対し、ライトバルブ 1 0 0 G の透過像はそのまま投射されるので、ライトバルブ 1 0 0 R、1 0 0 B による水平走査方向は、ライトバルブ 1 0 0 G による水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

20

【 0 0 5 5 】

電子機器としては、図 1 4 を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニター直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

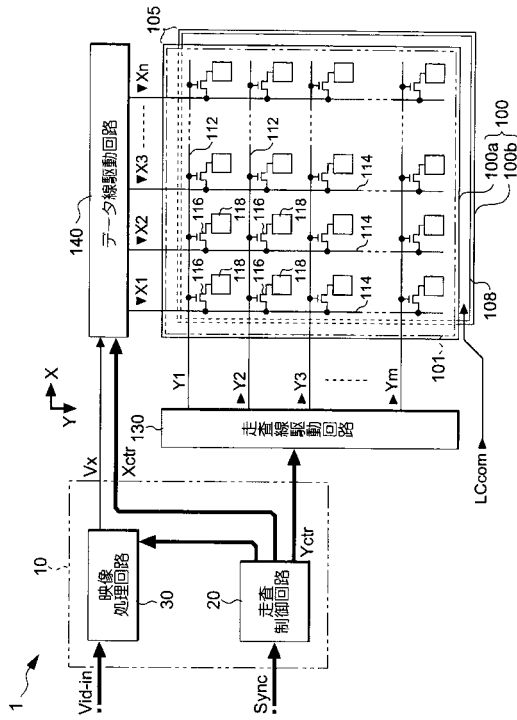
【 符号の説明 】

【 0 0 5 6 】

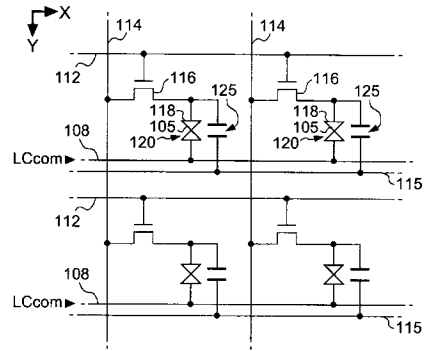
1 ... 液晶表示装置、3 0 ... 映像処理回路、1 0 0 ... 液晶パネル、1 0 0 a ... 素子基板、1 0 0 b ... 対向基板、1 0 5 ... 液晶、1 0 8 ... コモン電極、1 1 8 ... 画素電極、1 2 0 ... 液晶素子、3 0 2 ... 境界検出部、3 1 0 ... 判別部、3 1 4 ... セレクター、3 1 6 ... D / A 変換器、2 1 0 0 ... プロジェクター。

30

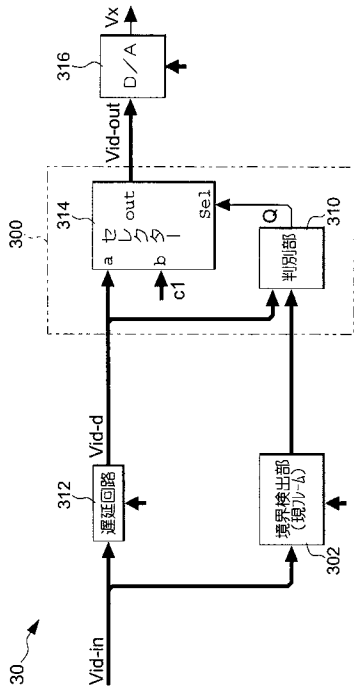
【図 1】



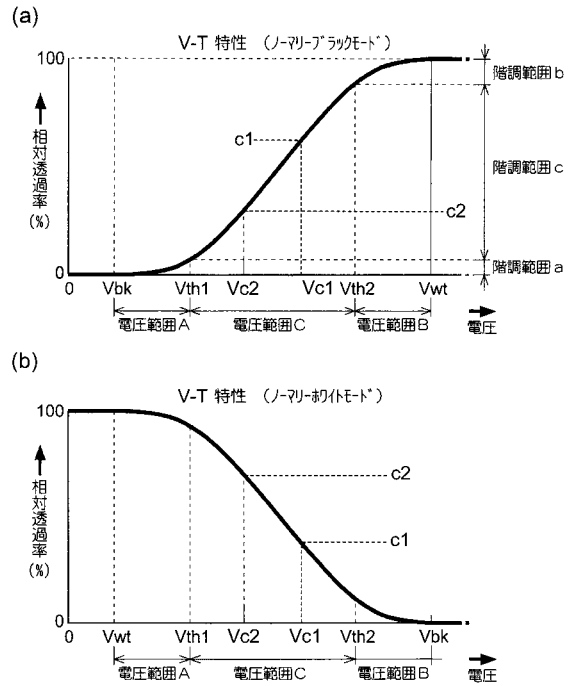
【図 2】



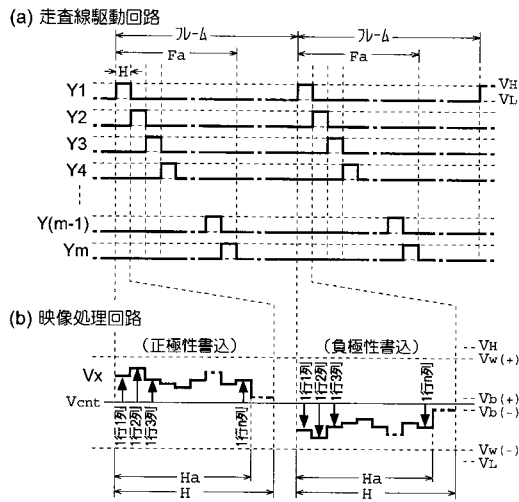
【図 3】



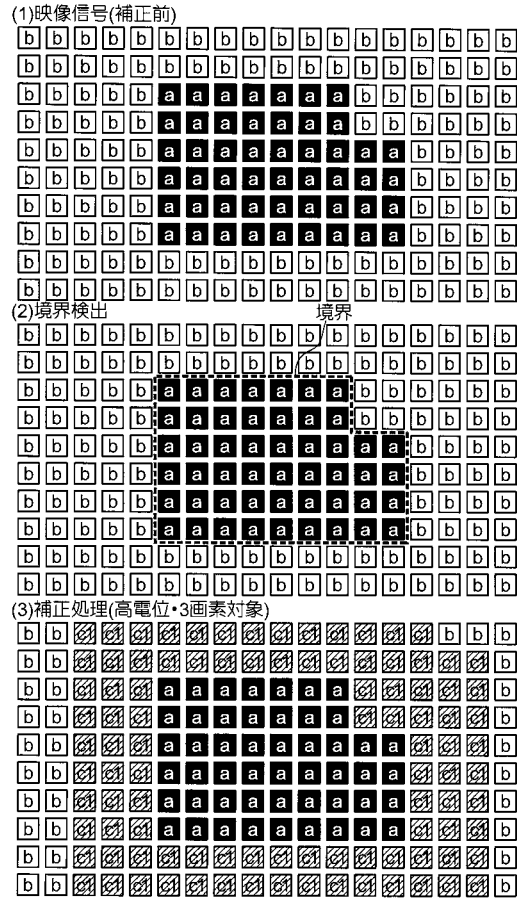
【図 4】



【 図 5 】

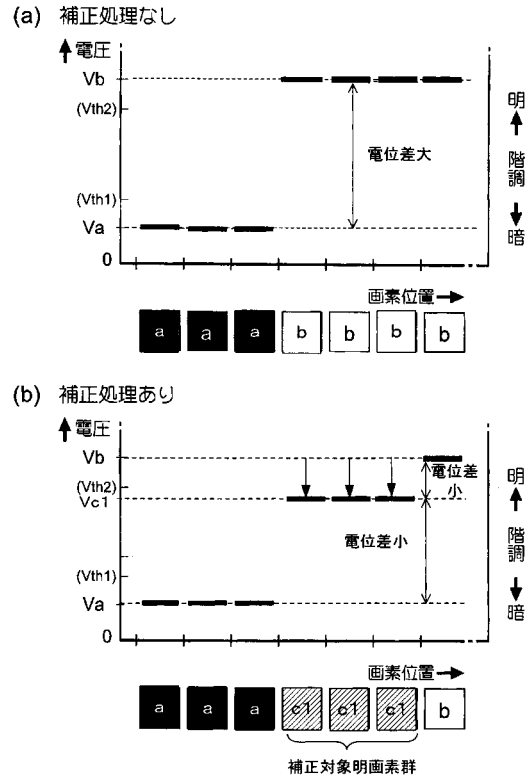


【 図 6 】

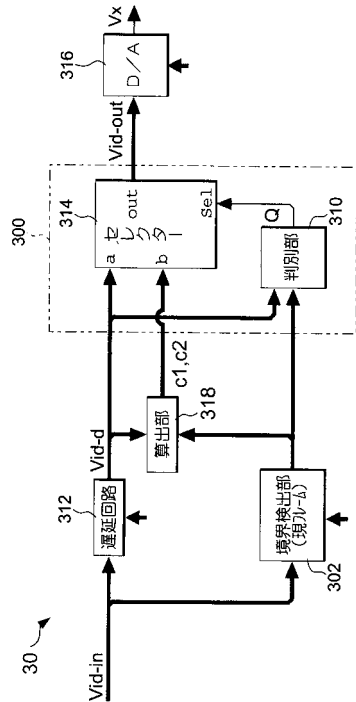


【 図 7 】

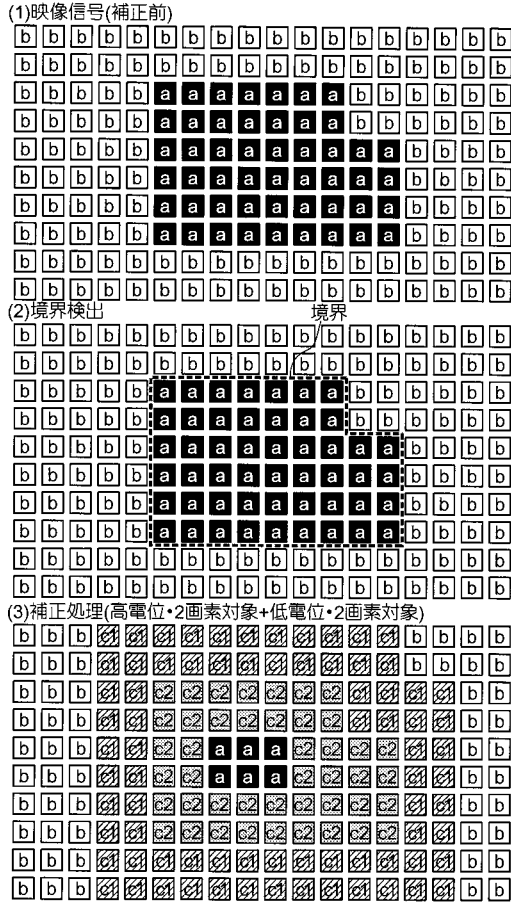
<ノーマリブラックモード>



【 図 8 】



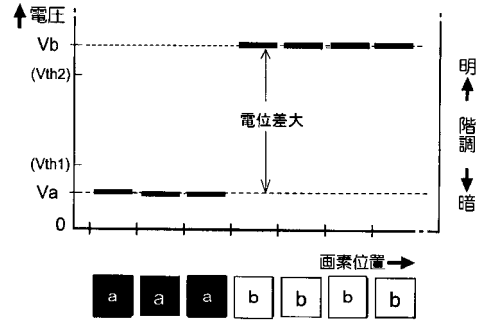
【 図 9 】



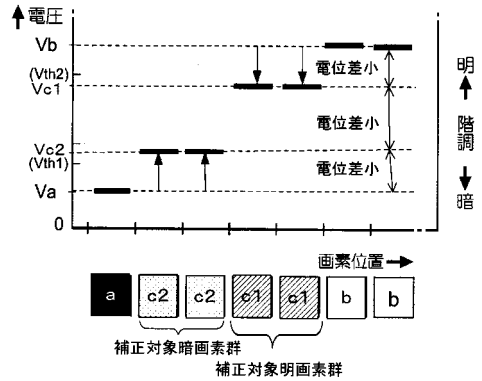
【 図 1 0 】

<ノーマリブランクモード>

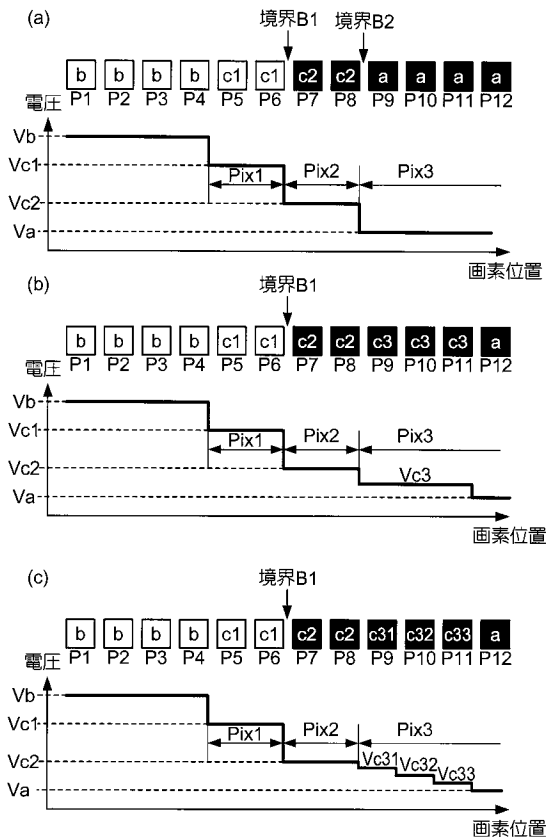
(a) 補正処理なし



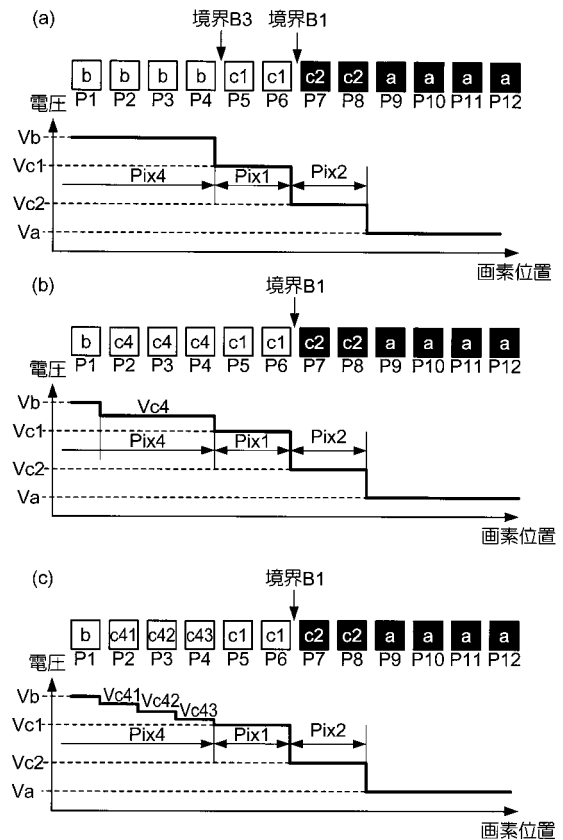
(b) 補正処理あり



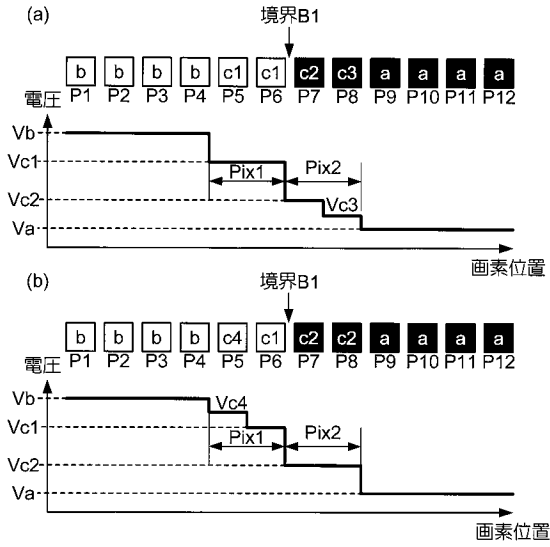
【 図 1 1 】



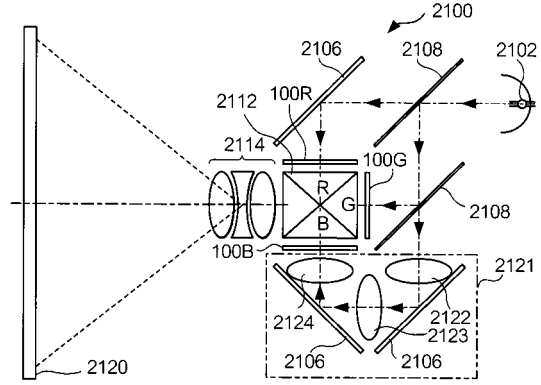
【 図 1 2 】



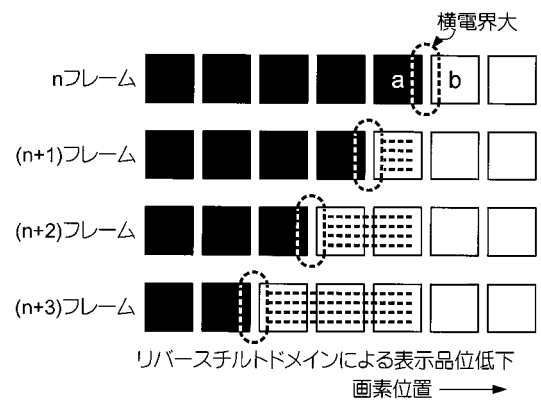
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

G 0 2 F 1/133 5 0 5

Fターム(参考) 2H193 ZA04 ZA07 ZB02 ZB03 ZC16 ZC25 ZD01 ZD02 ZD23 ZE03
ZF12 ZF18 ZQ06 ZQ11 ZR04
5C006 AA16 AA22 AC27 AF45 AF46 AF64 AF83 BB16 BF24 EC11
5C080 AA10 BB05 CC03 DD03 EE29 EE30 FF11 JJ01 JJ02 JJ03
JJ04 JJ05 JJ06

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 图像处理电路，其处理方法，液晶显示装置和电子设备 | | |
| 公开(公告)号 | JP2011170235A | 公开(公告)日 | 2011-09-01 |
| 申请号 | JP2010035770 | 申请日 | 2010-02-22 |
| [标]申请(专利权)人(译) | 精工爱普生株式会社 | | |
| 申请(专利权)人(译) | 精工爱普生公司 | | |
| [标]发明人 | 飯坂英仁 保坂宏行 | | |
| 发明人 | 飯坂 英仁 保坂 宏行 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| CPC分类号 | G09G3/2096 G09G3/3648 G09G2320/0209 G09G2370/08 | | |
| FI分类号 | G09G3/36 G09G3/20.680.C G09G3/20.612.U G09G3/20.641.C G09G3/20.641.P G02F1/133.550 G02F1/133.505 G09G3/20.621.F | | |
| F-TERM分类号 | 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZC16 2H193/ZC25 2H193/ZD01 2H193/ZD02 2H193/ZD23 2H193/ZE03 2H193/ZF12 2H193/ZF18 2H193/ZQ06 2H193/ZQ11 2H193/ZR04 5C006/AA16 5C006/AA22 5C006/AC27 5C006/AF45 5C006/AF46 5C006/AF64 5C006/AF83 5C006/BB16 5C006/BF24 5C006/EC11 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 | | |
| 代理人(译) | 须泽 修 宫坂和彦 | | |
| 其他公开文献 | JP5598014B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：抑制由于横向电场的影响而导致的显示质量下降。 解决方案：液晶面板100与设置在元件基板100a上的像素电极118相对 并且，公共电极108设置在基板100b上，液晶元件夹在其中的液晶元件105 中 A.在常黑模式中，图像处理电路30产生视频信号Vid-in 与指定的灰度级对应的液晶元件的施加电压低于阈值Vth 1的暗像素和阈值 检测具有值 Vth 2或更大的亮像素的边界，以及与检测到的边界相邻的亮像素 大于电 压Vc 1，施加到边界的电压朝向暗像素的相反方向增加 对应于多个连续 亮像素（这里是三个像素）的施加电压由视频信号指定 从对应于灰度级 的施加电压到电压Vc 1。 点域1

