

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-164328

(P2011-164328A)

(43) 公開日 平成23年8月25日(2011.8.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 622B	2H193
G02F 1/1368 (2006.01)	G09G 3/20 621J	5C006
G02F 1/133 (2006.01)	G09G 3/20 670N	5C080
	G02F 1/1368	
審査請求 未請求 請求項の数 8 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2010-26238 (P2010-26238)
 (22) 出願日 平成22年2月9日 (2010.2.9)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 國森 隆志
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 Fターム(参考) 2H092 GA50 GA59 JA24 JA31 JA32
 KA05 NA21 PA06
 2H193 ZA04 ZF21 ZF24
 5C006 AF42 AF53 AF64 AF65 AF68
 BB16 BC03 BC20 BF34 BF37
 EB04 FA01 FA41 FA47

最終頁に続く

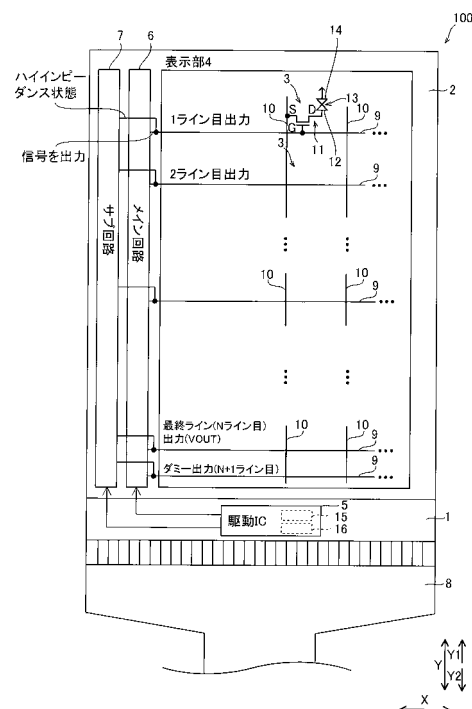
(54) 【発明の名称】 表示装置および電子機器

(57) 【要約】

【課題】歩留まりを向上させることができ、かつ、消費電力が増加するのを抑制しながら、回路構成を簡素化することが可能な表示装置を提供する。

【解決手段】この発明の液晶表示装置（表示装置）100は、画素3に含まれる薄膜トランジスタ11と、薄膜トランジスタ11に接続されたゲート線9と、ゲート線9に接続されるメイン走査線駆動回路6およびサブ走査線駆動回路7と、通常時には、メイン走査線駆動回路6は、薄膜トランジスタ11を駆動する信号を出力するとともに、サブ走査線駆動回路7の出力がハイインピーダンスの状態になるように制御する走査線駆動回路制御部16とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素毎に形成されたスイッチング素子と、
前記スイッチング素子に接続されたゲート線と、
前記ゲート線に接続される第 1 走査線駆動回路および第 2 走査線駆動回路と、
通常時には、前記第 1 走査線駆動回路は、前記スイッチング素子を駆動する信号を出力するとともに、前記第 2 走査線駆動回路の出力がハイインピーダンスの状態になるように制御する制御部とを備える、表示装置。

【請求項 2】

前記制御部は、前記第 1 走査線駆動回路からの出力信号が異常である場合には、前記第 1 走査線駆動回路の出力がハイインピーダンスの状態になるように制御するとともに、前記第 2 走査線駆動回路は、前記スイッチング素子を駆動する信号を出力するように切り替える制御を行うように構成されている、請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 走査線駆動回路には、前記スイッチング素子を駆動する信号を出力するための信号が入力されるように構成されており、

前記第 2 走査線駆動回路には、出力をハイインピーダンスの状態にするための信号が入力されるように構成されており、

前記制御部は、前記第 1 走査線駆動回路からの出力信号が異常である場合には、前記第 1 走査線駆動回路に入力される信号と、前記第 2 走査線駆動回路に入力される信号とを切り替えることにより、前記第 1 走査線駆動回路を使用せずに前記第 2 走査線駆動回路を使用するように切り替える制御を行うように構成されている、請求項 2 に記載の表示装置。

【請求項 4】

前記制御部は、前記第 1 走査線駆動回路に入力される信号のうち、少なくともクロック信号をオフ電位に固定することにより、前記第 1 走査線駆動回路が駆動しないように制御することによって、前記第 1 走査線駆動回路の出力がハイインピーダンスの状態になるように制御するように構成されている、請求項 3 に記載の表示装置。

【請求項 5】

前記制御部は、前記第 1 走査線駆動回路に入力される信号のうち、クロック信号のみならず走査線イネーブル信号をオフ電位に固定することにより、前記第 1 走査線駆動回路が駆動しないように制御することによって、前記第 1 走査線駆動回路の出力がハイインピーダンスの状態になるように制御するように構成されている、請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 走査線駆動回路および前記第 2 走査線駆動回路は、それぞれ、信号が出力される前記ゲート線に接続されるトランジスタを含み、

前記制御部は、前記第 1 走査線駆動回路の前記トランジスタのゲート電極に入力される信号をオフ電位に固定することにより、前記ゲート線に接続される前記トランジスタをオフ状態にすることによって、前記第 1 走査線駆動回路の出力がハイインピーダンスの状態になるように制御するように構成されている、請求項 3～5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記制御部は、前記第 1 走査線駆動回路または前記第 2 走査線駆動回路のうちの一方からの出力信号が異常であるか否かを判断するように構成されている、請求項 1～6 のいずれか 1 項に記載の表示装置。

【請求項 8】

請求項 1～7 のいずれか 1 項に記載の表示装置を備える、電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および電子機器に関し、特に、複数のゲート線の各々に接続される

10

20

30

40

50

複数の走査線駆動回路を備える表示装置および電子機器に関する。

【背景技術】

【0002】

従来、複数のゲート線の各々に接続される複数の走査線駆動回路を備える表示装置および電子機器が知られている（たとえば、特許文献1参照）。

【0003】

上記特許文献1には、複数の選択線（ゲート線）と、各々の選択線の一方端に接続された第1選択線走査器（走査線駆動回路）と、各々の選択線の他方端に接続された第2選択線走査器（走査線駆動回路）とを備えた表示装置が開示されている。この表示装置では、第1選択線走査器と第2選択線走査器とは、同時に駆動しているとともに、1つの選択線に対して同時に信号を出力するように構成されている。これにより、第1選択線走査器と第2選択線走査器とのうちの一方に欠陥が発生した場合でも、表示装置を駆動させることができる。つまり、表示装置の歩留まりを向上させることができる。

【0004】

しかしながら、上記特許文献1に記載の表示装置では、第1選択線走査器と第2選択線走査器とを同時に駆動させているため、2つの選択線走査器を駆動させるための電力が必要になる。このため、消費電力が増加するという不都合がある。

【0005】

そこで、従来、上記した不都合を解消するための技術が提案されている（たとえば、特許文献2参照）。上記特許文献2には、複数のゲート線と、各々のゲート線の一方端に接続された主ゲート駆動部（走査線駆動回路）と、各々のゲート線の他方端に設けられたスイッチング部を介して接続された副ゲート駆動部（走査線駆動回路）とを備えた表示装置が開示されている。この表示装置では、通常時には、スイッチング部は、遮断状態（オフ状態）に維持されるとともに、必要に応じて副ゲート駆動部とゲート線とを導通させるように構成されている。また、主ゲート駆動部内に欠陥が発生した場合には、スイッチング部を導通状態（オン状態）にすることによって、副ゲート駆動部とゲート線とを接続することにより、副ゲート駆動部からゲート線に信号が出力されるように構成されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特表平6-505606号公報

【特許文献2】特開2006-343746号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記特許文献2に記載の表示装置では、ゲート線と副ゲート駆動部とを遮断または導通するためのスイッチング部がゲート線毎に設けられているため、回路構成が複雑化するという問題点がある。

【0008】

この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、歩留まりを向上させることができ、かつ、消費電力が増加するのを抑制しながら、回路構成を簡素化することが可能な表示装置および電子機器を提供することである。

【課題を解決するための手段および発明の効果】

【0009】

上記目的を達成するために、この発明の第1の局面における表示装置は、画素毎に形成された前記第1基板の前記液晶層側の表面上にスイッチング素子と、前記スイッチング素子に接続されたゲート線と、前記ゲート線に接続される第1走査線駆動回路および第2走査線駆動回路と、通常時には、前記第1走査線駆動回路は、前記スイッチング素子を駆動する信号を出力するとともに、前記第2走査線駆動回路の出力がハイインピーダンスの状態になるように制御する制御部とを備える。

【0010】

この第1の局面による表示装置では、上記のように、通常時には、第1走査線駆動回路は、スイッチング素子を駆動する信号を出力するとともに、第2走査線駆動回路の出力をハイインピーダンスの状態にするように、制御部が制御することによって、第1走査線駆動回路から信号を出力している場合には、第2走査線駆動回路からは信号が出力しないので、第1走査線駆動回路と第2走査線駆動回路との両方から同時に信号を出力する場合と異なり、消費電力が増加するのを抑制することができる。また、制御部が第2走査線駆動回路の出力をハイインピーダンスの状態に制御することによって、第2走査線駆動回路からは、信号が出力されないようにすることができる。これにより、たとえば、第2走査線駆動回路と、各々のゲート線との間にスイッチング部を設けて第2走査線駆動回路から信号を出力しないようにする場合と異なり、回路構成を簡素化することができる。

10

【0011】

上記第1の局面による表示装置において、好ましくは、制御部は、第1走査線駆動回路からの出力信号が異常である場合には、第1走査線駆動回路の出力がハイインピーダンスの状態になるように制御するとともに、第2走査線駆動回路は、スイッチング素子を駆動する信号を出力するように切り替える制御を行うように構成されている。このように構成すれば、第1走査線駆動回路が正常に駆動しない（異常である）場合には、表示装置が不良品として扱われる一方、異常である第1走査線駆動回路の代わりに正常である第2走査線駆動回路を使用できるので、表示装置を良品として扱うことができる。また、第1走査線駆動回路が劣化などにより寿命がきた際には、第1走査線駆動回路から第2走査線駆動回路に切り替えることによって、第2走査線駆動回路からスイッチング素子を駆動する信号を出力させることができるので、表示装置の寿命を約2倍にすることができる。

20

【0012】

この場合、好ましくは、第1走査線駆動回路には、スイッチング素子を駆動する信号を出力するための信号が入力されるように構成されており、第2走査線駆動回路には、出力をハイインピーダンスの状態にするための信号が入力されるように構成されており、制御部は、第1走査線駆動回路からの出力信号が異常である場合には、第1走査線駆動回路に入力される信号と、第2走査線駆動回路に入力される信号とを切り替えることにより、第1走査線駆動回路を使用せずに第2走査線駆動回路を使用するように切り替える制御を行うように構成されている。このように構成すれば、異常である第1走査線駆動回路の代わりに、正常である第2走査線駆動回路を使用することができるので、正常である第2走査線駆動回路からスイッチング素子を駆動する信号を出力させることができる。

30

【0013】

上記信号が入力されるように構成された第1走査線駆動回路および第2走査線駆動回路を備える表示装置において、好ましくは、制御部は、第1走査線駆動回路に入力される信号のうち、少なくともクロック信号をオフ電位に固定することにより、第1走査線駆動回路が駆動しないように制御することによって、第1走査線駆動回路の出力がハイインピーダンスの状態になるように制御するように構成されている。このように構成すれば、クロック信号をオフ電位に切り替えるだけで、容易に、第1走査線駆動回路から信号が出力されないようにすることができる。

40

【0014】

この場合、好ましくは、制御部は、第1走査線駆動回路に入力される信号のうち、クロック信号のみならず走査線イネーブル信号をオフ電位に固定することにより、第1走査線駆動回路が駆動しないように制御することによって、第1走査線駆動回路の出力がハイインピーダンスの状態になるように制御するように構成されている。このように構成すれば、クロック信号および走査線イネーブル信号をオフ電位に切り替えるだけで、容易に、第1走査線駆動回路から信号が出力されないようにすることができる。特に、付加的な回路を追加することなく所定の信号を用いるだけでハイインピーダンスの状態にすることができる。

【0015】

50

上記信号が入力されるように構成された第1走査線駆動回路および第2走査線駆動回路を備える表示装置において、好ましくは、第1走査線駆動回路および第2走査線駆動回路は、それぞれ、信号が出力されるゲート線に接続されるトランジスタを含み、制御部は、第1走査線駆動回路のトランジスタのゲート電極に入力される信号をオフ電位に固定することにより、ゲート線に接続されるトランジスタをオフ状態にすることによって、第1走査線駆動回路の出力がハイインピーダンスの状態になるように制御するように構成されている。このように構成すれば、第1走査線駆動回路のトランジスタのゲート電極に入力する信号をオフ電位に切り替えるだけで、容易に、第1走査線駆動回路から信号が出力されないようにすることができる。

【0016】

上記第1の局面による表示装置において、好ましくは、制御部は、第1走査線駆動回路または第2走査線駆動回路のうちの一方からの出力信号が異常であるか否かを判断するように構成されている。このように構成すれば、第1走査線駆動回路または第2走査線駆動回路のうちの一方が正常に駆動しているか否かを判断することができる。

【0017】

この発明の第2の局面による電子機器は、上記のいずれかの構成を有する表示装置を備える。このように構成すれば、歩留まりを向上させることができ、かつ、消費電力が増加するのを抑制しながら、回路構成を簡素化することが可能な表示装置を備えた電子機器を得ることができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施形態による液晶表示装置の平面図である。

【図2】本発明の一実施形態による液晶表示装置のブロック図である。

【図3】本発明の一実施形態による走査線駆動回路のメイン走査線駆動回路およびサブ走査線駆動回路の構成を説明するためのブロック図である。

【図4】本発明の一実施形態による走査線駆動回路のVスキャナブロックの構成を説明するための等価回路図である。

【図5】本発明の一実施形態による走査線駆動回路のメイン走査線駆動回路とサブ走査線駆動回路との切り替え動作を説明するためのフローチャートである。

【図6】本発明の一実施形態による走査線駆動回路のメイン走査線駆動回路およびサブ走査線駆動回路の動作を説明するためのタイミングチャートである。

【図7】本発明の一実施形態による液晶表示装置を用いた電子機器の第1の例を説明するための図である。

【図8】本発明の一実施形態による液晶表示装置を用いた電子機器の第2の例を説明するための図である。

【図9】本発明の一実施形態による液晶表示装置を用いた電子機器の第3の例を説明するための図である。

【図10】本発明の一実施形態による液晶表示装置の変形例を説明するための図である。

【図11】本発明の一実施形態による液晶表示装置のVスキャナブロックの回路構成の変形例を説明するための等価回路図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態を図面に基づいて説明する。

【0020】

図1～図4を参照して、本発明の一実施形態による液晶表示装置100の構成について説明する。

【0021】

本発明の一実施形態による液晶表示装置100は、図1に示すように、一対のTFT基板1および対向基板2と、複数の画素3を含む表示部4と、液晶表示装置100を駆動させるための駆動IC5と、TFT基板1の表面上に設けられたメイン走査線駆動回路6お

10

20

30

40

50

よびサブ走査線駆動回路7と、駆動IC5に種々の信号を出力するFPC8 (Flexible Printed Circuits)とを備えている。なお、液晶表示装置100は、本発明の「表示装置」の一例である。また、メイン走査線駆動回路6は、本発明の「第1走査線駆動回路」の一例であり、サブ走査線駆動回路7は、本発明の「第2走査線駆動回路」の一例である。

【0022】

また、表示部4は、X方向に沿って延びる複数のゲート線9と、ゲート線9に略直交するとともに、Y方向に沿って延びるように設けられた複数のデータ線10とを含んでいる。また、複数のゲート線9の各々は、それぞれ、メイン走査線駆動回路6およびサブ走査線駆動回路7に接続されている。ゲート線9は、TFT基板1のY方向に沿って複数設けられるとともに、Y1方向側からY2方向側に沿って、1ライン目、2ライン目、・・・、Nライン目、および、(N+1)ライン目という順番に配置されている。また、画素3は、ゲート線9と、データ線10とが交差する領域に設けられている。また、画素3には、スイッチング用の薄膜トランジスタ11が設けられている。なお、薄膜トランジスタ11は、本発明の「スイッチング素子」の一例である。薄膜トランジスタ11のソース電極(S)は、データ線10に接続されるとともに、薄膜トランジスタ11のゲート電極(G)は、ゲート線9に接続されている。また、薄膜トランジスタ11のドレイン電極(D)は、画素電極12に接続されている。また、画素電極12に対向するように液晶層13を挟んで対向電極14が設けられている。

【0023】

また、図2に示すように、駆動IC5は、信号生成回路15および走査線駆動回路制御部16を含んでいる。なお、走査線駆動回路制御部16は、本発明の「制御部」の一例である。信号生成回路15は、HレベルのVDD電位、LレベルのVBB電位、STV信号(スタート信号)、パルス状のCLK1(クロック1)信号、および、CLK1信号の反転信号であるCLK2信号(クロック2)を生成するとともに、走査線駆動回路制御部16に出力するように構成されている。また、走査線駆動回路制御部16は、メイン走査線駆動回路6およびサブ走査線駆動回路7に対して、VSW信号(走査線イネーブル信号)、CLK1信号、CLK2信号、STV信号およびVBB電位を出力するように制御するように構成されている。また、メイン走査線駆動回路6およびサブ走査線駆動回路7に接続されたゲート線9のうち表示に寄与するゲート線9(最終ライン)から出力された信号(VOUT)(図1参照)は、走査線駆動回路制御部16に出力(フィードバック)されるように構成されている。

【0024】

図3に示すように、メイン走査線駆動回路6およびサブ走査線駆動回路7は、それぞれ、信号を出力するとともに、信号を次段に転送するための複数のVスキャナブロック17を含んでいる。なお、Vスキャナブロック17は、本発明の「走査線駆動回路部」の一例である。複数のVスキャナブロック17は、それぞれ、ゲート線9の1ライン目、2ライン目、・・・、Nライン目および(N+1)ライン目に接続されている。なお、1ライン目のゲート線9に接続されたVスキャナブロック17は、Vスキャナブロック(1)と図示し、2ライン目のゲート線9に接続されたVスキャナブロック17は、Vスキャナブロック(2)と図示し、Nライン目のゲート線9に接続されたVスキャナブロック17は、Vスキャナブロック(N)と図示し、(N+1)ライン目のゲート線9に接続されたVスキャナブロック17は、Vスキャナブロック(N+1)と図示している。なお、メイン走査線駆動回路6のVスキャナブロック17と、サブ走査線駆動回路7のVスキャナブロック17とは、同様の回路構成を有している。

【0025】

また、メイン走査線駆動回路6およびサブ走査線駆動回路7のVスキャナブロック17は、CLK1信号が入力されるCLK1端子と、CLK2信号が入力されるCLK2端子と、VDD電位またはVBB電位が入力されるVSW端子と、VBB電位が入力されるVBB端子と、STV信号が入力されるSTV端子およびSET端子と、ゲート線9に信号

を出力するためのOUT端子と、次段のVスキャナブロック17のOUT端子からの信号が入力されるRESET端子とを含んでいる。

【0026】

また、メイン走査線駆動回路6およびサブ走査線駆動回路7のVスキャナブロック17の表示に寄与するNライン目（最終ライン）から出力された信号（VOUT）は、図2に示すように、走査線駆動回路制御部16にも出力（フィードバック）されるように構成されている。フィードバックされた信号は、走査線駆動回路制御部16によって、信号の大きさが正常か否か（信号の大きさが所定の信号の大きさの範囲内であるか否か）が判断されるように構成されている。なお、所定の信号の大きさの範囲は、たとえば、約-10V以下約+15V以上である。つまり、出力された信号の大きさが、約-10V以下約+15V以上の範囲を超える場合には、正常であると判断され、約-10V以上約+15V以下の範囲内である場合には、異常であると判断される。

10

【0027】

また、Vスキャナブロック17の詳細な構成としては、図4に示すように、8つのnチャンネル型のトランジスタおよび2つのコンデンサから構成されている。具体的には、トランジスタTr1を含む第1プルアップ制御部と、トランジスタTr2を含む第2プルアップ制御部と、トランジスタTr3およびコンデンサC1を含むプルアップ駆動部と、トランジスタTr4を含むプルダウン駆動部と、トランジスタTr5、トランジスタTr6、トランジスタTr7、トランジスタTr8およびコンデンサC2を含むプルダウン維持部とを備えている。なお、トランジスタTr1～トランジスタTr8は、非晶質のシリコンからなる能動層を有している。

20

【0028】

トランジスタTr1のソース電極（S）は、VSW端子に接続されている。また、トランジスタTr1のゲート電極（G）は、SET端子に接続されている。なお、Vスキャナブロック17のSET端子には、STV信号（スタート信号）が入力されるとともに、2ライン目以降のVスキャナブロック17のSET端子には、前段のVスキャナブロック17のOUT端子から出力された信号が入力されるように構成されている。また、トランジスタTr1のドレイン電極（D）は、トランジスタTr2のソース電極（S）、トランジスタTr3のゲート電極（G）、コンデンサC1の一方電極、トランジスタTr5のソース電極（S）、および、トランジスタTr7のゲート電極（G）に接続されている。

30

【0029】

トランジスタTr2のゲート電極（G）は、RESET端子に接続されている。なお、RESET端子には、次段のVスキャナブロック17のOUT端子から出力された信号が入力されるように構成されている。また、トランジスタTr2のドレイン電極（D）は、トランジスタTr4のソース電極（S）、トランジスタTr5のドレイン電極（D）、トランジスタTr6のソース電極（S）、トランジスタTr7のソース電極（S）、トランジスタTr8のソース電極（S）、および、VBB端子に接続されている。

【0030】

トランジスタTr3のソース電極（S）は、CLK1端子と、コンデンサC2の一方電極とに接続されている。また、トランジスタTr3のドレイン電極（D）は、コンデンサC1の他方電極、トランジスタTr4のドレイン電極（D）、トランジスタTr6のドレイン電極（D）、および、OUT端子（ゲート線9）に接続されている。

40

【0031】

トランジスタTr4のゲート電極（G）は、CLK2端子に接続されている。また、トランジスタTr5のゲート電極（G）は、トランジスタTr6のゲート電極（G）、トランジスタTr7のドレイン電極（D）、トランジスタTr8のドレイン電極（D）、および、コンデンサC2の他方電極に接続されている。また、トランジスタTr8のゲート電極（G）は、STV端子に接続されている。なお、STV端子には、スタート信号が入力されるように構成されている。

【0032】

50

次に、図 3 および図 5 を参照して、走査線駆動回路制御部のメイン走査線駆動回路およびサブ走査線駆動回路の制御動作について説明する。

【0033】

本実施形態では、通常時には、メイン走査線駆動回路 6 を使用するとともに、サブ走査線駆動回路 7 は使用しない。つまり、メイン走査線駆動回路 6 の O U T 端子からは、信号を出力するとともに、サブ走査線駆動回路 7 は、ハイインピーダンス状態（H i - z 状態（フローティング状態））にすることにより、O U T 端子から信号を出力しない。具体的には、まず、メイン走査線駆動回路 6 の 1 ライン目のゲート線 9 に接続された V スキャナブロック（1）（図 3 参照）では、図 5 に示すように、ステップ S 1 において、V スキャナブロック 1 7 の V S W 端子に H レベルの V D D 電位、C L K 1 端子にクロック信号の C L K 1 信号、C L K 2 端子に C L K 2 信号、V B B 端子に V B B 電位、S T V 端子および S E T 端子に S T V 信号（スタート信号）が入力される。なお、メイン走査線駆動回路 6 の詳細な動作については後述する。そして、O U T 端子から 1 ライン目のゲート線 9 に信号が出力されることにより、表示部 4 の薄膜トランジスタ 1 1 が駆動される。なお、O U T 端子から出力された信号は、次段（V スキャナブロック（2））の S E T 端子に入力され、（V スキャナブロック（2））の O U T 端子から出力された信号は、（V スキャナブロック（N））の S E T 端子に入力される。このように、各 V スキャナブロック 1 7 から出力された信号が、次段の V スキャナブロック 1 7 に順次転送される。

【0034】

また、本実施形態では、通常時には、上記したメイン走査線駆動回路 6 とは異なり、サブ走査線駆動回路 7 の 1 ライン目のゲート線 9 に接続された V スキャナブロック（1）（図 3 参照）では、V S W 端子、C L K 1 端子および C L K 2 端子には、L レベル（オフ電位）の V B B 電位が入力される。なお、サブ走査線駆動回路 7 の詳細な動作については後述する。これにより、サブ走査線駆動回路 7 の 1 ライン目のゲート線 9 に接続された V スキャナブロック（1）は、ハイインピーダンスの状態になるので、O U T 端子から 1 ライン目のゲート線 9 には、信号が出力されない。

【0035】

次に、ステップ S 2 において、メイン走査線駆動回路 6 の最終ライン（N ライン目）の V スキャナブロック 1 7 から走査線駆動回路制御部 1 6 に信号が出力され、出力された信号が正常であるか否かが判断される。そして、走査線駆動回路制御部 1 6 は、出力された信号に基づいて約 - 1 0 V 以上約 + 1 5 V 以下の範囲を超えているか否かを判断する。そして、出力された信号が約 - 1 0 V 以上約 + 1 5 V 以下の範囲を超えていると判断された場合には、出力された信号が正常であると判断するとともに、ステップ S 2 の制御動作を繰り返す。また、ステップ S 2 において、出力された信号が約 - 1 0 V 以上約 + 1 5 V 以下の範囲内である場合には、出力された信号が異常である（正常ではない）と判断するとともに、ステップ S 3 に進む。

【0036】

次に、ステップ S 3 において、出力された信号が異常である場合には、走査線駆動回路制御部 1 6 は、メイン走査線駆動回路 6 に入力される信号と、サブ走査線駆動回路 7 に入力される信号とを切り替える（入れ替える）ように制御する。つまり、異常時には、メイン走査線駆動回路 6 を使用せずに、サブ走査線駆動回路 7 を使用する。そして、メイン走査線駆動回路 6 からの出力をハイインピーダンス状態にすることにより信号を出力せずに、サブ走査線駆動回路 7 からは、信号を出力するようにする。具体的には、メイン走査線駆動回路 6 の V スキャナブロック 1 7 の V S W 端子、C L K 1 端子および C L K 2 端子には、L レベル信号（オフ電位）の V B B が入力される。その一方で、サブ走査線駆動回路 7 の V スキャナブロック 1 7 の V S W 端子には H レベルの V D D 電位、C L K 1 端子にはクロック信号の C L K 1 信号、および、C L K 2 端子には C L K 1 信号の反転信号の C L K 2 信号が入力される。これにより、メイン走査線駆動回路 6 の O U T 端子からの出力は、ハイインピーダンスの状態になるように制御される。つまり、メイン走査線駆動回路 6 の O U T 端子からは、信号が出力されないように制御される。その一方で、サブ走査線駆

動回路 7 の V スキャナブロック 1 7 の V S W 端子に H レベルの V D D 電位、C L K 1 端子にクロック信号の C L K 1 信号、C L K 2 端子に C L K 1 信号の反転信号の C L K 2 信号が入力されるので、サブ走査線駆動回路 7 の O U T 端子からゲート線 9 に表示部 4 の薄膜トランジスタ 1 1 を駆動する信号が出力される。そして、ステップ S 4 に進む。

【0037】

次に、ステップ S 4 において、サブ走査線駆動回路 7 の最終ライン (N ライン目) の V スキャナブロック 1 7 から走査線駆動回路制御部 1 6 に信号が出力され、出力された信号が正常であるか否かが判断される。そして、走査線駆動回路制御部 1 6 は、出力された信号に基づいて約 -10 V 以上約 +15 V 以下の範囲を超えているか否かを判断する。そして、出力された信号が約 -10 V 以上約 +15 V 以下の範囲を超えていると判断された場合には、出力された信号が正常であると判断するとともに、ステップ S 4 の制御動作を繰り返す。また、ステップ S 4 において、出力された信号が約 -10 V 以上約 +15 V 以下の範囲内である場合には、出力された信号が異常である (正常ではない) と判断するとともに、ステップ S 5 に進む。そして、メイン走査線駆動回路 6 とサブ走査線駆動回路 7 との両方に異常があると判断されるとともに、液晶表示装置 100 が不良であると判断される。そして、制御動作を終了する。

【0038】

次に、図 4 ~ 図 6 を参照して、上記したメイン走査線駆動回路 6 およびサブ走査線駆動回路 7 の詳細な動作について説明する。

【0039】

まず、通常時には、メイン走査線駆動回路 6 には、上記した走査線駆動回路制御部 1 6 の制御動作のステップ S 1 のように、表示部 4 の画素 3 に設けられた薄膜トランジスタ 1 1 を駆動する信号を出力するための信号が入力されるように構成されている。具体的には、図 4 に示すメイン走査線駆動回路 6 の 1 ライン目の V スキャナブロック 1 7 には、図 6 に示す時間 A において、H レベルの S T V 信号がトランジスタ T r 8 に入力されることにより、トランジスタ T r 8 がオン状態になる。これにより、L レベルの V B B 電位がトランジスタ T r 5 のゲート電極 (G) およびトランジスタ T r 6 のゲート電極 (G) に入力されるので、トランジスタ T r 5 およびトランジスタ T r 6 がオフ状態になる。

【0040】

同時に、H レベルの S E T 信号がトランジスタ T r 1 のゲート電極 (G) に入力されることにより、トランジスタ T r 1 がオン状態になる。これにより、H レベルの V S W (V D D 電位) が、ノード N 1 を介して、トランジスタ T r 3 のゲート電極 (G) およびトランジスタ T r 7 のゲート電極 (G) に入力されるので、トランジスタ T r 3 およびトランジスタ T r 7 がオン状態になる。そして、L レベルの C L K 1 信号が、トランジスタ T r 3 を介して、O U T 端子からゲート線 9 に出力される。また、コンデンサ C 1 の一方電極は、H レベルになるとともに、充電を開始する。

【0041】

また、図 6 に示す時間 A において、トランジスタ T r 4 のゲート電極 (G) には、H レベルの C L K 2 信号が入力されることにより、トランジスタ T r 4 は、オン状態になる。これにより、L レベルの V B B 電位が、トランジスタ T r 4 を介して、O U T 端子からゲート線 9 に出力される。なお、トランジスタ T r 2 のゲート電極 (G) には、L レベルの R E S E T 信号が入力されており、トランジスタ T r 2 は、オフ状態である。

【0042】

次に、メイン走査線駆動回路 6 の 1 ライン目の V スキャナブロック 1 7 には、図 6 に示す時間 B において、図 4 に示すように、L レベルの S T V 信号がトランジスタ T r 8 に入力されることにより、トランジスタ T r 8 がオフ状態になる。同時に、L レベルの S E T 信号がトランジスタ T r 1 のゲート電極 (G) に入力されることにより、トランジスタ T r 1 がオフ状態になる。また、トランジスタ T r 3 には、上記した時間 A において充電されたコンデンサ C 1 により保持された信号がトランジスタ T r 3 のゲート電極 (G) およびトランジスタ T r 7 のゲート電極 (G) に入力されることにより、トランジスタ T r 3

およびトランジスタT r 7がオン状態を継続する。このとき、LレベルのV B B電位がトランジスタT r 5のゲート電極（G）およびトランジスタT r 6のゲート電極（G）に力されることにより、トランジスタT r 5およびトランジスタT r 6がオフ状態になる。そして、HレベルのC L K 1信号が、トランジスタT r 3を介して、O U T端子からゲート線9に出力される。これにより、出力された信号が表示部4の画素3に設けられた薄膜トランジスタ11を駆動させる。また、出力された信号は、次段のVスキャナブロック17のS E T端子に入力される。また、最終ライン（Nライン目）のゲート線9に接続されたVスキャナブロック17から出力された信号は、走査線駆動回路制御部16に入力される。

【0043】

10

また、LレベルのC L K 2信号が、トランジスタT r 4のゲート電極（G）に入力されるので、トランジスタT r 4がオフ状態になる。また、HレベルのV S W（V D D電位）は、オフ状態のトランジスタT r 1のソース電極（S）に入力される。なお、トランジスタT r 2のゲート電極（G）には、LレベルのR E S E T信号が入力されており、トランジスタT r 2がオフ状態である。

【0044】

次に、メイン走査線駆動回路6の1ライン目のVスキャナブロック17には、図6に示す時間Cにおいて、図4に示すように、LレベルのS T V信号がトランジスタT r 8に入力されるので、トランジスタT r 8がオフ状態になる。同時に、LレベルのS E T信号がトランジスタT r 1のゲート電極（G）に入力されるので、トランジスタT r 1がオフ状態になる。また、LレベルのC L K 1信号は、トランジスタT r 3のソース電極（S）に入力される。また、HレベルのC L K 2信号は、トランジスタT r 4のゲート電極（G）に入力されるので、トランジスタT r 4がオン状態になる。そして、LレベルのV B B電位は、トランジスタT r 4を介して、O U T端子からゲート線9に出力される。

20

【0045】

また、HレベルのV S W（V D D電位）は、オフ状態のトランジスタT r 1のソース電極（S）に入力される。また、トランジスタT r 2のゲート電極（G）には、2ライン目（次段）のVスキャナブロック17から出力されたHレベルのR E S E T信号が入力されるので、トランジスタT r 2がオン状態になる。そして、LレベルのV B B電位が、トランジスタT r 2を介して、トランジスタT r 5のソース電極（S）、トランジスタT r 7のゲート電極（G）、および、トランジスタT r 3のゲート電極（G）に入力される。これにより、トランジスタT r 3およびトランジスタT r 7は、オフ状態になる。なお、2ライン目以降の走査内容は、上記した1ライン目の走査内容と同様である。

30

【0046】

また、通常時には、サブ走査線駆動回路7には、上記した制御動作のステップS1のように、出力をハイインピーダンスの状態にするための信号が入力されるように構成されている。具体的には、図4に示すサブ走査線駆動回路7の1ライン目のVスキャナブロック17には、図6に示す時間Aにおいて、HレベルのS T V信号がトランジスタT r 8に入力されるので、トランジスタT r 8がオン状態になる。これにより、LレベルのV B B電位は、トランジスタT r 8を介して、トランジスタT r 5のゲート電極（G）およびトランジスタT r 6のゲート電極（G）に入力されるので、トランジスタT r 5およびトランジスタT r 6がオフ状態になる。同時に、HレベルのS E T信号がトランジスタT r 1のゲート電極（G）に入力されるので、トランジスタT r 1がオン状態になる。これにより、LレベルのV S W（V D D電位）は、トランジスタT r 1およびノードN1を介して、トランジスタT r 3のゲート電極（G）およびトランジスタT r 7のゲート電極（G）に入力されるので、トランジスタT r 3およびトランジスタT r 7がオフ状態になる。

40

【0047】

また、LレベルのC L K 1信号（V B B電位）が、オフ状態のトランジスタT r 3のソース電極（S）に入力される。また、LレベルのC L K 2信号（V B B電位）は、トランジスタT r 4のゲート電極（G）に入力されるので、トランジスタT r 4がオフ状態にな

50

る。上記のように、トランジスタT r 3、トランジスタT r 4およびトランジスタT r 6が、オフ状態になることにより、トランジスタT r 3のドレイン電極（D）、トランジスタT r 4のドレイン電極（D）、およびトランジスタT r 6のドレイン電極（D）に接続されたO U T端子からゲート線9へ出力される信号がハイインピーダンス（フローティング）の状態になる。これにより、サブ走査線駆動回路7は、O U T端子から信号が出力されない状態になる。なお、LレベルのR E S E T信号は、トランジスタT r 2のゲート電極（G）に入力されるので、トランジスタT r 2はオフ状態である。

【0048】

次に、図6に示す時間BおよびCにおいて、サブ走査線駆動回路7の1ライン目のゲート線9に接続されたVスキャナブロック17には、LレベルのS T V信号がトランジスタT r 8に入力されることにより、図4に示すように、トランジスタT r 8がオフ状態になる。なお、時間BおよびCにおけるその他のサブ走査線駆動回路7の動作は、上記したサブ走査線駆動回路7の時間Aにおける動作と同様である。また、Vスキャナブロック17の2ライン目以降の動作は、上記したVスキャナブロック17の1ライン目の動作と同様である。

【0049】

次に、通常時には、上記した制御動作のステップS 2のように、メイン走査線駆動回路6のうち最終ライン（Nライン目）のゲート線9に接続されたVスキャナブロック17から出力された信号が走査線駆動回路制御部16により正常であるか否かが判断される。そして、出力された信号が正常ではない（異常である）と判断された場合には、上記した制御動作のステップS 3のように、メイン走査線駆動回路6に入力される信号と、サブ走査線駆動回路7に入力される信号とを切り替える（入れ替える）ように制御される。具体的には、切り替え後（異常時）には、メイン走査線駆動回路6では、LレベルのC L K 1信号（V B B電位）、LレベルのC L K 2信号（V B B電位）およびLレベルのV S W（V B B電位）が入力され、サブ走査線駆動回路7では、パルス状のC L K 1信号（クロック信号）、C L K 1信号の反転信号のC L K 2信号（クロック信号）およびHレベルのV S W（V D D信号）が入力される。

【0050】

そして、異常時には、図4に示すメイン走査線駆動回路6では、Vスキャナブロック17のO U T端子の出力がハイインピーダンスの状態になるので、ゲート線9には信号が出力されない。また、サブ走査線駆動回路7では、Vスキャナブロック17のO U T端子からゲート線9に信号が出力されるとともに、表示部4の画素3に設けられた薄膜トランジスタ11が駆動する。また、上記した制御動作のステップS 4のように、サブ走査線駆動回路7の最終ライン（Nライン目）に接続されたゲート線9に出力された信号は、走査線駆動回路制御部16に出力されるとともに、出力された信号が正常であるか否かが判断される。そして、出力された信号が異常であると判断された場合には、上記した制御動作のステップS 5のように、メイン走査線駆動回路6およびサブ走査線駆動回路7の両方が不良であると判断されるため、液晶表示装置100が不良であると判断される。

【0051】

本実施形態では、上記のように、通常時には、メイン走査線駆動回路6は、薄膜トランジスタ11を駆動する信号を出力するとともに、サブ走査線駆動回路7の出力をハイインピーダンスの状態にするように、走査線駆動回路制御部16が制御することによって、メイン走査線駆動回路6から信号を出力している場合には、サブ走査線駆動回路7からは信号が出力しないので、メイン走査線駆動回路6とサブ走査線駆動回路7との両方から同時に信号を出力する場合と異なり、消費電力が増加するのを抑制することができる。また、走査線駆動回路制御部16がメイン走査線駆動回路6またはサブ走査線駆動回路7のうちの使用しない方の出力をハイインピーダンスの状態に制御することによって、メイン走査線駆動回路6またはサブ走査線駆動回路7のうちの使用しない方からは、信号が出力されないようにすることができる。これにより、たとえば、メイン走査線駆動回路6またはサブ走査線駆動回路7のうちの使用しない方と、各々のゲート線9との間にスイッチング部

を設けてメイン走査線駆動回路 6 またはサブ走査線駆動回路 7 のうちの使用しない方から信号を出力しないようにする場合と異なり、回路構成を簡素化することができる。

【0052】

また、本実施形態では、上記のように、走査線駆動回路制御部 16 を、メイン走査線駆動回路 6 からの出力信号が異常である場合には、メイン走査線駆動回路 6 の出力がハイインピーダンスの状態になるように制御するとともに、サブ走査線駆動回路 7 は、薄膜トランジスタ 11 を駆動する信号を出力するように切り替える制御を行うように構成する。これにより、メイン走査線駆動回路 6 が正常に駆動しない（異常である）場合には、液晶表示装置 100 が不良品として扱われる一方、異常であるメイン走査線駆動回路 6 の代わりに正常であるサブ走査線駆動回路 7 を使用できるので、液晶表示装置 100 を良品として扱うことができる。また、メイン走査線駆動回路 6 が劣化などにより寿命がきた際には、メイン走査線駆動回路 6 からサブ走査線駆動回路 7 に切り替えることによって、サブ走査線駆動回路 7 から薄膜トランジスタ 11 を駆動する信号を出力を駆動させることができるので、液晶表示装置 100 の寿命を約 2 倍にすることができる。

【0053】

また、本実施形態では、上記のように、走査線駆動回路制御部 16 を、メイン走査線駆動回路 6 からの出力信号が異常である場合には、メイン走査線駆動回路 6 に入力される信号と、サブ走査線駆動回路 7 に入力される信号とを切り替えることにより、メイン走査線駆動回路 6 を使用せずにサブ走査線駆動回路 7 を使用するように切り替える制御を行うように構成する。これにより、異常であるメイン走査線駆動回路 6 の代わりに、正常であるサブ走査線駆動回路 7 を使用することができるので、正常であるサブ走査線駆動回路 7 から薄膜トランジスタ 11 を駆動する信号を出力させることができる。

【0054】

また、本実施形態では、上記のように、走査線駆動回路制御部 16 を、メイン走査線駆動回路 6 またはサブ走査線駆動回路 7 のうちの使用しない方に入力されるクロック信号（CLK1 信号および CLK2 信号）のみならず走査線イネーブル信号（VSW 信号）をオフ電位（L レベル）に固定することにより、メイン走査線駆動回路 6 またはサブ走査線駆動回路 7 のうちの使用しない方が駆動しないように制御することによって、メイン走査線駆動回路 6 またはサブ走査線駆動回路 7 のうちの使用しない方の出力がハイインピーダンスの状態になるように制御するように構成する。これにより、クロック信号（CLK1 信号および CLK2 信号）のみならず走査線イネーブル信号（VSW 信号）をオフ電位（L レベル）に切り替えるだけで、容易に、メイン走査線駆動回路 6 またはサブ走査線駆動回路 7 のうちの使用しない方から信号が出力されないようにすることができる。特に、付加的な回路を追加することなく所定の信号を用いるだけでハイインピーダンスの状態にすることができる。

【0055】

また、本実施形態では、上記のように、走査線駆動回路制御部 16 を、メイン走査線駆動回路 6 またはサブ走査線駆動回路 7 のうちの使用する方の最終段（最終ライン）の V スキャナブロック 17 から出力される信号の大きさが -10V 以上 $+15\text{V}$ 以下の範囲内である場合に異常である（正常ではない）と判断するように構成することによって、出力される信号の大きさによって、容易に、メイン走査線駆動回路 6 またはサブ走査線駆動回路 7 のうちの使用する方が正常に駆動しているか否かを判断することができる。

【0056】

（応用例）

図 7～図 9 は、それぞれ、上記した本発明の液晶表示装置 100 を用いた電子機器の第 1 の例～第 3 の例を説明するための図である。図 7～図 9 を参照して、本発明の液晶表示装置 100 を用いた電子機器について説明する。

【0057】

本発明の液晶表示装置 100 は、図 7～図 9 に示すように、第 1 の例としての PC（Personal Computer）200、第 2 の例としての携帯電話 300、および

、第3の例としての情報携帯端末400(PDA: Personal Digital Assistants)などに用いることが可能である。

【0058】

図7の第1の例によるPC200においては、キーボードなどの入力部210および表示画面220などに本発明の液晶表示装置100を用いることが可能である。図8の第2の例による携帯電話300においては、表示画面310に本発明の液晶表示装置100が用いられる。図9の第3の例による情報携帯端末400においては、表示画面410に本発明の液晶表示装置100が用いられる。

【0059】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0060】

たとえば、上記実施形態では、本発明の表示装置の一例として、液晶表示装置を用いる例を示したが、本発明はこれに限らない。たとえば、本発明の表示装置として、液晶表示装置以外の有機EL装置などを用いてもよい。

【0061】

また、上記実施形態では、本発明の第1走査線駆動回路にメイン走査線駆動回路を適用するとともに、第2走査線駆動回路にサブ走査線駆動回路を適用する例を示したが、本発明はこれに限らない。たとえば、本発明の第1走査線駆動回路にサブ走査線駆動回路を適用するとともに、第2走査線駆動回路にメイン走査線駆動回路を適用してもよい。

【0062】

また、上記実施形態では、サブ走査線駆動回路の出力をハイインピーダンスの状態にするために、トランジスタおよびコンデンサを用いたサブ走査線駆動回路構成を示したが、本発明はこれに限らない。たとえば、トランジスタおよびコンデンサ以外の素子などを用いてサブ走査線駆動回路の出力がハイインピーダンスの状態になるようにしてもよい。

【0063】

また、上記実施形態では、本発明のサブ走査線駆動回路の出力をハイインピーダンスの状態にするための一例として、メイン走査線駆動回路のVスキャナブロックと、サブ走査線駆動回路のVスキャナブロックとに入力するVSW信号、CLK1信号およびCLK2信号を異ならせる例を示したが、本発明はこれに限らない。たとえば、VSW信号、CLK1信号およびCLK2信号以外の信号を異ならせて、サブ走査線駆動回路の出力をハイインピーダンスの状態にしてもよい。

【0064】

また、上記実施形態では、Vスキャナブロックから出力される信号が正常であるか否かを判断する一例として、出力信号が約-10V以上約+15V以下の範囲内であるか否かを判断する例を示したが、本発明はこれに限らない。たとえば、Vスキャナブロックから出力される信号が約-10V以上約+15V以下以外の範囲でもよい。

【0065】

また、上記実施形態では、メイン走査線駆動回路およびサブ走査線駆動回路を1つずつ配置する例を示したが、本発明はこれに限らない。たとえば、図10に示す変形例の液晶表示装置100aのように、メイン走査線駆動回路6およびサブ走査線駆動回路7に加えて、メイン走査線駆動回路6aおよびサブ走査線駆動回路7aを配置してもよい。この場合、メイン走査線駆動回路6およびサブ走査線駆動回路7には、奇数ライン目(1ライン目、3ライン目、...)のゲート線9が接続されるとともに、メイン走査線駆動回路6aおよびサブ走査線駆動回路7aには、偶数ライン目(2ライン目、4ライン目、...)のゲート線9aが接続される。

【0066】

また、上記実施形態では、Vスキャナブロック17を8つのトランジスタおよび2つの

10

20

30

40

50

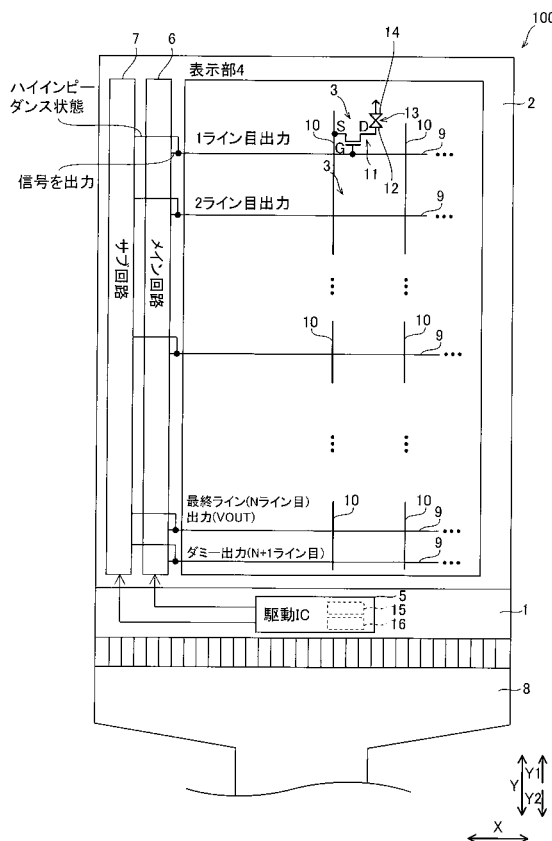
コンデンサから構成する例を示したが本発明は、これに限らない。たとえば、図11に示す変形例のVスキャナブロック17aのように、Vスキャナブロック17aを6つのトランジスタ（トランジスタTr11、Tr12、Tr13、Tr14、Tr15およびTr16）および1つのコンデンサ（C11）から構成してもよい。たとえば、使用する走査線駆動回路では、Vスキャナブロック17aのCLK1端子にHレベルのクロック信号が入力され、CLK2端子にLレベルのクロック信号が入力され、VSW端子（SET端子）にHレベルのクロック信号が入力され、VBB端子にLレベルのVBB電位が入力された場合に、OUT端子から表示部の画素に設けられた薄膜トランジスタを駆動する信号が出力される。また、使用しない走査線駆動回路では、Vスキャナブロック17aのCLK1端子、CLK2端子、VSW端子（SET端子）およびVBB端子にLレベルのオフ電位が入力され。この場合、トランジスタTr16がオフ状態になるので、トランジスタTr11のゲート電極には信号が入力されないことにより、トランジスタTr11からOUT端子に出力される信号をハイインピーダンスの状態にすることが可能である。なお、トランジスタTr13がオフ状態になるので、トランジスタTr12のゲート電極には、信号が入力されないことにより、トランジスタTr12からOUT端子に出力される信号をハイインピーダンスの状態にすることが可能である。

【符号の説明】

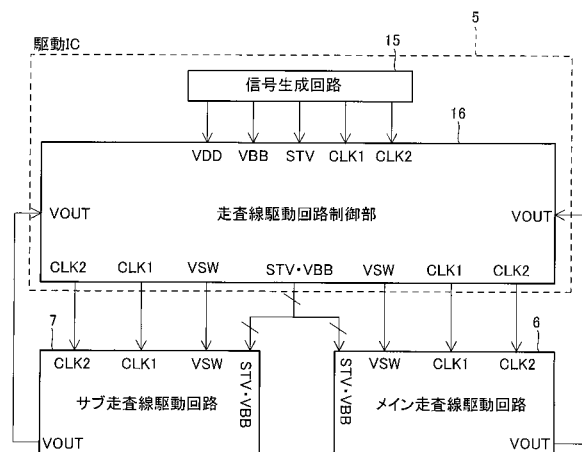
【0067】

1 TFT基板（素子基板） 3 画素 6、6a メイン走査線駆動回路（第1走査線駆動回路）
 7、7a サブ走査線駆動回路（第2走査線駆動回路）
 9、9a ゲート線 11 薄膜トランジスタ（スイッチング素子） 16 走査線駆動回路制御部（制御部）
 17 Vスキャナブロック（走査線駆動回路部）
 100、100a 液晶表示装置（表示装置） 200 PC（電子機器）
 300 携帯電話（電子機器） 400 情報携帯端末（電子機器）

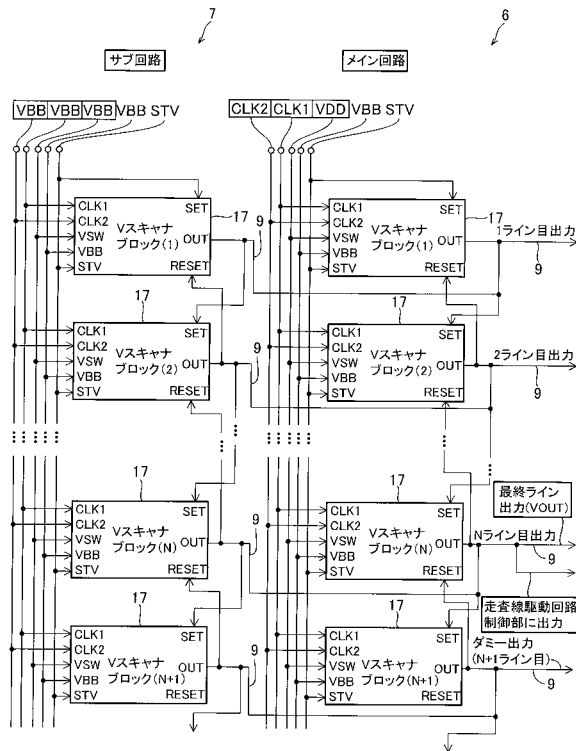
【図1】



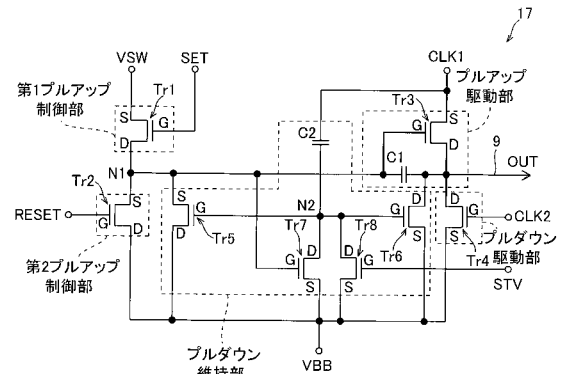
【図2】



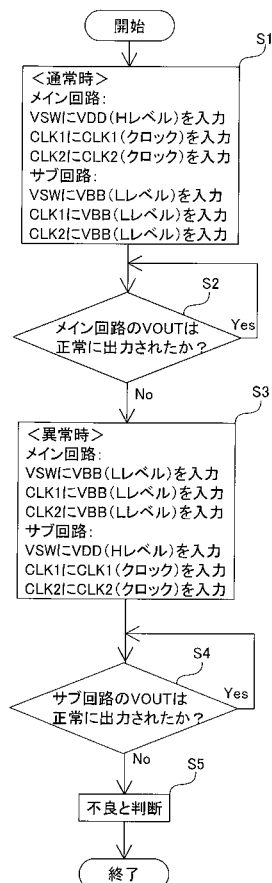
【図 3】



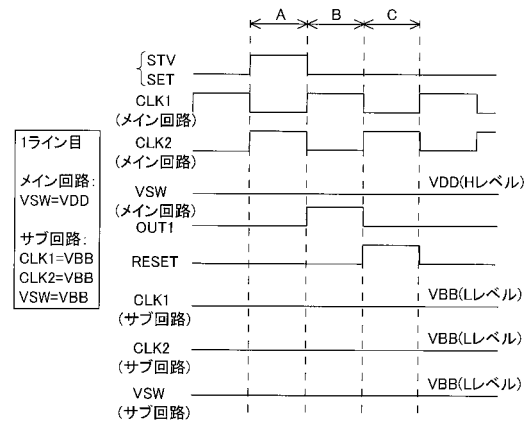
【図 4】



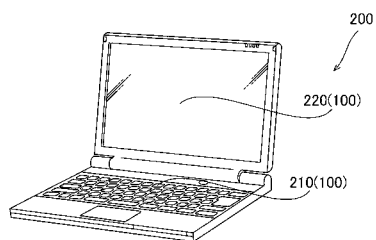
【図 5】



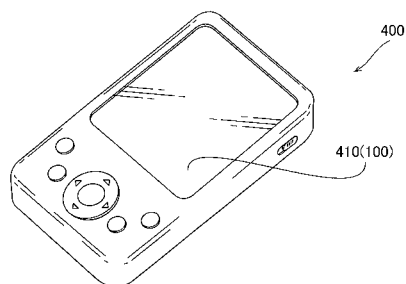
【図 6】



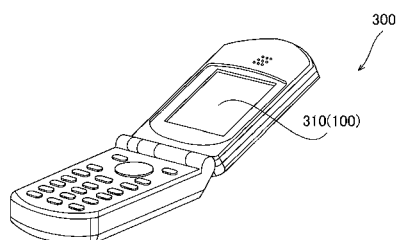
【図 7】



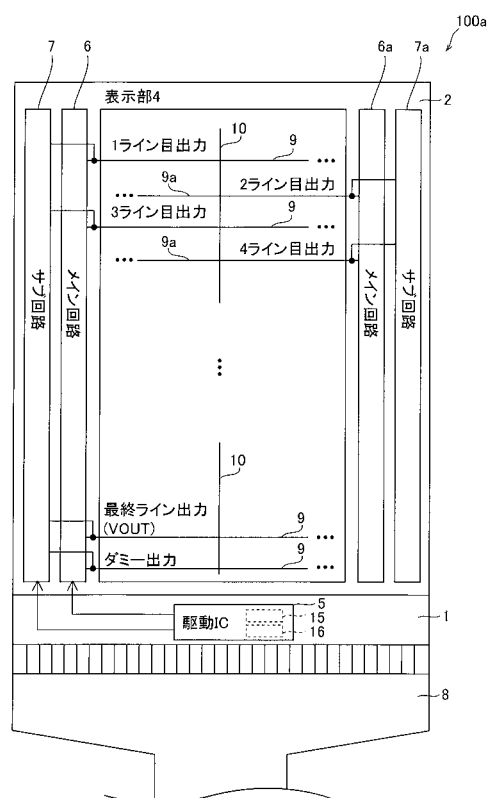
【圖 9】



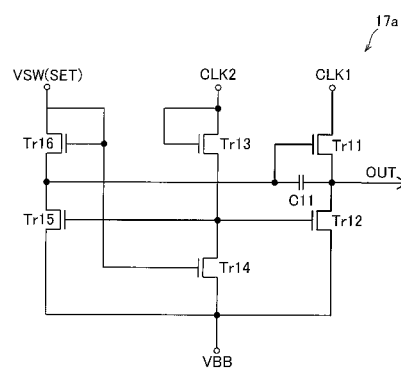
【图 8】



【図 10】



【図 1 1】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 2 F 1/133 5 5 0	
	G 0 9 G 3/20 6 1 1 A	

F ターム(参考) 5C080 AA06 AA10 BB05 DD22 DD26 DD28 FF01 FF11 JJ02 JJ03
JJ04 JJ06 JJ07 KK01 KK07 KK43 KK47

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP2011164328A	公开(公告)日	2011-08-25
申请号	JP2010026238	申请日	2010-02-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	國森隆志		
发明人	國森 隆志		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
CPC分类号	G11C19/184 G09G3/3677 G09G2310/0286 G09G2320/043 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622.B G09G3/20.621.J G09G3/20.670.N G02F1/1368 G02F1/133.550 G09G3/20.611.A G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA50 2H092/GA59 2H092/JA24 2H092/JA31 2H092/JA32 2H092/KA05 2H092/NA21 2H092/PA06 2H193/ZA04 2H193/ZF21 2H193/ZF24 5C006/AF42 5C006/AF53 5C006/AF64 5C006/AF65 5C006/AF68 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF34 5C006/BF37 5C006/EB04 5C006/FA01 5C006/FA41 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/DD28 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 2H192/AA24 2H192/FA44 2H192/FB03 2H192/GD61 5B074/AA10 5B074/CA01 5B074/DB01		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，其中可以提高产量，并且可以简化电路配置，同时抑制功耗的增加。解决方案：液晶显示装置（显示装置）100包括像素3中包括的薄膜晶体管11；栅极线9，与薄膜晶体管11连接；主扫描线驱动电路6和副扫描线驱动电路7连接到栅极线9；扫描线驱动控制单元16，通常控制主扫描线驱动电路6输出驱动薄膜晶体管11的信号，并控制副扫描线驱动电路7的输出进入高阻态。

