

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-141525

(P2011-141525A)

(43) 公開日 平成23年7月21日(2011.7.21)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO9G 3/36 (2006.01)	GO9G 3/36	5C006
GO9G 3/20 (2006.01)	GO9G 3/20 611A	5C080
	GO9G 3/20 621M	
	GO9G 3/20 624B	

審査請求 未請求 請求項の数 8 O L (全 42 頁) 最終頁に続く

(21) 出願番号 特願2010-236503 (P2010-236503)
 (22) 出願日 平成22年10月21日 (2010.10.21)
 (31) 優先権主張番号 特願2009-250517 (P2009-250517)
 (32) 優先日 平成21年10月30日 (2009.10.30)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2009-279000 (P2009-279000)
 (32) 優先日 平成21年12月8日 (2009.12.8)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H092 GA59 JA26 JA31 JA32 JA35
 JA36 KA07 KA12 MA05 MA08
 MA14 NA22
 5C006 AA16 AA22 BB16 BC02 BC06
 BC08 BC20 FA47

最終頁に続く

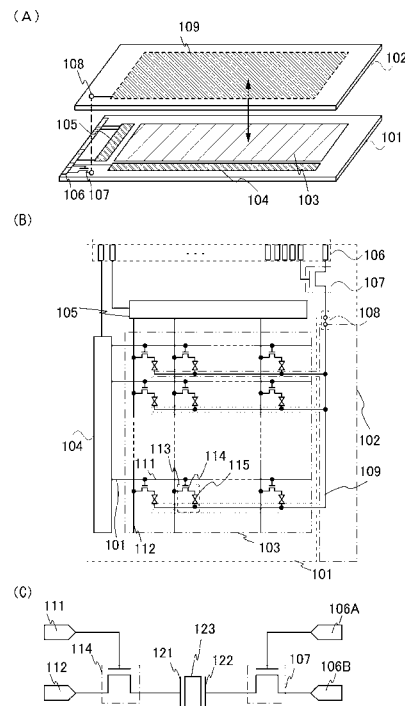
(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、及び当該液晶表示装置を具備する電子機器

(57) 【要約】

【課題】 低消費電力化できる液晶表示装置を提供することを課題の一とする。

【解決手段】 端子部、スイッチングトランジスタ、及び画素電極を有する画素回路が形成された第1の基板と、対向電極が形成された第2の基板と、前記画素電極と前記対向電極の間には液晶素子が挟持されており、前記対向電極に入力される電位は、前記スイッチングトランジスタを介して端子部より供給され、前記スイッチングトランジスタが有する半導体層は、酸化物半導体層である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

端子部、スイッチングトランジスタ、並びに画素トランジスタ及び前記画素トランジスタに電氣的に接続された画素電極を含む複数の画素を有する画素回路が形成された第 1 の基板と、

対向電極が形成された第 2 の基板と、

前記画素電極と前記対向電極との間には液晶が挟持されており、

前記対向基板は、前記スイッチングトランジスタを介して前記端子部と電氣的に接続されており、

前記画素トランジスタ及び前記スイッチングトランジスタが有する半導体層は、酸化物半導体であることを特徴とする液晶表示装置。 10

【請求項 2】

請求項 1 において、前記第 1 の基板上にゲート線駆動回路及び信号線駆動回路を有することと特徴とする液晶表示装置。

【請求項 3】

請求項 1 または 2 において、前記酸化物半導体層は、水素濃度が $1 \times 10^{16} / \text{cm}^3$ 以下であることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記酸化物半導体層は、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満であることを特徴とする液晶表示装置。 20

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一に記載の液晶表示装置を具備する電子機器。

【請求項 6】

端子部、半導体層が酸化物半導体であるスイッチングトランジスタ、並びに半導体層が酸化物半導体である画素トランジスタ及び前記画素電極に電氣的に接続された画素電極を含む複数の画素を有する画素回路が形成された第 1 の基板と、

前記スイッチングトランジスタを介して前記端子部と電氣的に接続される対向電極が形成された第 2 の基板と、

前記画素電極と前記対向電極との間には液晶が挟持されており、

動画を表示する期間において、前記スイッチングトランジスタの第 1 の端子と第 2 の端子とを導通状態とし、前記対向電極には共通電位が供給され、 30

静止画を表示する期間において、前記スイッチングトランジスタの前記第 1 の端子と前記第 2 の端子とを非導通状態とし、前記対向電極を電氣的に浮遊状態とすることを特徴とする液晶表示装置の駆動方法。

【請求項 7】

請求項 6 において、

前記動画を表示する期間において、前記画素トランジスタには、前記画素トランジスタを駆動するためのゲート線駆動回路及び信号線駆動回路からの信号が供給され、

前記静止画を表示する期間において、前記画素トランジスタには、前記画素トランジスタを駆動するためのゲート線駆動回路及び信号線駆動回路からの信号が停止されることを特徴とする液晶表示装置の駆動方法。 40

【請求項 8】

請求項 6 または 7 において、前記スイッチングトランジスタは、前記端子部より前記スイッチングトランジスタのゲート端子に供給される信号に応じて、前記共通電位が供給される前記端子部と前記対向電極との導通状態または非導通状態を制御することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。または、液晶表示装置の駆動方法に関する。または、 50

当該液晶表示装置を具備する電子機器に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の面積化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の面積化には必ずしも適応しないといった特性を有している。

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、またはIn-Ga-Zn-O系酸化物半導体を用いて薄膜トランジスタを作製し、液晶表示装置のスイッチング素子などに用いる技術が特許文献1で開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体をチャネル領域に用いた薄膜トランジスタは、アモルファスシリコンをチャネル領域に用いた薄膜トランジスタよりも高い電界効果移動度が得られている。このような酸化物半導体を用いて形成した薄膜トランジスタを具備する画素は、液晶表示装置等の表示装置への応用が期待される。

【0006】

液晶表示装置は、液晶材料を挟持する両端の電極の電位を所定の期間に保持する保持容量が、各画素に設けられている。液晶材料を挟持する両端の電極の電位を保持するためには、液晶材料を挟持する両端の電極の電荷のリークを低減する必要がある。そこで、各画素に設けられた画素電極に接続されている薄膜トランジスタのオフ電流を低減することが重要となる。オフ電流を低減することで、電圧を保持できる期間を長く取ることができ、静止画等の表示を行う際の低消費電力化を図る上では重要となる。

【0007】

なお本明細書で説明するオフ電流とは、薄膜トランジスタがオフ状態（非導通状態ともいう）のときに、ソースとドレインの間に流れる電流をいう。nチャネル型の薄膜トランジスタ（例えば、しきい値電圧が0乃至2V程度）では、ゲートとソースとの間に印加される電圧が負の電圧の場合に、ソースとドレインとの間を流れる電流のことをいう。

【0008】

液晶材料を挟持する一対の電極としては、画素電極の他に対向電極がある。対向電極側においても電荷のリークを低減し、電圧を保持できる期間を長く取ることができ、静止画等の表示の際に低消費電力化を図る上で重要である。

【0009】

そこで、本発明の一態様は、液晶材料を挟持する電極からの電荷のリークを低減するために、薄膜トランジスタのオフ電流を低減することができ、低消費電力化できる液晶表示装置、液晶表示装置の駆動方法を提供することを課題の一とする。

【課題を解決するための手段】

【0010】

第1の基板上の画素電極と、第2の基板上の対向電極との間に液晶素子を挟持する液晶表示装置において、対向電極に供給する共通電位（コモン電位ともいう）を第1の基板に設けられた端子部より入力する際に、酸化物半導体を半導体層にしたスイッチングトランジ

10

20

30

40

50

スタを介して供給することを要旨とする。

【0011】

本発明の一態様は、端子部、スイッチングトランジスタ、並びに画素トランジスタ及び画素トランジスタに電氣的に接続された画素電極を含む複数の画素を有する画素回路が形成された第1の基板と、対向電極が形成された第2の基板と、画素電極と対向電極の間には液晶が挟持されており、対向基板は、スイッチングトランジスタを介して端子部と電氣的に接続されており、画素トランジスタ及びスイッチングトランジスタが有する半導体層は、酸化物半導体である液晶表示装置である。

【0012】

本発明の一態様において、第1の基板上にゲート線駆動回路及び信号線駆動回路を有する液晶表示装置でもよい。

10

【0013】

本発明の一態様において、酸化物半導体層は、二次イオン質量分析法で検出される水素濃度が $1 \times 10^{16} / \text{cm}^3$ 以下である液晶表示装置でもよい。

【0014】

本発明の一態様において、酸化物半導体層は、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である液晶表示装置でもよい。

【0015】

本発明の一態様は、端子部、半導体層が酸化物半導体であるスイッチングトランジスタ、並びに半導体層が酸化物半導体である画素トランジスタ及び画素電極に電氣的に接続された画素電極を含む複数の画素を有する画素回路が形成された第1の基板と、スイッチングトランジスタを介して端子部と電氣的に接続される対向電極が形成された第2の基板と、画素電極と対向電極の間には液晶が挟持されており、動画像を表示する期間において、スイッチングトランジスタの第1の端子と第2の端子とを導通状態とし、対向電極には共通電位が供給され、静止画を表示する期間において、スイッチングトランジスタの第1の端子と第2の端子とを非導通状態とし、対向電極を電氣的に浮遊状態とする液晶表示装置の駆動方法である。

20

【0016】

本発明の一態様において、動画像を表示する期間において、画素トランジスタには、画素トランジスタを駆動するためのゲート線駆動回路及び信号線駆動回路からの信号が供給され、静止画を表示する期間において、画素トランジスタには、画素トランジスタを駆動するためのゲート線駆動回路及び信号線駆動回路からの信号が停止される液晶表示装置の駆動方法でもよい。

30

【0017】

本発明の一態様において、前記スイッチングトランジスタは、前記端子部より前記スイッチングトランジスタのゲート端子に供給される信号に応じて、前記共通電位が供給される前記端子部と前記対向電極との導通状態または非導通状態を制御する液晶表示装置の駆動方法でもよい。

【発明の効果】

【0018】

本発明の一態様により、薄膜トランジスタのオフ電流を低減し、低消費電力化できる液晶表示装置を提供することができる。

40

【図面の簡単な説明】

【0019】

【図1】実施の形態1の液晶表示装置を説明する図。

【図2】実施の形態1の液晶表示装置を説明する図。

【図3】実施の形態1の液晶表示装置を説明する図。

【図4】実施の形態2の液晶表示装置を説明する図。

【図5】実施の形態3の薄膜トランジスタの断面を説明する図。

【図6】実施の形態4の薄膜トランジスタの断面を説明する図。

50

【図 7】実施の形態 5 の薄膜トランジスタの断面を説明する図。

【図 8】電子機器を示す図。

【図 9】電子機器を示す図。

【図 10】実施の形態 7 を説明するための図。

【図 11】実施の形態 7 を説明するための図。

【図 12】実施の形態 7 を説明するための図。

【図 13】実施の形態 7 を説明するための図。

【図 14】実施の形態 8 を説明するための図。

【図 15】実施の形態 8 を説明するための図。

【図 16】実施の形態 8 を説明するための図。

10

【発明を実施するための形態】

【0020】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0021】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定

20

されない。

【0022】

なお本明細書にて用いる第 1、第 2、第 3、乃至第 N (N は自然数) という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0023】

(実施の形態 1)

本実施の形態では、液晶表示装置の概略図、回路図、及びタイミングチャート等について示し、本実施の形態の構成とすることによる効果について説明することにする。まず図 1 (A) では、液晶表示装置の概略図について説明を行う。

30

【0024】

図 1 (A) で示す液晶表示装置は、第 1 の基板 101、第 2 の基板 102 で構成される。第 1 の基板 101 は、画素回路 103、ゲート線駆動回路 104、信号線駆動回路 105、端子部 106、スイッチングトランジスタ 107 を有する。第 2 の基板 102 は、共通接続部 108 (コモンコンタクトともいう)、対向電極 109 を有する。

【0025】

第 1 の基板 101 及び第 2 の基板 102 は、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。さらに、第 1 の基板 101 及び第 2 の基板 102 の少なくとも 1 つは透光性をもつことが必要である。アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板 (「無アルカリガラス基板」とも呼ばれる)、石英基板、セラミック基板、プラスチック基板等を用

40

いることができる。

【0026】

なお図 1 (A) に示す画素回路 103、ゲート線駆動回路 104、信号線駆動回路 105、及びスイッチングトランジスタ 107 は、第 1 の基板 101 上に形成される薄膜トランジスタにより構成する。なお、図 1 (A) に示すゲート線駆動回路 104 及び信号線駆動回路 105 は、第 1 の基板 101 上に形成する薄膜トランジスタで構成する必要はなく、第 1 の基板 101 の外の別の基板等に形成すればよい。そして一例として図 2 に示すように、画素回路 103 には端子部 106 より延設された配線を介して、表示を行うための信号を入力する構成とすればよい。

50

【0027】

なお画素回路103には、ゲート線駆動回路104及び信号線駆動回路105より延在して複数のゲート線、及び信号線が設けられ、ゲート線及び信号線に環囲されて複数の画素が設けられる。そして複数の信号線には各画素の画素電極に供給する画像信号が供給され、複数のゲート線は信号線より供給される画像信号を選択して各画素の画素電極に供給するよう画素トランジスタを制御する。またゲート線駆動回路104、信号線駆動回路105は、それぞれゲート線、信号線に供給する信号を生成し出力するための回路である。

【0028】

なお、画素回路103における画像の表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、RGBW（Wは白を表す）、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがあある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、本発明の一態様はカラー表示の液晶表示装置に限定されるものではなく、モノクロ表示の液晶表示装置に適用することもできる。

10

【0029】

なお本明細書で述べるスイッチングトランジスタとは、ゲートに印加する電位に応じて、ソース端子及びドレイン端子間の二端子間の導通または非導通を選択して、スイッチング動作を実現しうる薄膜トランジスタを意味する。一例としては、薄膜トランジスタが線形領域で動作するようゲート端子に印加する電位を調整して動作させた素子であればよい。なおスイッチングトランジスタ107のゲートに印加する電位は、端子部106より供給される構成とすればよい。また、スイッチングトランジスタ107の端子部106に接続されるソース端子またはドレイン端子の一方の端子を第1の端子、スイッチングトランジスタ107の共通接続部108を介して対向電極に接続される側の他方の端子を第2の端子と呼ぶことにする。なおスイッチングトランジスタ107の第1の端子からは、対向電極109の共通電位（コモン電位ともいう）が供給され、ゲート端子にスイッチングトランジスタ107の導通または非導通を制御する信号が供給されることとなる。

20

【0030】

なおスイッチングトランジスタの構造については逆スタガ型の構造でもよいし、順スタガ型の構造でもよい。または、チャンネル領域が複数の領域に分かれて直列に接続された、ダブルゲート型の構造でもよい。または、ゲート電極がチャンネル領域の上下に設けられたデュアルゲート型の構造でもよい。また、スイッチングトランジスタを構成する半導体層を複数の島状の半導体層にわけて形成し、スイッチング動作を実現しうるトランジスタ素子としてもよい。

30

【0031】

また端子部106には、ゲート線駆動回路104及び信号線駆動回路105が出力するパルス信号を制御するための信号（スタートパルスSP、クロック信号等）、画像信号（ビデオ電圧、ビデオ信号、ビデオデータともいう）、電源電圧である高電源電位V_{dd}及び低電源電位V_{ss}、対向電極109に供給する共通電位、並びにスイッチングトランジスタ107を動作させるための信号等が供給されることとなる。

40

【0032】

なお高電源電位V_{dd}とは、基準電位より高い電位のことであり、低電源電位V_{ss}とは基準電位以下の電位のことをいう。なお高電源電位及び低電源電位ともに、トランジスタが動作できる程度の電位であることが望ましい。

【0033】

なお、電圧とは、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【0034】

共通電位は、画素電極に供給される画像信号の電位に対して基準となる電位であればよく

50

、一例としてはグラウンド電位であってもよい。

【0035】

共通接続部108は、第1の基板101でのスイッチングトランジスタ107の第2の端子と、第2の基板102での対向電極と、の電気的な接続を図るために設けられており、スイッチングトランジスタ107及び共通接続部108を介して、端子部106より共通電位が対向電極に供給されることとなる。共通接続部108の具体的な一例としては、絶縁性球体に金属薄膜が被覆された導電粒子により電気的な接続を図ればよい。なお、共通接続部108は、第1の基板101及び第2の基板102の間で複数箇所設けられる構成としてもよい。

【0036】

対向電極109は、画素回路103が有する画素電極と重畳して設けられることが好ましい。また対向電極109及び画素回路103が有する画素電極は、多様な開口パターンを有する形状としてもよい。

【0037】

また画素回路103、ゲート線駆動回路104、信号線駆動回路105、及びスイッチングトランジスタ107を第1の基板101上に形成する場合、または画素回路103及びスイッチングトランジスタ107を第1の基板101に形成する場合、各回路素子を構成する薄膜トランジスタは、半導体層を酸化物半導体としたnチャネル型の薄膜トランジスタを用いる。

【0038】

次いで本実施の形態の構成において、薄膜トランジスタの半導体層に用いる酸化物半導体層について説明する。

【0039】

本実施の形態で用いる酸化物半導体は、酸化物半導体に含まれる水素が $1 \times 10^{16} / \text{cm}^3$ 以下として、酸化物半導体に含まれる水素をゼロに近いほど極力除去する。そしてキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下とした酸化物半導体膜でチャネル領域が形成される薄膜トランジスタが構成されるものである。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で行えばよい。

【0040】

酸化物半導体層のエネルギーギャップは2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上として、ドナーの一部を形成する水素等の不純物を極力低減し、キャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下となるようにする。即ち、酸化物半導体層のキャリア濃度は、限りなくゼロにする。

【0041】

このように酸化物半導体層に含まれる水素等の不純物を徹底的に除去することにより高純度化された酸化物半導体を薄膜トランジスタのチャネル形成領域に用いることで、チャネル幅が10mmの場合でさえも、ドレイン電圧が1V及び10Vの場合において、ゲート電圧が-5Vから-20Vの範囲において、ドレイン電流は $1 \times 10^{-13} \text{A}$ 以下となるように作用することができる。

【0042】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、スイッチング素子などを作製した場合、オフ電流値が小さくほとんどリークがないため、当該スイッチング素子に接続されるノードの電荷のリークを限りなく低減することができ、当該ノードでの電位の保持時間を長くすることができる。

【0043】

上述の酸化物半導体層を具備する薄膜トランジスタは、チャネル幅1 μm あたりのオフ電流を $10 \text{aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{A} / \mu\text{m}$)以下にすること、さらには $1 \text{aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{A} / \mu\text{m}$)以下とすることができる。一方低温ポリシリコンを具備する薄膜トランジスタでは、オフ電流が $1 \times 10^{-12} \text{A}$ 相当であると見積もって設計等を行

10

20

30

40

50

うこととなっている。そのため、酸化物半導体を有する薄膜トランジスタでは、低温ポリシリコンを具備する薄膜トランジスタに比べて、電位の保持期間を10000倍程度に引き延ばすことができる。また、アモルファスシリコンを具備する薄膜トランジスタの場合、チャンネル幅1 μm あたりのオフ電流は、 $1 \times 10^{-13} \text{ A} / \mu\text{m}$ 以上である。したがって、保持容量が同等(0.1 pF程度)である際、高純度の酸化物半導体を用いたトランジスタの方がアモルファスシリコンを用いた薄膜トランジスタに比較して、電圧の保持期間を 10^4 倍以上に引き延ばすことができる。

【0044】

具体的にいえば、酸化物半導体層を具備する薄膜トランジスタでは、各画素での画像信号の保持時間を長くすることができるため、例えば、静止画を表示する際の書き込みの間隔は10秒以上、好ましくは30秒以上、さらに好ましくは1分以上10分未満とすることができる。すなわち、保持期間を長くとれることで、特に静止画の表示を行う際に、画素電極及び対向電極への画像信号及び共通電位の供給を行う頻度を低減することができる。そのため、低消費電力化を図ることができる。

10

【0045】

なお、静止画表示において、保持期間中の液晶素子に印加されている電圧の保持率を考慮して、適宜リフレッシュ動作してもよい。例えば、液晶素子の画素電極に信号を書き込んだ直後における電圧の値(初期値)に対して所定のレベルまで電圧が下がったタイミングでリフレッシュ動作を行えばよい。所定のレベルとする電圧は、初期値に対してチラツキを感じない程度に設定することが好ましい。具体的には、表示対象が映像の場合、初期値に対して1.0%低い状態、好ましくは0.3%低い状態となる毎に、リフレッシュ動作(再度の書き込み)を行うのが好ましい。また、表示対象が文字の場合、初期値に対して10%低い状態、好ましくは3%低い状態となる毎に、リフレッシュ動作(再度の書き込み)を行うのが好ましい。

20

【0046】

なお、一例として、通常、低温ポリシリコンを用いたトランジスタを有する画素では表示を60フレーム/秒(1フレームあたり16 msec)で行っている。これは静止画であっても同じで、レートを低下させる(書き込みの間隔を伸ばす)と、画素の電圧が低下して表示に支障をきたすためである。一方、上述の酸化物半導体層を具備するトランジスタを用いた場合、オフ電流が小さいため、1回の信号書き込みによる保持期間を 10^4 倍の160秒程度とすることができる。

30

【0047】

そして、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。保持期間を長くとれるため、特に静止画の表示を行う際に、信号の書き込みを行う頻度を低減することができる。例えば、一つの静止画像の表示期間に画素に書き込む回数は、1回またはn回とすることができる。なお、nは2以上 10^3 回以下とする。こうして、表示装置の低消費電力化を図ることができる。

【0048】

なお、トランジスタのオフ電流の流れ難さをオフ抵抗率として表すことができる。オフ抵抗率とは、トランジスタがオフのときのチャンネル形成領域の抵抗率であり、オフ抵抗率はオフ電流から算出することができる。

40

【0049】

具体的には、オフ電流とドレイン電圧との値が分かればオームの法則からトランジスタがオフのときの抵抗値(オフ抵抗R)を算出することができる。そして、チャンネル形成領域の断面積Aとチャンネル形成領域の長さ(ソースドレイン電極間の距離に相当する)Lが分かれば $R = R A / L$ の式(Rはオフ抵抗)からオフ抵抗率を算出することができる。

【0050】

ここで、断面積Aは、チャンネル形成領域の膜厚をdとし、チャンネル幅をWとするとき、 $A = d W$ から算出することができる。また、チャンネル形成領域の長さLはチャンネル長Lである。以上のように、オフ電流からオフ抵抗率を算出することができる。

50

【0051】

本実施の形態の酸化物半導体層を具備するトランジスタのオフ抵抗率は $1 \times 10^9 \cdot m$ 以上が好ましく、 $1 \times 10^{10} \cdot m$ 以上がより好ましい。

【0052】

なお、静止画と動画像が交互に切り替わって表示を行う液晶表示装置の場合には、ゲート線駆動回路104及び信号線駆動回路105が出力するパルス信号を制御するための信号の供給または停止を繰り返すことで低消費電力化を図ることができる。

【0053】

なお動画像は、複数のフレームに時分割した複数の画像を高速に切り替えることで人間の目に動画像として認識される画像のことをいう。具体的には、1秒間に60回(60フレーム)以上画像を切り替えることで、人間の目にはちらつきが少なく動画像と認識される、連続する画像信号のことである。一方静止画は、動画像と異なり、複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させるものの、連続するフレーム期間、例えばnフレーム目と、(n+1)フレーム目とで画像信号が変化しない画像信号のことをいう。

10

【0054】

なお静止画と動画像が交互に切り替わって表示を行う液晶表示装置の場合、動画像か静止画かの判定については、別の基板等でフレーム間の画像の比較を行い、動画像か静止画かの判定を行う構成とすればよい。一例としては記憶回路及び比較回路を設け、フレーム毎に画像信号を記憶するために別途設けた記憶回路より連続するフレーム期間の画像信号を選択的に読み出して、比較回路にて当該画像信号の比較を行い、差分を検出した際には動画像、検出されない際には静止画と判定する回路を設ければよい。具体的な動作としては、比較回路により動画像と判断、すなわち連続フレーム期間の画像信号の差分が抽出された場合には、画像信号、共通電位が画素回路103の各画素、対向電極に供給される。一方、比較回路により静止画と判断、すなわち連続フレーム期間の画像信号の差分を抽出しない場合には、画素回路103の各画素、対向電極への画像信号、共通電位を停止することとなる。また静止画の場合に画像信号の停止とともに、高電源電位V_{dd}及び低電源電位V_{ss}等の電源電圧を停止する構成とすることで、さらなる低消費電力化を図ることができる。

20

【0055】

なお画像信号、電源電圧、共通電位の供給とは、配線に所定の電位を供給することをいう。また電源電圧の停止とは、配線への所定の電位の供給を停止し、所定の固定電位が供給される配線、例えば低電源電位V_{ss}が供給された配線、に接続することをいう。また画像信号、共通電位の停止とは、所定の電位を供給されている配線との電気的な接続を切断し、当該配線を電気的に浮遊状態とすることをいう。

30

【0056】

なお画像信号、共通電位の停止は、画素回路103の各画素で画像信号を保持できる期間にわたって行うことが望ましく、各画素での保持期間の後に再度画像信号及び共通電位を供給する構成とすればよい。

【0057】

次いで図1(B)に、図1(A)での液晶表示装置の概略図について、特に画素回路103の構成を詳細にした回路図について示す。

40

【0058】

図1(B)に示す液晶表示装置は、図1(A)と同様に、第1の基板101、第2の基板102が設けられている。また第1の基板101は、画素回路103、ゲート線駆動回路104、信号線駆動回路105、端子部106、スイッチングトランジスタ107を有する。第2の基板102は、共通接続部108、対向電極109を有する。

【0059】

図1(B)は、画素回路103において、複数のゲート線111、複数の信号線112が縦横に設けられており、ゲート線111及び信号線112の交差部に、画素トランジスタ

50

114、第1の電極と第2の電極との間に液晶が挟持されて形成される液晶素子115を有する画素113が設けられている様子を示している。図1(B)において、画素トランジスタ114のソース端子またはドレイン端子の一方を第1の端子、ソース端子またはドレイン端子の他方を第2の端子といい、第1の端子が信号線112に接続され、ゲート端子がゲート線111に接続され、第2の端子が液晶素子115の第1の電極に接続される。なお、液晶素子115の第1の電極は、画素電極に相当する。なお液晶素子115の第2の電極は、前述の対向電極109に相当する。

【0060】

なお、画素を構成する画素トランジスタ114は、スイッチングトランジスタ107と同様に、半導体層として酸化物半導体を用いて形成される。酸化物半導体を用いることにより、画素トランジスタを流れるオフ電流を大幅に低減し、画素電極に供給される画像信号に応じた電位の保持期間を長くすることができる。

10

【0061】

次いで、画素電極を有する画素の一画素についての回路図を図1(C)に示す。図1(C)には、画素トランジスタ114、スイッチングトランジスタ107に着目して示しており、画素トランジスタ114のゲート端子がゲート線111に接続され、画素トランジスタ114の第1の端子が信号線112に接続され、画素トランジスタ114の第2の端子が画素電極121に接続される。またスイッチングトランジスタ107のゲート端子が端子部106の端子106Aに接続され、スイッチングトランジスタ107の第1の端子が端子部106の端子106Bに接続され、スイッチングトランジスタ107の第2の端子が共通接続部108を介して電気的に対向電極122に接続される。なお画素電極121と対向電極122との間には、液晶123が挟持され、画素電極121、対向電極122、及び液晶123を併せて液晶素子と呼ぶこともある。

20

【0062】

なお図1(C)では、液晶素子に保持容量を並列に接続しても良い。なお、保持容量の大きさは、画素部に配置される薄膜トランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定すればよい。保持容量の大きさは、薄膜トランジスタのオフ電流等を考慮して設定すればよい。本実施の形態では、薄膜トランジスタとして高純度の酸化物半導体層を有するトランジスタを用いていることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

30

【0063】

液晶123としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0064】

また、液晶123の固有抵抗は、 1×10^{12} ・cm以上であり、好ましくは 1×10^{13} ・cmを越えていることであり、さらに好ましくは 1×10^{14} ・cmを越えていることである。なお、本明細書における固有抵抗の値は、20で測定した値とする。なお液晶の固有抵抗は、電極間に挟持して液晶素子(液晶セルともいう)とした際、固有抵抗が配向膜、シール材等の部材に起因して不純物の混入もあり得るため、 1×10^{11} ・cm以上、より好ましくは 1×10^{12} ・cmを越えていることとなることもある。

40

【0065】

液晶材料の固有抵抗が大きいほど液晶材料を介して漏れる電荷を減らすことができ、液晶素子の動作状態を保持する電圧が経時的に低下する現象を緩和できる。その結果、保持期間を長くとれるため、信号の書き込みを行う頻度を低減でき、液晶表示装置の低消費電力化を図ることができる。

【0066】

50

また、液晶 1 2 3 としてブルー相を示す液晶材料を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために 5 重量 % 以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が 1 m s e c 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【 0 0 6 7 】

また、本実施の形態の構成は、液晶表示装置に限定されず、表示素子としてエレクトロルミネッセンス素子 (E L 素子ともいう) などの発光素子を用いた E L 表示装置にも適用可能である。

【 0 0 6 8 】

また図 3 においては、図 1 (C) に示す回路図での各端子、ゲート線駆動回路 1 0 4、信号線駆動回路 1 0 5 に供給する信号の様子について表すタイミングチャート図を示している。なお一例として説明をするために、図 3 に示す期間 3 0 1 は動画像書き込み期間、期間 3 0 2 は静止画表示期間に相当し、前述の動画像または静止画の判定の結果によって、いずれかの期間とすればよい。また図 3 中で G C K はゲート線駆動回路 1 0 4 に供給するクロック信号であり、G S P はゲート線駆動回路 1 0 4 に供給するスタートパルスであり、S C K は信号線駆動回路 1 0 5 に供給するクロック信号であり、S S P は信号線駆動回路 1 0 5 に供給するスタートパルスである。また、図 3 は併せて、画素電極 1 2 1 の電位、端子 1 0 6 A の電位、端子 1 0 6 B の電位、対向電極 1 2 2 の電位、について示したものである。

【 0 0 6 9 】

なお期間 3 0 1 の動画像書き込み期間は、前述の連続するフレーム期間の画像信号の比較を行い、差分を検出した際の期間に相当する。また、期間 3 0 2 の静止画書き込み期間は、前述の連続するフレーム期間の画像信号の比較を行い、差分を検出しない際の期間に相当する。従って、期間 3 0 1 では、画像信号、共通電位が画素回路 1 0 3 の各画素、対向電極に供給されるように動作することとなる。一方、期間 3 0 2 では、画素回路 1 0 3 の各画素、対向電極への画像信号、共通電位を停止することとなる。

【 0 0 7 0 】

具体的には図 3 に示すように期間 3 0 1 において、クロック信号 G C K は常時クロック信号を供給することとなる。また図 3 に示すように、スタートパルス G S P は、垂直同期周波数に応じてパルスを供給することとなる。また図 3 に示すように期間 3 0 1 において、クロック信号 S C K は常時クロック信号を供給することとなる。また図 3 に示すようにスタートパルス S S P は、1 ゲート選択期間に応じてパルスを供給することとなる。また図 3 に示すように、信号線 1 1 2 には各行の画素に供給するための画像信号 d a t a が供給され、ゲート線 1 1 1 の電位に応じて画素内の画素電極 1 2 1 に信号線 1 1 2 の電位が供給されることとなる。また図 3 に示すように、スイッチングトランジスタ 1 0 7 のゲート端子にあたる端子 1 0 6 A は、スイッチングトランジスタ 1 0 7 を導通状態とする電位を供給し、端子 1 0 6 B の電位である共通電位が、対向電極 1 2 2 に供給されることとなる。

【 0 0 7 1 】

また図 3 に示すように期間 3 0 2 において、クロック信号 G C K 及びスタートパルス G S P は共に停止する。また図 3 に示すように、クロック信号 S C K 及びスタートパルス S S

10

20

30

40

50

Pも共に停止する。また図3に示すように信号線112に供給していた画像信号dataも停止する。また図3に示すように、クロック信号GCK及びスタートパルスGSPは共に停止するため、画素トランジスタ114が非導通状態となり画像信号dataの供給が停止して、画素電極121の電位が浮遊状態（フローティング）となる。また、スイッチングトランジスタ107のゲート端子にあたる端子106Aは、スイッチングトランジスタ107を非導通状態とする電位を供給し、端子106Bの電位である共通電位の供給が停止して、対向電極122の電位が浮遊状態となる。

【0072】

すなわち、期間302では、液晶123の両端の電極、即ち画素電極121及び対向電極122の電位を浮遊状態とすることで新たに電位を供給することなく、静止画の表示を行うことができる。ゲート線駆動回路104、信号線駆動回路105に供給するクロック信号、及びスタートパルスを停止することにより低消費電力化を図ることができる。また液晶素子の両端を非導通状態時にオフ電流を低減することのできる酸化物半導体層を用いた半導体層を具備する薄膜トランジスタで画素トランジスタ114及びスイッチングトランジスタ107を形成することで、液晶素子を流れる電流を低減することができる。

10

【0073】

上述のように酸化物半導体層を具備する薄膜トランジスタは、オフ電流を $10\text{ a A} / \mu\text{m}$ 以下とすることができる。そのため、非晶質珪素等を半導体層に用いた薄膜トランジスタに比べ、画素電極121及び対向電極122を浮遊状態とする期間となる、保持期間を大きくとることができる。そのため、本実施の形態における静止画の表示を行う際に低消費電力化を図るうえでの相乗効果が見込めることとなる。

20

【0074】

なお図1(C)での液晶123の抵抗率は、おおよそ 1×10^{12} 乃至 1×10^{13} [・cm]程度である。図3での期間302では、液晶123の両端の電極、即ち画素電極121及び対向電極122の電位を、オフ電流のほとんどない薄膜トランジスタによって浮遊状態とすることにより、液晶123の両端に印加される電圧による液晶123を流れるオフ電流を低減することができる。

【0075】

その結果、静止画表示を行う際、低消費電力化を図りつつ、且つ画像の乱れの低減された液晶表示装置とすることができる。

30

【0076】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0077】

(実施の形態2)

上記実施の形態1で説明した液晶表示装置の構成について、図4を用いて具体的な上面図及び断面図を示し、説明する。

【0078】

図4(A)に、本発明の液晶表示装置の上面図を示す。図4(A)は、第1の基板1210にフレキシブルプリント基板FPCを貼り付ける前の液晶表示装置の上面図であり、図4(B)は、導電粒子と接続配線の接続領域を示す図4(A)のG-Hの断面図を示し、図4(C)は画素回路と接続配線の接続領域を示す図4(A)のE-Fの断面図を示す。

40

【0079】

なお、図4(A)乃至(C)は透過型の液晶表示装置の例であるが、本実施の形態は半透過型や反射型の液晶表示装置にも適用できる。

【0080】

画素電極が形成されたアクティブマトリクス基板となる第1の基板1210と対向電極1291が形成された第2の基板1204がシール材1205により貼り合わされており、シール材1205の内側に液晶1280が充填されている。第1の基板1210上には信号線駆動回路1200、走査線駆動回路1201、及び画素電極がマトリクス状に形成さ

50

れた画素回路 1202 が形成されている。

【0081】

対向電極 1291 は、端子部 1240 から延在する接続配線 1208、及びスイッチングトランジスタ 1261、一对の基板間に配置される導電粒子が設けられる樹脂層 1235 により端子部 1240 と電氣的に接続される。なお当該接続の箇所は、少なくとも 1カ所あればよく、複数であってもよい。

【0082】

駆動回路部として、第 1 の基板 1210 上に、駆動回路用薄膜トランジスタ 1223 を有する回路を備えた信号線駆動回路 1200 を示す。また第 1 の基板上に、駆動回路用薄膜トランジスタを有する走査線駆動回路 1201 を有している。

10

【0083】

画素回路 1202 は、画素トランジスタ 1211 を有する。また、絶縁層 1214 上には画素トランジスタ 1211 に接続する画素電極 1250 が形成される。

【0084】

画素トランジスタ 1211、駆動回路用薄膜トランジスタ 1223、スイッチングトランジスタ 1261 は、酸化物半導体層、ゲート絶縁層、並びにゲート電極層で構成される。駆動回路用薄膜トランジスタ 1223 は絶縁層 1214 を介してゲート電極層及び酸化物半導体層と重なる導電層 1293 をその上に有している。またスイッチングトランジスタ 1261 は、樹脂層 1235 に設けられた導電粒子 1270 により対向電極 1291 と電氣的に接続されている。

20

【0085】

なお図 4 (A) において、スイッチングトランジスタ 1261 は、シール材 1205 の外部の領域に設ける構成としたが、シール材 1205 の内部の領域、一例としては信号線駆動回路 1200 が設けられる領域に併設してもよい。スイッチングトランジスタ 1261 をシール材 1205 の内部の領域に設けることにより、外部からの衝撃等からの保護を図ることができるため、スイッチングトランジスタ 1261 の長寿命化を図ることができる。

【0086】

駆動回路用薄膜トランジスタ 1223 において、酸化物半導体層をゲート電極層と導電層 1293 で挟み込む構成とすることにより、駆動回路用薄膜トランジスタ 1223 のしきい値ばらつきを低減させることができ、安定した電気特性を有する駆動回路用薄膜トランジスタ 1223 を備えた液晶表示装置を提供することができる。導電層 1293 は、ゲート電極層と同電位としても良いし、フローティング電位でも良いし、固定電位、例えば GND 電位や 0V でもよい。また、導電層 1293 に任意の電位を与えることで、駆動回路用薄膜トランジスタ 1223 のしきい値を制御することができる。

30

【0087】

第 1 の基板 1210 及び第 2 の基板 1204 としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板(「無アルカリガラス基板」とも呼ばれる)、石英基板、セラミック基板、プラスチック基板等を適宜用いることができる。第 1 の基板 1210 及び第 2 の基板 1204 として、可撓性を有するプラスチック基板を用いることで、可撓性を有する液晶表示装置を作製することができる。

40

【0088】

シール材 1205 は、スクリーン印刷法、インクジェット装置またはディスペンス装置を用いて第 1 基板または第 2 基板上に塗布する。シール材 1205 は、代表的には可視光硬化性、紫外線硬化性または熱硬化性の樹脂を含む材料を用いることができる。例えば、ビスフェノール A 型液状樹脂、ビスフェノール A 型固形樹脂、含ブロムエポキシ樹脂、ビスフェノール F 型樹脂、ビスフェノール AD 型樹脂、フェノール型樹脂、クレゾール型樹脂、ノボラック型樹脂、環状脂肪族エポキシ樹脂、エピビス型エポキシ樹脂、グリジシルエステル樹脂、グリジシルアミン樹脂、複素環式エポキシ樹脂、変性エポキシ樹脂等のエポ

50

キシ樹脂を用いることができる。シール材 1205 としては粘度 40 ~ 400 Pa・s のものを用いる。また、フィラー（直径 1 μm ~ 24 μm）を含んでもよい。なお、シール材としては、後に接する液晶に溶解しないシール材料を選択することが好ましい。

【0089】

導電粒子 1270 として、絶縁性球体に金属薄膜が被覆された導電粒子を用いることができる。絶縁性球体は、シリカガラス、硬質樹脂等で形成される。金属薄膜は、金、銀、パラジウム、ニッケル、ITO、及びIZOの単層または積層構造とすることができる。例えば、金属薄膜として金薄膜や、ニッケル薄膜及び金薄膜の積層等を用いることができる。絶縁性球体を中心に有する導電粒子を用いることで、弾性が高まり、外部からの圧力に対する破壊を低減することができる。

10

【0090】

画素電極 1250 の種類は、透過型の液晶表示装置の場合と反射型の液晶表示装置で異なる。透過型液晶表示装置の場合、画素電極 1250 は透光性を有する材料を用いて形成する。透光性を有する材料とは、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）等がある。

【0091】

また、画素電極 1250 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が 10000 / 以下、波長 550 nm における透光率が 70 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0.1 · cm 以下

20

【0092】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0093】

一方、反射型の液晶表示装置の場合、画素電極としては反射率の高い金属電極が用いられる。具体的には、アルミニウム、銀等が用いられる。また、画素電極の表面を凹凸状にすることで、反射率が高まる。このため、画素電極の下地膜を凹凸とすればよい。

【0094】

また、半透過型の液晶表示装置の場合には、画素電極は透過型の材料と反射型の材料が用いられる。

30

【0095】

また、第1の基板 1210 の端部には、端子部 1240 が形成される。端子部 1240 には、接続配線 1208 上に接続端子 1241 が形成される。

【0096】

図4(B)は、導電粒子 1270 と接続端子とが接続される領域の断面図である。第1の基板 1210 上に接続配線 1208、スイッチングトランジスタ 1261 が形成される。接続配線 1208 上には画素電極 1250 と同時に形成される接続端子 1241 が形成される。接続端子 1241 は、接続配線 1208、スイッチングトランジスタ 1261、及び導電粒子 1270 を介して、対向電極 1291 と電氣的に接続される。また、接続端子 1241 は FPC（図示せず）と接続される。なお、図4(B)において、導電粒子 1270 は樹脂層 1235 によって固定されている。樹脂層 1235 としては、シール材 1205 で用いるような有機樹脂材料を用いることができる。

40

【0097】

図4(C)は、画素電極と接続端子とが接続される領域の断面図である。第1の基板 1210 上に、薄膜トランジスタのソース電極層及びドレイン電極層と同時に形成される接続配線 1242 が形成される。接続配線 1242 上に、画素電極 1250 と同時に形成される接続端子 1243 が形成される。接続端子 1243 は、接続配線 1242 を介して、画素電極 1250 と電氣的に接続される。なお、本実施の形態では、アクティブマトリクス

50

型の液晶表示装置の形態を用いているため、画素電極 1250 と接続配線 1242 は直接接続せず、画素トランジスタ 1211、または信号線駆動回路 1200 を介して接続する。

【0098】

そして、画素電極 1250 上に配向膜 1206 が設けられ、ラビング処理が施されている。この配向膜 1206 およびラビング処理は、使用する液晶のモードにより必要な場合と不必要な場合がある。

【0099】

対向基板となる第 2 の基板 1204 には、信号線駆動回路 1200 と重なる位置にブラックマトリクス、画素回路 1202 と重なる位置にカラーフィルタ、さらに保護層などを設けてもよい。また、対向電極 1291 が形成され、対向電極 1291 上に配向膜 1207 が設けられ、ラビング処理が施されている。この第 2 の基板 1204 も第 1 の基板 1210 と同様に、使用する液晶のモードにより配向膜およびラビング処理が必要な場合と不必要な場合がある。

10

【0100】

対向電極 1291 が形成された第 2 の基板 1204 または画素電極 1250 が形成された第 1 の基板 1210 に、柱状スペーサー 1255 が設けられる。柱状スペーサー 1255 は第 1 の基板 1210 と第 2 の基板 1204 とのギャップを保持するためのものであり、本実施の形態では、第 2 の基板 1204 側に設ける例を示す。この柱状スペーサーはフォトリソスペーサー、ポストスペーサー、貝柱スペーサー、カラムスペーサーとも呼ばれている。なお球状のスペーサーを用いても良い。本実施の形態では、柱状スペーサーを用いて示す。柱状スペーサー 1255 の作製方法としては、感光性アクリルなどの有機絶縁材料を基板の全面にスピンコート法により塗布し、これを一連のフォトリソグラフィの工程を行うことにより、基板上に残った感光性アクリルがスペーサーとしての役割を果たす。当該方法により、露光時のマスクパターン次第でスペーサーの配置したい場所に露光できるため、液晶が駆動しない部分にこの柱状スペーサーを配置することにより、上下基板間のギャップを維持するだけでなく、液晶を透過する光の漏れも防ぐことができる。また、柱状スペーサー 1255 は、インクジェット法により有機絶縁材料を含む組成物を吐出し焼成して形成することができる。

20

【0101】

導電粒子 1270 の周囲には導電性ポリマーが充填されてもよい。導電性ポリマーの代表例としては、導電性ポリアニリン、導電性ポリピロール、導電性ポリチオフェン、ポリエチレンジオキシチオフェン (PEDOT) とポリスチレンスルホン酸 (PSS) の錯体等も用いることができる。また、画素電極 1250 に用いることが可能な導電性ポリマーに列挙したものを適宜用いることができる。導電性ポリマーは、インクジェット装置、ディスペンサ装置等で導電性ポリマーを塗布して形成する。対向電極または接続配線に導電性ポリマーが接していることにより、導電粒子 1270 と導電性ポリマーが接し、対向電極及び接続配線の接続抵抗を低減することが可能である。

30

【0102】

なお、接続配線 1208 と、第 2 の基板 1204 上に形成される対向電極 1291 が導電粒子 1270 を介して導通する。

40

【0103】

シール材 1205 及び導電粒子 1270 を、第 1 の基板 1210 上または第 2 の基板 1204 上に吐出し、その後、シール材 1205 の内側に液晶を吐出する。この後、第 1 の基板 1210 及び第 2 の基板 1204 を減圧雰囲気中で貼り合せ、UV 光を照射してシール材 1205 を硬化した後、加熱してシール材 1205 を更に硬化して第 1 の基板 1210 及び第 2 の基板 1204 を固着する。また、当該加熱により、液晶の配向を均一にする。

【0104】

この結果、第 1 の基板 1210 と第 2 の基板 1204 を貼り合わせることができる。

【0105】

50

そして、第1の基板1210と、第2の基板1204がパネルの形に分断される。さらに、コントラストを高めるために第1の基板1210の外側に第1偏光板1290と、第2の基板1204の外側に第2偏光板1295が設けられている。なお、反射型の表示装置の場合には第1偏光板1290が必要ない場合がある。

【0106】

また、本実施の形態では図示しないが、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0107】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0108】

以上説明した酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の構成において、上記実施の形態1と同様に、静止画表示を行う際、低消費電力化を図りつつ、且つ画像の乱れの低減された液晶表示装置とすることができる。

【0109】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0110】

（実施の形態3）

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの例を示す。本実施の形態で示す薄膜トランジスタ410、420は、実施の形態2のスイッチングトランジスタ1261、画素トランジスタ1211として用いることができる。

【0111】

本実施の形態の液晶表示装置及び液晶表示装置の作製方法の一形態を、図5を用いて説明する。

【0112】

図5（A）乃至（E）に液晶表示装置の断面構造の一例を示す。図5（A）乃至（E）に示す薄膜トランジスタ410、420は、チャンネルエッチ型と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。図5（A）乃至（E）において、薄膜トランジスタ410はスイッチングトランジスタであり、薄膜トランジスタ420は画素トランジスタである。

【0113】

また、薄膜トランジスタ410、420はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0114】

以下、図5（A）乃至（E）を用い、基板400上に薄膜トランジスタ410、420を作製する工程を説明する。

【0115】

まず、絶縁表面を有する基板400上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層411、ゲート電極層421を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0116】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なく

10

20

30

40

50

とも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0117】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のもので用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素(B_2O_3)と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい

【0118】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラス基板などを用いることができる。

【0119】

下地膜となる絶縁膜を基板400とゲート電極層411、及びゲート電極層421との間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0120】

また、ゲート電極層411、及びゲート電極層421の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0121】

例えば、ゲート電極層411、及びゲート電極層421の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3層の積層構造としては、タングステンまたは窒化タングステンと、アルミニウムと珪素の合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタンとを積層した積層構造とすることが好ましい。

【0122】

次いで、ゲート電極層411、及びゲート電極層421上にゲート絶縁層402を形成する。

【0123】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。またゲート絶縁層として酸化ハフニウム(HfO_x)、酸化タンタル(TaO_x)等のHigh-k材料を用いることもできる。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

【0124】

本実施の形態では、ゲート絶縁層402としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0125】

またゲート絶縁層402として、高密度プラズマ装置を用い、酸化窒化珪素膜の形成を行ってもよい。ここで高密度プラズマ装置は、 $1 \times 10^{11} / cm^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3kW~6kWのマイクロ波電力を印加してプラズマを発生させて、絶縁膜の成膜を行う。

10

20

30

40

50

【0126】

チャンパーに材料ガスとしてモノシランガス (SiH_4) と亜酸化窒素 (N_2O) と希ガスを導入し、 $10\text{ Pa} \sim 30\text{ Pa}$ の圧力下で高密度プラズマを発生させてガラス等の絶縁表面を有する基板上に絶縁膜を形成する。その後、モノシランガスの供給を停止し、大気に曝すことなく亜酸化窒素 (N_2O) と希ガスを導入して絶縁膜表面にプラズマ処理を行ってもよい。少なくとも亜酸化窒素 (N_2O) と希ガスを導入して絶縁膜表面に行われるプラズマ処理は、絶縁膜の成膜より後に行う。上記プロセス順序を経た絶縁膜は、膜厚が薄く、例えば 100 nm 未満であっても信頼性を確保することができる絶縁膜である。

【0127】

ゲート絶縁層 402 の形成の際、チャンパーに導入するモノシランガス (SiH_4) と亜酸化窒素 (N_2O) との流量比は、 $1:10$ から $1:200$ の範囲とする。また、チャンパーに導入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0128】

また、高密度プラズマ装置により得られた絶縁膜は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁膜は、薄い膜の厚さを精密に制御することができる。

【0129】

上記プロセス順序を経た絶縁膜は、従来の平行平板型の PCVD 装置で得られる絶縁膜とは大きく異なっており、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型の PCVD 装置で得られる絶縁膜の 10% 以上または 20% 以上遅く、高密度プラズマ装置で得られる絶縁膜は緻密な膜と言える。

【0130】

なお後の工程で I 型化又は実質的に I 型化される酸化物半導体 (高純度化された酸化物半導体) は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁膜との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜 (GI) は、高品質化が要求される。従って μ 波 (2.45 GHz) を用いた高密度プラズマ CVD は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位密度を低減して界面特性を良好なものとすることができるからである。ゲート絶縁膜としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できることが重要である。

【0131】

次いで、ゲート絶縁層 402 上に、膜厚 2 nm 以上 200 nm 以下の酸化物半導体膜 430 を形成する。酸化物半導体膜 430 の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とするため、膜厚を 50 nm 以下と薄くすることが好ましい。酸化物半導体膜の膜厚を薄くすることで酸化物半導体層の形成後に加熱処理した場合に、酸化物半導体膜が結晶化してしまうのを抑制することができる。

【0132】

なお、酸化物半導体膜 430 をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 402 の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0133】

酸化物半導体膜 430 は、 In-Ga-Zn-O 系、 In-Sn-O 系、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、

10

20

30

40

50

In - O系、Sn - O系、Zn - O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜430としてIn - Ga - Zn - O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図5(A)に相当する。また、酸化物半導体膜430は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害するSiO_x(X>0)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に酸化物半導体膜が結晶化してしまうのを抑制することが好ましい。

【0134】

ここでは、In、Ga、及びZnを含む酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol%]、すなわちIn:Ga:Zn=1:1:0.5[atom%])を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm、酸素流量比率40%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。In - Ga - Zn - O系膜の膜厚は、5nm以上200nm以下とする。本実施の形態では、酸化物半導体膜として、In - Ga - Zn - O系酸化物半導体ターゲットを用いてスパッタ法により膜厚20nmのIn - Ga - Zn - O系膜を成膜する。また、In、Ga、及びZnを含む酸化物半導体ターゲットとして、In:Ga:Zn=1:1:1[atom%]、又はIn:Ga:Zn=1:1:2[atom%]の組成比を有するターゲットを用いることもできる。

【0135】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、直流電源を用いるDCスパッタ法と、さらにパルスのバイアスを与えるパルスDCスパッタ法がある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0136】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0137】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0138】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0139】

次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0140】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431、432

10

20

30

40

50

を得る（図5（B）参照）。

【0141】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0142】

例えば、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0143】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

20

【0144】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体膜が結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体膜となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体の中に微結晶部（粒径1nm以上20nm以下（代表的には2nm以上4nm以下））が混在する酸化物半導体膜となる場合もある。また、RTA（GRTA、LRTA）を用いて高温の加熱処理を行うと、酸化物半導体膜の表面側に縦方向（膜厚方向）の針状結晶が生じる場合もある。

30

【0145】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0146】

酸化物半導体層に対する脱水化、脱水素化の加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上に保護絶縁膜を形成した後、のいずれで行ってもよい。

40

【0147】

また、ゲート絶縁層402に開口部を形成する場合、その工程は酸化物半導体膜430に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0148】

なお、ここでの酸化物半導体膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0149】

ドライエッチングに用いるスパッタガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（Cl₂）、塩化硼素（BCl₃）、塩化珪素（SiCl₄）、四塩化炭素（CCl₄）など）が好ましい。

50

【0150】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、弗化硫黄（ SF_6 ）、弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

【0151】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

10

【0152】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0153】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

20

【0154】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0155】

次いで、ゲート絶縁層402、及び酸化物半導体層431、432上に、金属導電膜を形成する。金属導電膜をスパッタ法や真空蒸着法で形成すればよい。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジウム）、Sc（スカンジウム）から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

30

【0156】

金属導電膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

40

【0157】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層415a、ドレイン電極層415b、ソース電極層425a、及びドレイン電極層425bを形成した後、レジストマスクを除去する（図5（C）参照）。

【0158】

なお、金属導電膜のエッチングの際に、酸化物半導体層431、432は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0159】

本実施の形態では、金属導電膜としてTi膜を用いて、酸化物半導体層431、432に

50

は In - Ga - Zn - O 系酸化物を用いて、エッチャントとしてアンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水 = 5：2：2）を用いる。

【0160】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431、432は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層415a、ドレイン電極層415b、ソース電極層425a、及びドレイン電極層425bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0161】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0162】

次いで、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0163】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層416を形成する。

【0164】

酸化物絶縁層416は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層416に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層416に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素が酸化物半導体層中の酸素を引き抜き、が生じ酸化物半導体層のバックチャンネルが低抵抗化（N型化）してしまい、寄生チャンネルが形成される。よって、酸化物絶縁層416はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0165】

本実施の形態では、酸化物絶縁層416として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層416は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

【0166】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャンネル形成領域）が酸化物絶縁層416と接した状態で加熱される。

【0167】

10

20

30

40

50

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体膜の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層411と重なるチャネル形成領域413はI型となり、ソース電極層415aに重なる高抵抗ソース領域414aと、ドレイン電極層415bに重なる高抵抗ドレイン領域414bとが自己整合的に形成される。以上の工程で薄膜トランジスタ410が形成される。同様に、ゲート電極層421と重なるチャネル形成領域423はI型となり、ソース電極層425aに重なる高抵抗ソース領域424aと、ドレイン電極層425bに重なる高抵抗ドレイン領域424bとが自己整合的に形成される。以上の工程で薄膜トランジスタ420が形成される。

【0168】

85、 2×10^6 V/cm、12時間のゲートバイアス・熱ストレス試験（BT試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のドリフトを誘発することとなる。これに対して、酸化物半導体の不純物、特に水素や水等を極力除去し、上述の高密度プラズマCVDを用いて緻密で絶縁耐圧の高い高品質な絶縁膜とし、酸化物半導体との界面特性を良好にすることにより、BT試験に対しても安定な薄膜トランジスタを得ることができる。

【0169】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

【0170】

なお、ドレイン電極層415b、425b（及びソース電極層415a、425a）と重畳した酸化物半導体層において高抵抗ドレイン領域414b、424b（又は高抵抗ソース領域414a、424a）を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域414b、424bを形成することで、ドレイン電極層415b、425bから高抵抗ドレイン領域414b、424b、チャネル形成領域413、423にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層415b、425bに高電源電位V_{dd}を供給する配線に接続して動作させる場合、ゲート電極層411、421とドレイン電極層415b、425bとの間に高電圧が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じにくく、トランジスタの耐圧を向上させた構成とすることができる。

【0171】

また、酸化物半導体層における高抵抗ソース領域又は高抵抗ドレイン領域は、酸化物半導体層の膜厚が15nm以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が30nm以上50nm以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化し高抵抗ソース領域又は高抵抗ドレイン領域が形成され、酸化物半導体層においてゲート絶縁膜に近い領域はI型とすることもできる。

【0172】

酸化物絶縁層416上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化

10

20

30

40

50

アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウムなどを用いる。本実施の形態では、保護絶縁層として保護絶縁層403を、窒化珪素膜を用いて形成する(図5(D)参照)。

【0173】

保護絶縁層403上に平坦化のための平坦化絶縁層を設けてもよい。図5(E)に示すように、薄膜トランジスタ420上の保護絶縁層403上に平坦化絶縁層404を形成する。

【0174】

平坦化絶縁層404としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(Low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層404を形成してもよい。

10

【0175】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基(例えばアルキル基やアリアル基)やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0176】

平坦化絶縁層404の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

20

【0177】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層416、保護絶縁層403、平坦化絶縁層404の一部を除去して、ドレイン電極層425bに達する開口を形成する。

【0178】

次いで、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金(In_2O_3 SnO₂、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませたAl-Zn-O系非単結晶膜、即ちAl-Zn-O-N系膜や、窒素を含ませたZn-O系膜や、窒素を含ませたSn-Zn-O系膜を用いてもよい。なお、Al-Zn-O-N系膜の亜鉛の組成比(原子%)は、47原子%以下とし、膜中のアルミニウムの組成比(原子%)より大きく、膜中のアルミニウムの組成比(原子%)は、膜中の窒素の組成比(原子%)より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)を用いてもよい。

30

【0179】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー(EPMA:Electron Probe X-ray MicroAnalyzer)を用いた分析により評価するものとする。

40

【0180】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより透光性を有する導電膜の不要な部分を除去して画素電極427を形成し、レジストマスクを除去する(図5(E)参照)。

【0181】

本実施の形態では、ゲート絶縁層の開口工程は図面においては、例示していないが、ゲート絶縁層の開口は酸化物絶縁層、保護絶縁層の開口と同じフォトリソグラフィ工程で行っ

50

ても、別工程で行ってもよく、別工程で行う場合、フォトリソグラフィ工程が6工程となる。

【0182】

本実施の形態で説明した酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置において、実施の形態1の構成と組み合わせることで、静止画表示を行う際、低消費電力化を図りつつ、且つ画像の乱れの低減を図ることができる。

【0183】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0184】

(実施の形態4)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ240、260は、実施の形態2のスイッチングトランジスタ1261、画素トランジスタ1211として用いることができる。

【0185】

本実施の形態の液晶表示装置及び液晶表示装置の作製方法の一形態を、図6を用いて説明する。

【0186】

また、薄膜トランジスタ240、260はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0187】

以下、図6(A)乃至(E)を用い、基板290上に薄膜トランジスタ240、260を作製する工程を説明する。

【0188】

まず、絶縁表面を有する基板290上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層241、ゲート電極層261を形成する。本実施の形態では、ゲート電極層241、ゲート電極層261として、膜厚150nmのタングステン膜を、スパッタ法を用いて形成する。

【0189】

次いで、ゲート電極層241、ゲート電極層261上にゲート絶縁層292を形成する。本実施の形態では、ゲート絶縁層292としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0190】

次いで、ゲート絶縁層292に、金属導電膜を形成し、第2のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層245a、265a、ドレイン電極層245b、265bを形成した後、レジストマスクを除去する(図6(A)参照)。

【0191】

次に酸化物半導体膜295を形成する(図6(B)参照)。本実施の形態では、酸化物半導体膜295としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。酸化物半導体膜295を第3のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0192】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層296、297を得る(図6(C)参照)。

【0193】

10

20

30

40

50

また、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0194】

酸化物半導体層296、297に接する保護絶縁膜となる酸化物絶縁層246を形成する。

【0195】

酸化物絶縁層246は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層246に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層246に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素が酸化物半導体層中の酸素を引き抜き、が生じ酸化物半導体層の酸化物絶縁層246と接する領域が低抵抗化(N型化)してしまい、寄生チャネルが形成される。よって、酸化物絶縁層246はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

10

【0196】

本実施の形態では、酸化物絶縁層246として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び酸素雰囲気下でスパッタ法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層246は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

20

【0197】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、酸素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が酸化物絶縁層246と接した状態で加熱される。

30

【0198】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体膜を酸素過剰な状態とする。その結果、I型の酸化物半導体層242、262が形成される。以上の工程で薄膜トランジスタ240、260が形成される。

【0199】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

40

【0200】

酸化物絶縁層246上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。本実施の形態では、保護絶縁層293を、窒化珪素膜を用いて形成する(図6(D)参照)。

50

【0201】

保護絶縁層293上に平坦化のための平坦化絶縁層を設けてもよい。本実施の形態では、図6(E)に示すように、薄膜トランジスタ260上の保護絶縁層293上に平坦化絶縁層294を形成する。

【0202】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って平坦化絶縁層294、保護絶縁層293、及び酸化物絶縁層246の一部を除去して、ドレイン電極層265bに達する開口を形成する。

【0203】

次に、透光性を有する導電膜を成膜し、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極267を形成し、レジストマスクを除去する(図6(E)参照)。

10

【0204】

本実施の形態では、ゲート絶縁層の開口工程は図面においては、例示していないが、ゲート絶縁層の開口は酸化物絶縁層、保護絶縁層の開口と同じフォトリソグラフィ工程で行っても、別工程で行ってもよく、別工程で行う場合、フォトリソグラフィ工程が6工程となる。

【0205】

本実施の形態で説明した酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置において、実施の形態1の構成と組み合わせることで、静止画表示を行う際、低消費電力化を図りつつ、且つ画像の乱れの低減を図ることができる。

20

【0206】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0207】

(実施の形態5)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの例を示す。本実施の形態で示す薄膜トランジスタ470、480は、実施の形態2のスイッチングトランジスタ1261、画素トランジスタ1211として用いることができる。

【0208】

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態3と異なる例を図7に示す。図7は、図5と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

30

【0209】

実施の形態3に従って、基板400上にゲート電極層471、481を形成し、ゲート絶縁層402を積層する。

【0210】

次に酸化物半導体膜の形成を行い、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0211】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上、好ましくは425以上とする。なお、425以上であれば加熱処理時間は1時間以下でよいが、425未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下)を導入して冷却を行う。酸素ガスまたはN₂Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(即ち酸素ガスまたはN₂Oガス中の不純物濃度を1ppm以下、好

40

50

ましくは0.1ppm以下)とすることが好ましい。

【0212】

なお、加熱処理装置は電気炉に限られず、例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、LRTA装置、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。GRTAとは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。RTA法を用いて、600~750で数分間加熱処理を行ってもよい。

10

【0213】

また、脱水化または脱水素化を行う第1の加熱処理後に200以上400以下、好ましくは200以上300以下の温度で酸素ガスまたはN₂Oガス雰囲気下での加熱処理を行ってもよい。

【0214】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

20

【0215】

以上の工程を経ることによって酸化物半導体膜全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。よって、全体がI型化した酸化物半導体層472、482を得る。

【0216】

次いで、酸化物半導体層472、482上に、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層475a、485a、ドレイン電極層475b、485bを形成し、スパッタ法で酸化物絶縁層416を形成する。以上の工程で、薄膜トランジスタ470、480を形成することができる。

30

【0217】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理(好ましくは150以上350未満)を行ってもよい。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

【0218】

また、大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

40

【0219】

酸化物絶縁層416上に保護絶縁層403を形成する。本実施の形態では、保護絶縁層として保護絶縁層403を、窒化珪素膜を用いて形成する。

【0220】

保護絶縁層403上に平坦化のための平坦化絶縁層を設けてもよい。本実施の形態では、図7に示すように、薄膜トランジスタ480上の保護絶縁層403上に平坦化絶縁層404を形成する。

50

【0221】

次いで、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って平坦化絶縁層404、保護絶縁層403、及び酸化物絶縁層416の一部を除去して、ドレイン電極層485bに達する開口を形成する。

【0222】

次に、透光性を有する導電膜を成膜し、フォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極487を形成し、レジストマスクを除去する(図7参照)。

【0223】

本実施の形態で説明した酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置において、実施の形態1の構成と組み合わせることで、静止画表示を行う際、低消費電力化を図りつつ、且つ画像の乱れの低減を図ることができる。

10

【0224】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0225】

(実施の形態6)

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【0226】

図8(A)は携帯型遊技機であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、記録媒体読込部9672、等を有することができる。図8(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図8(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

20

【0227】

図8(B)はデジタルカメラであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、シャッターボタン9676、受像部9677、等を有することができる。図8(B)に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図8(B)に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

30

【0228】

図8(C)はテレビ受像器であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、等を有することができる。図8(C)に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図8(C)に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0229】

図9(A)はコンピュータであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、ポインティングデバイス9681等を有することができる。図9(A)に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図9(A)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

50

【 0 2 3 0 】

次に、図 9 (B) は携帯電話であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、マイクロフォン 9 6 3 8、外部接続ポート 9 6 8 0 等を有することができる。図 9 (B) に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 9 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 2 3 1 】

次に、図 9 (C) は電子ペーパー（E - b o o kともいう）であり、筐体 9 6 3 0、表示部 9 6 3 1、操作キー 9 6 3 5 等を有することができる。図 9 (C) に示した電子ペーパーは、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 9 (C) に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。

10

【 0 2 3 2 】

本実施の形態において述べた電子機器は、静止画表示を行う際、低消費電力化を図りつつ、且つ画像の乱れの低減を図ることができる。

【 0 2 3 3 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【 0 2 3 4 】

（実施の形態 7）

本実施の形態では、酸化物半導体を用いたボトムゲート型のトランジスタの動作原理について説明する。

【 0 2 3 5 】

図 1 0 は、酸化物半導体を用いた逆スタガ型の絶縁ゲート型トランジスタの縦断面図である。ゲート電極（G E 1）上にゲート絶縁膜（G I）を介して酸化物半導体層（O S）が設けられ、その上にソース電極（S）及びドレイン電極（D）が設けられている。

30

【 0 2 3 6 】

図 1 1 は、図 1 0 に示す A - A ' 断面におけるエネルギーバンド図（模式図）である。図 1 1 (A) はソースとドレインの間の電圧を等電位（ $V_D = 0 V$ ）とした場合を示し、図 1 1 (B) はソースに対しドレインに正の電位（ $V_D > 0$ ）を加えた場合を示す。

【 0 2 3 7 】

図 1 2 は、図 1 0 における B - B ' の断面におけるエネルギーバンド図（模式図）である。図 1 2 (A) はゲート（G 1）に正の電位（ $+V_G$ ）が印加された状態であり、ソースとドレイン間にキャリア（電子）が流れるオン状態を示している。また、図 1 2 (B) は、ゲート（G 1）に負の電位（ $-V_G$ ）が印加された状態であり、オフ状態（少数キャリアは流れない）である場合を示す。

40

【 0 2 3 8 】

図 1 3 は、真空準位と金属の仕事関数（ M ）、酸化物半導体の電子親和力（ χ ）の関係を示す。

【 0 2 3 9 】

常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体は一般的に n 型であり、その場合のフェルミ準位（ E_f ）は、バンドギャップ中央に位置する真性フェルミ準位（ E_i ）から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり n 型化する一つの要因であることが知られている。

【 0 2 4 0 】

50

これに対して本発明に係る酸化物半導体は、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性(i型)とし、又は実質的に真性型としたものである。すなわち、不純物を添加してi型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化されたi型(真性半導体)又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位(E_f)は真性フェルミ準位(E_i)と同じレベルにまですることができ。

【0241】

酸化物半導体のバンドギャップ(E_g)が3.15 eVである場合、電子親和力()は4.3 eVとされている。ソース電極及びドレイン電極を構成するチタン(Ti)の仕事関数は、酸化物半導体の電子親和力()とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

10

【0242】

すなわち、金属の仕事関数(M)と酸化物半導体の電子親和力()が等しい場合、両者が接触すると図11(A)で示すようなエネルギーバンド図(模式図)が示される。

【0243】

図11(B)において黒丸()は電子を示し、ドレインに正の電位が印加されると、電子はバリア(h)をこえて酸化物半導体に注入され、ドレインに向かって流れる。この場合、バリア(h)の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加された場合には、電圧印加のない図11(A)のバリアの高さすなわちバンドギャップ(E_g)の1/2よりもバリアの高さ(h)は小さい値となる。

20

【0244】

このとき酸化物半導体に注入された電子は、図12(A)で示すように酸化物半導体中を流れる。また、図12(B)において、ゲート電極(G1)に負の電位が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0245】

例えば、上記のように絶縁ゲート型トランジスタのチャンネル幅Wが $1 \times 10^4 \mu\text{m}$ でチャンネル長が3 μm の素子であっても、オフ電流が 10^{-13}A 以下であり、サブスレッショルドスイング値(S値)が0.1 V/dec. (ゲート絶縁膜厚100 nm)が得られる。

30

【0246】

なお、シリコン半導体の真性キャリア密度は $1.45 \times 10^{10} / \text{cm}^3$ (300 K)であり、室温においてもキャリアが存在している。これは、室温においても、熱励起キャリアが存在していることを意味している。実用的にはリン又はホウ素などの不純物が添加されたシリコンウエハが使用される。また、いわゆる真性シリコンウエハと言っても、意図的に制御できない不純物が存在するので、実際には $1 \times 10^{14} / \text{cm}^3$ 以上のキャリアがシリコン半導体に存在し、これがソース-ドレイン間の伝導に寄与する。さらに、シリコン半導体のバンドギャップは1.12 eVであるので、シリコン半導体を用いたトランジスタは温度に依存してオフ電流が大きく変動することとなる。

40

【0247】

従って、単にバンドギャップの広い酸化物半導体をトランジスタに適用するのではなく、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、キャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下となるようにすることで、実用的な動作温度で熱的に励起されるキャリアを排除して、ソース側から注入されるキャリアのみによってトランジスタを動作させることができる。それにより、オフ電流を $1 \times 10^{-17} [\text{A}]$ 以下にまで下げると共に、温度変化によってオフ電流がほとんど変化しない極めて安定に動作するトランジスタを得ることができる。

【0248】

本発明の技術思想は、酸化物半導体中に、更に加えることをせず逆に不本意に存在する水、水素という不純物を除去することにより、酸化物半導体自体を高純度化することにあ

50

る。すなわち、ドナー準位を構成する水または水素を除去することにより、更に酸素欠損を除去するために酸素を十分に供給することにより、酸化物半導体自体を高純度化することを特徴としている。

【0249】

酸化物半導体は成膜直後ですら $10^{20} / \text{cm}^3$ のレベルの水素が SIMS (二次イオン質量分析) で観察される。このドナー準位という不純物を作る水または水素を意図的に除去し、更に水または水素の除去に伴い同時に減少してしまう酸素 (酸化物半導体の成分の一つ) を酸化物半導体に加えることにより、酸化物半導体を高純度化し、電氣的に i 型 (真性) 半導体とすることを技術思想の一つとしている。

【0250】

結果として、水素の量は少なければ少ないほど良く、酸化物半導体中のキャリアも少なければ少ないほど良い。酸化物半導体は、絶縁ゲート型トランジスタに用いる場合に半導体としてのキャリアを意図的に有するというよりも、逆に酸化物半導体のキャリアは無くしてしまい、半導体としてはキャリアを通過させる通路としての意味を与えた、いわゆる高純度化した i 型 (真性) 半導体である。

【0251】

その結果、酸化物半導体中にキャリアが無い、または極めて少なくさせることにより、絶縁ゲート型トランジスタではオフ電流が少なくなるというのが本発明の一態様における技術思想である。すなわち、その指標として水素濃度は $1 \times 10^{16} / \text{cm}^3$ 以下、またキャリア密度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下が求められる。本発明の技術思想的には、ゼロまたはゼロに近いことが理想である。

【0252】

また結果として、酸化物半導体は通路 (パス) として機能し、酸化物半導体自体がキャリアを有さない、または極めて少ないように高純度化した i 型 (真性) とし、キャリアは電極のソース、ドレインにより供給される。供給の程度は、酸化物半導体の電子親和力およびフェルミレベル、理想的には真性フェルミレベルと一致したフェルミレベルとソース、ドレインの電極の仕事関数というより、バリアハイト (障壁高さ) で決められる絶縁ゲート型トランジスタ特性を有する。

【0253】

このため、オフ電流は少なければ少ないほど良く、 $1 \sim 10 \text{ V}$ の間のいずれかのドレイン電圧を印加しての絶縁ゲート型トランジスタ特性において、 $10 \text{ aA} / \mu\text{m}$ (チャネル幅 $w = 1 \mu\text{m}$ 当たりの電流) 以下、好ましくは $1 \text{ aA} / \mu\text{m}$ 以下であることを特徴の一つとしている。

【0254】

(実施の形態 8)

本実施の形態では、評価用素子 (TEG と呼ぶ) でのオフ電流の測定値について以下に説明する。

【0255】

図 14 に $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ の薄膜トランジスタを 200 個並列に接続してなる、 $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ の薄膜トランジスタの初期特性を示す。また、上面図を図 15 (A) に示し、その一部を拡大した上面図を図 15 (B) に示す。図 15 (B) の点線で囲んだ領域が $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ 、 $L_{ov} = 1.5 \mu\text{m}$ の 1 段分の薄膜トランジスタである。薄膜トランジスタの初期特性を測定するため、基板温度を室温とし、ソース - ドレイン間電圧 (以下、ドレイン電圧または V_d という) を 10 V とし、ソース - ゲート間電圧 (以下、ゲート電圧または V_g という) を $-20 \text{ V} \sim +20 \text{ V}$ まで変化させたときのソース - ドレイン電流 (以下、ドレイン電流または I_d という) の変化特性、すなわち $V_g - I_d$ 特性を測定した。なお、図 14 では、 V_g を $-20 \text{ V} \sim +5 \text{ V}$ までの範囲で示している。

【0256】

図 14 に示すようにチャネル幅 W が $10000 \mu\text{m}$ の薄膜トランジスタは、 V_d が 1 V 及

10

20

30

40

50

び10Vにおいてオフ電流は 1×10^{-12} [A]以下となっており、測定機(半導体パラメータ・アナライザ、Agilent 4156C; Agilent社製)の分解能(100fA)以下となっている。

【0257】

測定した薄膜トランジスタの作製方法について説明する。

【0258】

まず、ガラス基板上に下地層として、CVD法により窒化珪素層を形成し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極層としてスパッタ法によりタングステン層を形成した。ここで、タングステン層を選択的にエッチングしてゲート電極層を形成した。

10

【0259】

次に、ゲート電極層上にゲート絶縁層としてCVD法により厚さ100nmの酸化窒化珪素層を形成した。

【0260】

次に、ゲート絶縁層上に、スパッタ法によりIn-Ga-Zn-O系酸化物半導体ターゲット(モル数比で、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$)を用いて、厚さ50nmの酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0261】

次に、酸化物半導体層をクリーンオープンにて窒素雰囲気下、450℃、1時間の第1の熱処理を行った。

20

【0262】

次に、酸化物半導体層上にソース電極層及びドレイン電極層としてチタン層(厚さ150nm)をスパッタ法により形成した。ここで、ソース電極層及びドレイン電極層を選択的にエッチングし、1つの薄膜トランジスタのチャンネル長Lが3μm、チャンネル幅Wが50μmとし、200個を並列とすることで、 $L/W = 3\mu\text{m} / 10000\mu\text{m}$ となるようにした。

【0263】

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタ法により酸化珪素層を膜厚300nmで形成した。ここで、保護層である酸化珪素層を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。その後、窒素雰囲気下、250℃で1時間、第2の熱処理を行った。

30

【0264】

そして、 $V_g - I_d$ 特性を測定する前に150℃、10時間の加熱を行った。

【0265】

以上の工程により、ボトムゲート型の薄膜トランジスタを作製した。

【0266】

図14に示すように薄膜トランジスタが、 1×10^{-12} [A]程度であるのは、上記作製工程において酸化物半導体層中における水素濃度を十分に低減できたためである。酸化物半導体層中の水素濃度は、 1×10^{16} atoms/cm³以下とする。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で行う。

40

【0267】

また、In-Ga-Zn-O系酸化物半導体を用いる例を示したが、特に限定されず、他の酸化物半導体材料、例えば、In-Sn-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、In-Sn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系などを用いることができる。また、酸化物半導体材料として、AlO_xを2.5~10wt%混入したIn-Al-Zn-O系や、SiO_xを2.5~10wt%混入したIn-Zn-O系を用いることもできる。

50

【0268】

また、キャリア測定機で測定される酸化物半導体層のキャリア濃度は、シリコンのキャリア濃度 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下である。即ち、酸化物半導体層のキャリア濃度は、限りなくゼロに近くすることができる。

【0269】

また、薄膜トランジスタのチャネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、オフ電流値が極めて小さいため、さらに低消費電力化も図ることができる。

【0270】

また、薄膜トランジスタのオフ状態において、酸化物半導体層は絶縁体とみなして回路設計を行うことができる。

10

【0271】

続いて、本実施の形態で作製した薄膜トランジスタに対してオフ電流の温度特性を評価した。温度特性は、薄膜トランジスタが使われる最終製品の耐環境性や、性能の維持などを考慮する上で重要である。当然ながら、変化量が小さいほど好ましく、製品設計の自由度が増す。

【0272】

温度特性は、恒温槽を用い、 -30 、 0 、 25 、 40 、 60 、 80 、 100 、及び 120 のそれぞれの温度で薄膜トランジスタを形成した基板を一定温度とし、ドレイン電圧を 6 V 、ゲート電圧を $-20 \text{ V} \sim +20 \text{ V}$ まで変化させて $V_g - I_d$ 特性を取得した。

20

【0273】

図16(A)に示すのは、上記それぞれの温度で測定した $V_g - I_d$ 特性を重ね書きしたものであり、点線で囲むオフ電流の領域を拡大したものを図16(B)に示す。図中の矢印で示す右端の曲線が -30 、左端が 120 で取得した曲線で、その他の温度で取得した曲線は、その間に位置する。オン電流の温度依存性はほとんど見られない。一方、オフ電流は拡大図の図16(B)においても明かであるように、ゲート電圧が 20 V 近傍を除いて、全ての温度で測定機の分解能近傍の $1 \times 10^{-12} [\text{A}]$ 以下となっており、温度依存性も見えていない。すなわち、 120 の高温においても、オフ電流が $1 \times 10^{-12} [\text{A}]$ 以下を維持しており、チャネル幅 W が $10000 \mu\text{m}$ であることを考慮すると、オフ電流が非常に小さいことがわかる。

30

【0274】

高純度化された酸化物半導体 (purified OS) を用いた薄膜トランジスタは、オフ電流の温度依存性がほとんど現れない。これは、図10のバンド図で示すように、酸化物半導体が高純度化されることによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するため、温度依存性を示さなくなると言える。また、これは、酸化物半導体のエネルギーギャップが 3 eV 以上であり、熱励起キャリアが極めて少ないことにも起因する。また、ソース領域及びドレイン領域は縮退した状態にあるのでやはり温度依存性が現れない要因となっている。薄膜トランジスタの動作は、縮退したソース領域から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度の温度依存性がないことから上記特性 (オフ電流の温度依存性無し) を説明することができる。

40

【0275】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、記憶回路 (記憶素子) などを作製した場合、オフ電流値が小さくほとんどリークがないため、画像信号、共通電位を保持する時間を長くすることができる。

【符号の説明】

【0276】

- 101 基板
- 102 基板
- 103 画素回路

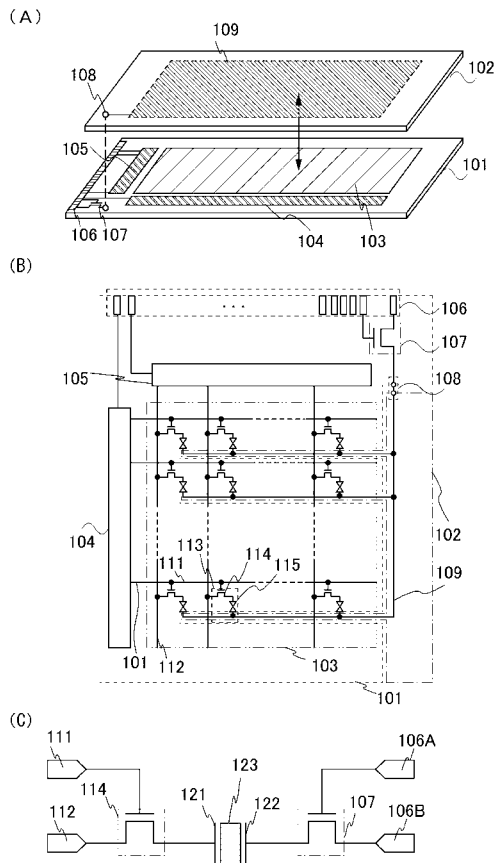
50

1 0 4	ゲート線駆動回路	
1 0 5	信号線駆動回路	
1 0 6	端子部	
1 0 7	スイッチングトランジスタ	
1 0 8	共通接続部	
1 0 9	対向電極	
1 1 1	ゲート線	
1 1 2	信号線	
1 1 3	画素	
1 1 4	画素トランジスタ	10
1 1 5	液晶素子	
1 2 1	画素電極	
1 2 2	対向電極	
1 2 3	液晶	
2 0 0	基板	
2 4 0	薄膜トランジスタ	
2 4 1	ゲート電極層	
2 4 2	酸化物半導体層	
2 4 6	酸化物絶縁層	
2 4 7	導電層	20
2 6 0	薄膜トランジスタ	
2 6 1	ゲート電極層	
2 6 7	画素電極	
2 9 2	ゲート絶縁層	
2 9 3	保護絶縁層	
2 9 4	平坦化絶縁層	
2 9 5	酸化物半導体膜	
2 9 6	酸化物半導体層	
3 0 1	期間	
3 0 2	期間	30
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 0 4	平坦化絶縁層	
4 1 0	薄膜トランジスタ	
4 1 1	ゲート電極層	
4 1 3	チャネル形成領域	
4 1 6	酸化物絶縁層	
4 1 7	導電層	
4 2 0	薄膜トランジスタ	40
4 2 1	ゲート電極層	
4 2 3	チャネル形成領域	
4 2 7	画素電極	
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	
4 7 0	薄膜トランジスタ	
4 7 1	ゲート電極層	
4 7 2	酸化物半導体層	
4 8 0	薄膜トランジスタ	
4 8 7	画素電極	50

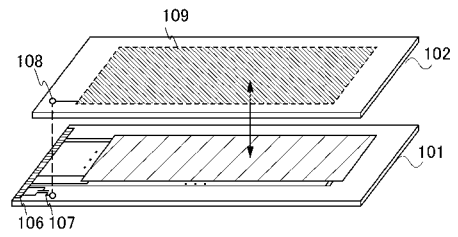
1 0 6 A	端子	
1 0 6 B	端子	
1 2 0 0	信号線駆動回路	
1 2 0 1	走査線駆動回路	
1 2 0 2	画素回路	
1 2 0 4	基板	
1 2 0 5	シール材	
1 2 0 6	配向膜	
1 2 0 7	配向膜	
1 2 0 8	接続配線	10
1 2 1 0	基板	
1 2 1 1	画素トランジスタ	
1 2 1 4	絶縁層	
1 2 2 3	駆動回路用薄膜トランジスタ	
1 2 3 5	樹脂層	
1 2 4 0	端子部	
1 2 4 1	接続端子	
1 2 4 2	接続配線	
1 2 4 3	接続端子	
1 2 5 0	画素電極	20
1 2 5 5	柱状スペーサー	
1 2 6 1	スイッチングトランジスタ	
1 2 7 0	導電粒子	
1 2 8 0	液晶	
1 2 9 0	偏光板	
1 2 9 1	対向電極	
1 2 9 3	導電層	
1 2 9 5	偏光板	
2 4 5 a	ソース電極層	
2 4 5 b	ドレイン電極層	30
2 6 5 b	ドレイン電極層	
4 1 4 a	高抵抗ソース領域	
4 1 4 b	高抵抗ドレイン領域	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	
4 2 4 a	高抵抗ソース領域	
4 2 4 b	高抵抗ドレイン領域	
4 2 5 a	ソース電極層	
4 2 5 b	ドレイン電極層	
4 7 5 a	ソース電極層	40
4 7 5 b	ドレイン電極層	
4 8 5 b	ドレイン電極層	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 3	スピーカ	
9 6 3 5	操作キー	
9 6 3 6	接続端子	
9 6 3 8	マイクロフォン	
9 6 7 2	記録媒体読込部	
9 6 7 6	シャッターボタン	50

- 9 6 7 7 受像部
- 9 6 8 0 外部接続ポート
- 9 6 8 1 ポインティングデバイス

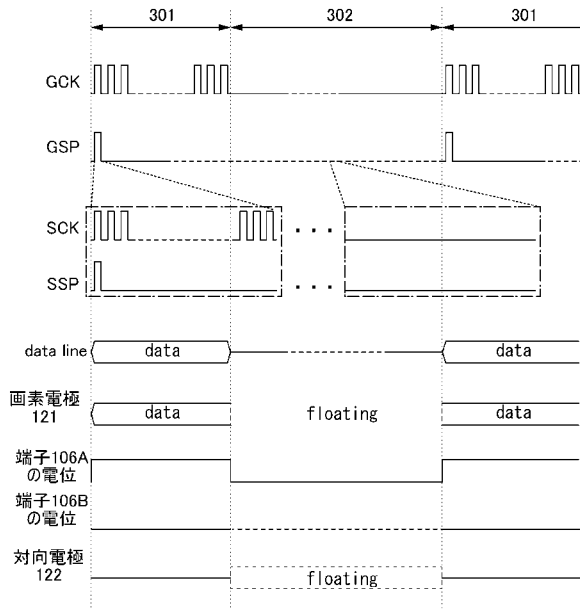
【 図 1 】



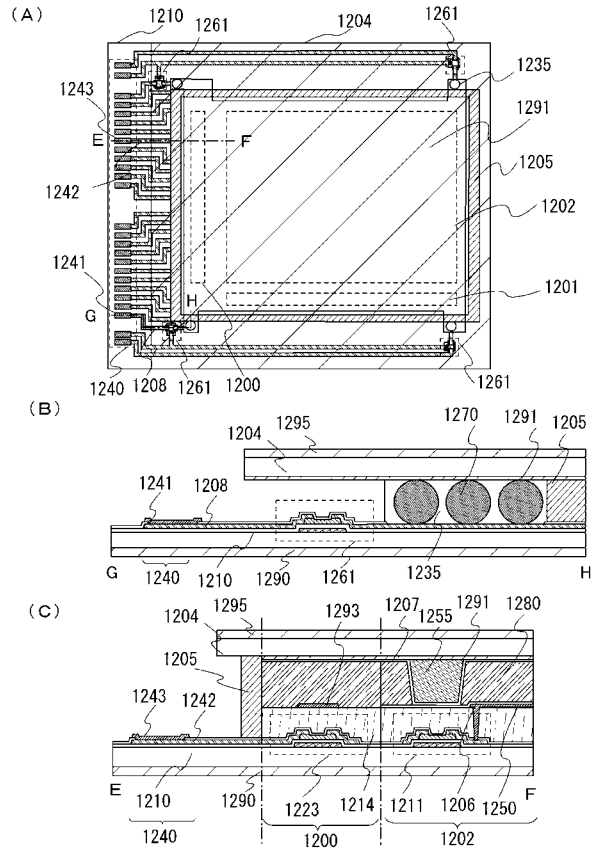
【 図 2 】



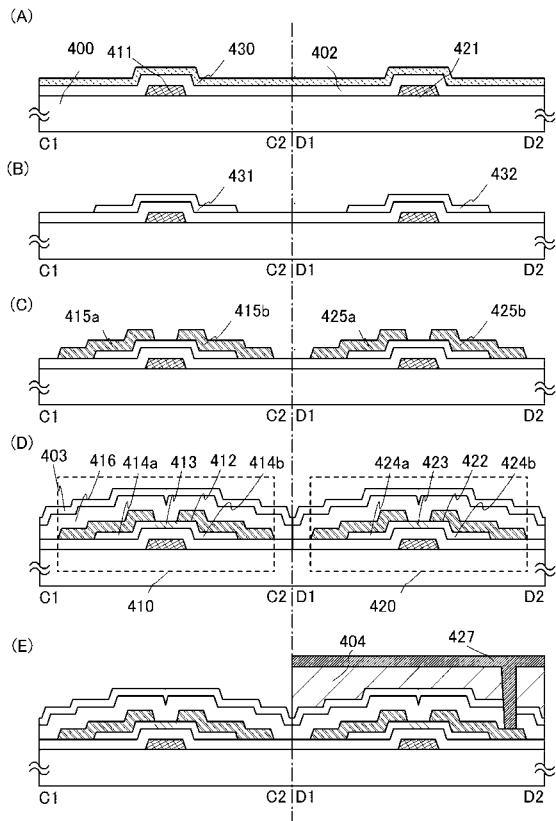
【 図 3 】



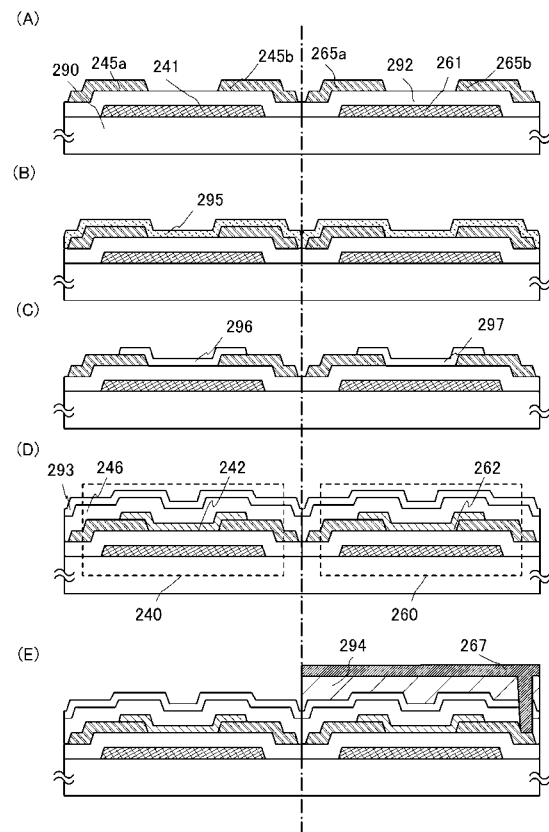
【 図 4 】



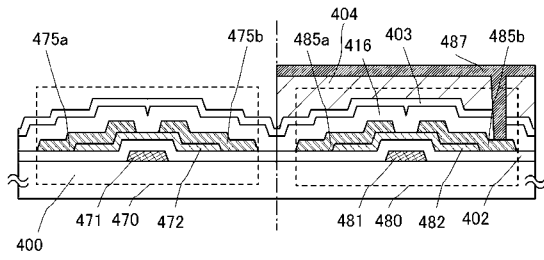
【 図 5 】



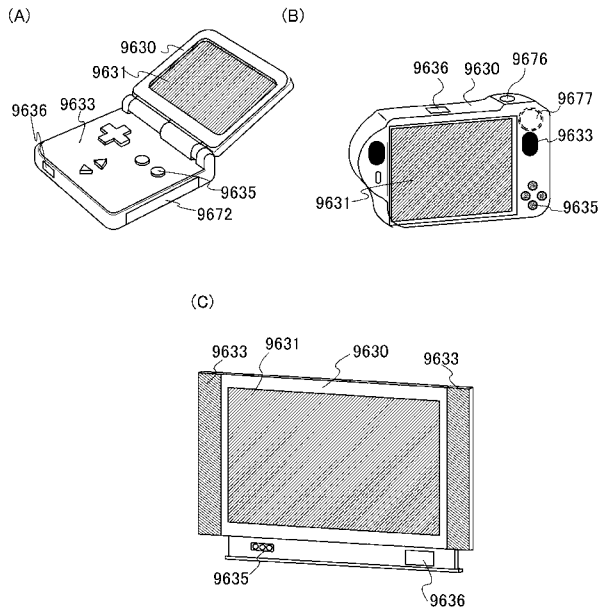
【 図 6 】



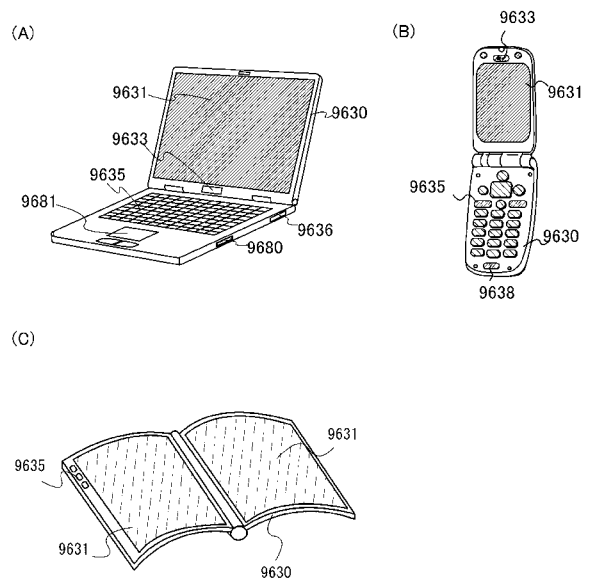
【 図 7 】



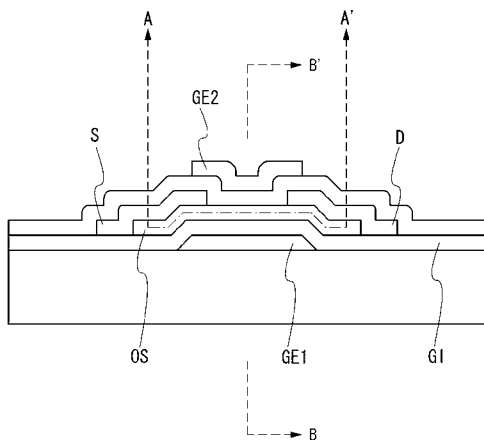
【 図 8 】



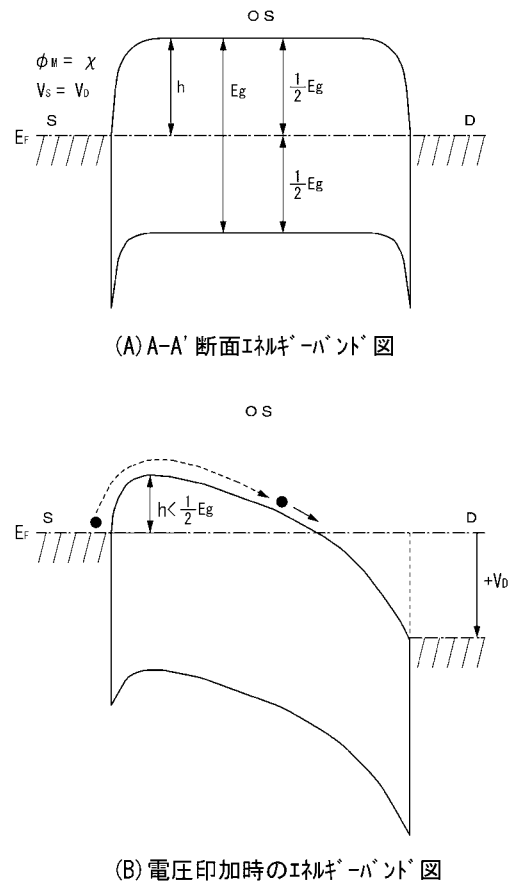
【 図 9 】



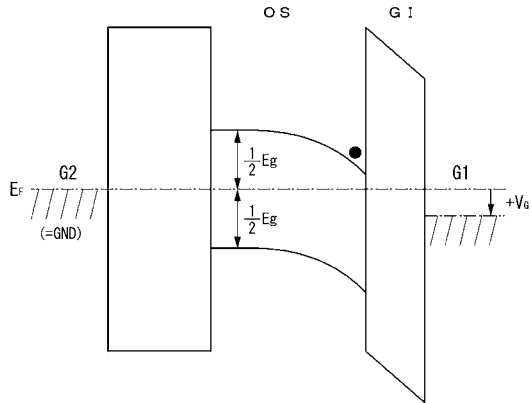
【 図 1 0 】



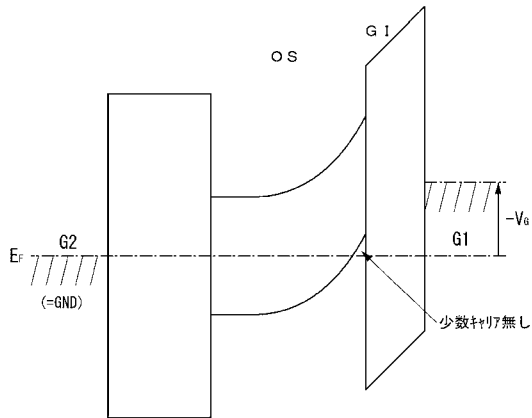
【 図 1 1 】



【 図 1 2 】

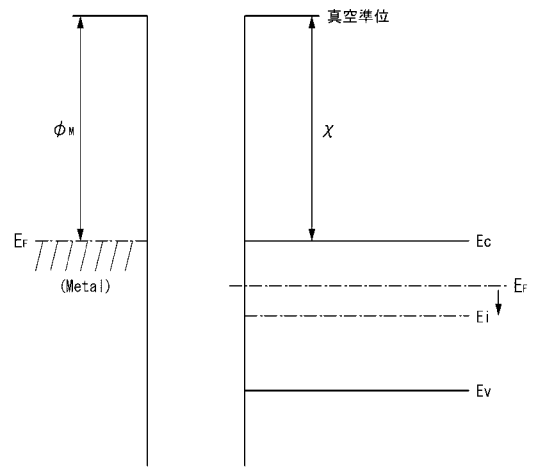


(A) B-B' 断面エネルギーバンド図 (+Vg)

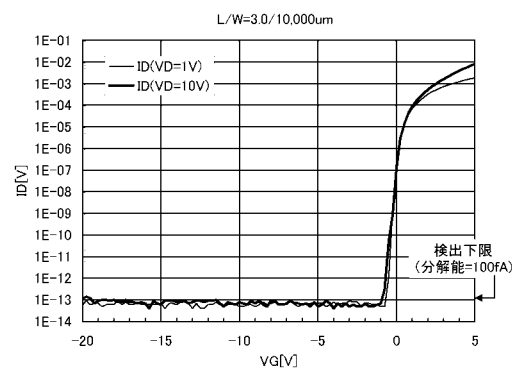


(B) B-B' 断面エネルギーバンド図 (-Vg)

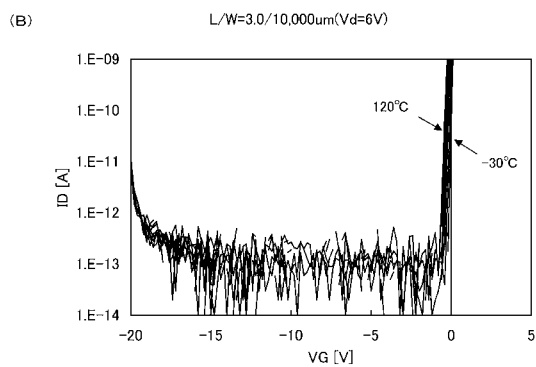
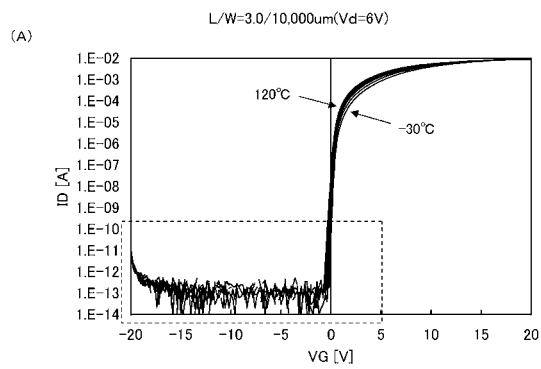
【 図 1 3 】



【 図 1 4 】

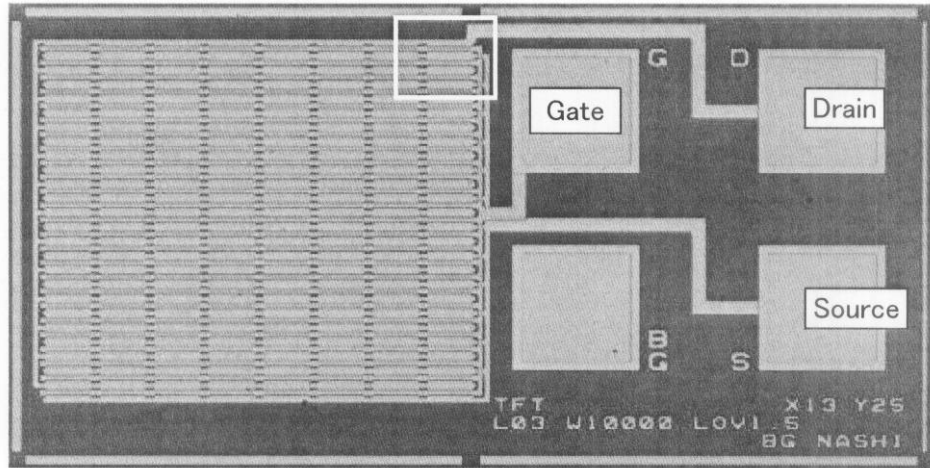


【 図 1 6 】

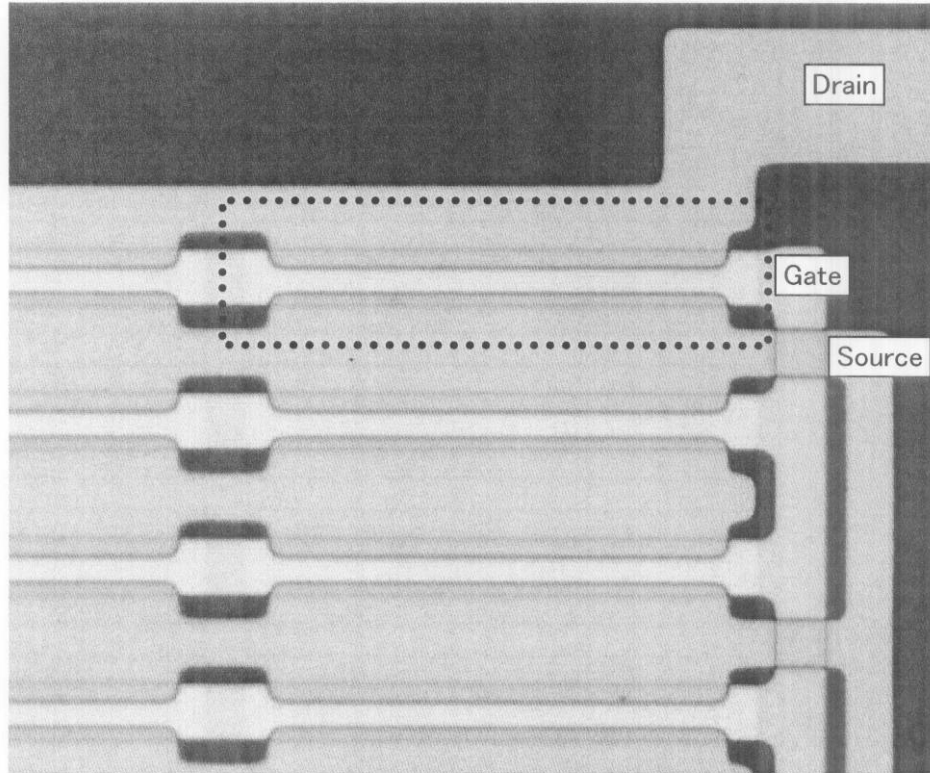


【 図 15 】

(A)



(B)



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 8 0 G

Fターム(参考) 5C080 AA10 BB05 DD26 EE29 EE30 FF11 JJ02 JJ03 JJ04 JJ05
JJ06

专利名称(译)	液晶显示器		
公开(公告)号	JP2011141525A5	公开(公告)日	2012-02-09
申请号	JP2010236503	申请日	2010-10-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎 舜平 小山 潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G02F1/13458 G02F1/1368 H01L27/1225 G09G3/36 H01L29/06 H01L29/7869		
FI分类号	G02F1/1368 G09G3/36 G09G3/20.611.A G09G3/20.621.M G09G3/20.624.B G09G3/20.641.C G09G3/20.680.G		
F-TERM分类号	2H092/GA59 2H092/JA26 2H092/JA31 2H092/JA32 2H092/JA35 2H092/JA36 2H092/KA07 2H092/KA12 2H092/MA05 2H092/MA08 2H092/MA14 2H092/NA22 5C006/AA16 5C006/AA22 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BC08 5C006/BC20 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB08 2H192/CB37 2H192/CB52 2H192/DA01 2H192/FB02 2H192/GD61 2H192/JA64		
优先权	2009250517 2009-10-30 JP 2009279000 2009-12-08 JP		
其他公开文献	JP5736143B2 JP2011141525A		

摘要(译)

要解决的问题：提供一种确保低功耗的液晶显示装置。解决方案：液晶显示装置包括：第一基板，具有端子部分；开关晶体管；以及像素电路，包括形成在其上的像素电极；第二基板，其上形成有对电极；以及液晶元件，插入在像素之间电极和对电极。从端子部分通过开关晶体管提供输入到对电极的电位。包括在开关晶体管中的半导体层是氧化物半导体层。