

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/163299

発行日 平成30年1月25日 (2018. 1. 25)

(43) 国際公開日 平成28年10月13日 (2016. 10. 13)

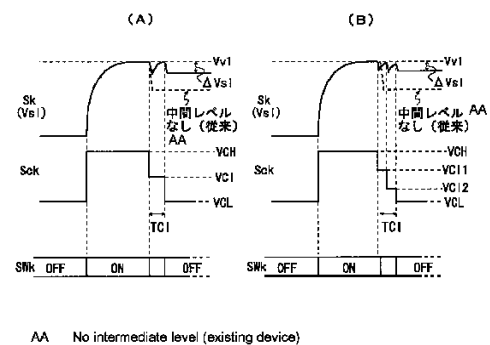
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 680G	5C006
G09F 9/302 (2006.01)	G09G 3/20 680H	5C080
G02F 1/133 (2006.01)	G09G 3/20 641C	5C094
	G09G 3/20 623X	
審査請求 有 予備審査請求 未請求 (全 46 頁) 最終頁に続く		

出願番号	特願2017-510954 (P2017-510954)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2016/060687		シャープ株式会社
(22) 国際出願日	平成28年3月31日 (2016. 3. 31)		大阪府堺市堺区匠町 1 番地
(31) 優先権主張番号	特願2015-78599 (P2015-78599)	(74) 代理人	100104695
(32) 優先日	平成27年4月7日 (2015. 4. 7)		弁理士 島田 明宏
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(74) 代理人	100114247
			弁理士 奥田 邦廣
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	今井 雅博
			大阪府堺市堺区匠町 1 番地 シャープ株式
			会社内
最終頁に続く			

(54) 【発明の名称】 アクティブマトリクス型表示装置およびその駆動方法

(57) 【要約】

本発明は、円形等の非矩形の表示部で良好な表示を行えるアクティブマトリクス型表示装置を提供する。円形の表示部を有するアクティブマトリクス型液晶表示装置において、ビデオ信号 $S_v i$ をサンプリングしてデータ信号線容量に保持させるためのサンプルホールド回路のスイッチング素子である Nch トランジスタ (SW_k) の制御信号として、寄生容量 C_{gd} に起因するデータ信号線電圧 V_{s1} の低下量 ΔV_{s1} が低減されるような制御信号 S_{ck} を生成する。すなわち、その Nch トランジスタ (SW_k) をオフさせるときに、制御信号 S_{ck} がオン電圧としての H レベル接続制御電圧 V_{CH} から中間レベル電圧 V_{CI} の期間 T_{CI} を介してオフ電圧としての L レベル接続制御電圧 V_{CL} に変化するように、接続切替制御信号 S_{ck} を生成する。



【特許請求の範囲】

【請求項 1】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数のデータ信号線のうち少なくとも 2 つのデータ信号線の長さが互いに異なるような非矩形の形状を有する表示部と、

前記複数のデータ信号線のそれぞれに対応して設けられ、対応するデータ信号線に接続された画素形成部に与えるべきアナログ映像信号を受け取るための第 1 導通端子と、当該対応するデータ信号線に接続された第 2 導通端子と、オン状態とオフ状態とを切り替えるための接続切替制御信号を受け取るための制御端子とを有する電界効果トランジスタを接続制御スイッチング素子として含むアナログスイッチと、

前記接続制御スイッチング素子をオフさせるときに、前記接続切替制御信号の電圧が前記接続制御スイッチング素子をオン状態とするための第 1 レベル電圧からオフ状態とするための第 2 レベル電圧に変化するまでの時間が、前記制御端子と前記第 2 導通端子との間の寄生容量の前記接続制御スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記接続切替制御信号を生成する接続制御回路とを備えることを特徴とする、アクティブマトリクス型表示装置。

【請求項 2】

前記接続制御回路は、前記接続制御スイッチング素子をオフさせるときに前記接続切替制御信号の電圧が前記第 1 レベル電圧から前記第 2 レベル電圧またはその近傍の電圧まで連続的に変化するように前記接続切替制御信号を生成することを特徴とする、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 3】

前記接続制御回路は、前記接続制御スイッチング素子をオフさせるときに前記接続切替制御信号の電圧が前記第 1 レベル電圧から前記第 2 レベル電圧まで少なくとも 1 つの中間レベル電圧の期間を介して段階的に変化するように前記接続切替制御信号を生成することを特徴とする、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 4】

前記接続制御回路は、前記対応するデータ信号線が長いほど前記接続制御スイッチング素子の前記制御端子に与えるべき前記接続切替制御信号における前記所定時間が短くなるように、前記接続切替制御信号を生成することを特徴とする、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 5】

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動回路を更に備え、

前記表示部は、前記複数の走査信号線のうち少なくとも 2 つの走査信号線の長さが互いに異なるような非矩形の形状を有し、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の 1 つとしての画素電極と、

前記複数のデータ信号線のいずれか 1 つに接続された第 1 導通端子、前記画素電極に接続された第 2 導通端子、および、前記複数の走査信号線のいずれか 1 つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第 3 レベル電圧からオフ状態とするための第 4 レベル電圧に変化するまでの時間が、前記画素スイッチング素子の前記制御端子と前記第 2 導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号を生成することを特徴とする、請求項 1 から 4 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 6】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数の走査信号線のうち少なくとも2つの走査信号線の長さが互いに異なるような非矩形の形状を有する表示部と、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動回路とを備え、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の1つとしての画素電極と、

前記複数のデータ信号線のいずれか1つに接続された第1導通端子、前記画素電極に接続された第2導通端子、および、前記複数の走査信号線のいずれか1つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第3レベル電圧からオフ状態とするための第4レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号を生成することを特徴とする、アクティブマトリクス型表示装置。

【請求項7】

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる前記走査信号の電圧が前記第3レベル電圧から前記第4レベル電圧またはその近傍の電圧まで連続的に変化するように、前記複数の走査信号を生成することを特徴とする、請求項5または6に記載のアクティブマトリクス型表示装置。

【請求項8】

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる前記走査信号の電圧が前記第3レベル電圧から前記第4レベル電圧まで少なくとも1つの中間電圧の期間を介して段階的に変化するように、前記複数の走査信号を生成することを特徴とする、請求項5または6に記載のアクティブマトリクス型表示装置。

【請求項9】

前記走査信号線駆動回路は、前記走査信号線が長いほどそれに与えるべき前記走査信号における前記所定時間が短くなるように、前記複数の走査信号を生成することを特徴とする、請求項5または6に記載のアクティブマトリクス型表示装置。

【請求項10】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数のデータ信号線のうち少なくとも2つのデータ信号線の長さが互いに異なるような非矩形の形状を有する表示部が設けられたアクティブマトリクス型表示装置の駆動方法であって、

前記複数のデータ信号線のそれぞれに対応して設けられ、対応するデータ信号線に接続された画素形成部に与えるべきアナログ映像信号を受け取るための第1導通端子、当該対応するデータ信号線に接続された第2導通端子、および、オン状態とオフ状態を切り替えるための接続切替制御信号を受け取るための制御端子を有する電界効果トランジスタを接続制御スイッチング素子として含むアナログスイッチにより、当該対応するデータ信号線への前記アナログ映像信号の供給を制御するステップと、

前記接続制御スイッチング素子をオフさせるときに、前記接続切替制御信号の電圧が前記接続制御スイッチング素子をオン状態とするための第1レベル電圧からオフ状態とするための第2レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記接続制御スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記接続切替制御信号を生成するステップと

10

20

30

40

50

を備えることを特徴とする、アクティブマトリクス型表示装置の駆動方法。

【請求項 1 1】

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動ステップを更に備え、

前記表示部は、前記複数の走査信号線のうち少なくとも 2 つの走査信号線の長さが互いに異なるような非矩形の形状を有し、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の 1 つとしての画素電極と、

前記複数のデータ信号線のいずれか 1 つに接続された第 1 導通端子、前記画素電極に接続された第 2 導通端子、および、前記複数の走査信号線のいずれか 1 つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動ステップでは、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第 3 レベル電圧からオフ状態とするための第 4 レベル電圧に変化するまでの時間が、前記画素スイッチング素子の前記制御端子と前記第 2 導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号が生成されることを特徴とする、請求項 1 0 に記載のアクティブマトリクス型表示装置の駆動方法。

【請求項 1 2】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数の走査信号線のうち少なくとも 2 つの走査信号線の長さが互いに異なるような非矩形の形状を有する表示部が設けられたアクティブマトリクス型表示装置の駆動方法であって、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動ステップを備え、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の 1 つとしての画素電極と、

前記複数のデータ信号線のいずれか 1 つに接続された第 1 導通端子、前記画素電極に接続された第 2 導通端子、前記複数の走査信号線のいずれか 1 つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動ステップでは、前記画素スイッチング素子をオフさせるときに、前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第 3 レベル電圧からオフ状態とするための第 4 レベル電圧に変化するまでの時間が、前記制御端子と前記第 2 導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号が生成されることを特徴とする、アクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、表示すべき画像を形成するための複数の画素形成部に接続される複数のデータ信号線のそれぞれにアナログ映像信号を与えるアクティブマトリクス型表示装置およびその駆動方法に関する。

【背景技術】

【0 0 0 2】

アクティブマトリクス型液晶表示装置等の表示装置では、複数のデータ信号線（「ソースライン」とも呼ばれる）と、当該複数データ信号線に交差する複数の走査信号線（「ゲートライン」とも呼ばれる）と、当該複数のデータ信号線および当該複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とが液晶パネル等の表示部に形成されている。このようなアクティブマトリクス型表示装置において、点順次駆動方式または S

10

20

30

40

50

S D (Source Shared Driving) 方式が採用されているものがある。ここで、S S D 方式とは、表示部における複数のデータ信号線を 2 以上の所定数のデータ信号線を 1 組として複数組のデータ信号線群にグループ化し、各組の当該所定数のデータ信号線に時分割的にアナログビデオ信号を与える方式である。

【0003】

アクティブマトリクス型表示装置において点順次駆動方式または S S D 方式が採用されている場合には、各データ信号線にはオン状態のアナログスイッチを介してアナログビデオ信号が与えられ、その後、アナログスイッチの制御信号のレベルを変化させて当該アナログスイッチがオフ状態とされることで、アナログビデオ信号の電圧が当該データ信号線に保持される。このようにしてアナログビデオ信号の電圧が各データ信号線に保持された状態で、上記複数の走査信号線のいずれかが活性化される（選択される）ことにより、当該活性化された走査信号線に接続される画素形成部に当該データ信号線の電圧が画素データとして書き込まれる。

【0004】

図 9 は、このような表示装置においてアナログビデオ信号をサンプリングして各データ信号線 S L i (i = 1 ~ N) に保持させるためのサンプルホールド回路のうち 1 つのデータ信号線 S L k に対応する部分（以下「単位サンプルホールド回路」という）の構成を示す回路図である。この単位サンプルホールド回路は、アナログスイッチとしての N チャネル形の電界効果トランジスタ（以下「N c h トランジスタ」と略記する）S W k と、この N c h トランジスタ S W k のゲート端子とデータ信号線 S L k に接続される一方の導通端子との間に形成された寄生容量 C g d とを含んでいる。N c h トランジスタ S W k の他方の導通端子には、アナログビデオ信号 S v 1 が与えられ、N c h トランジスタ S W k のゲート端子には、その N c h トランジスタ S W k のオン／オフを制御する制御信号 S c k が与えられる。このような N c h トランジスタ S W k （寄生容量 C g d を含む）によってアナログビデオ信号 S v 1 のサンプリング回路が構成され、このサンプリング回路とデータ信号線 S L k の容量（データ信号線 S L k と他の電極とで形成される総容量）C s l とによって上記単位サンプルホールド回路が構成される。

【0005】

上記サンプリング回路において、アナログスイッチをオンさせるときには、制御信号 S c k としてオン電圧（アナログスイッチが N c h トランジスタで構成される場合にはハイレベルの電圧（以下「H レベル電圧」という））が N c h トランジスタ S W k のゲート端子に与えられ、このアナログスイッチをオフさせるときには、制御信号 S c k としてオフ電圧（アナログスイッチが N c h トランジスタで構成される場合には、ローレベルの電圧（以下「L レベル電圧」という））が N c h トランジスタ S W k のゲート端子に与えられる。

【0006】

図 10 に示すように、制御信号 S c k として H レベル電圧 V C H が N c h トランジスタ S W k のゲート端子に与えられると、この N c h トランジスタ S W k はオン状態となり、この N c h トランジスタ S W k を介してアナログビデオ信号 S v 1 がデータ信号線 S L k に与えられる。その結果、データ信号線 S L k の電圧（以下「データ信号線電圧」という）V s l は、アナログビデオ信号 S v 1 の電圧 V v 1 に等しくなる。その後、制御信号 S c k として N c h トランジスタ S W k のゲート端子に与えられている電圧が H レベル電圧 V C H から L レベル電圧 V C L に変化すると、N c h トランジスタ S W k はオフ状態となる。このとき、N c h トランジスタ S W k のゲート端子における電圧変化（V C H → V C L）が寄生容量 C g d を介してデータ信号線電圧 V s l に影響を与え、データ信号線電圧 V s l がその電圧変化に応じて上記アナログビデオ信号 S v 1 の電圧 V v 1 から低下する。この電圧低下量 Δ V s l は、上記電圧変化が瞬時に生じるとすると（N c h トランジスタ S W k が瞬時にオフ状態に遷移するものとする）、次式で表される。

$$\Delta V_{s1} = \{C_{gd} / (C_{s1} + C_{gd})\} (V_{CH} - V_{CL}) \quad \cdots (1)$$

【0007】

また、アクティブマトリクス型液晶表示装置では、各画素形成部においても、画素スイッチング素子としてのトランジスタ（通常は薄膜トランジスタ）における寄生容量に起因して、そのスイッチング素子（以下ではNchトランジスタで構成されるものとする）がオフするときに画素電極の電圧（以下「画素電圧」という） V_p が低下する（図14、図15参照）。このとき、画素電圧低下量 ΔV_p は、画素容量を記号“ C_p ”で示し、当該Nchトランジスタのゲート端子に与えられる走査信号の電圧がオン電圧としてのHレベルゲート電圧 V_{GH} からオフ電圧としてのLレベルゲート電圧 V_{GL} に瞬時に変化するものとする、すなわち画素スイッチング素子としてのNchトランジスタが瞬時にオフ状態に遷移するものとする、次式で表される。

$$\Delta V_p = \{C_{gd} / (C_p + C_{gd})\} (V_{GH} - V_{GL}) \quad \dots (2)$$

10

【0008】

本願に関連する発明として、特許文献1には、SSD方式のアクティブマトリクス型表示装置の発明が記載されている。この表示装置は、データ線選択のためのスイッチ部の駆動における消費電力の削減を目的として、データ線選択信号のオン電圧とオフ電圧との間の電圧レベルの切り換えを、中間電圧となる期間を介して行うように構成されたスイッチ部駆動回路を備えている。また特許文献2には、走査線駆動用電圧（出力信号）が急激に立ち下がることなく、スイッチング素子の駆動能力に応じて緩やかな立ち下がり波形を示すように構成された液晶表示パネル走査線ドライバの発明が記載されている。この発明は、走査線ドライバの出力信号が“H”から“L”になる際に生じる表示電極電圧の変動 ΔV を低減しうる手段を講じることにより画面のちらつきを抑制することを目的としている。

20

【先行技術文献】

【特許文献】

【0009】

【特許文献1】日本国特開2003-114657号公報

【特許文献2】日本国特開2002-169513号公報

【特許文献3】日本国特開2006-184718号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

30

ところで、アクティブマトリクス型表示装置の表示部は通常は矩形であるが、用途によっては円形等の矩形以外の形状（以下「非矩形」という）の表示部を有するアクティブマトリクス型表示装置も提案されている。このような非矩形の表示部を有するアクティブマトリクス表示装置では、各データ信号線の容量 C_{s1} が一定ではなくデータ信号線によって異なる。このため、上記式（1）で示される電圧低下量 ΔV_{s1} もデータ信号線によって異なる。その結果、矩形の表示部を有する表示装置に比べ、上記電圧低下による表示品位への影響が大きい。

【0011】

非矩形の表示部を有するアクティブマトリクス型表示装置では、既述のように、上記サンプリング回路におけるアナログスイッチとしてのNchトランジスタの寄生容量に起因する電圧低下量 ΔV_{s1} がデータ信号線によって異なるため、表示ムラが生じ、良好な表示を行うことができない。

40

【0012】

また、非矩形の表示部を有するアクティブマトリクス型表示装置では、各走査信号線の容量 C_{g1} も一定ではなく走査信号線によって異なる。上記式（2）には走査信号線容量 C_{g1} は含まれないので、画素スイッチング素子としてのNchトランジスタが瞬時にオフ状態となる場合、すなわち当該Nchトランジスタのゲート端子に接続される走査信号がオン電圧 V_{GH} からオフ電圧 V_{GL} に瞬時に変化する場合には、走査信号線によって画素電圧低下量 ΔV_p が変わることはない。しかし実際には、この走査信号は、走査信号線容量 C_{g1} の存在により、オン電圧 V_{GH} からオフ電圧 V_{GL} に瞬時に変化するこ

50

く、走査信号の立ち下がり波形が鈍る。走査信号線容量 C_{gl} が大きくなるにしたがって、この立ち下がり波形の鈍りは大きくなり（立ち下がり時間が長くなり）、その走査信号の電圧がオン電圧 V_{GH} からオフ電圧 V_{GL} に変化する過程において画素電極（画素容量）に流入する電荷量が多くなる。したがって、表示部が円形等である場合には、各走査信号線容量 C_{gl} が走査信号線によって異なることから、画素電圧低下量 ΔV_p は画素スイッチング素子に接続される走査信号線によって異なる。その結果、表示ムラが生じ、良好な表示を行うことができない。

【0013】

そこで本発明は、円形等の非矩形の表示部で良好な表示を行えるアクティブマトリクス型表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明の第1の局面は、アクティブマトリクス型表示装置であって、

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数のデータ信号線のうち少なくとも2つのデータ信号線の長さが互いに異なるような非矩形の形状を有する表示部と、

前記複数のデータ信号線のそれぞれに対応して設けられ、対応するデータ信号線に接続された画素形成部に与えるべきアナログ映像信号を受け取るための第1導通端子と、当該対応するデータ信号線に接続された第2導通端子と、オン状態とオフ状態とを切り替えるための接続切替制御信号を受け取るための制御端子とを有する電界効果トランジスタを接続制御スイッチング素子として含むアナログスイッチと、

前記接続制御スイッチング素子をオフさせるときに、前記接続切替制御信号の電圧が前記接続制御スイッチング素子をオン状態とするための第1レベル電圧からオフ状態とするための第2レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記接続制御スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記接続切替制御信号を生成する接続制御回路とを備えることを特徴とする。

【0015】

本発明の第2の局面は、本発明の第1の局面において、

前記接続制御回路は、前記接続制御スイッチング素子をオフさせるときに前記接続切替制御信号の電圧が前記第1レベル電圧から前記第2レベル電圧またはその近傍の電圧まで連続的に変化するように前記接続切替制御信号を生成することを特徴とする。

【0016】

本発明の第3の局面は、本発明の第1の局面において、

前記接続制御回路は、前記接続制御スイッチング素子をオフさせるときに前記接続切替制御信号の電圧が前記第1レベル電圧から前記第2レベル電圧まで少なくとも1つの中間レベル電圧の期間を介して段階的に変化するように前記接続切替制御信号を生成することを特徴とする。

【0017】

本発明の第4の局面は、本発明の第1の局面において、

前記接続制御回路は、前記対応するデータ信号線が長いほど前記接続制御スイッチング素子の前記制御端子に与えるべき前記接続切替制御信号における前記所定時間が短くなるように、前記接続切替制御信号を生成することを特徴とする。

【0018】

本発明の第5の局面は、本発明の第1から第4の局面において、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動回路を更に備え、

前記表示部は、前記複数の走査信号線のうち少なくとも2つの走査信号線の長さが互いに異なるような非矩形の形状を有し、

10

20

30

40

50

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の1つとしての画素電極と、

前記複数のデータ信号線のいずれか1つに接続された第1導通端子と、前記画素電極に接続された第2導通端子と、前記複数の走査信号線のいずれか1つに接続された制御端子とを有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第3レベル電圧からオフ状態とするための第4レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号を生成することを特徴とする。

10

【0019】

本発明の第6の局面は、アクティブマトリクス型表示装置であって、

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数の走査信号線のうち少なくとも2つの走査信号線の長さが互いに異なるような非矩形の形状を有する表示部と、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動回路とを備え、

20

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の1つとしての画素電極と、

前記複数のデータ信号線のいずれか1つに接続された第1導通端子と、前記画素電極に接続された第2導通端子と、前記複数の走査信号線のいずれか1つに接続された制御端子とを有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第3レベル電圧からオフ状態とするための第4レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号を生成することを特徴とする。

30

【0020】

本発明の第7の局面は、本発明の第5または第6の局面において、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる前記走査信号の電圧が前記第3レベル電圧から前記第4レベル電圧またはその近傍の電圧まで連続的に変化するように、前記複数の走査信号を生成することを特徴とする。

【0021】

本発明の第8の局面は、本発明の第5または第6の局面において、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる前記走査信号の電圧が前記第3レベル電圧から前記第4レベル電圧まで少なくとも1つの中間電圧の期間を介して段階的に変化するように、前記複数の走査信号を生成することを特徴とする。

40

【0022】

本発明の第9の局面は、本発明の第5または第6の局面において、

前記走査信号線駆動回路は、前記走査信号線が長いほどそれに与えるべき前記走査信号における前記所定時間が短くなるように、前記複数の走査信号を生成することを特徴とする。

【0023】

本発明の第10の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマト

50

リクス状に配置された複数の画素形成部とを含み、前記複数のデータ信号線のうち少なくとも2つのデータ信号線の長さが互いに異なるような非矩形の形状を有する表示部が設けられたアクティブマトリクス型表示装置の駆動方法であって、

前記複数のデータ信号線のそれぞれに対応して設けられ、対応するデータ信号線に接続された画素形成部に与えるべきアナログ映像信号を受け取るための第1導通端子、当該対応するデータ信号線に接続された第2導通端子、および、オン状態とオフ状態を切り替えるための接続切替制御信号を受け取るための制御端子を有する電界効果トランジスタを接続制御スイッチング素子として含むアナログスイッチにより、当該対応するデータ信号線への前記アナログ映像信号の供給を制御するステップと、

前記接続制御スイッチング素子をオフさせるときに、前記接続切替制御信号の電圧が前記接続制御スイッチング素子をオン状態とするための第1レベル電圧からオフ状態とするための第2レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記接続制御スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記接続切替制御信号を生成するステップとを備えることを特徴とする。

10

【0024】

本発明の第11の局面は、本発明の第10の局面において、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動ステップを更に備え、

前記表示部は、前記複数の走査信号線のうち少なくとも2つの走査信号線の長さが互いに異なるような非矩形の形状を有し、

20

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の1つとしての画素電極と、

前記複数のデータ信号線のいずれか1つに接続された第1導通端子、前記画素電極に接続された第2導通端子、および、前記複数の走査信号線のいずれか1つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動ステップでは、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第3レベル電圧からオフ状態とするための第4レベル電圧に変化するまでの時間が、前記画素スイッチング素子の前記制御端子と前記第2導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号が生成されることを特徴とする。

30

【0025】

本発明の他の局面は、本発明の上記第1から第11の局面および後述の各実施形態に関する説明から明らかであるので、その説明を省略する。

【発明の効果】

【0026】

本発明の第1の局面によれば、各データ信号線に設けられたアナログスイッチがオフされるとき、すなわち接続制御スイッチング素子としての電界効果トランジスタのオフ遷移過程において、接続切替制御信号の電圧がオン電圧としての第1レベル電圧からオフ電圧としての第2レベル電圧に変化するまでの時間は、接続制御スイッチング素子の制御端子と第2導通端子との間の寄生容量の当該接続制御スイッチング素子を介した充放電に要する時間に応じた所定時間となる。このため、オフ遷移過程において接続制御スイッチング素子を介してデータ信号線への電荷移動またはデータ信号線からの電荷移動が生じ、これにより、接続制御スイッチング素子の制御端子と第2導通端子との間の寄生容量に起因するデータ信号線電圧の変動が低減される。その結果、非矩形の表示部においてデータ信号線の長さが互いに異なることにより生じるデータ信号線電圧の変動量の差異も軽減される。したがって、円形等の非矩形の表示部においても、表示ムラの抑制された良好な表示を行うことができる。

40

【0027】

50

本発明の第2の局面によれば、各データ信号線に設けられたアナログスイッチがオフされるときに（オフ遷移過程において）、上記所定時間をかけて、続切替制御信号の電圧がオン電圧としての第1レベル電圧からオフ電圧としての第2レベル電圧またはその近傍の電圧まで連続的に変化する。これにより、オフ遷移過程において接続制御スイッチング素子を介してデータ信号線への電荷移動またはデータ信号線からの電荷移動が生じるので、本発明の第1の局面と同様の効果が得られる。

【0028】

本発明の第3の局面によれば、各データ信号線に設けられたアナログスイッチがオフされるときに（オフ遷移過程において）、接続制御信号の電圧がオン電圧としての第1レベル電圧からオフ電圧としての第2レベル電圧まで少なくとも1つの中間レベル電圧の期間を介して段階的に変化する。オフ遷移過程における当該中間レベル電圧の期間において接続制御スイッチング素子を介してデータ信号線に電荷が移動するので、本発明の第1の局面と同様の効果が得られる。

【0029】

本発明の第4の局面によれば、接続制御スイッチング素子の制御端子に与えられる接続切替制御信号においてそのオフ遷移過程に対応する所定時間は、その接続制御スイッチング素子に対応するデータ信号線が長いほど短くなるので、表示部において接続制御スイッチング素子のオフ遷移過程でのデータ信号線の電圧変動量がより均一化される。これにより、非矩形の表示部において、より有効に表示ムラが抑制された良好な表示を行うことができる。

【0030】

本発明の第5の局面によれば、各アナログスイッチにおける接続制御スイッチング素子の第1導通端子に与えられるアナログ映像信号は、その接続制御スイッチング素子がオン状態のとき対応するデータ信号線に与えられ、その接続制御スイッチング素子がオフされると、データ信号線電圧として当該対応するデータ信号線（の容量）に保持される。一方、各画素形成部では、画素スイッチング素子がオン状態のとき、その第1導通端子に接続されたデータ信号線の電圧すなわちアナログ映像信号を示す電圧は、画素電極に与えられ、その画素スイッチング素子がオフされると、その画素電極を有する所定容量（画素容量）に画素電圧として保持される。この画素スイッチング素子のオフ遷移過程において、その制御端子に与えられる走査信号の電圧がオン電圧としての第3レベル電圧からオフ電圧としての第4レベル電圧に変化するまでの時間は、その画素スイッチング素子の制御端子と第2導通端子との間の寄生容量をその画素スイッチング素子を介して充放電するのに要する時間に応じた所定時間となる。このため、画素スイッチング素子のオフ遷移過程において、その画素スイッチング素子を介して画素電極への電荷移動または画素電極からの電荷移動が生じ、その画素スイッチング素子の制御端子と第2導通端子との間の寄生容量に起因する画素電圧の変動が低減される。その結果、非矩形の表示部において、データ信号線の長さが互いに異なることにより生じるデータ信号線電圧の変動量の差異だけでなく、走査信号線の長さが互いに異なることにより生じる画素電圧の変動量の差異も軽減される。したがって、円形等の非矩形の表示部において、表示ムラの抑制された良好な表示を行うことができる。

【0031】

本発明の第6の局面によれば、各画素形成部において、画素スイッチング素子がオン状態のとき、その第1導通端子に接続されたデータ信号線の電圧は、画素電極に与えられ、その画素スイッチング素子がオフされると、その画素電極を有する所定容量（画素容量）に画素電圧として保持される。この画素スイッチング素子のオフ遷移過程において、その制御端子に与えられる走査信号の電圧がオン電圧としての第3レベル電圧からオフ電圧としての第4レベル電圧に変化するまでの時間は、その画素スイッチング素子の制御端子と第2導通端子との間の寄生容量をその画素スイッチング素子を介して充放電するのに要する時間に応じた所定時間となる。このため、画素スイッチング素子のオフ遷移過程において、その画素スイッチング素子を介して画素電極への電荷移動または画素電極からの電荷

移動が生じ、その画素スイッチング素子の制御端子と第2導通端子との間の寄生容量に起因する画素電圧の変動が低減される。その結果、非矩形の表示部において、走査信号線の長さが互いに異なることにより生じる画素電圧の変動量の差異が軽減される。これにより、円形等の非矩形の表示部において、表示ムラの抑制された良好な表示を行うことができる。

【0032】

本発明の第7の局面によれば、各画素形成部における画素スイッチング素子がオフされるときに（オフ遷移過程において）、上記所定時間をかけて、その画素スイッチング素子の制御端子に与えられる走査信号の電圧がオン電圧としての第3レベル電圧からオフ電圧としての第4レベル電圧またはその近傍の電圧まで連続的に変化する。これにより、オフ遷移過程において画素スイッチング素子を介して電荷が移動するので、本発明の第6の局面と同様の効果が得られる。

10

【0033】

本発明の第8の局面によれば、各画素形成部における画素スイッチング素子がオフされるときに（オフ遷移過程において）、その画素スイッチング素子の制御端子に与えられる走査信号の電圧がオン電圧としての第3レベル電圧からオフ電圧としての第4レベル電圧まで少なくとも1つの中間レベル電圧の期間を介して段階的に変化する。オフ遷移過程における当該中間レベル電圧の期間において画素スイッチング素子を介して電荷が移動するので、本発明の第6の局面と同様の効果が得られる。

【0034】

20

本発明の第9の局面によれば、走査信号において画素スイッチング素子のオフ遷移過程に対応する所定時間は、その走査信号が与えられる走査信号線が長いほど短くなるので、表示部において画素スイッチング素子のオフ遷移過程での画素電圧の変動量がより均一化される。これにより、非矩形の表示部において、より有効に表示ムラが抑制された良好な表示を行うことができる。

【0035】

本発明の第10の局面は、アクティブマトリクス型表示装置の駆動方法において、本発明の第1の局面と同様の効果を奏する。

【0036】

本発明の第11の局面は、アクティブマトリクス型表示装置の駆動方法において、本発明の第5の局面と同様の効果を奏する。

30

【0037】

本発明の他の局面の効果は、本発明の上記第1から第11の局面の効果および下記実施形態についての説明から明らかであるので、その説明を省略する。

【図面の簡単な説明】

【0038】

【図1】本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】上記第1の実施形態における画素形成部の等価回路を示す回路図である。

【図3】上記第1の実施形態における走査信号線駆動回路の構成例を示すブロック図である。

40

【図4】上記第1実施形態における走査信号および接続切替制御信号の生成を説明するための信号波形図である。

【図5】上記第1の実施形態における表示部の駆動部（走査信号線駆動回路、データ信号線駆動回路およびデマルチプレクス回路）の動作を説明するためのタイミングチャートである。

【図6】上記第1の実施形態におけるデマルチプレクス回路の配置例を示す図である。

【図7】上記第1の実施形態におけるデマルチプレクス回路内の1つのデマルチプレクサの表現方法を説明するための図（A、B）である。

【図8】上記第1の実施形態におけるデマルチプレクス回路によるビデオ信号のサンプリングおよびホールドのための構成を示す回路図である。

50

【図 9】上記第 1 の実施形態におけるデータ信号線駆動のための単位サンプルホールド回路の構成を示す回路図である。

【図 10】従来の単位サンプルホールド回路の動作を示す信号波形図である。

【図 11】上記第 1 の実施形態における単位サンプルホールド回路の動作を示す信号波形図（A、B）である。

【図 12】上記第 1 の実施形態における単位サンプルホールド回路の他の動作例を示す信号波形図（A、B）である。

【図 13】上記第 1 の実施形態における走査信号線の容量を説明するための図である。

【図 14】上記第 1 の実施形態における画素データサンプルホールド回路の構成を示す回路図である。

【図 15】従来の画素形成部の画素データサンプルホールド回路としての動作を示す信号波形図である。

【図 16】上記第 1 の実施形態における画素データサンプルホールド回路の動作を示す信号波形図（A、B）である。

【図 17】上記第 1 の実施形態における画素データサンプルホールド回路の他の動作例を示す信号波形図（A、B）である。

【図 18】上記第 1 の実施形態における画素データサンプルホールド回路のための他の構成例を説明するための信号波形図である。

【図 19】上記第 1 の実施形態の変形例におけるデータ信号線駆動のための単位サンプルホールド回路を説明するための回路図（A）および信号波形図（B）である。

【図 20】本発明の他の実施形態におけるデータ信号線駆動回路を説明するための回路図（A、B）である。

【図 21】上記他の実施形態の変形例におけるデータ信号線駆動回路の構成を示すブロック図である。

【図 22】上記他の実施形態の変形例におけるデータ信号線駆動回路の動作を説明するためのタイミングチャートである。

【図 23】上記他の実施形態におけるデータ信号線駆動回路の他の構成例を説明するための信号波形図である。

【発明を実施するための形態】

【0039】

以下、本発明の実施形態について添付図面を参照して説明する。

< 1. 第 1 の実施形態 >

< 1. 1 全体構成 >

図 1 は、本発明の第 1 の実施形態に係る液晶表示装置の全体的な構成を示すブロック図である。この液晶表示装置は、アクティブマトリクス型の円形の表示部 120 を含む表示パネル 100 と、走査信号線駆動回路（「ゲートドライバ」とも呼ばれる）200 と、データ信号線駆動回路（「ソースドライバ」とも呼ばれる）300 と、表示制御回路 400 とを備えており、表示パネル 100 には後述のデマルチプレクス回路 320 が含まれている。表示制御回路 400 には外部から入力信号 S_{in} が与えられ、この入力信号 S_{in} には、表示すべき画像を表す画像信号および当該画像の表示のためのタイミング制御信号が含まれている。

【0040】

表示部 120 には、複数本（ $3n$ 本）のデータ信号線（「ソースライン」とも呼ばれる） $SL1 \sim SL3n$ と、複数本（ m 本）の走査信号線（「ゲートライン」とも呼ばれる） $GL1 \sim GLm$ と、これらのデータ信号線 $SL1 \sim SL3n$ および走査信号線 $GL1 \sim GLm$ に沿ってマトリクス状に配置された複数（ $m \times 3n$ 個）の画素形成部 10 が配設されている（このようにマトリクス状に配置された複数の画素形成部を以下では「画素マトリクス」ともいう）。なお図 1 では、図示の便宜上、 $n = 6$ 、 $m = 20$ である。

【0041】

各画素形成部 10 は、これらのデータ信号線 $SL1 \sim SL3n$ のいずれか 1 つに対応する

10

20

30

40

50

と共に、これらの走査信号線 $GL1 \sim GLm$ のいずれか 1 つに対応する。以下、 $3n$ 本のデータ信号線 $SL1 \sim SL3n$ を区別しない場合にはこれらを単に「データ信号線 SL 」といい、 m 本の走査信号線 $GL1 \sim GLm$ を区別しない場合にはこれらを単に「走査信号線 GL 」という。図 2 に示すように、各画素形成部 10 は、対応する走査信号線 GLi に制御端子としてのゲート端子が接続されると共に対応するデータ信号線 SLj にソース端子が接続されたスイッチング素子としての薄膜トランジスタ（以下「 TFT 」と略記する）12 と、その $TFT12$ のドレイン端子に接続された画素電極 Ep と、 $m \times 3n$ 個の画素形成部 10 に共通的に設けられた共通電極 Ec と、画素電極 Ep と共通電極 Ec との間に挟持され $m \times 3n$ 個の画素形成部 10 に共通的に設けられた液晶層とにより構成される。そして、画素電極 Ep および共通電極 Ec により形成される液晶容量により画素容量 Cp が構成される。典型的には、画素容量 Cp に確実に電圧を保持すべく液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

【0042】

なお後述のように、各画素形成部 10 におけるスイッチング素子（以下「画素スイッチング素子」という）としての $TFT12$ のゲート端子とドレイン端子の間には寄生容量 Cgd が存在し、この寄生容量 Cgd は、走査信号線 GLi と画素電極 Ep によって形成される容量を含む。また、 $TFT12$ の種類は特に限定されず、 $TFT12$ のチャンネル層には、アモルファスシリコン、ポリシリコン、微結晶シリコン、連続粒界結晶シリコン（ CG シリコン）、酸化物半導体等のいずれを使用してもよい（この点は、後述のデマルチプレクス回路 320 に含まれるスイッチング素子としての TFT においても同様である）。また、表示部 120 を含む表示パネル 100 としての液晶パネルの方式も、液晶層に垂直な方向に電界が印加される VA （Vertical Alignment）方式や TN （Twisted Nematic）方式等に限定されるものではなく、液晶層に略平行な方向に電界が印加される IPS （In-Plane Switching）方式であってもよい。

【0043】

表示制御回路 400 は、入力信号 Sin を外部から受け取り、この入力信号 Sin に基づき、デジタル画像信号 Sdv 、データ側制御信号 SCt 、走査側制御信号 GCT 、および共通電圧 $Vcom$ （不図示）を生成し出力する。デジタル画像信号 Sdv およびデータ側制御信号 SCt はデータ信号線駆動回路 300 に与えられ、走査側制御信号 GCT は走査信号線駆動回路 200 に与えられ、共通電圧 $Vcom$ は表示部 120 における共通電極 Ec に与えられる。

【0044】

データ信号線駆動回路 300 は、デジタル画像信号 Sdv およびデータ側制御信号 SCt に基づき、表示パネル 100 を駆動するためのデータ信号として n 個のビデオ信号 $Sv1 \sim Sv n$ を生成する。すなわち、表示制御回路 400 からのデータ側制御信号 SCt には、ソーススタートパルス信号 SSP 、ソースクロック信号 SCK 、ラッチストロブ信号 Ls 、および極性切替制御信号 Cpn 等が含まれており、データ信号線駆動回路 300 は、これらの信号に基づき、その内部の図示しないシフトレジスタおよびサンプリングラッチ回路等を動作させることにより、デジタル画像信号 Sdv に基づく n 個のデジタル信号を生成し、これらのデジタル信号を図示しない DA 変換回路でアナログ信号に変換することにより、表示パネル 100 を駆動するための信号として n 個のビデオ信号 $Sv1 \sim Sv n$ を生成する。これらのビデオ信号 $Sv1 \sim Sv n$ は、アナログの電圧信号であり、デマルチプレクス回路 320 に与えられる。なお、極性切替制御信号 Cpn は、液晶の劣化を防止すべく表示部 120 を交流駆動するための制御信号であり、所定のタイミングで上記ビデオ信号 $Sv1 \sim Sv n$ の極性を切り替えるために使用される。ただし、この交流駆動は、当業者には周知である一方、本発明の特徴とは直接的には関係しないので、詳しい説明を省略する。

【0045】

デマルチプレクス回路 320 は、表示パネル 100 に上記の表示部 120 と一体的に形

成されており、データ信号線駆動回路 300 から上記ビデオ信号 $Sv1 \sim Sv_n$ を受け取り（図 1 では $n=6$ ）、これらのビデオ信号 $Sv1 \sim Sv_n$ を SSD 方式により $3n$ 個のデータ信号 $S1 \sim S_{3n}$ としてデータ信号線 $SL1 \sim SL_{3n}$ にそれぞれ与える。すなわち本実施形態では、表示パネル 100 において隣接する 3 本のデータ信号線 SL_{3i-2} 、 SL_{3i-1} 、 SL_{3i} を 1 組として n 組のデータ信号線群にグループ化し（ $i=1 \sim n$ ）、各組に対応するデマルチプレクサ 322 により当該組における 3 本のデータ信号線に時分割的にビデオ信号が与えられる SSD 方式が採用されている。この SSD 方式にしたがってビデオ信号 Sv_i をデータ信号として与えるべきデータ信号線を切り替えるための接続切替制御信号 $Sc1 \sim Sc3$ は、本実施形態では後述のように走査信号線駆動回路 200 において生成される。

10

【0046】

走査信号線駆動回路 200 は、走査側制御信号 GCT に基づき走査信号 $G1 \sim G_m$ を生成して走査信号線 $GL1 \sim GL_m$ に印加し、これによりアクティブな走査信号の走査信号線 $GL1 \sim GL_m$ への印加を所定周期で繰り返す。図 3 は、この走査信号線駆動回路 200 の構成例を示すブロック図である。この構成例による走査信号線駆動回路 200 は、シフトレジスタ 210 とレベルシフタ 220 と出力回路 230 を備え、更に、上記接続切替制御信号 $Sc1 \sim Sc3$ を生成する接続制御回路 50 を備えている。表示制御回路 400 からの走査側制御信号 GCT は、ゲートクロック信号 GCK およびゲートスタートパルス信号 GSP を含み、更に、後述のゲート中間レベル期間信号 GI および接続制御信号 SC を含んでいる。また、この走査信号線駆動回路 200 には、図示しない電源回路から、デマルチプレクス回路 320 におけるスイッチング素子（以下「接続制御スイッチング素子」という）としての TFT をオンさせるためのオン電圧（第 1 レベル電圧）としての H レベル接続制御電圧 VCH と、接続制御スイッチング素子をオフさせるためのオフ電圧（第 2 レベル電圧）としての L レベル接続制御電圧 VCL と、これらの電圧 VCH 、 VCL の中間レベルを示す中間レベル接続制御電圧 VCI と、画素スイッチング素子としての TFT 12 をオンさせるためのオン電圧（第 3 レベル電圧）としての H レベルゲート電圧 VGH と、TFT 12 をオフさせるためのオフ電圧（第 4 レベル電圧）としての L レベルゲート電圧 VGL と、これらゲート電圧 VGH 、 VGL の中間レベルを示す中間レベルゲート電圧 VGI も与えられる。

20

【0047】

このような走査信号線駆動回路 200 において、シフトレジスタ 210 は、ゲートスタートパルス信号 GSP に含まれるスタートパルスをゲートクロック信号 GCK にしたがって内部において順次転送し、これに応じてシフトレジスタ 210 の各段はアクティブな信号を出力する。レベルシフタ 220 は、シフトレジスタ 210 から出力される信号のレベルを上記の L レベルゲート電圧 VGL および H レベルゲート電圧 VGH に基づいて変換し、変換後の信号を図 4 に示すような走査側内部信号 $F1 \sim F_m$ として出力する。出力回路 230 は、中間レベルゲート電圧 VGI およびゲート中間レベル期間信号 GI に基づき、走査側内部信号 $F1 \sim F_m$ の立ち下がり（H レベルゲート電圧 VGH から L レベルゲート電圧 VGL への変化、より一般的には画素スイッチング素子のオン電圧からオフ電圧への変化）が中間レベルの期間を介して行われるように走査側内部信号 $F1 \sim F_m$ を修正し、修正後の信号を図 4 に示すような走査信号 $G1 \sim G_m$ として出力する。このようにして生成される各走査信号 Gi （ $i=1 \sim m$ ）は、その立ち下がりにおいて、まず H レベルゲート電圧 VGH から中間レベルゲート電圧 VGI に変化し、その中間レベルゲート電圧 VGI をゲート中間レベル期間信号が示す期間 TGI だけ維持し、その後、L レベルゲート電圧 VGL へと変化する。

30

40

【0048】

走査信号線駆動回路 200 における接続制御回路 50 は、H レベル接続制御電圧 VCH 、L レベル接続制御電圧 VCL 、および接続制御信号 SC に基づき、接続切替制御信号 $Sc1 \sim Sc3$ を生成し、デマルチプレクス回路 320 における各デマルチプレクサ 322 に与える。ここで、接続制御信号 SC は、図 4 に示すような第 1 から第 3 の接続タイミン

50

グ信号 $SS1 \sim SS3$ と接続制御中間レベル期間信号 SCI から構成される。第1の接続タイミング信号 $SS1$ は、各組のデータ信号線 $SL3j-2$, $SL3j-1$, $SL3j$ ($j = 1 \sim n$) のうち1番目のデータ信号線 $SL3j-2$ にビデオ信号 Svj を与えるべき期間だけアクティブ（本実施形態ではハイレベル（Hレベル））となり、第2の接続タイミング信号 $SS2$ は、2番目のデータ信号線 $SL3j-1$ にビデオ信号 Svj を与えるべき期間だけアクティブ（Hレベル）となり、第3の接続タイミング信号 $SS3$ は、3番目のデータ信号線 $SL3j$ にビデオ信号 Svj を与えるべき期間だけアクティブ（Hレベル）となる。すなわち、第1から第3の接続タイミング信号 $SS1 \sim SS3$ は、後述のように、各水平期間を3つの期間に分割して得られる第1から第3期間、それぞれHレベルとなる。

【0049】

接続制御回路50は、このような第1から第3の接続タイミング信号 $SS1 \sim SS3$ の電圧レベルをHレベル接続制御電圧 VCH およびLレベル接続制御電圧 VCL に基づいて変換すると共に、中間レベル接続制御電圧 VCI および接続制御中間レベル期間信号 SCI に基づき、第1から第3の接続タイミング信号 $SS1 \sim SS3$ の立ち下がり（Hレベル接続制御電圧 VCH からLレベル接続制御電圧 VCL への変化、より一般的には接続制御スイッチング素子のオン電圧からオフ電圧への変化）が中間レベルを介して行われるように当該接続タイミング信号 $SS1 \sim SS3$ を修正し、修正後の信号を図4に示すような第1から第3の接続切替制御信号 $Sc1 \sim Sc3$ として出力する。このようにして生成される各接続切替制御信号 Sc_k ($k = 1, 2, 3$) は、その立ち下がりにおいて、まずHレベル接続制御電圧 VCH から中間レベル接続制御電圧 VCI に変化し、その中間レベル接続制御電圧 VCI を接続制御中間レベル期間信号が示す期間 TCI だけ維持し、その後、Lレベル接続制御電圧 VCL へと変化する。既述のように、これら第1から第3の接続切替制御信号 $Sc1 \sim Sc3$ は、デマルチプレクス回路320に与えられ、そこで、各ビデオ信号 Svi を与えるべきデータ信号線に対応する組のデータ信号線 $SL3i-2$, $SL3i-1$, $SL3i$ の間で切り替えるための制御信号として使用される。

【0050】

表示パネル100の背面側には、図示しないバックライトユニットが設けられており、これにより表示パネル100の背面にバックライト光が照射される。このバックライトユニットも表示制御回路400により駆動されるが、その他の方法により駆動される構成であってもよい。なお、表示パネル100が反射型である場合には、バックライトユニットは不要である。

【0051】

以上のようにして、データ信号線 $SL1 \sim SL3n$ にデータ信号 $S1 \sim S3n$ がそれぞれ印加され、走査信号線 $GL1 \sim GLm$ に走査信号 $G1 \sim Gm$ がそれぞれ印加され、表示パネル100の背面にバックライト光が照射されることにより、外部から与えられる入力信号 Sin の表す画像が表示パネル100の表示領域を構成する表示部120に表示される。

【0052】

なお、図1～図3に示す上記構成では、デマルチプレクス回路320に与えられる接続切替制御信号 $Sc1 \sim Sc3$ を生成する接続制御回路50は、走査信号線駆動回路200に含まれているが、これに代えて、表示制御回路400に含まれていてもよい。また、データ信号線駆動回路300および走査信号線駆動回路200の双方または一方は表示制御回路400内に設けられていてもよい。さらに、データ信号線駆動回路300および走査信号線駆動回路200の双方または一方は表示部120と一体的に形成されていてもよい。

【0053】

<1. 2 表示部の駆動>

図5は、本実施形態において表示部120を駆動する駆動部の動作を説明するためのタイミングチャートである。この駆動部は、既述の走査信号線駆動回路200、データ信号線駆動回路300、およびデマルチプレクス回路320からなる。以下、図1と共に図5を参照して、この駆動部の動作すなわち表示部120におけるデータ信号線 $SL1 \sim SL$

10

20

30

40

50

3nおよび走査信号線 $GL1 \sim GLm$ の駆動について説明する。ただし図5では、走査信号 $G1 \sim Gm$ および接続切替制御信号 $Sc1 \sim Sc3$ の波形は、便宜上、立ち上がりおよび立ち下りの時間や、立ち下がりにおける上記中間レベル等を捨象した単純な矩形波として描かれている。なお本実施形態では、画素スイッチング素子としての TFT および接続制御スイッチング素子としての TFT はいずれも Nch トランジスタであるが、これら TFT の一方または双方が Pch 形の電界効果トランジスタ（以下「Pch トランジスタ」という）であってもよい。

【0054】

データ信号線駆動回路 300 から走査信号線 $GL1 \sim GLm$ にそれぞれ印加される走査信号 $G1 \sim Gm$ は、図5に示す走査信号 $G1 \sim G3$ のように1水平期間毎に順次アクティブとなる。本実施形態では、画素スイッチング素子としての TFT および接続制御スイッチング素子としての TFT は Nch トランジスタであるので、ハイレベル（Hレベル）をアクティブとしローレベル（Lレベル）を非アクティブとするが、Pch トランジスタが使用される場合には、LレベルがアクティブとされHレベルが非アクティブとされる。

【0055】

デマルチプレクス回路 320 は n 個のデマルチプレクサ 322 を含み、 i 番目のデマルチプレクサ 322 には i 番目のビデオ信号 Svi が入力され（ $i = 1 \sim n$ ）、各デマルチプレクサ 322 には、図5に示すような接続切替制御信号 $Sc1 \sim Sc3$ が入力される。各水平期間を3つに分割して得られる期間を順に第1、第2、および第3期間と呼ぶものとする、これらの接続切替制御信号 $Sc1 \sim Sc3$ のうち、第1の接続切替制御信号 $Sc1$ は第1期間でのみアクティブとなり、第2の接続切替制御信号 $Sc2$ は第2期間でのみアクティブとなり、第3の接続切替制御信号 $Sc3$ は第3期間でのみアクティブとなる。各デマルチプレクサ 322 には、それに入力されるビデオ信号 Svi を時分割で印加すべき3つのデータ信号線 $SL3i-2$, $SL3i-1$, $SL3i$ が接続されている。各デマルチプレクサ 322 は、ビデオ信号 Svi を、第1の接続切替制御信号 $Sc1$ がアクティブ（Hレベル）のときにデータ信号線 $SL3i-2$ に与え、第2の接続切替制御信号 $Sc2$ がアクティブ（Hレベル）のときにデータ信号線 $SL3i-1$ に与え、第3の接続切替制御信号 $Sc3$ がアクティブ（Hレベル）のときにデータ信号線 $SL3i$ に与える。これにより、ビデオ信号 Svi の与えられるデータ信号線が、各水平期間において3つのデータ信号線 $SL3i-2$, $SL3i-1$, $SL3i$ の間で順に切り替えられる。

【0056】

このような動作により、図5に示すデータ信号 $S1 \sim S3$ がデータ信号線 $SL1 \sim SL3$ にそれぞれ印加される。他のデータ信号線 $SL3i-2$, $SL3i-1$, $SL3i$ （ $i = 2 \sim n$ ）についても同様である。図5に示すビデオ信号 $Sv1 \sim Sv3$ およびデータ信号 $S1 \sim S3$ に付されている記号 dij は、 i 番目の走査信号線 GLi および j 番目のデータ信号線 SLj に接続される画素形成部 10 に書き込むべき画素データを示すものとする（ $i = 1 \sim m$, $j = 1 \sim 3n$ ）。各データ信号線 SLj は、他の電極（共通電極 Ec や走査信号線 GL を構成する電極等）との間に容量を形成されている（以下この容量を「データ信号線容量 $Cs1$ 」という）。このデータ信号線容量 $Cs1$ とデマルチプレクサ 322 との作用により、ビデオ信号 Svi が接続切替制御信号 $Sc k$ によってサンプリングされてデータ信号線 $SL3(i-1)+k$ に保持される（ $i = 1 \sim n$; $k = 1, 2, 3$ ）（図5のデータ信号 $S1 \sim S3$ 参照）。なお、ビデオ信号 Svi の極性は既述の極性切替制御信号 Cpn にしたがって変化し（不図示）、これに応じてデータ信号 $S3i-2$, $S3i-1$, $S3i$ の極性も変化する（図5参照）。

【0057】

なお図5は、各画素形成部 10 に与えられるデータ信号の極性が1フレーム期間毎に反転するだけでなく、データ信号線 SL の延びる方向に隣接する画素形成部に互いに逆極性のデータ信号が与えられると共に、走査信号線 GL の延びる方向に隣接する画素形成部にも互いに逆極性のデータ信号が与えられるように、表示パネル 100 が駆動される方式、すなわちドット反転駆動方式が採用されていることを前提としている。しかし、本発明に

10

20

30

40

50

係る液晶表示装置の交流駆動方式はドット反転駆動方式に限定されるものではなく、例えば、データ信号線 SL の延びる方向に隣接する画素形成部に互いに逆極性のデータ信号が与えられ、走査信号線 GL の延びる方向に隣接する画素形成部には互いに同極性のデータ信号が与えられるように、表示パネル 100 が駆動される方式、すなわちライン反転駆動方式が採用されてもよい。

【0058】

< 1. 3 データ信号線駆動のためのサンプルホールド回路 >

図 1 に示すように本実施形態では、表示部 120 が円形であることから、データ信号線 $SL1 \sim SL3n$ の長さが同一である矩形の表示部の場合とは異なり、データ信号線 SL_j ($j = 1 \sim 3n$) は中央部で最も長く、端部に近づくにしたがって短くなる。このようなデータ信号線間での長さの相違は、図 6 に示すようにデマルチプレクス回路 320 における接続制御スイッチング素子としての TFT (Nch トランジスタ) を円形の表示部 120 の外縁部にその表示部 120 に沿って配置する場合には、より大きなものとなる。図 6 に示すような配置構成によれば、表示装置の形状を表示部 120 の形状に応じたものとして装置全体のサイズを小さくすることができる。なお図 6 では、便宜上、回路表現が図 1 の表現と若干異なっており、図 7 (B) に示す回路が図 7 (A) の回路図で表現されている。

10

【0059】

図 1 または図 6 に示すような円形の表示部 120 を有する本実施形態では、データ信号線容量 $Cs1$ は、表示部 120 の領域 (以下「表示領域」という) の中央部すなわちデータ信号線 SL が最長となる部分で最も大きく、表示領域の両端部すなわちデータ信号線 SL が最短となる部分で最も小さい。

20

【0060】

ここで、接続切替制御信号 Sc_k ($k = 1, 2, 3$) の立ち下がりにおいて、オン電圧としての H レベル接続制御電圧 VCH からオフ電圧としての L レベル接続制御電圧 VCL に瞬時に変化するものとする、接続制御スイッチング素子としての TFT (Nch トランジスタ) のゲート端子とドレイン端子の間の寄生容量 Cgd に起因して、その TFT に接続されたデータ信号線 SL_j の電圧 $Vs1$ が低下する。このデータ信号線電圧 $Vs1$ の低下量 (以下「信号線電圧低下量」という) $\Delta Vs1$ は、そのデータ信号線 SL_j の容量 $Cs1$ が大きいほど小さくなる。したがって、本実施形態におけるように表示領域が円形の場合には、この電圧低下量 $\Delta Vs1$ が表示領域内の位置によって大きく異なる。その結果、同一の画素データを各画素形成部 10 に書き込んでも、画素形成部 10 (の画素容量 Cp) に保持される電圧 (画素電圧) が表示領域内の位置によって異なり、表示ムラが生じる。本実施形態では、データ信号線 SL の長さまたは容量 $Cs1$ が表示領域内の位置によって異なることにより生じるこのような表示品位の低下を防止するための構成を有している。以下、この点につき詳しく説明する。

30

【0061】

図 8 は、本実施形態におけるデマルチプレクス回路 320 によるビデオ信号 Svi のサンプリングおよびホールドのための構成を示す回路図である。図 8 に示すように本実施形態では、デマルチプレクス回路 320 における各デマルチプレクサ 322 は、3 個のアナログスイッチとして Nch トランジスタ (接続制御スイッチング素子としての TFT) $SW1 \sim SW3$ を含む。各デマルチプレクサにおける Nch トランジスタ $SW1 \sim SW3$ の第 1 導通端子は互いに接続されてビデオ信号 Svi を与えられ、これら Nch トランジスタ $SW1 \sim SW3$ の第 2 導通端子はデータ信号線 $SL3i-2, SL3i-1, SL3i$ にそれぞれ接続されている ($i = 1 \sim n$)。また、各デマルチプレクサ 322 における Nch トランジスタ $SW1 \sim SW3$ の制御端子としてのゲート端子には、第 1 から第 3 の接続切替制御信号 $Sc1 \sim Sc3$ がそれぞれ与えられる。なお、Nch トランジスタ $SW1 \sim SW3$ の第 1 および第 2 導通端子のいずれがドレイン端子か (またはソース端子か) は、Nch トランジスタ $SW1 \sim SW3$ を流れる電流の方向に依存するが、以下では便宜上、上記第 1 導通端子をソース端子とし、上記第 2 導通端子をドレイン端子として説明を進める。

40

50

【0062】

サンプリング回路としてのデマルチプレクス回路320における各デマルチプレクサ322の各NcnトランジスタSWkは、そのゲート端子とドレイン端子（第2導通端子）の間に形成された寄生容量Cgdを有する。このため、i番目のデマルチプレクサ322におけるNcnトランジスタSWkがオン状態からオフ状態に変化する際の接続切替制御信号Sckの電圧変化が、この寄生容量Cgdを介してデータ信号線SL3(i-1)+kの電圧に影響を与える（ $i = 1 \sim n$ ； $k = 1, 2, 3$ ）。その結果、NcnトランジスタSWkがオフされた直後におけるデータ信号線SL3(i-1)+kの電圧すなわちデータ信号S3(i-1)+kの電圧Vslは、NcnトランジスタSWkがオン状態のときに当該データ信号S3(i-1)+kに与えられるビデオ信号Sviの電圧よりも低下する。すなわち、ビデオ信号Sviを接続切替制御信号Sckでサンプリングすることにより得られるデータ信号線電圧Vslは、寄生容量Cgdに起因して本来の電圧（Svi）よりも低下する。本実施形態では、この電圧低下を抑制するために、NcnトランジスタSWkがオフするときのオン電圧からオフ電圧への変化すなわちHレベル接続制御電圧VCHからLレベル接続制御電圧VCLへの変化が中間レベル（VCI）の期間TCIを介して行われるように構成されている（図4参照）。

10

【0063】

以下、上記のようなビデオ信号Sviのサンプリングの際のデータ信号線電圧Vslの低下を抑制するための動作を、1番目のビデオ信号Sv1のサンプリングを例にとり図9～図11を参照して更に詳しく説明する。

20

【0064】

図9は、本実施形態においてビデオ信号Sv1をサンプリングして1つのデータ信号線SLkに与えて保持させるための回路に相当する部分すなわち単位サンプルホールド回路（以下「データ信号線駆動のための単位サンプルホールド回路」または単に「単位サンプルホールド回路」という）の構成を示す回路図である。SSD方式等が採用される従来の表示装置におけるデータ信号線駆動のための単位サンプルホールド回路（以下「従来の単位サンプルホールド回路」という）の構成も、図9に示す構成と同一である。そこで、これらの単位サンプルホールド回路において対応する部分および信号には同一の参照符号および記号をそれぞれ付すものとする。

【0065】

30

図10は、従来の単位サンプルホールド回路の動作を示す信号波形図であり、図11は、本実施形態における単位サンプルホールド回路の動作を示す信号波形図である。

【0066】

図10に示すように、従来の単位サンプルホールド回路では、NcnトランジスタSWkをオフさせるときに、上記のように、接続切替制御信号Sckの電圧すなわちNcnトランジスタSWkのゲート端子の電圧VgがHレベル接続制御電圧VCHから直ちにLレベル接続制御電圧VCLに変化し、この変化がゲート端子とドレイン端子の間の寄生容量Cgdを介してデータ信号線SLkの電圧に影響を与える。その結果、データ信号線SLkの電圧Vslすなわちデータ信号Skの電圧は、NcnトランジスタSWkがオン状態のときにデータ信号線SLkに与えられるビデオ信号Sviの電圧よりも低下する。すなわち、ビデオ信号Sviを接続切替制御信号Sckでサンプリングすることにより得られるデータ信号線電圧Vslが寄生容量Cgdに起因して本来の電圧（Vvi）よりも低下する。このときのデータ信号線電圧Vslの低下量 ΔVsl は、接続切替制御信号Sckの電圧VgがHレベル接続制御電圧VCHからLレベル接続制御電圧VCLに瞬時に変化するものとする、次式で表される。

40

$$\Delta Vsl = \{ Cgd / (Csl + Cgd) \} (VCH - VCL) \quad \cdots (3)$$

ここで、“Csl”はデータ信号線SLkの容量である。

【0067】

図11（A）に示すように、本実施形態における単位サンプルホールド回路では、上記従来の単位サンプルホールド回路とは異なり、NcnトランジスタSWkをオフさせると

50

きに、接続切替制御信号 Sck の電圧 (Nch トランジスタ SWk のゲート端子の電圧) Vg が H レベル接続制御電圧 VCH から中間レベル接続制御電圧 VCI の期間 (以下「接続制御中間レベル期間」という) TCI を介して L レベル接続制御電圧 VCL に変化する。すなわち、接続切替制御信号 Sck の電圧 Vg が H レベル接続制御電圧 VCH から L レベル接続制御電圧 VCL に変化するまでの過程、すなわちオン電圧からオフ電圧まで変化するまでの過程 (オフ遷移過程) において、まず、 H レベル接続制御電圧 VCH から中間レベル接続制御電圧 VCI までの変化によりデータ信号線電圧 Vsl が低下する。しかし、この後、接続切替制御信号 Sck の電圧 Vg は接続制御中間レベル期間 TCI だけ中間レベル接続制御電圧 VCI に維持される。この接続制御中間レベル期間 TCI では、 Nch トランジスタ SWk は完全なオフ状態ではないので (オン状態ともオフ状態とも言えない中間的な状態であるので)、ビデオ信号 $Sv1$ を出力するデータ信号線駆動回路 300 の端子 $Td1$ から Nch トランジスタ SWk を介してデータ信号線 SLk に電荷が移動する。これにより、データ信号線電圧 Vsl は、ビデオ信号 $Sv1$ の電圧 $Vv1$ の近傍まで上昇する。この接続制御中間レベル期間 TCI が終了すると、接続切替制御信号 Sck の電圧 Vg は、中間レベル接続制御電圧 VCI から L レベル接続制御電圧 VCL まで変化し、この変化により、データ信号線電圧 Vsl は再び低下する。このようにして、接続切替制御信号 Sck の電圧 Vg がオフ電圧としての L レベル接続制御電圧 VCL に到達した時点では、データ信号線電圧 Vsl はビデオ信号 $Sv1$ の電圧 $Vv1$ よりも低下しているが、信号線電圧低下量 ΔVsl は、上記接続制御中間レベル期間 TCI でのデータ信号線 SLk への電荷の移動により、従来の単位サンプリングホールド回路における信号線電圧低下量 ΔVsl よりも低減されている (図 11 (A) および図 10 参照)。

【0068】

上記のように、デマルチプレクス回路 320 の接続切替制御信号 Sck として図 11 (A) に示すような波形の信号 Sck を使用する本実施形態によれば、 Nch トランジスタ SWk のオフ遷移過程で寄生容量 Cgd に起因する信号線電圧低下量 ΔVsl が低減される。また、図 1 に示すような円形の表示部 120 を有する表示装置において、従来の単位サンプルホールド回路を使用した場合には、データ信号線容量 Csl がデータ信号線 SL によって異なることから信号線電圧低下量 ΔVsl もデータ信号線 SLk によって異なる (図 8 参照)。これに対し本実施形態によれば、信号線電圧低下量 ΔVsl が低減されることによって、データ信号線 SLj による信号線電圧低下量 ΔVsl の差異も低減される。これにより、円形 (より一般的には非矩形) の表示部 120 を有するためにデータ信号線 $SL1 \sim SL3n$ の長さや容量 Csl が互いに異なっている、表示ムラの抑制された良好な表示を行うことができる。

【0069】

< 1. 4 データ信号線駆動のための単位サンプルホールド回路の他の動作例 >

上述のように本実施形態では、デマルチプレクス回路 320 の接続切替制御信号 Sck として図 11 (A) に示すような波形の信号が接続制御回路 50 (図 3) で生成され、接続制御スイッチング素子 SWk (図 9) のオフ遷移過程において中間レベルの期間 TCI が設けられている。このオフ遷移過程で設けられる中間レベルは 1 つに限られるものではなく、複数の中間レベルが設けられてもよい。例えば図 11 (B) に示すように、2 つの中間レベル $VCI1$, $VCI2$ がオフ遷移過程に設けられ、接続切替制御信号 Sck の電圧がオン電圧 (H レベル接続制御電圧 VCH) から 2 つの中間レベル $VCI1$, $VCI2$ の期間を順次介して段階的にオフ電圧 (L レベル接続制御電圧 VCL) に変化するようにしてもよい。

【0070】

ここで、中間レベルの期間 TCI は、接続切替制御信号 Sck の電圧変化によるデータ信号線電圧 Vsl の低下を Nch トランジスタ (接続制御スイッチング素子) SWk を介した寄生容量 Cgd およびデータ信号線容量 Csl の充電によって低減または補償するための時間であり、既述の式 (3) を考慮して、 Nch トランジスタ SWk を介した寄生容量 Cgd の充放電に要する時間に基づき予め決定される。この中間レベル期間 TCI は、

信号線電圧低下量 ΔV_{s1} の低減の観点からは長い方が好ましいが、中間レベル期間 T_{CI} を長くすると、ビデオ信号 S_{vi} によるデータ信号線 S_{Lk} の充電のための時間が短くなる。また、中間レベルの電圧値としてどのような値が好ましいかは、接続制御スイッチング素子としての Nch トランジスタ SW_k の特性に依存する。したがって、中間レベル期間の長さや中間レベルの設定数および電圧値については、表示部 120 の仕様（解像度やサイズ等）および電気的特性（寄生容量 C_{gd} や、データ信号線容量 C_{s1} 、 Nch トランジスタ SW_k の特性等）に基づき上記複数の観点から適切な値を決定する。具体的には、図 9 に示す単位サンプルホールド回路についての実験または計算機シミュレーションの結果に基づき、適切な中間レベル期間の長さや中間レベルの設定数および電圧値を求めることができる。

10

【0071】

また、上記のように中間レベルを設けてオン電圧からオフ電圧に段階的に変化するような接続切替制御信号 S_{ck} を生成する代わりに、図 12 (A) に示すように、予め決定された中間レベル期間 T_{CI} でオン電圧（Hレベル接続制御電圧 V_{CH} ）からオフ電圧（Lレベル接続制御電圧 V_{CL} ）へ連続的に変化するように（典型的には単調かつ滑らかに変化するように）接続切替制御信号 S_{ck} が接続制御回路 50（図 3）で生成される構成としてもよい。

【0072】

また、接続切替制御信号 S_{ck} がオフ電圧としての Lレベル接続制御電圧 V_{CL} に近づくと Nch トランジスタ SW に電流が流れなくなるので、この点に着目し、図 12 (B) に示すような波形の接続切替制御信号 S_{ck} が接続制御回路 50（図 3）で生成される構成としてもよい。すなわち、 Nch トランジスタ SW_k の閾値電圧に相当する中間 Lレベル接続制御電圧 V_{CL2} を設定し（ $V_{CL2} > V_{CL}$ ）、予め決定された中間レベル期間 T_{CI} でオン電圧（Hレベル接続制御電圧 V_{CH} ）から中間 Lレベル接続制御電圧 V_{CL2} へ連続的に変化し（典型的には単調かつ滑らかに変化し）、その後、直ちにオフ電圧（Lレベル接続制御電圧 V_{CL} ）に変化するように、接続切替制御信号 S_{ck} が生成される構成であってもよい。

20

【0073】

図 12 (A) または図 12 (B) に示される波形の接続切替制御信号 S_{ck} が生成される構成においても、接続制御スイッチング素子としての Nch トランジスタ SW_k のオフ遷移過程の中間レベルの期間 T_{CI} で、ビデオ信号 S_{v1} を出力するデータ信号線駆動回路 300 の端子 T_{d1} から Nch トランジスタ SW_k を介してデータ信号線 S_{Lk} に電荷が移動する。これにより、図 12 (A) および図 12 (B) に示すように、 Nch トランジスタ SW_k がオフするときの信号線電圧低下量 ΔV_{s1} は、従来に比べ低減されている。その結果、図 11 に示すように接続切替制御信号 S_{ck} の電圧がオフ遷移過程で段階的に変化する場合と同様、円形（より一般的には非矩形）の表示部 120 を有するためにデータ信号線 S_L の長さや容量 C_{s1} が表示領域内の位置によって異なっても、表示ムラの抑制された良好な表示を行うことができる。

30

【0074】

< 1. 5 画素データの書き込みのためのサンプルホールド回路 >

40

図 1 に示すように本実施形態では、表示部 120 が円形であることから、データ信号線 $S_{L1} \sim S_{L3n}$ の長さのみならず、走査信号線 $G_{L1} \sim G_{Lm}$ の長さも互いに異なっており、走査信号線 G_L は中央部で最も長く、端部に近づくにしたがって短くなる。

【0075】

図 13 は、本実施形態においてデータ信号 $S_1 \sim S_{3n}$ により示される画素データ（画素電圧）を各画素形成部 10 に書き込むために駆動される走査信号線 $G_{L1} \sim G_{Lm}$ の容量を説明するための図である。各走査信号線 G_{Li} は、他の電極（共通電極 E_c やデータ信号線 S_L を構成する電極）との間に容量を形成されている（以下この容量を「走査信号線容量 C_{g1} 」という）。図 1 に示すように円形の表示領域を有する本実施形態では、図 13 に示すように、この走査信号線容量 C_{g1} は、走査信号線 G_L の長さに応じて異なり、

50

表示領域の中央部すなわち走査信号線 G L が最長となる部分で最も大きく、表示領域の両端部すなわち走査信号線 G L が最短となる部分で最も小さい。

【0076】

図14は、本実施形態においてデータ信号 S_j により示される画素データを走査信号線 G L_i に接続された画素形成部 10 に書き込むためのサンプルホールド回路を示す回路図である (i = 1 ~ m、j = 1 ~ 3 n)。この画素形成部 10 において、走査信号線 G L_i に印加される走査信号 G_i がアクティブ (Hレベルゲート電圧 V_{GH}) になると、画素スイッチング素子としての T F T 1 2 (N c h トランジスタ) がオン状態となり、データ信号線 S L_j 上のデータ信号 S_j が画素データとして T F T 1 2 を介して画素容量 C_p に与えられる。これにより画素容量 C_p は、データ信号 S_j によって充電され、画素電極 E_p の電圧すなわち画素電圧 V_p はデータ信号線 S L_j の電圧 V_{s l} に等しくなる。このとき、T F T 1 2 のゲート端子とドレイン端子の間の寄生容量 C_{g d} も充電される。走査信号 G_i は、1 水平期間程度の所定期間だけアクティブ状態 (Hレベルゲート電圧 V_{GH}) を維持し、その後、非アクティブ (Lレベルゲート電圧 V_{GL}) となる。これにより、画素電圧 V_p は、走査信号 G_i が次にアクティブとなるまで画素容量 C_p に保持される。このようにして、データ信号 S_i の電圧であるデータ信号線電圧 V_{s l} が画素データとして画素形成部 10 に書き込まれて保持される。なお、このような動作から、画素形成部 10 は T F T 1 2 をサンプリングスイッチとし画素容量 C_p をホールド容量とするサンプルホールド回路 (以下「画素データサンプルホールド回路」という) を構成する。

【0077】

従来の画素形成部も、図14に示した画素データのサンプルホールド回路と同様の電氣的構成を有しており、その画素形成部にデータ信号線電圧 V_{s l} が画素データとして書き込まれた後、走査信号 G_i が非アクティブとなるときに、画素容量 C_p に保持されている画素電圧 V_p が低下する。すなわち従来の画素形成部では、走査信号 G_i を非アクティブとすることによって N c h トランジスタである T F T 1 2 をオフさせるときに、図15に示すように、走査信号 G_i の電圧すなわち T F T 1 2 のゲート端子の電圧が Hレベルゲート電圧 V_{GH} から直ちに Lレベルゲート電圧 V_{GL} に変化し、寄生容量 C_{g d} を介して画素電極 E_p の電圧 (画素電圧) V_p に影響を与える。その結果、画素電圧 V_p は、T F T 1 2 がオン状態のときに画素電極 E_p に与えられたデータ信号線電圧 V_{s l} よりも低下する。すなわち、データ信号 S_i を走査信号 G_i でサンプリングすることにより得られる画素電圧 V_p が寄生容量 C_{g d} に起因して本来の電圧 (V_{s l}) よりも低下する。このときの画素電圧 V_p の低下量 (以下「画素電圧低下量」という) Δ V_p は、走査信号 G_i の電圧が Hレベルゲート電圧 V_{GH} から Lレベルゲート電圧 V_{GL} に瞬時に変化するものとする、次式で表される。

$$\Delta V_p = \{C_{gd} / (C_p + C_{gd})\} (V_{GH} - V_{GL}) \quad \cdots (4)$$

【0078】

図1に示すように本実施形態では、表示部 120 が円形であることから、既述のように、走査信号線容量 C_{g l} は、走査信号線 G L_i の長さによって異なり、走査信号線 G L が最長となる中央部で最も大きく、走査信号線 G L が最短となる端部で最も小さい (図13 参照)。ここで、従来のように走査信号 G_i が矩形波の電圧信号であるものとする、走査信号線容量 C_{g l} に応じてその波形が鈍る。すなわち、矩形の電圧信号である走査信号 G_i の波形の鈍りは、走査信号線 G L_i の容量 C_{g l} が大きくなるにしたがって大きくなる。走査信号 G_i の波形の鈍りが大きくなると、走査信号 G_i の立ち下がりにおいて (T F T 1 2 のオフ遷移過程において)、データ信号線 S L_j から画素スイッチング素子としての T F T 1 2 を介して画素電極 E_p に移動する電荷量が多くなる。したがって、画素電圧低下量 Δ V_p (> 0) は、走査信号 G_i の波形の鈍りが大きくなるほど小さくなり、図13に示すように、走査信号線 G L が最長となる表示領域の中央部で最も小さく、走査信号線 G L が最短となる表示領域の両端部で最も大きい。

【0079】

本実施形態における画素データのサンプルホールド回路としての画素形成部 10 では、

上記従来の画素形成部とは異なり、NchトランジスタであるTF T 1 2をオフさせるときに、走査信号G iの電圧（TF T 1 2のゲート端子の電圧）V gがHレベルゲート電圧V G Hから中間レベルゲート電圧V G Iの期間（以下「ゲート中間レベル期間」という）T G Iを介してLレベルゲート電圧V G Lに変化する。ここで、走査信号G iの電圧V gがHレベルゲート電圧V G HからLレベルゲート電圧V G Lに変化するための過程すなわちオフ遷移過程において、まず、走査信号G iの電圧V gのHレベルゲート電圧V G Hから中間レベルゲート電圧V G Iまでの変化により画素電圧V pが低下する。しかし、この後、走査信号G iの電圧V gはゲート中間レベル期間T G Iだけ中間レベルゲート電圧V G Iに維持される。このゲート中間レベル期間T G Iでは、TF T 1 2は完全なオフ状態ではないので（オン状態ともオフ状態とも言えない中間的な状態であるので）、データ信号線S L jからTF T 1 2を介して画素電極E pに電荷が移動する。これにより画素電圧V pは、画素データとして書き込まれたデータ信号線電圧V s lの近傍まで上昇する。このゲート中間レベル期間T G Iが終了すると、走査信号G iの電圧V gは、中間レベルゲート電圧V G IからLレベルゲート電圧V G Lまで変化し、この変化により、画素電圧V pは再び低下する。このようにして、走査信号G iの電圧V gがオフ電圧としてのLレベルゲート電圧V G Lに到達した時点では、画素電圧V pはデータ信号線電圧V s lよりも低下しているが、図16（A）に示すように、画素電圧低下量 $\Delta V p$ は、上記ゲート中間レベル期間T G Iでの画素電極E pへの電荷の移動により、従来の画素形成部における画素電圧低下量 $\Delta V p$ よりも低減されている。

【0080】

上記のように、走査信号G iとして図16（A）に示すような波形の電圧V gを使用する本実施形態によれば、画素スイッチング素子としてのTF T 1 2のオフ遷移過程で寄生容量C g dに起因して生じる画素電圧低下量 $\Delta V p$ が低減される。また、図1に示すような円形の表示部120を有する表示装置において、走査信号線容量C g lが走査信号線G L jによって異なるが（図13参照）、上記のような本実施形態によれば、画素電圧低下量 $\Delta V p$ に低減に伴って、走査信号線G Lによる信号線電圧低下量 $\Delta V s l$ の差異も低減される。これにより、円形（より一般的には非矩形）の表示部120を有するために走査信号線G L 1～G L mの長さや容量C g lが互いに異なっても、表示ムラの抑制された良好な表示を行うことができる。

【0081】

< 1. 6 画素データのサンプルホールド回路の他の動作例 >

上述のように本実施形態では、走査信号G iとして図16（A）に示すような波形の電圧V gが走査信号線駆動回路200で生成され（図3）、画素スイッチング素子としてのTF T 1 2（図14）のオフ遷移過程において中間レベルの期間T G Iが設けられている。このオフ遷移過程で設けられる中間レベルは1つに限られるものではなく、複数の中間レベルが設けられてもよい。例えば図16（B）に示すように、2つの中間レベルV G I 1, V G I 2がオフ遷移過程に設けられ、走査信号G iの電圧V gがオン電圧（Hレベルゲート電圧V G H）から2つの中間レベルV G I 1, V G I 2の期間を順次介して段階的にオフ電圧（Lレベルゲート電圧V G L）に変化するようにしてもよい。

【0082】

ここで、走査信号G iにおける中間レベルの期間T G Iは、走査信号G iの電圧変化による画素電圧V pの低下をTF T 1 2（Nchトランジスタ）を介した寄生容量C g dおよび画素容量C pの充電によって低減または補償するための時間であり、既述の式（4）を考慮して、TF T 1 2を介した寄生容量C g dの充放電に要する時間に基づき予め決定される。この中間レベル期間T G Iは、画素電圧低下量 $\Delta V p$ の低減の観点からは長い方が好ましいが、中間レベル期間T G Iを長くすると、データ信号S jによる画素容量C pの充電（画素データの書き込み）のための時間が短くなる。また、中間レベルの電圧値としてどのような値が好ましいかは、画素スイッチング素子としてのTF T 1 2の特性に依存する。したがって、中間レベル期間の長さや中間レベルの設定数および電圧値については、表示部120の仕様（解像度やサイズ等）および電気的特性（寄生容量C g dや、画

素容量 C_p 、 $TFT12$ の特性等) に基づき上記複数の観点から適切な値を決定する。具体的には、図 14 に示す画素データのサンプルホールド回路 (走査信号線容量 C_{gl} を含む) についての実験または計算機シミュレーションの結果に基づき、適切な中間レベル期間の長さや中間レベルの設定数および電圧値を求めることができる。

【0083】

なお、本実施形態における中間レベルの期間 T_{GI} は、いずれの走査信号 G_i においても同じ長さとなっているが、画素電圧低下量 ΔV_p が表示部 120 において均一化されるように、走査信号 G_i によって中間レベルの期間 T_{GI} の長さが異なるようにしてもよい。すなわち、走査信号線容量 C_{gl} は、表示領域の中央部すなわち走査信号線 GL が最長となる部分で最も大きく、表示領域の両端部すなわち走査信号線 GL が最短となる部分で最も小さいことから (図 1、図 13)、図 16 ~ 図 17 に示す走査信号 G_i における中間レベルの期間 T_{GI} を、表示領域の中央部に供給される走査信号 G_i において最も短く、表示領域の両端部に供給される走査信号 G_i において最も長くなるようにしてもよい。このような中間レベル期間 T_{GI} を有する走査信号 $G_1 \sim G_m$ が走査信号線駆動回路 200 で生成される構成とすれば、より有効に表示ムラを抑えることができる。

【0084】

例えば図 16 (A) に示す波形の走査信号 G_i を生成する当該構成を実現するには、図 18 に示すように、各フレーム期間において、ゲート中間レベル期間信号 G_I に含まれるパルス (これらのパルスの幅がゲート中間レベル期間 T_{GI} に相当する) のうち当該フレーム期間の中心時点に最も近いパルスの幅が最短となり、その中心時点から離れるにしたがってパルス幅が長くなり、当該フレーム期間の開始時点または終了時点に最も近いパルスの幅が最長となるように、ゲート中間レベル期間信号 G_I を生成すればよい。このようなゲート中間レベル期間信号 G_I が表示制御回路 400 で生成されて走査信号線駆動回路 200 に与えられると、走査信号線駆動回路 200 は、そのゲート中間レベル期間信号 G_I に基づき上記のような走査信号 G_i ($i = 1 \sim m$) を生成する (図 3、図 18 参照)。

【0085】

また、図 16 に示すように中間レベルを設けてオン電圧からオフ電圧に段階的に変化するような走査信号 G_i を生成する代わりに、図 17 (A) に示すように、予め決定された中間レベル期間 T_{GI} でオン電圧 (H レベルゲート電圧 V_{GH}) からオフ電圧 (L レベルゲート電圧 V_{GL}) へ連続的に変化するように (典型的には単調かつ滑らかに変化するように) 走査信号 G_i が走査信号線駆動回路 200 (図 3) で生成される構成としてもよい。

【0086】

また、走査信号 G_i がオフ電圧としての L レベルゲート電圧 V_{GL} に近づくと Nch トランジスタとしての $TFT12$ に電流が流れなくなるので、この点に着目し、図 17 (B) に示すような波形の走査信号 G_i が走査信号線駆動回路 200 (図 3) で生成される構成としてもよい。すなわち、 $TFT12$ の閾値電圧に相当する中間 L レベルゲート電圧 V_{GL2} を設定し ($V_{GL2} > V_{GL}$)、予め決定された中間レベル期間 T_{GI} でオン電圧 (H レベルゲート電圧 V_{GH}) から中間 L レベルゲート電圧 V_{GL2} へ連続的に変化し (典型的には単調かつ滑らかに変化し)、その後、直ちにオフ電圧 (L レベルゲート電圧 V_{GL}) に変化するように、走査信号 G_i が生成される構成であってもよい。

【0087】

図 17 (A) または図 17 (B) に示される波形の走査信号 G_i が生成される構成であっても、 Nch トランジスタとしての $TFT12$ のオフ遷移過程の中間レベル期間 T_{GI} で、データ信号線 SL_j から $TFT12$ を介して画素電極 E_p に電荷が移動する。これにより、図 17 (A) および図 17 (B) に示すように、 $TFT12$ がオフするときの画素電圧低下量 ΔV_p は、従来に比べ低減されている。その結果、図 16 に示すように走査信号 G_i の電圧 V_g がオフ遷移過程で段階的に変化する場合と同様、円形 (より一般的には非矩形) の表示部 120 を有するために走査信号線 GL の長さや容量 C_{gl} が表示領域内の位置によって異なっても、表示ムラの抑制された良好な表示を行うことができる。

【0088】

<1.7 効果>

以上のように本実施形態では、デマルチプレクス回路320の接続切替制御信号Sckすなわちデータ信号線駆動のためのサンプルホールド回路(図8、図9)の接続切替制御信号Sckとして図11~図12に示すような波形の信号が接続制御回路50(図3)で生成され、このような接続切替制御信号Sckによりビデオ信号Sviがサンプリングされ、データ信号線電圧Vslとしてデータ信号線SLj(データ信号線容量Csl)に保持される。これにより、接続制御スイッチング素子としてのNchトランジスタSWkのオフ遷移過程で寄生容量Cgdに起因して生じる信号線電圧低下量 ΔVsl が低減される。また、走査信号Giとして図16~図17に示すような波形の電圧Vgが走査信号線駆動回路200(図3)で生成され、このような走査信号Giによりデータ信号線電圧Vslがサンプリングされ、画素電圧Vpとして画素容量Cpに保持される(図14)。これにより、画素スイッチング素子としてのTFT12のオフ遷移過程で寄生容量Cgdに起因して生じる画素電圧低下量 ΔVp が低減される。したがって、円形(より一般的には非矩形)の表示部120を有するために(図1)、データ信号線SL1~SL3nの長さ(したがってデータ信号線容量Csl)が互いに異なっても(図8)、また走査信号線GL1~GLmの長さ(したがって走査信号線容量Cgl)が互いに異なっても(図13)、信号線電圧低下量 ΔVsl の表示領域内位置による差異が低減されると共に、画素電圧低下量 ΔVp の表示領域内位置による差異が低減される。その結果、画素形成部10における画素電圧低下量 ΔVp が表示領域全体で均一化されるので、表示ムラが抑制された良好な表示を行うことができる。

【0089】

<2. 変形例>

本発明は上記実施形態に限定されるものではなく、本発明の範囲を逸脱しない限りにおいて種々の変形を施すことができる。

【0090】

例えば、上記実施形態では、画素形成部10における画素スイッチング素子(TFT12)およびデマルチプレクス回路320における接続制御スイッチング素子SW1~SW3としてNchトランジスタが使用されているが(図2、図8)、これに代えて、画素スイッチング素子および接続制御スイッチング素子の一方または双方がPchトランジスタであってもよく、また、PchトランジスタとNchトランジスタが互いに並列に接続された構成のアナログスイッチ(以下「CMOSアナログスイッチ」という)であってもよい。

【0091】

例えば、デマルチプレクス回路320を用いたデータ信号線駆動のための単位サンプルホールド回路(図9)は、接続制御スイッチング素子SWkとしてNchトランジスタの代わりにPchトランジスタを使用する場合には、図19(A)に示すような構成となり、接続切替制御信号SckにおいてLレベル接続制御電圧VCLがオン電圧に相当しHレベル接続制御電圧VCHがオフ電圧に相当する。この場合、接続切替制御信号Sckおよびデータ信号線電圧Vslの波形は、図19(B)に示すような波形となる。接続制御スイッチング素子SWkのオフ遷移過程における接続切替制御信号Sckの電圧変化は、上記実施形態のようにNchトランジスタが使用される場合には、データ信号線電圧Vslを低下させる方向に働くが(図10~図12)、図19(A)に示すようにPchトランジスタSWkが使用される場合には、データ信号線電圧Vslを上昇させる方向に働く(図19(B))。すなわち、接続制御スイッチング素子SWkのオフ遷移過程において寄生容量Cgdに起因して生じるデータ信号線SLの電圧変動は、そのスイッチング素子SWkがNchトランジスタの場合は電圧低下となり、Pchトランジスタの場合は電圧上昇となる。このように接続制御スイッチング素子SWkとしてPchトランジスタが使用される場合であっても、上記実施形態と同様の効果が得られる。

【0092】

また例えば、接続制御スイッチング素子 SW_k として Nch トランジスタの代わりに $CMOS$ スイッチを使用する場合には、その $CMOS$ スイッチを構成する Nch トランジスタおよび Pch トランジスタのゲート端子に、上記実施形態における接続切替制御信号 Sc_k と同じ波形の接続切替制御信号 Sc_k およびその接続切替制御信号 Sc_k を反転させた波形の反転接続切替制御信号 $Sc_k R$ がそれぞれ与えられる。このように接続制御スイッチング素子 SW_k として $CMOS$ スイッチが使用される場合であっても、上記実施形態と同様の効果が得られる。

【0093】

また上記実施形態では、表示領域（表示部 120 の領域）が円形であるために、データ信号線 SL または走査信号線 GL が表示領域の中央部で最も長く両端部で最も短い、表示部 120 が円形以外の非矩形であって、少なくとも 2 つのデータ信号線 SL_{i1} , SL_{i2} の長さが互いに異なるか、または、少なくとも 2 つの走査信号線 GL_{j1} , GL_{j2} の長さが互いに異なるアクティブマトリクス型の表示装置には、本発明の適用が可能である。

【0094】

また、本実施形態に係る液晶表示装置が赤（ R ）、緑（ G ）、青（ B ）の 3 原色に基づくカラー画像を表示する表示装置である場合には、例えば、赤色画素を表示するためのデータ信号を伝達するデータ信号線 SL_{3i-2} と、緑色画素を表示するためのデータ信号を伝達するデータ信号線 SL_{3i-1} と、青色画素を表示するためのデータ信号を伝達するデータ信号線 SL_{3i} を 1 組として、各データ信号線 SL_{3i-2} , SL_{3i-1} , SL_{3i} ($i = 1 \sim n$) が表示部 120 に配設される構成となる。この場合、白色を良好に表示するために、同一組における 3 本のデータ信号線 SL_{3i-2} , SL_{3i-1} , SL_{3i} の長さを同一とするのが好ましい。

【0095】

なお上記実施形態では、データ信号線駆動のためのサンプルホールド回路に与えられる接続切替制御信号 Sc_k の波形に既述の特徴を有すると共に（図 9、図 11、図 12）、画素データサンプルホールド回路に与えられる走査信号 Gi の波形に既述の特徴を有しているが（図 14、図 16、図 17）、これらの特徴のいずれか一方のみの特徴を有する構成であってもよい。

【0096】

< 3. 他の実施形態 >

上記第 1 の実施形態は、 SSD 方式の液晶表示装置に本発明を適用したものであるが、本発明は、これに限定されず、アナログビデオ信号の電圧をサンプリングしてデータ信号線に保持させ、そのデータ信号線の保持電圧を表示部の画素形成部に書き込む表示装置であれば、 SSD 方式以外の液晶表示装置や液晶表示装置以外の表示装置にも適用可能である。

【0097】

例えば、点順次駆動方式の表示装置にも本発明を適用することができる。図 20 (A) は、本発明が適用可能な点順次駆動方式の表示装置におけるデータ信号線駆動回路の構成をアナログスイッチ部の詳細構成と共に示す図である。この点順次駆動方式の表示装置におけるデータ信号線駆動に関する構成以外については、上記第 1 の実施形態と実質的に同様であるので（図 1 参照）、同一または対応する部分には同一の参照符号を付して詳しい説明を省略する。

【0098】

このデータ信号線駆動回路は、サンプリングパルス生成回路 510 と、複数のデータ信号線 SL_1 , SL_2 , ..., SL_N にそれぞれ対応する複数のアナログスイッチ部 521, 522, ..., 52N と、上記複数のデータ信号線 SL_1 , SL_2 , ..., SL_N のそれぞれがそれら複数のアナログスイッチ部 521, 522, ..., 52N のいずれか 1 つを介して接続されるビデオライン 54 とを備えている。サンプリングパルス生成回路 510 には、1 水平期間毎に H レベルとなるスタートパルス信号 SSP と、クロック信号 CLK とが入力され、ビデオライン 54 にはアナログビデオ信号 $Video$ が与えられる。

【0099】

サンプリングパルス生成回路510は、スタートパルスSSPをクロック信号SCKに
応じて1水平期間の間に入力端から出力端まで順次シフトさせるシフトレジスタを含んで
おり、このシフトレジスタの各段の出力信号に基づき、所定時間ずつ順次アクティブとな
る複数のサンプリング信号SAM1, SAM2, ..., SAMNを出力する。これら複数の
サンプリング信号SAM1, SAM2, ..., SAMNは、上記複数のデータ信号線SL1
, SL2, ..., SLNにそれぞれ対応している。各サンプリング信号SAMj (j = 1,
2, ..., N) は、当該サンプリング信号SAMjに対応するデータ信号線SLjに接続さ
れるアナログスイッチ部52jに制御信号として入力される。これにより、各アナログス
イッチ部52jは、それに制御信号として入力されるサンプリング信号SAMjがアクテ
ィブのときにはオン状態となり、非アクティブのときにはオフ状態となる。したがって、
各データ信号線SLjは、それに対応するサンプリング信号SAMjがアクティブのとき
にアナログビデオ信号Videoを与えられ、非アクティブのときにビデオライン54から電
氣的に切り離される。各データ信号線SLjは上記第1の実施形態と同様のデータ信号線
容量Cs1を有しているので、アナログビデオ信号Videoは、サンプリング信号SAMi
で順次サンプリングされて各データ信号線容量Cs1に保持されていく。

10

【0100】

図20(B)は、上記のような点順次駆動方式のデータ信号線駆動回路における1つデ
ータ信号線SLjに関する部分すなわち単位サンプルホールド回路を示す回路図である。
この図20(B)の単位サンプルホールド回路は、上記第1の実施形態における単位サン
プルホールド回路(図9)に相当し、この図20(B)の単位サンプルホールド回路に与
えられるアナログビデオ信号Videoおよびサンプリング信号SAMjは、上記第1の実施
形態における単位サンプルホールド回路(図9)に与えられるビデオ信号Sv1および接
続切替制御信号Sckにそれぞれ対応している。また、各アナログスイッチ部52jは、
Nchトランジスタ61で構成されており、このNchトランジスタ61のゲート端子と
データ信号線SLjとの間には寄生容量CgdNが存在する。このため、図20(B)の
単位サンプルホールド回路においても、上記第1の実施形態と同様、寄生容量起因のデ
ータ信号線電圧低下が生じる。

20

【0101】

そこで、本発明を適用してこのデータ信号線電圧低下を低減するために、各単位サン
プルホールド回路のスイッチング素子としてのNchトランジスタ61のゲート端子に与え
られるサンプリング信号SAMjの波形を、図11(A)、図11(B)、図12(A)
および図12(B)のいずれかに示される接続切替制御信号Sckと同様の波形とすること
が考えられる(j = 1 ~ N)。上記第1の実施形態における図4に示す接続制御中間レ
ベル期間信号SCIに相当する信号(この信号も「接続制御中間レベル期間信号SCI」
と呼ぶものとする)が表示制御回路400から与えられると、サンプリングパルス生成回
路510においてこのような波形のサンプリング信号SAMjを生成することができる。
サンプリングパルス生成回路510がこのような波形のサンプリング信号SAMjを生成
するように構成されると、上記データ信号線電圧低下が低減され、上記第1の実施形態
と同様の効果が得られる。なお、上記第1の実施形態の変形例(図19)と同様、スイッ
チング素子として、Nchトランジスタ61に代えてPchトランジスタを使用してもよく
、また、Nchトランジスタ61に代えてCMOSアナログスイッチを使用してもよい。

30

40

【0102】

上記のような点順次駆動方式では、線順次駆動方式に比べ、各画素形成部における画素
容量の充電のために確保できる時間が短い。このため、表示画像の解像度が高い場合には
、画素容量に本来の電圧(アナログビデオ信号Videoの電圧)を保持できない場合すなわ
ち画素容量の充電不足が生じる場合がある。これに対し、画素容量の充電につき十分な時
間を確保するためにアナログビデオ信号を時間軸伸張してサンプリング周期を長くする方
式(「相展開方式」等と呼ばれる)を採用した表示装置が知られている。この相展開方
式では、アナログビデオ信号をp倍(pは2以上の整数)に時間軸伸張した信号(「p相展

50

開信号」と呼ばれる)がp本のビデオラインでデータ信号線駆動回路に与えられる。このような相展開方式の表示装置に対しても、下記のように本発明を適用することができる。

【0103】

図21は、相展開方式の表示装置におけるデータ信号線駆動回路の構成を示すブロック図であり、図22は、この相展開方式の表示装置におけるデータ信号線駆動回路の動作を説明するためのタイミングチャートである。このデータ信号線駆動回路は、サンプリングパルス生成回路610と、2本のビデオライン63、64と、各データ信号線SL_jに対応して設けられたアナログスイッチ部62_jを備えている($j = 1 \sim N$)。この相展開方式の表示装置におけるデータ信号線駆動に関する構成以外については、上記第1の実施形態と基本的に同様であるので(図1参照)、同一または対応する部分には同一の参照符号を付して詳しい説明を省略する。なお、図22において、アナログビデオ信号としての2相展開信号Video1、Video2に付されている記号d_{ij}は、i番目の走査信号線GL_iおよびj番目のデータ信号線SL_jに接続される画素形成部10(の画素容量C_p)に書き込むべき画素データを示すものとする($i = 1 \sim m$ 、 $j = 1 \sim N$)。

【0104】

この相展開方式の表示装置では、アナログビデオ信号を2倍に時間軸伸張した2相展開信号Video1、Video2が表示制御回路(不図示)で生成され、データ信号線駆動回路内に配設された2本のビデオライン63、64にそれぞれ与えられる。これにより、図20に示した点順次駆動方式のデータ信号線駆動回路に比べ、2倍のサンプリング周期でアナログビデオ信号(2相展開信号Video1、Video2)がサンプリングされる。しかし、このサンプリングのための各アナログスイッチ部62_jは、図20に示したデータ信号線駆動回路におけるアナログスイッチ部52_jと同じ構成を有している($j = 1 \sim N$)。したがって、この相展開方式のデータ信号線駆動回路(図21)においても寄生容量起因のデータ信号線電圧低下の問題が生じる。そこで、この相展開方式のデータ信号線駆動回路(図21)においても、本発明を適用してこのデータ信号線電圧低下を低減するために、アナログスイッチ部52_jを構成するNchトランジスタのゲート端子に与えられるサンプリング信号SAM_jを、図11(A)、図11(B)、図12(A)および図12(B)のいずれかに示す接続切替制御信号Sckと同様の波形とすることが考えられる($j = 1 \sim N$)。上記第1の実施形態における図4に示す接続制御中間レベル期間信号SCIに相当する信号(この信号も「接続制御中間レベル期間信号SCI」と呼ぶものとする)が表示制御回路400から与えられると、サンプリングパルス生成回路610においてこのような波形のサンプリング信号SAM_jを生成することができる。サンプリングパルス生成回路610がこのような波形のサンプリング信号SAM_jを生成するように構成されると、上記データ信号線電圧低下が低減され、上記第1の実施形態と同様の効果が得られる。なお、上記第1の実施形態の変形例(図19)と同様、アナログスイッチ52がNchトランジスタに代えてPchトランジスタで構成されていてもよく、また、Nchトランジスタに代えてCMOSアナログスイッチで構成されていてもよい。

【0105】

図20に示すようなデータ信号線駆動回路を備える点順次駆動方式の表示装置では、アナログスイッチ部52_j($j = 1, 2, 3, \dots$)のオフ遷移過程における中間レベルの期間TCI(図11~図12参照)は、いずれのサンプリング信号SAM_jにおいても同じ長さとなっているが、信号線電圧低下量ΔV_{s1}が表示部120において均一化されるように、サンプリング信号SAM_jによって中間レベルの期間TCIの長さが異なるようにしてもよい。すなわち、データ信号線容量C_{s1}は、表示領域の中央部すなわちデータ信号線SLが最長となる部分で最も大きく、表示領域の両端部すなわちデータ信号線SLが最短となる部分で最も小さいことから(図1)、図11~図12に示す接続切替制御信号Sckに相当するサンプリング信号SAM_jにおける中間レベルの期間TCIを、表示領域の中央部に供給されるデータ信号S_jを得るためのサンプリング信号SAM_jにおいて最も短く、表示領域の両端部に供給されるデータ信号S_jを得るためのサンプリング信号SAM_jにおいて最も長くなるようにしてもよい。この点は、図21に示すようなデータ

信号線駆動回路を備える相展開方式の表示装置においても同様である。このような中間レベル期間 T C I を有するサンプリング信号 S A M 1 , S A M 2 , S A M 3 , … が図 2 0 のサンプリングパルス生成回路 5 1 0 (または図 2 1 のサンプリングパルス生成回路 6 1 0) で生成される構成とすれば、より有効に表示ムラを抑えることができる。

【 0 1 0 6 】

例えば図 1 1 (A) に示す波形の接続切替制御信号 S c k に相当するサンプリング信号 S A M j を生成する当該構成を実現するには、図 2 3 に示すように、各水平期間において、接続制御中間レベル期間信号 S C I に含まれるパルス (これらのパルスの幅が接続制御中間レベル期間 T C I に相当する) のうち当該水平期間の中心時点に最も近いパルスの幅が最短となり、その中心時点から離れるにしたがってパルス幅が長くなり、当該水平期間の開始時点または終了時点に最も近いパルスの幅が最長となるように、接続制御中間レベル期間信号 S C I を生成すればよい。このような接続制御中間レベル期間信号 S C I が表示制御回路 4 0 0 で生成されてデータ信号線駆動回路内のサンプリングパルス生成回路 5 1 0 に与えられると、サンプリングパルス生成回路 5 1 0 は、その接続制御中間レベル期間信号 S C I に基づき、上記のようなサンプリング信号 S M A j を生成することができる (図 2 0 、図 2 3 参照) 。

【 産業上の利用可能性 】

【 0 1 0 7 】

本発明は、表示すべき画像を形成するための複数の画素形成部に接続される複数のデータ信号線のそれぞれにアナログ映像信号を与えるアクティブマトリクス型表示装置およびその駆動方法に適用することができ、特に、そのような表示装置であって非矩形状の表示部を有する表示装置およびその駆動方法に適している。

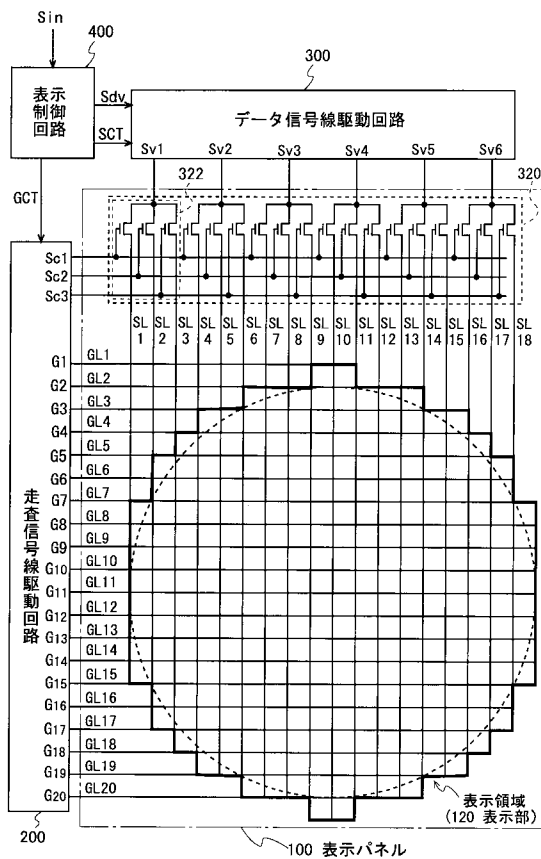
【 符号の説明 】

【 0 1 0 8 】

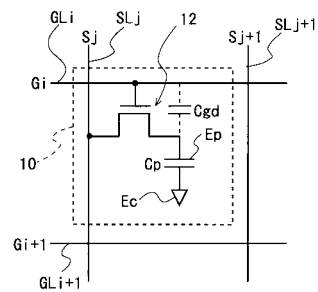
1 0	… 画素形成部	
1 2	… T F T (薄膜トランジスタ)	
5 0	… 接続制御回路	
1 0 0	… 表示パネル	
1 2 0	… 表示部 (表示領域)	
2 0 0	… 走査信号線駆動回路 (ゲートドライバ)	30
2 3 0	… 出力回路	
3 0 0	… データ信号線駆動回路 (ソースドライバ)	
3 2 0	… デマルチプレクス回路 (サンプリング回路)	
3 2 2	… デマルチプレクサ	
4 0 0	… 表示制御回路	
C g d	… 寄生容量	
C s l	… データ信号線容量	
C g l	… 走査信号線容量	
C p	… 画素容量	
E p	… 画素電極	40
S W 1 , S W 2 , S W 3	… アナログスイッチ (トランジスタ)	
G L 1 ~ G L m	… 走査信号線 (ゲートライン)	
S L 1 ~ S L 3 n	… データ信号線 (ソースライン)	
S 1 ~ S 3 n	… データ信号	
S c 1 , S c 2 , S c 3	… 接続切替制御信号 (アナログスイッチの制御信号)	
S v 1 ~ S v n	… ビデオ信号 (アナログ映像信号)	
V C H	… H レベル接続制御電圧 (オン電圧、第 1 レベル電圧)	
V C L	… L レベル接続制御電圧 (オフ電圧、第 2 レベル電圧)	
V C I	… 中間レベル接続制御電圧 (中間レベル電圧)	
V G H	… H レベルゲート電圧 (オン電圧、第 3 レベル電圧)	50

VGL … Lレベルゲート電圧（オフ電圧、第4レベル電圧）
 VGI … 中間レベルゲート電圧（中間レベル電圧）
 TCI … 接続制御中間レベル期間
 TGI … ゲート中間レベル期間

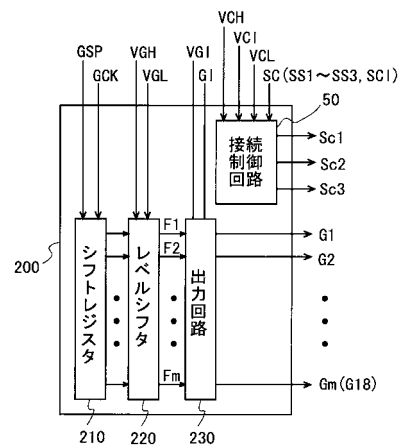
【図1】



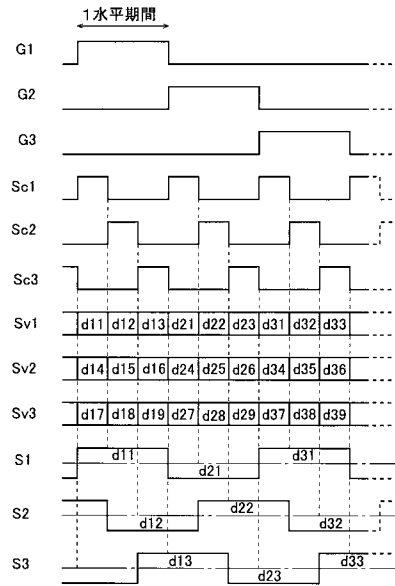
【図2】



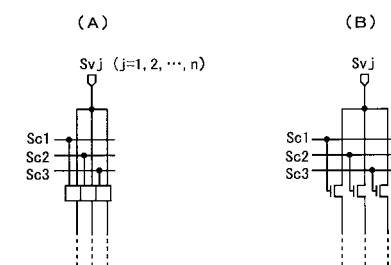
【図3】



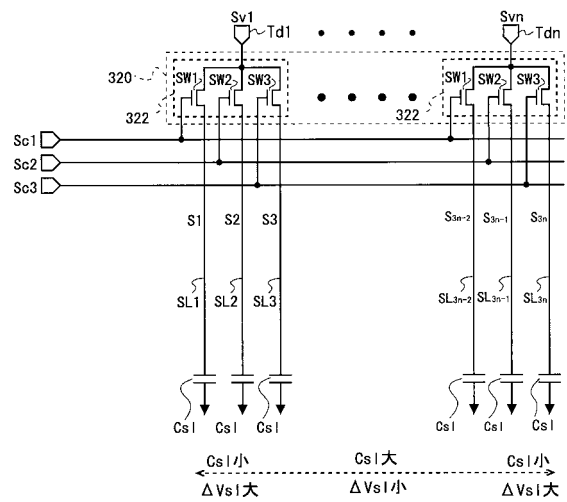
【図 5】



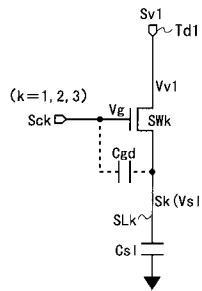
【图 7】



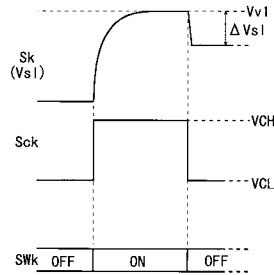
【图 8】



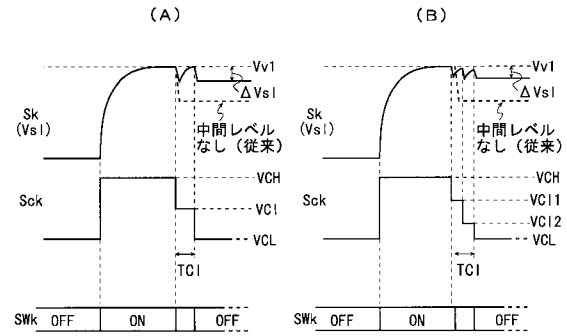
【図 9】



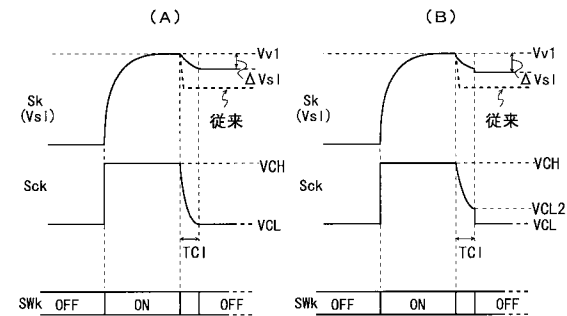
【図 10】



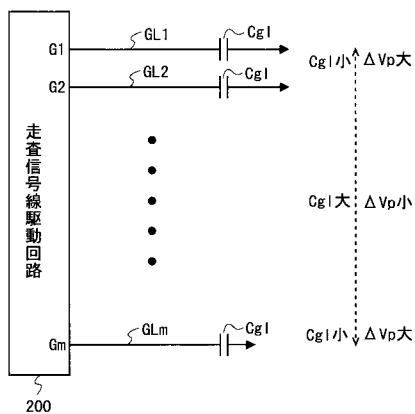
【図 11】



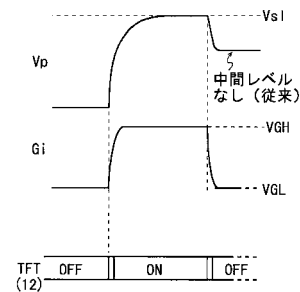
【図 12】



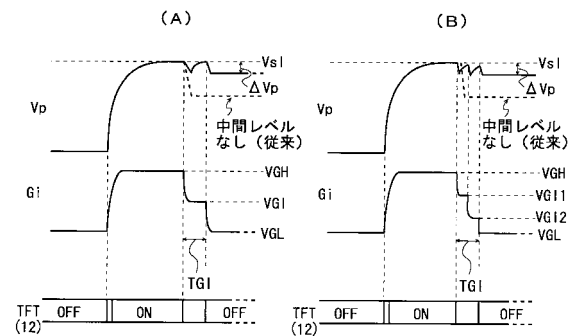
【図 13】



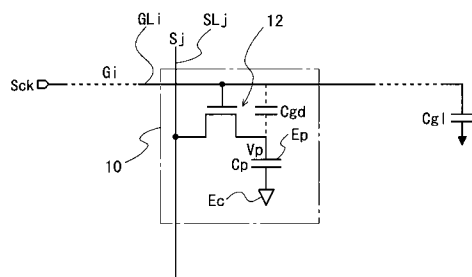
【図 15】



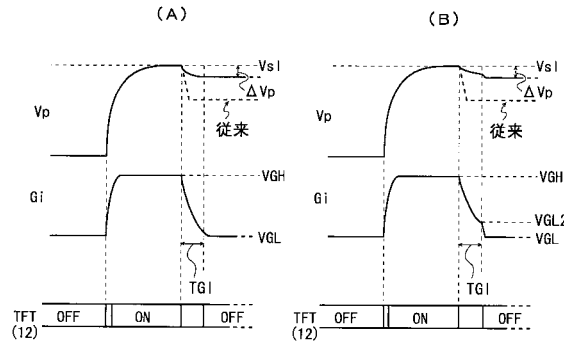
【図 16】



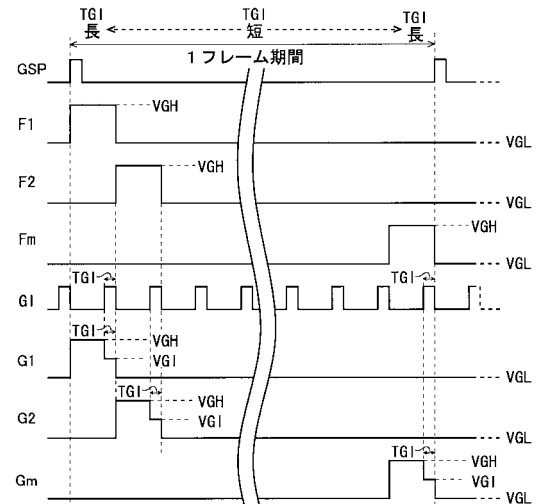
【図 14】



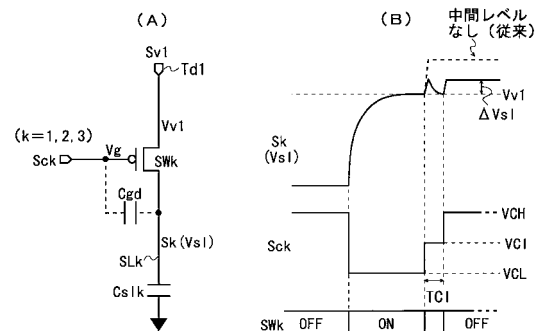
【図 17】



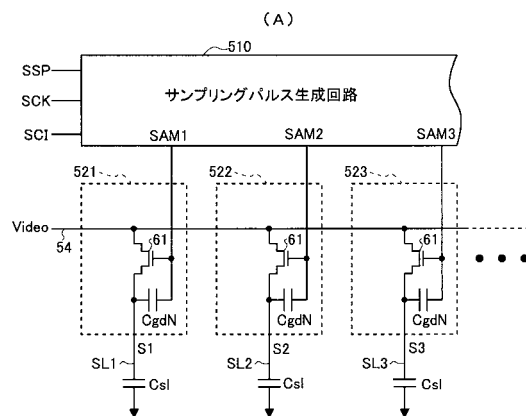
【図 18】



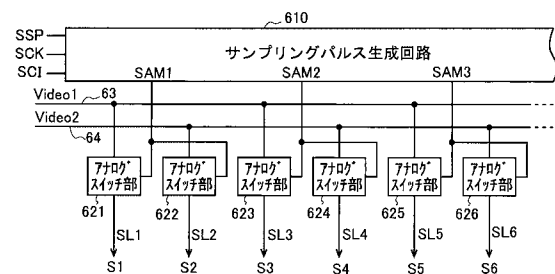
【図 19】



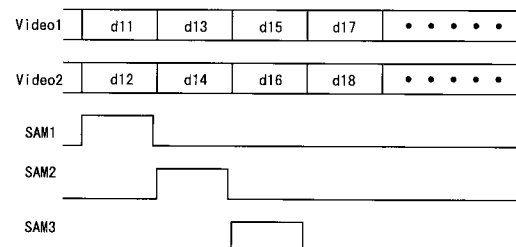
【図 20】



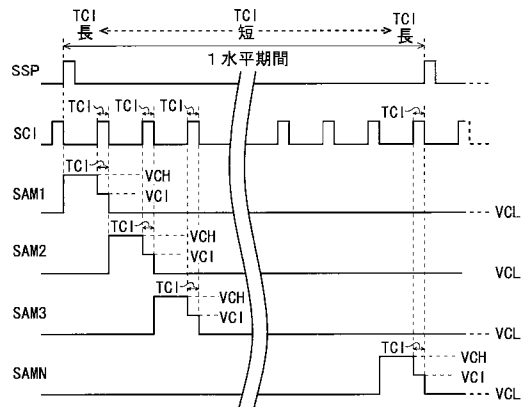
【図 21】



【図 22】



【図 23】



【手続補正書】

【提出日】平成29年9月26日(2017.9.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数のデータ信号線のうち少なくとも2つのデータ信号線の長さが互いに異なるような非矩形の形状を有する表示部と、

前記複数のデータ信号線のそれぞれに対応して設けられ、対応するデータ信号線に接続された画素形成部に与えるべきアナログ映像信号を受け取るための第1導通端子と、当該対応するデータ信号線に接続された第2導通端子と、オン状態とオフ状態とを切り替えるための接続切替制御信号を受け取るための制御端子とを有する電界効果トランジスタを接続制御スイッチング素子として含むアナログスイッチと、

前記接続制御スイッチング素子をオフさせるときに、前記接続切替制御信号の電圧が前記接続制御スイッチング素子をオン状態とするための第1レベル電圧からオフ状態とするための第2レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記接続制御スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記接続切替制御信号を生成する接続制御回路とを備えることを特徴とする、アクティブマトリクス型表示装置。

【請求項2】

前記接続制御回路は、前記接続制御スイッチング素子をオフさせるときに前記接続切替制御信号の電圧が前記第 1 レベル電圧から前記第 2 レベル電圧またはその近傍の電圧まで連続的に変化するように前記接続切替制御信号を生成することを特徴とする、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 3】

前記接続制御回路は、前記接続制御スイッチング素子をオフさせるときに前記接続切替制御信号の電圧が前記第 1 レベル電圧から前記第 2 レベル電圧まで少なくとも 1 つの中間レベル電圧の期間を介して段階的に変化するように前記接続切替制御信号を生成することを特徴とする、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 4】

前記接続制御回路は、前記対応するデータ信号線が長いほど前記接続制御スイッチング素子の前記制御端子に与えるべき前記接続切替制御信号における前記所定時間が短くなるように、前記接続切替制御信号を生成することを特徴とする、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 5】

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動回路を更に備え、

前記表示部は、前記複数の走査信号線のうち少なくとも 2 つの走査信号線の長さが互いに異なるような非矩形の形状を有し、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の 1 つとしての画素電極と、

前記複数のデータ信号線のいずれか 1 つに接続された第 1 導通端子、前記画素電極に接続された第 2 導通端子、および、前記複数の走査信号線のいずれか 1 つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第 3 レベル電圧からオフ状態とするための第 4 レベル電圧に変化するまでの時間が、前記画素スイッチング素子の前記制御端子と前記第 2 導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号を生成することを特徴とする、請求項 1 から 4 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 6】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数の走査信号線のうち少なくとも 2 つの走査信号線の長さが互いに異なるような非矩形の形状を有する表示部と、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動回路とを備え、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の 1 つとしての画素電極と、

前記複数のデータ信号線のいずれか 1 つに接続された第 1 導通端子、前記画素電極に接続された第 2 導通端子、および、前記複数の走査信号線のいずれか 1 つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第 3 レベル電圧からオフ状態とするための第 4 レベル電圧に変化するまでの時間が、前記制御端子と前記第 2 導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となり、かつ、前記走査信号線が長いほどそれに与えるべき前記走査信号における前記所定時間が短くなるように、前記複数の走査信号を生成することを特徴とする、アクティブマトリクス型表示装置。

【請求項 7】

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる前記走査信号の電圧が前記第 3 レベル電圧から前記第 4 レベル電圧またはその近傍の電圧まで連続的に変化するように、前記複数の走査信号を生成することを特徴とする、請求項 5 または 6 に記載のアクティブマトリクス型表示装置。

【請求項 8】

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる前記走査信号の電圧が前記第 3 レベル電圧から前記第 4 レベル電圧まで少なくとも 1 つの中間電圧の期間を介して段階的に変化するように、前記複数の走査信号を生成することを特徴とする、請求項 5 または 6 に記載のアクティブマトリクス型表示装置。

【請求項 9】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数のデータ信号線のうち少なくとも 2 つのデータ信号線の長さが互いに異なるような非矩形の形状を有する表示部が設けられたアクティブマトリクス型表示装置の駆動方法であって、

前記複数のデータ信号線のそれぞれに対応して設けられ、対応するデータ信号線に接続された画素形成部に与えるべきアナログ映像信号を受け取るための第 1 導通端子、当該対応するデータ信号線に接続された第 2 導通端子、および、オン状態とオフ状態を切り替えるための接続切替制御信号を受け取るための制御端子を有する電界効果トランジスタを接続制御スイッチング素子として含むアナログスイッチにより、当該対応するデータ信号線への前記アナログ映像信号の供給を制御するステップと、

前記接続制御スイッチング素子をオフさせるときに、前記接続切替制御信号の電圧が前記接続制御スイッチング素子をオン状態とするための第 1 レベル電圧からオフ状態とするための第 2 レベル電圧に変化するまでの時間が、前記制御端子と前記第 2 導通端子との間の寄生容量の前記接続制御スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記接続切替制御信号を生成するステップとを備えることを特徴とする、アクティブマトリクス型表示装置の駆動方法。

【請求項 10】

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動ステップを更に備え、

前記表示部は、前記複数の走査信号線のうち少なくとも 2 つの走査信号線の長さが互いに異なるような非矩形の形状を有し、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の 1 つとしての画素電極と、

前記複数のデータ信号線のいずれか 1 つに接続された第 1 導通端子、前記画素電極に接続された第 2 導通端子、および、前記複数の走査信号線のいずれか 1 つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動ステップでは、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第 3 レベル電圧からオフ状態とするための第 4 レベル電圧に変化するまでの時間が、前記画素スイッチング素子の前記制御端子と前記第 2 導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号が生成されることを特徴とする、請求項 9に記載のアクティブマトリクス型表示装置の駆動方法。

【請求項 11】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数

の画素形成部とを含み、前記複数の走査信号線のうち少なくとも2つの走査信号線の長さが互いに異なるような非矩形の形状を有する表示部が設けられたアクティブマトリクス型表示装置の駆動方法であって、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動ステップを備え、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の1つとしての画素電極と、

前記複数のデータ信号線のいずれか1つに接続された第1導通端子、前記画素電極に接続された第2導通端子、前記複数の走査信号線のいずれか1つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動ステップでは、前記画素スイッチング素子をオフさせるときに、前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第3レベル電圧からオフ状態とするための第4レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となり、かつ、前記走査信号線が長いほどそれに与えるべき前記走査信号における前記所定時間が短くなるように、前記複数の走査信号が生成されることを特徴とする、アクティブマトリクス型表示装置の駆動方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本発明の第6の局面は、アクティブマトリクス型表示装置であって、

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数の走査信号線のうち少なくとも2つの走査信号線の長さが互いに異なるような非矩形の形状を有する表示部と、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動回路とを備え、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の1つとしての画素電極と、

前記複数のデータ信号線のいずれか1つに接続された第1導通端子と、前記画素電極に接続された第2導通端子と、前記複数の走査信号線のいずれか1つに接続された制御端子とを有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動回路は、前記画素スイッチング素子をオフさせるときに、前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第3レベル電圧からオフ状態とするための第4レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となり、かつ、前記走査信号線が長いほどそれに与えるべき前記走査信号における前記所定時間が短くなるように、前記複数の走査信号を生成することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】削除

【補正の内容】

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本発明の第9の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素形成部とを含み、前記複数のデータ信号線のうち少なくとも2つのデータ信号線の長さが互いに異なるような非矩形の形状を有する表示部が設けられたアクティブマトリクス型表示装置の駆動方法であって、

前記複数のデータ信号線のそれぞれに対応して設けられ、対応するデータ信号線に接続された画素形成部に与えるべきアナログ映像信号を受け取るための第1導通端子、当該対応するデータ信号線に接続された第2導通端子、および、オン状態とオフ状態を切り替えるための接続切替制御信号を受け取るための制御端子を有する電界効果トランジスタを接続制御スイッチング素子として含むアナログスイッチにより、当該対応するデータ信号線への前記アナログ映像信号の供給を制御するステップと、

前記接続制御スイッチング素子をオフさせるときに、前記接続切替制御信号の電圧が前記接続制御スイッチング素子をオン状態とするための第1レベル電圧からオフ状態とするための第2レベル電圧に変化するまでの時間が、前記制御端子と前記第2導通端子との間の寄生容量の前記接続制御スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記接続切替制御信号を生成するステップとを備えることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の第10の局面は、本発明の第9の局面において、

前記複数の走査信号線にそれぞれに与えられる複数の走査信号を生成する走査信号線駆動ステップを更に備え、

前記表示部は、前記複数の走査信号線のうち少なくとも2つの走査信号線の長さが互いに異なるような非矩形の形状を有し、

前記複数の画素形成部のそれぞれは、

所定容量を形成する電極の1つとしての画素電極と、

前記複数のデータ信号線のいずれか1つに接続された第1導通端子、前記画素電極に接続された第2導通端子、および、前記複数の走査信号線のいずれか1つに接続された制御端子を有する画素スイッチング素子としての電界効果トランジスタとを含み、

前記走査信号線駆動ステップでは、前記画素スイッチング素子をオフさせるときに、前記画素スイッチング素子の前記制御端子に与えられる走査信号の電圧が前記画素スイッチング素子をオン状態とするための第3レベル電圧からオフ状態とするための第4レベル電圧に変化するまでの時間が、前記画素スイッチング素子の前記制御端子と前記第2導通端子との間の寄生容量の前記画素スイッチング素子を介した充放電に要する時間に応じた所定時間となるように、前記複数の走査信号が生成されることを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の他の局面は、本発明の上記第1から第10の局面および後述の各実施形態に関する説明から明らかであるので、その説明を省略する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の第2の局面によれば、各データ信号線に設けられたアナログスイッチがオフされるときに（オフ遷移過程において）、上記所定時間をかけて、接続切替制御信号の電圧がオン電圧としての第1レベル電圧からオフ電圧としての第2レベル電圧またはその近傍の電圧まで連続的に変化する。これにより、オフ遷移過程において接続制御スイッチング素子を介してデータ信号線への電荷移動またはデータ信号線からの電荷移動が生じるので、本発明の第1の局面と同様の効果が得られる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

本発明の第6の局面によれば、各画素形成部において、画素スイッチング素子がオン状態のとき、その第1導通端子に接続されたデータ信号線の電圧は、画素電極に与えられ、その画素スイッチング素子がオフされると、その画素電極を有する所定容量（画素容量）に画素電圧として保持される。この画素スイッチング素子のオフ遷移過程において、その制御端子に与えられる走査信号の電圧がオン電圧としての第3レベル電圧からオフ電圧としての第4レベル電圧に変化するまでの時間は、その画素スイッチング素子の制御端子と第2導通端子との間の寄生容量をその画素スイッチング素子を介して充放電するのに要する時間に応じた所定時間となる。このため、画素スイッチング素子のオフ遷移過程において、その画素スイッチング素子を介して画素電極への電荷移動または画素電極からの電荷移動が生じ、その画素スイッチング素子の制御端子と第2導通端子との間の寄生容量に起因する画素電圧の変動が低減される。その結果、非矩形の表示部において、走査信号線の長さが互いに異なることにより生じる画素電圧の変動量の差異が軽減される。これにより、円形等の非矩形の表示部において、表示ムラの抑制された良好な表示を行うことができる。また本発明の第6の局面によれば、走査信号において画素スイッチング素子のオフ遷移過程に対応する所定時間は、その走査信号が与えられる走査信号線が長いほど短くなるので、表示部において画素スイッチング素子のオフ遷移過程での画素電圧の変動量がより均一化される。これにより、非矩形の表示部において、より有効に表示ムラが抑制された良好な表示を行うことができる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】削除

【補正の内容】

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

本発明の第9の局面は、アクティブマトリクス型表示装置の駆動方法において、本発明の第1の局面と同様の効果を奏する。

【手続補正 11】

【補正対象書類名】明細書
【補正対象項目名】0036
【補正方法】変更
【補正の内容】
【0036】

本発明の第10の局面は、アクティブマトリクス型表示装置の駆動方法において、本発明の第5の局面と同様の効果を奏する。

【手続補正12】
【補正対象書類名】明細書
【補正対象項目名】0037
【補正方法】変更
【補正の内容】
【0037】

本発明の他の局面の効果は、本発明の上記第1から第10の局面の効果および下記実施形態についての説明から明らかであるので、その説明を省略する。

【手続補正13】
【補正対象書類名】明細書
【補正対象項目名】0049
【補正方法】変更
【補正の内容】
【0049】

接続制御回路50は、このような第1から第3の接続タイミング信号SS1～SS3の電圧レベルをHレベル接続制御電圧VCHおよびLレベル接続制御電圧VCLに基づいて変換すると共に、中間レベル接続制御電圧VCIおよび接続制御中間レベル期間信号SCIに基づき、第1から第3の接続タイミング信号SS1～SS3の立ち下がり（Hレベル接続制御電圧VCHからLレベル接続制御電圧VCLへの変化、より一般的には接続制御スイッチング素子のオン電圧からオフ電圧への変化）が中間レベルを介して行われるように当該接続タイミング信号SS1～SS3を修正し、修正後の信号を図4に示すような第1から第3の接続切替制御信号Sc1～Sc3として出力する。このようにして生成される各接続切替制御信号Sc_k（ $k=1, 2, 3$ ）は、その立ち下がりにおいて、まずHレベル接続制御電圧VCHから中間レベル接続制御電圧VCIに変化し、その中間レベル接続制御電圧VCIを接続制御中間レベル期間信号SCIが示す期間TCIだけ維持し、その後、Lレベル接続制御電圧VCLへと変化する。既述のように、これら第1から第3の接続切替制御信号Sc1～Sc3は、デマルチプレクス回路320に与えられ、そこで、各ビデオ信号Sviを与えるべきデータ信号線に対応する組のデータ信号線SL3i-2, SL3i-1, SL3iの間で切り替えるための制御信号として使用される。

【手続補正14】
【補正対象書類名】明細書
【補正対象項目名】0054
【補正方法】変更
【補正の内容】
【0054】

走査信号線駆動回路200から走査信号線GL1～GLmにそれぞれ印加される走査信号G1～Gmは、図5に示す走査信号G1～G3のように1水平期間毎に順次アクティブとなる。本実施形態では、画素スイッチング素子としてのTFOTおよび接続制御スイッチング素子としてのTFOTはNchトランジスタであるので、ハイレベル（Hレベル）をアクティブとしローレベル（Lレベル）を非アクティブとするが、Pchトランジスタが使用される場合には、LレベルがアクティブとされHレベルが非アクティブとされる。

【手続補正15】
【補正対象書類名】明細書

【補正対象項目名】 0 0 7 2

【補正方法】 変更

【補正の内容】

【0 0 7 2】

また、接続切替制御信号 Sck がオフ電圧としての L レベル接続制御電圧 VCL に近づくと Nch トランジスタ SWk に電流が流れなくなるので、この点に着目し、図 12 (B) に示すような波形の接続切替制御信号 Sck が接続制御回路 50 (図 3) で生成される構成としてもよい。すなわち、 Nch トランジスタ SWk の閾値電圧に相当する中間 L レベル接続制御電圧 $VCL2$ を設定し ($VCL2 > VCL$)、予め決定された中間レベル期間 TCI でオン電圧 (H レベル接続制御電圧 VCH) から中間 L レベル接続制御電圧 $VCL2$ へ連続的に変化し (典型的には単調かつ滑らかに変化し)、その後、直ちにオフ電圧 (L レベル接続制御電圧 VCL) に変化するように、接続切替制御信号 Sck が生成される構成であってもよい。

【手続補正 16】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 9 9

【補正方法】 変更

【補正の内容】

【0 0 9 9】

サンプリングパルス生成回路 510 は、スタートパルス SSP をクロック信号 CLK に応じて 1 水平期間の間に入力端から出力端まで順次シフトさせるシフトレジスタを含んでおり、このシフトレジスタの各段の出力信号に基づき、所定時間ずつ順次アクティブとなる複数のサンプリング信号 $SAM1$, $SAM2$, ..., $SAMN$ を出力する。これら複数のサンプリング信号 $SAM1$, $SAM2$, ..., $SAMN$ は、上記複数のデータ信号線 $SL1$, $SL2$, ..., SLN にそれぞれ対応している。各サンプリング信号 $SAMj$ ($j = 1, 2, \dots, N$) は、当該サンプリング信号 $SAMj$ に対応するデータ信号線 SLj に接続されるアナログスイッチ部 52j に制御信号として入力される。これにより、各アナログスイッチ部 52j は、それに制御信号として入力されるサンプリング信号 $SAMj$ がアクティブのときにはオン状態となり、非アクティブのときにはオフ状態となる。したがって、各データ信号線 SLj は、それに対応するサンプリング信号 $SAMj$ がアクティブのときにアナログビデオ信号 $Video$ を与えられ、非アクティブのときにビデオライン 54 から電氣的に切り離される。各データ信号線 SLj は上記第 1 の実施形態と同様のデータ信号線容量 $Cs1$ を有しているので、アナログビデオ信号 $Video$ は、サンプリング信号 $SAMj$ で順次サンプリングされて各データ信号線容量 $Cs1$ に保持されていく。

【手続補正 17】

【補正対象書類名】 明細書

【補正対象項目名】 0 1 0 4

【補正方法】 変更

【補正の内容】

【0 1 0 4】

この相展開方式の表示装置では、アナログビデオ信号を 2 倍に時間軸伸張した 2 相展開信号 $Video1$, $Video2$ が表示制御回路 (不図示) で生成され、データ信号線駆動回路内に配設された 2 本のビデオライン 63, 64 にそれぞれ与えられる。これにより、図 20 に示した点順次駆動方式のデータ信号線駆動回路に比べ、2 倍のサンプリング周期でアナログビデオ信号 (2 相展開信号 $Video1$, $Video2$) がサンプリングされる。しかし、このサンプリングのための各アナログスイッチ部 62j は、図 20 に示したデータ信号線駆動回路におけるアナログスイッチ部 52j と同じ構成を有している ($j = 1 \sim N$)。したがって、この相展開方式のデータ信号線駆動回路 (図 21) においても寄生容量起因のデータ信号線電圧低下の問題が生じる。そこで、この相展開方式のデータ信号線駆動回路 (図 21) においても、本発明を適用してこのデータ信号線電圧低下を低減するために、アナログス

スイッチ部 6 2 j を構成する N c h トランジスタのゲート端子に与えられるサンプリング信号 S A M j を、図 1 1 (A)、図 1 1 (B)、図 1 2 (A) および図 1 2 (B) のいずれかに示す接続切替制御信号 S c k と同様の波形とすることが考えられる (j = 1 ~ N)。上記第 1 の実施形態における図 4 に示す接続制御中間レベル期間信号 S C I に相当する信号 (この信号も「接続制御中間レベル期間信号 S C I」と呼ぶものとする) が表示制御回路 4 0 0 から与えられると、サンプリングパルス生成回路 6 1 0 においてこのような波形のサンプリング信号 S A M j を生成することができる。サンプリングパルス生成回路 6 1 0 がこのような波形のサンプリング信号 S A M j を生成するように構成されると、上記データ信号線電圧低下が低減され、上記第 1 の実施形態と同様の効果が得られる。なお、上記第 1 の実施形態の変形例 (図 1 9) と同様、アナログスイッチ部 6 2 j が N c h トランジスタに代えて P c h トランジスタで構成されていてもよく、また、N c h トランジスタに代えて C M O S アナログスイッチで構成されていてもよい。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060687

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-358052 A (Matsushita Electric Industrial Co., Ltd.), 13 December 2002 (13.12.2002), paragraphs [0043] to [0047]; fig. 1 (Family: none)	1-3, 5, 10-11 4
X Y A	WO 2009/054166 A1 (Sharp Corp.), 30 April 2009 (30.04.2009), paragraphs [0048] to [0058], [0085] to [0086]; fig. 1 to 2, 6 to 7 & US 2010/0141570 A1 paragraphs [0062] to [0072], [0099] to [0100]; fig. 1 to 2, 6 to 7 & CN 101779227 A	6-8, 12 1-3, 5, 9-11 4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 June 2016 (13.06.16)Date of mailing of the international search report
21 June 2016 (21.06.16)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060687

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/023467 A1 (Sharp Corp.), 23 February 2012 (23.02.2012), paragraphs [0014] to [0016]; fig. 37 to 39 (Family: none)	1-3, 5, 10-11
Y A	WO 2008/032468 A1 (Sharp Corp.), 20 March 2008 (20.03.2008), paragraphs [0080] to [0103]; fig. 1 to 12 & US 2010/0289785 A1 paragraphs [0123] to [0146]; fig. 1 to 12 & CN 101501754 A	9 4
A	JP 2007-52291 A (Sony Corp.), 01 March 2007 (01.03.2007), paragraphs [0033] to [0037]; fig. 3 to 4 (Family: none)	1-12
A	JP 2008-145677 A (Sharp Corp.), 26 June 2008 (26.06.2008), paragraphs [0028] to [0045]; fig. 1 to 3 (Family: none)	1-12

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 6 0 6 8 7	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36 (2006.01)i, G09G3/20 (2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	JP 2002-358052 A (松下電器産業株式会社) 2002.12.13, 段落 [0043] - [0047], [図1] (ファミリーなし)	1-3, 5, 10-11 4	
X Y A	WO 2009/054166 A1 (シャープ株式会社) 2009.04.30, 段落 [0048] - [0058], [0085] - [0086], [図1] - [図2], [図6] - [図7] & US 2010/0141570 A1, [0062]-[0072], [0099]-[0100], 図1 - 図2, 図6 - 図7 & CN 101779227 A	6-8, 12 1-3, 5, 9-11 4	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 13.06.2016		国際調査報告の発送日 21.06.2016	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 西島 篤宏 電話番号 03-3581-1101 内線 3226	2G 9308

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 6 0 6 8 7
C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2012/023467 A1 (シャープ株式会社) 2012.02.23, 段落 [0014] - [0016], [図37] - [図39] (ファミリーなし)	1-3, 5, 10-11
Y A	WO 2008/032468 A1 (シャープ株式会社) 2008.03.20, 段落 [0080] - [0103], [図1] - [図12] & US 2010/0289785 A1, [0123]-[0146], 図1 - 図12 & CN 101501754 A	9 4
A	JP 2007-52291 A (ソニー株式会社) 2007.03.01, 段落 [0033] - [0037], [図3] - [図4] (ファミリーなし)	1-12
A	JP 2008-145677 A (シャープ株式会社) 2008.06.26, 段落 [0028] - [0045], [図1] - [図3] (ファミリーなし)	1-12

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 1 2 J
	G 0 9 G 3/20	6 1 1 J
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 2 3 M
	G 0 9 G 3/20	6 4 2 B
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 2 3 V
	G 0 9 G 3/20	6 1 1 G
	G 0 9 G 3/20	6 1 1 A
	G 0 9 F 9/302	Z
	G 0 2 F 1/133	5 5 0

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

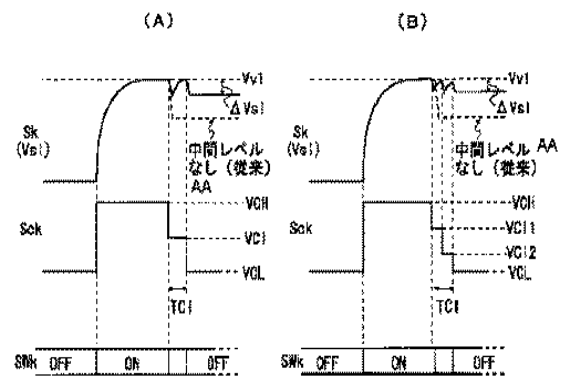
Fターム(参考) 2H193 ZA04 ZB02 ZB03 ZC02 ZC12 ZC25 ZF23 ZF35 ZF36
 5C006 AA16 AC09 AC11 AC21 AC22 AC24 AC27 AF21 AF42 AF43
 AF50 AF51 AF52 AF72 AF83 BB16 BB28 BC02 BC03 BC12
 BC13 BC20 BC22 BC23 BF03 BF04 BF11 BF24 BF33 BF34
 BF42 EB05 FA15 FA16 FA18 FA22 FA26 FA37 FA42 FA48
 5C080 AA10 BB06 DD05 DD23 DD25 DD26 EE29 FF11 FF13 JJ02
 JJ03 JJ04
 5C094 AA03 BA03 BA43 CA20 EA04 FA01

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵显示装置及其驱动方法		
公开(公告)号	JPWO2016163299A1	公开(公告)日	2018-01-25
申请号	JP2017510954	申请日	2016-03-31
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	今井雅博		
发明人	今井 雅博		
IPC分类号	G09G3/36 G09G3/20 G09F9/302 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0297 G09G2320/0219 G09G2320/0247 G09G3/3225		
FI分类号	G09G3/36 G09G3/20.680.G G09G3/20.680.H G09G3/20.641.C G09G3/20.623.X G09G3/20.623.R G09G3/20.623.D G09G3/20.612.J G09G3/20.611.J G09G3/20.622.D G09G3/20.622.C G09G3/20.642.A G09G3/20.623.M G09G3/20.642.B G09G3/20.621.M G09G3/20.623.V G09G3/20.611.G G09G3/20.611.A G09F9/302.Z G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZB03 2H193/ZC02 2H193/ZC12 2H193/ZC25 2H193/ZF23 2H193/ZF35 2H193/ZF36 5C006/AA16 5C006/AC09 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AC27 5C006/AF21 5C006/AF42 5C006/AF43 5C006/AF50 5C006/AF51 5C006/AF52 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BB28 5C006/BC02 5C006/BC03 5C006/BC12 5C006/BC13 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF33 5C006/BF34 5C006/BF42 5C006/EB05 5C006/FA15 5C006/FA16 5C006/FA18 5C006/FA22 5C006/FA26 5C006/FA37 5C006/FA42 5C006/FA48 5C080/AA10 5C080/BB06 5C080/DD05 5C080/DD23 5C080/DD25 5C080/DD26 5C080/EE29 5C080/FF11 5C080/FF13 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA03 5C094/BA03 5C094/BA43 5C094/CA20 5C094/EA04 5C094/FA01		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2015078599 2015-04-07 JP		
其他公开文献	JP6419312B2		
外部链接	Espacenet		

摘要(译)

本发明提供了一种有源矩阵显示装置，其能够在诸如圆形的非矩形显示部分上很好地显示。在具有圆形显示部分的有源矩阵液晶显示装置中，寄生电容被用作Nch晶体管（SWk）的控制信号，该Nch晶体管是用于对视频信号Svi进行采样并将其保持在数据信号线电容中的采样保持电路的开关元件。产生控制信号Sck，从而减小由于Cgd引起的数据信号线电压Vsl的减小量ΔVsl。即，当Nch晶体管（SWk）截止时，控制信号Sck经过中间电平电压VCI的周期TCI从作为导通电压的H电平连接控制电压VCH变为作为截止电压的L电平连接控制电压VCL。产生连接切换控制信号Sck以便改变。



AA No intermediate level (existing device)