

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02012/005044

発行日 平成25年9月2日(2013.9.2)

(43) 国際公開日 平成24年1月12日(2012.1.12)

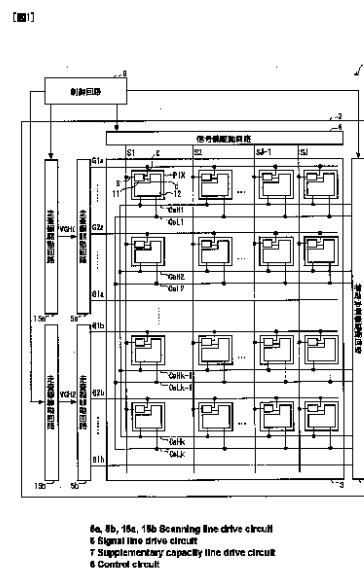
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622G	5C006
G02F 1/133 (2006.01)	G09G 3/20 622C	5C080
	G09G 3/20 612A	
	G09G 3/20 642B	
審査請求 有 予備審査請求 未請求 (全 32 頁) 最終頁に続く		

出願番号	特願2012-523786 (P2012-523786)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2011/059739		シャープ株式会社
(22) 国際出願日	平成23年4月20日(2011.4.20)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2010-155759 (P2010-155759)	(74) 代理人	110000338
(32) 優先日	平成22年7月8日(2010.7.8)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国(JP)	(72) 発明者	奥村 寛
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		Fターム(参考)	2H193 ZA04 ZA07 ZB02 ZF02 ZF21 ZF44 ZF60 ZH45 ZH46 ZH54 5C006 AA11 AA21 AC22 AC25 AF21 AF42 BB16 BC03 BC06 BC22 BF25 BF31 BF34 BF36 BF43 EB01 FA22
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

液晶表示装置(1)は、ゲート信号を生成する走査線駆動回路(5a)・(5b)と、走査線駆動回路(5a)・(5b)が生成したゲート信号を複数の画素(PIX)に出力する複数の走査線とを備え、走査線駆動回路(5a)・(5b)は、上記複数の走査線を構成する複数の走査線群(Gia)・(Gib)のうち、当該走査線群(Gia)・(Gib)毎にそれぞれ配されており、さらに、パルス波からなり、上記ゲート信号を生成するための高電位信号(VGH1)・(VGH2)の立ち下がり走査線群(Gia)・(Gib)毎に傾斜させるスロープ調整回路(15a)・(15b)が、走査線駆動回路(5a)・(5b)のそれぞれの前段に配されている。これにより、走査線群毎に走査信号の立ち下がり調整することで、表示領域毎に輝度ムラが発生することを防止する。



【特許請求の範囲】

【請求項 1】

走査信号を生成する走査線駆動部と、当該走査線駆動部が生成した走査信号を複数の画素に出力する複数の走査線とを備えた液晶表示装置であって、

上記走査線駆動部は、上記複数の走査線を構成する複数の走査線群のうち、当該走査線群毎にそれぞれ配されており、さらに、

パルス波からなり、上記走査信号を生成するための走査信号生成信号の立ち下がりを上記走査線群毎に傾斜させる電位制御回路が、上記走査線駆動部のそれぞれの前段に配されていることを特徴とする液晶表示装置。

【請求項 2】

複数の上記電位制御回路は、それぞれ毎に、上記走査信号生成信号の立下りを傾斜させ、当該立下りを傾斜させた走査信号生成信号を、上記走査線駆動部に出力することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

上記電位制御回路は、上記走査信号生成信号の立下りの傾斜角を決めるための可変抵抗を備えていることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

上記電位制御回路は、上記走査信号生成信号の電位を減少させる定電流回路を備えていることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

上記定電流回路は、上記可変抵抗の抵抗値に対応して、上記走査信号生成信号の電位の減少量を変化させることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

上記電位制御回路は、上記定電流回路の、動作状態と、非動作状態とを切り換えるスイッチを備えていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 7】

上記複数の電位制御回路から出力されるそれぞれの走査信号生成信号は、立ち下がりの電位の最小値が等しいことを特徴とする請求項 1 ～ 6 の何れか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査信号の立ち下がりの傾斜を制御することが可能な液晶表示装置に関する。

【背景技術】

【0002】

近年、大型の液晶表示パネルが開発されている。大型の液晶表示パネルは、製造段階での検査工程で、低階調の同一色からなる検査用画面（いわゆるベタ画面）を表示したときに、液晶表示パネル内に部分的に輝度差が視認できる症状が発生する場合がある（以下、この症状を輝度ムラと称する）。

【0003】

大型パネルで、このような輝度ムラが発生する原因としては、TFT 基板の線幅・膜厚バラつき等の液晶表示パネルの製造バラツキが 1 枚の液晶表示パネル面内で発生しやすく、TFT 特性もしくは配線の寄生容量に起因する階調のバラツキが面内分布を持って発生するためである。特に、分割駆動パネルの場合は、顕著に輝度ムラが現れることがある。

【0004】

特許文献 1 には、表示パネルの輝度ムラを抑制するために、表示パネルを複数の領域に分割し、当該分割した領域ごとにゲートパルス幅を制御することが開示されている。

【0005】

図 7 は、特許文献 1 に記載の表示パネル 100、走査ドライバ 120 及び信号ドライバ

10

20

30

40

50

130の配置位置の概略を示す図である。

【0006】

表示パネル100の表示領域は、列方向に、走査ドライバ120から遠い順に、3つの領域A、B、Cに分割されている。そして、領域A、B、Cのそれぞれの走査ラインに印加される走査信号を、走査ドライバ120から遠い順に、走査信号 $G_1 \sim G_m$ 、 $G_{m+1} \sim G_{2m}$ 、走査信号 $G_{2m+1} \sim G_{3m}$ とする。

【0007】

図8は、表示パネル100の走査ラインに印加される走査信号Gの波形を表す図である。

【0008】

図8に示すように、領域Aの走査ラインに印加される走査信号 $G_1 \sim G_m$ のパルス幅 W_a と比べて、領域Bの走査ラインに印加される走査信号 $G_{m+1} \sim G_{2m}$ のパルス幅 W_b の方が小さい。さらに、領域Bの走査ラインに印加される走査信号 $G_{m+1} \sim G_{2m}$ のパルス幅 W_b と比べて、領域Cの走査ラインに印加される走査信号 $G_{2m+1} \sim G_{3m}$ のパルス幅 W_c の方が小さい。

【0009】

図9は、表示パネル100の各画素に印加される走査信号Gの信号波形の一例を表す図である。

【0010】

図9では、上から順に、領域Aの各走査ライン L_g に印加される信号波形、領域Bの各走査ライン L_g に印加される信号波形、領域Cの各走査ライン L_g に印加される信号波形を示している。なお、破線は、走査ドライバ120から出力された時点での走査信号Gの信号波形を示している。

【0011】

このように、表示パネル100を分割した領域A、B、C毎に、該領域の各走査ライン L_g に印加される走査信号Gのパルス幅 W_a 、 W_b 、 W_c が設定されることにより、表示パネル100の各表示画素のTFTがオン動作する時間 t_a 、 t_b 、 t_c をほぼ等しくしている。

【0012】

これにより、各表示画素への表示信号電圧の印加時間がほぼ均一となり、配線負荷の偏りによる表示画像の画質劣化を抑制している。

【0013】

特許文献2には、信号線、又は走査線を駆動するパルス波の立ち上がり又は立ち下がり部分の少なくとも一方に、パルス波のピーク値より低レベル値の領域を形成する液晶表示装置が開示されている。これにより、反転に伴うパルス波のなまり等による、表示ムラを防止している。

【0014】

特許文献3には、走査信号の立ち下がり部分の波形を傾斜させることで、走査信号の立ち下がり部分の波形を鈍りにくくする液晶表示装置が開示されている。

【0015】

図10は、特許文献3の液晶表示装置の構成を表す図である。

【0016】

図10に示すように、液晶表示装置400は、液晶表示パネル401と、映像信号線S400と、走査信号線G400と、映像信号線駆動回路200-1・200-2と、走査信号線駆動回路300-1～3と、コントロール回路600と、を備えている。

【0017】

図11は、映像信号線駆動回路200-1・200-2と、走査信号線駆動回路300-1～3と、コントロール回路600とから出力される波形を表す図である。

【0018】

図12は、走査信号線駆動回路300-1～3の構成を表す図である。

10

20

30

40

50

【0019】

コントロール回路600は、映像信号線駆動回路200-1・200-2と、走査信号線駆動回路300-1~3とを動作させるためのクロック信号GCK400及び周期信号Stc400を生成する。

【0020】

映像信号線駆動回路200-1及び2は、クロック信号GCK400を用いて、外部から入力してくる映像信号を映像信号線S400に対して印加する。走査信号線駆動回路300-1~3は、クロック信号GCK400及び周期信号Stc400を用いて走査信号VG400を生成し、走査信号線G400に印加する。

【0021】

走査信号線駆動回路300-1は、内部モジュレーション部310-1と、走査信号線駆動部315-1とを含む。内部モジュレーション部310-1は、電位Vgh及び中間信号Vct400に基づいて、駆動信号VM100を生成する。走査信号線駆動部315-1は、内部モジュレーション部310-1が生成した駆動信号VM400に基づいて走査信号VG400を生成する。

【0022】

このように、走査信号VG400の立ち下がり部分が傾斜しているので、走査信号VG400の立ち下がりが鈍りにくく、表示品位の低下を防止している。

【0023】

さらに、走査信号線駆動回路300-1~3の内部配線が、信号配線305により接続されている。これにより、当該内部配線に印加される駆動信号VM100~300のそれぞれの波形が平均化される。つまり、駆動信号VM100~VM300のそれぞれの傾斜部分の傾きが略等しくなる。これにより、表示エリア毎に表示品位が異なることを防止している。

【先行技術文献】

【特許文献】

【0024】

【特許文献1】日本国公開特許公報「特開2007-156080号公報（2007年6月21日公開）」

【特許文献2】日本国公開特許公報「特開平5-46128号公報（1993年2月26日公開）」

【特許文献3】国際公開公報W02007/052408号（2007年5月10日国際公開）

【発明の概要】

【発明が解決しようとする課題】

【0025】

しかしながら、特許文献1は、ゲートパルス幅自体を変更するものであって、ゲート信号（走査信号）の立ち下がり进行调整することはできない。

【0026】

特許文献2は、表示パネルの領域毎に、パルス波の鈍りを調整することができず、このため、表示パネルの領域毎に輝度ムラを防止することができない。

【0027】

特許文献3では、複数の走査信号線駆動回路300-1~3を信号配線305で接続することにより、各駆動回路で生成された駆動信号VM100~VM300のバラツキを抑制することはできるが、液晶表示パネル401の寄生容量等の面内バラツキによる輝度ムラを抑制することはできない。

【0028】

特に、大型の表示パネルの場合、表示パネルの製造バラツキが1枚のパネル面内で発生するため、階調バラツキが面内分布を持って発生することがある。このような階調バラツキは、特に分割駆動のパネルでは、その端面で、輝度ムラとして視認されやすい。

10

20

30

40

50

【0029】

この場合、階調バラツキのパネル特性が面内分布を持つため、液晶表示装置400で、走査信号VG400の立ち下がり部分の傾斜を調整しても、液晶表示パネル401全体として、走査信号VG400の立ち下がり部分の傾斜がシフトするだけで、液晶表示パネル401の面内の階調バラツキ、つまり輝度ムラは低減できないという課題が生じる。

【0030】

本発明は、上記の問題点を解決するためになされたもので、その目的は、走査線群毎に走査信号の立ち下がり調整することで、表示領域毎に輝度ムラが発生することを防止することである。

【課題を解決するための手段】

10

【0031】

上記の課題を解決するために、本発明の液晶表示装置は、走査信号を生成する走査線駆動部と、当該走査線駆動部が生成した走査信号を複数の画素に出力する複数の走査線とを備えた液晶表示装置であって、上記走査線駆動部は、上記複数の走査線を構成する複数の走査線群のうち、当該走査線群毎にそれぞれ配されており、さらに、パルス波からなり、上記走査信号を生成するための走査信号生成信号の立ち下がりを上記走査線群毎に傾斜させる電位制御回路が、上記走査線駆動部のそれぞれの前段に配されていることを特徴としている。

【0032】

上記構成によると、上記走査線駆動部は、上記複数の走査線を構成する複数の走査線群のうち、当該走査線群毎にそれぞれ配されている。このため、一つの走査線駆動部により駆動される走査線の本数を低減することができるので、走査線に出力される走査信号の立下りが鈍ることを防止することができる。

20

【0033】

上記構成によると、パルス波からなり、上記走査信号を生成するための走査信号生成信号の立ち下がり傾斜させる電位制御回路が、上記走査線駆動部のそれぞれの前段に配されている。

【0034】

このため、上記走査線駆動部は、上記電位制御回路によって、立下りが傾斜されたパルス波からなる走査信号生成信号を取得する。そして、走査線駆動部は、当該取得した走査信号生成信号から走査信号を生成する。このため、走査線駆動部が生成した走査信号のパルス波の形状も、傾斜した立下りを有する形状となる。このように、走査線駆動部によって生成された走査信号は、立下りが傾斜したパルス波の形状を有するので、立下りを鈍り難くすることができる。

30

【0035】

上記構成によると、電位制御回路は、走査信号生成信号の立下りを、上記走査線群毎に傾斜させる。このため、複数の走査線群のそれぞれに形成される寄生容量等に応じて、走査信号生成信号の立下りの傾斜を最適化することができるので、各走査線に出力される走査信号の立下りの傾斜部分が、走査線群毎にバラつくことを防止することができる。

【0036】

このように、走査線群毎に走査信号の立ち下がり調整することで、表示領域毎に輝度ムラが発生することを防止する液晶表示装置を提供することができる。

40

【発明の効果】

【0037】

本発明の液晶表示装置は、走査信号を生成する走査線駆動部と、当該走査線駆動部が生成した走査信号を複数の画素に出力する複数の走査線とを備えた液晶表示装置であって、上記走査線駆動部は、上記複数の走査線を構成する複数の走査線群のうち、当該走査線群毎にそれぞれ配されており、さらに、パルス波からなり、上記走査信号を生成するための走査信号生成信号の立ち下がりを上記走査線群毎に傾斜させる電位制御回路が、上記走査線駆動部のそれぞれの前段に配されている。

50

【0038】

これにより、走査線群毎に走査信号の立ち下がり調整することで、表示領域毎に輝度ムラが発生することを防止する液晶表示装置を提供することができるという効果を奏する。

【図面の簡単な説明】

【0039】

【図1】本発明の液晶表示装置の構成を示す図である。

【図2】本発明の液晶表示装置のスロープ調整回路の構成を表す回路図である。

【図3】本発明の液晶表示装置のスロープ調整回路及び走査線駆動回路に入出力される信号を表す図である。

10

【図4】スロープ調整回路から出力される高電位信号の波形を表す図である。

【図5】液晶表示パネルの検査工程で、低階調の同一色からなる検査用画面を表示した場合の様子を表す図である。

【図6】輝度ムラが発生している液晶表示パネルの表示画面を表す図である。

【図7】従来の表示パネル、走査ドライバ及び信号ドライバの配置位置の概略を示す図である。

【図8】従来の表示パネルの走査ラインに印加される走査信号の波形を表す図である。

【図9】従来の表示パネルの各画素に印加される走査信号の信号波形の一例を表す図である。

【図10】従来の液晶表示装置の構成を表す図である。

20

【図11】従来の液晶表示装置の映像信号線駆動回路と、走査信号線駆動回路と、コントロール回路とから出力される波形を表す図である。

【図12】従来の液晶表示装置の走査信号線駆動回路の構成を表す図である。

【発明を実施するための形態】

【0040】

以下、本発明の実施の形態について、詳細に説明する。

【0041】

（液晶表示装置の構成）

図1に、本実施形態に係る液晶表示装置1の構成を示す。

【0042】

30

液晶表示装置1は、液晶表示パネル2と、液晶表示パネル2に形成された各回路に信号を出力し、液晶表示パネル2の画素の駆動を制御する制御回路8とを備えている。

【0043】

液晶表示パネル2は、表示領域3と、走査線（ゲート線）駆動回路（走査線駆動部）5a・5bと、信号線（ソース線）駆動回路6と、補助容量線駆動回路7とを備えている。

【0044】

液晶表示パネル2は、ガラス基板上にアモルファスシリコンや多結晶シリコン、CGシリコン、微結晶シリコンなどを用いて表示領域3、複数の走査線（ゲートバスライン）G1a・G1b、G2a・G2b、…、Gi a・Gi b（iは1～Iまでの自然数）、複数の信号線（ソースバスライン）S1、S2、…、Sj（jは1～Jまでの自然数）、補助容量線（Csバスライン）CsH1・CsL1、CsH2・CsL2、…、CsHk・CsLk（kは1～Kまでの自然数）、走査線駆動回路5a・5b、信号線駆動回路6、及び補助容量線駆動回路7が作り込まれたアクティブマトリクス型の配線基板と、液晶層を介して、配線基板と対向配置される対向基板とを備える表示パネルである。

40

【0045】

表示領域3は、複数の画素PIXがマトリクス状に配置された領域である。画素PIXは、画素PIXの選択素子であるTF T素子11、液晶容量及び補助容量12を備えている。

【0046】

ここで、本実施の形態では、走査線G1a・G1b、G2a・G2b、…、Gi a・G

50

I bのうち、紙面上半分に配されている画素P I Xのそれぞれと接続されている走査線を走査線群G i aと称し、紙面下半分に配されている画素P I Xのそれぞれと接続されている走査線を走査線群G i bと称する。

【0047】

信号線S jが延びる方向を垂直方向とすると、信号線駆動回路6に近い側から順に、走査線群G i aと、走査線群G i bとが並んで配されている。

【0048】

T F T素子1 1のゲート電極gは走査線群G i a、又は走査線群G i bに接続されており、T F T素子1 1のソース電極sは信号線S jに接続されている。T F T素子1 1のドレイン電極dは、液晶容量及び補助容量1 2と接続されている。そして補助容量1 2は、補助容量線C s H k、及び補助容量線C s L kと接続されている。

10

【0049】

なお、対向基板上であって、液晶層を介して補助容量1 2と対向する領域には対向電極が配置されている。

【0050】

走査線駆動回路5 a・5 bと、信号線駆動回路6と、補助容量線駆動回路7とは、制御回路8から出力されてくる信号によって、制御されるものである。

【0051】

信号線駆動回路6は、表示領域3に対して、各信号線S jの延びる方向の一方向に隣接する領域に設けられている。信号線駆動回路6は、液晶表示パネル2に1つ形成されており、信号線駆動回路6に各信号線S jが接続されている。信号線駆動回路6は、制御回路8からの制御信号に基づいて、各信号線S jのそれぞれにデータ信号を供給する。

20

【0052】

各信号線S jは、途中で分割されず、信号線駆動回路6から最も遠い位置に配されている画素P I Xまで延びて接続されている。このように、液晶表示装置1では、液晶表示パネル2に1つ形成された信号線駆動回路6により、信号線駆動回路6から最も遠い位置に形成された画素P I Xの駆動制御がなされている。

【0053】

補助容量線駆動回路7は、表示領域3に対して、各補助容量線C s H k・C s L kの延びる方向の一方向に隣接する領域に設けられている。補助容量線駆動回路7は液晶表示パネル2に1つ形成されており、表示領域3を介して、走査線駆動回路5 a・5 bと対向して配されている。補助容量線駆動回路7に各補助容量線C s H k・C s L kが接続されている。補助容量線駆動回路7は、制御回路8からの制御信号に基づいて、各補助容量線C s H k・C s L kのそれぞれに補助容量駆動信号を供給する。

30

【0054】

補助容量線C s H kは、補助容量1 2にハイ(H i g h)の電圧信号を供給するための配線である。補助容量線C s L kは、補助容量1 2にロウ(L o w)の電圧信号を供給するための配線である。

【0055】

各補助容量線C s H k・C s L kは、途中で分割されず、補助容量線駆動回路7から最も遠い位置に配されている画素P I Xまで延びて接続されている。このように、液晶表示装置1では、液晶表示パネル2に1つ形成された補助容量線駆動回路7により、補助容量線駆動回路7から最も遠い位置に形成された画素P I Xの補助容量1 2の制御がなされている。

40

【0056】

なお、このように、表示領域3に形成された全ての画素P I Xを、1つの信号線駆動回路6、補助容量線駆動回路7で駆動制御を行なう液晶表示パネル2を分割駆動していない液晶表示パネルと称する場合がある。

【0057】

走査線駆動回路5 a・5 bは、ゲート信号(走査信号)を生成するものである。液晶表

50

示装置 1 では、走査線駆動回路 5 a と、走査線駆動回路 5 b とが、液晶表示パネル 2 に 1 つずつ、合計 2 つの走査線駆動回路が形成されており、表示領域 3 を介して、補助容量線駆動回路 7 と対向して配されている。

【0058】

走査線駆動回路 5 a は、表示領域 3 に対して、走査線群 G i a の延びる方向の一方向に隣接する領域に設けられている。走査線駆動回路 5 b は、表示領域 3 に対して、走査線群 G i b の延びる方向の一方向に隣接する領域に設けられている。

【0059】

走査線駆動回路 5 a ・ 5 b は、複数個に分けて画素 P I X を駆動できるように配置されており、走査線群 G i a ・ G i b 毎にそれぞれ配されている。走査線駆動回路 5 a に走査線群 G i a が接続されており、走査線駆動回路 5 b に走査線群 G i b が接続されている。

【0060】

走査線駆動回路 5 a は、表示領域 3 に形成された画素 P I X のうち、上半分の画素 P I X の駆動を制御するものである。走査線駆動回路 5 b は、表示領域 3 に形成された画素 P I X のうち、下半分の画素 P I X の駆動を制御するものである。

【0061】

走査線群 G i a ・ G i b は、途中で分割されず、走査線駆動回路 5 a ・ 5 b から最も遠い位置に配されている画素 P I X まで延びて接続されている。このように、液晶表示装置 1 では、液晶表示パネル 2 に形成された走査線駆動回路 5 a ・ 5 b により、走査線駆動回路 5 a ・ 5 b から最も遠い位置に形成された画素 P I X のゲート電極 d の制御がなされる。

【0062】

走査線駆動回路 5 a は、制御回路 8 からの制御信号に基づいて、各走査線群 G i a のそれぞれにゲート信号を供給する。走査線群 G i a は、走査線駆動回路 5 a から出力されたゲート信号を、表示領域 3 に形成された画素 P I X のうち、上半分の画素 P I X に出力する。

【0063】

走査線駆動回路 5 b は、制御回路 8 からの制御信号に基づいて、各走査線群 G i b のそれぞれにゲート信号を供給する。走査線群 G i b は、走査線駆動回路 5 b から出力されたゲート信号を、表示領域 3 に形成された画素 P I X のうち、下半分の画素 P I X に出力する。

【0064】

ここで、走査線駆動回路 5 a ・ 5 b は、傾斜した立下り（スロープ）を有するパルス波形からなるゲート信号を走査線群 G i a ・ G i b に出力する。

【0065】

このような、ゲート信号又はゲート信号を生成するための高電位信号（走査信号生成信号）V G H 1 ・ V G H 2 のパルス波形のうち、立下りが傾斜した、すなわち、立下りの電位が直線的に傾斜して減少することをゲートスロープ（立ち下がりの傾斜部分）と称する。また、ゲートスロープを有する波形をゲートスロープ波形と称する。

【0066】

走査線駆動回路 5 a ・ 5 b は、スロープ調整回路 15 a ・ 15 b から、高電位（走査信号生成信号）V G H 1 を取得し、当該取得した高電位信号 V G H 1 からゲート信号を生成する。そして、走査線駆動回路 5 a ・ 5 b は、生成したゲート信号を、それぞれ接続されている走査線群 G i a 又は走査線群 G i b に出力する。

【0067】

走査線駆動回路 5 a ・ 5 b は、スロープ調整回路 15 a ・ 15 b から取得する高電位信号 V G H 1 ・ V G H 2 もゲートスロープ波形となっている。走査線駆動回路 5 a ・ 5 b は、ゲートスロープ波形となっている高電位信号 V G H 1 ・ V G H 2 から、ゲート信号を生成するので、当該生成されたゲート信号もゲートスロープ波形となる。

【0068】

スロープ調整回路（電位制御回路）15a・15bは、走査線駆動回路5a・5bのそれぞれの前段に配されている。すなわち、スロープ調整回路15aは、制御回路8と、走査線駆動回路5aとの間に配されており、スロープ調整回路15bは、制御回路8と、走査線駆動回路5bとの間に配されている。

【0069】

スロープ調整回路（電位制御回路）15a・15bは、ゲート信号を生成するためのパルス波からなる高電位（走査信号生成信号）VGHを取得し、当該取得した高電位（走査信号生成信号）VGH1・VGH2の立下りを、走査線群Gi a毎、及び走査線群Gi b毎に傾斜させるものである。そして、スロープ調整回路15a・15bは、走査線群Gi a毎、及び走査線群Gi b毎に傾斜させた高電位VGH1・VGH2を、後段の走査線駆動回路5a・5bに出力する。

10

【0070】

スロープ調整回路15a・15bは、一方の電圧波形を基準に他方の電圧波形を調整できる構成となっている。すなわち、スロープ調整回路15a（走査線駆動回路5a）から出力される電圧波形を基準にスロープ調整回路15bから出力される電圧波形を調整、もしくは、スロープ調整回路15b（走査線駆動回路5b）から出力される電圧波形を基準に走査線駆動回路5aから出力される電圧波形を調整できるような構成となっている。なお、このスロープ調整回路15a・15bについて、詳細は後述する。

【0071】

このように液晶表示装置1では、走査線駆動回路5a・5bが、走査線群Gi a・Gi b毎にそれぞれ配されている。このため、一つの走査線駆動回路5a又は走査線駆動回路5bにより駆動される走査線の本数を低減することができるので、走査線に出力されるゲート信号の立下りが鈍ることを防止することができる。

20

【0072】

また、液晶表示装置1は、パルス波からなり、ゲート信号（走査信号）を生成するための高電位VGH1・VGH2の立ち下がり（立ち上がり）を傾斜させるスロープ調整回路15a・15bが、走査線駆動回路5a・5bのそれぞれの前段に配されている。このため、走査線駆動回路5a・5bは、スロープ調整回路15a・15bによって、立下りが傾斜されたパルス波、すなわちゲートスロープ波形からなる高電位信号VGH1・VGH2を取得する。

【0073】

そして、走査線駆動回路5a・5bは、当該取得した高電位信号VGH1・VGH2から、ゲート信号を生成する。このため、走査線駆動回路5a・5bが生成したゲート信号のパルス波の形状も、傾斜した立下りを有する形状、すなわちゲートスロープ波形となる。

30

【0074】

このように、走査線駆動回路5a・5bによって生成されたゲート信号は、立下りが傾斜したゲートスロープ波形を有するので、立下りを鈍り難くすることができる。

【0075】

また、スロープ調整回路15a・15bは、高電位信号VGH1・VGH2の立下りを、走査線群Gi a・Gi b毎に傾斜させる。このため、複数の走査線群Gi a・Gi b毎のそれぞれに形成される寄生容量等に応じて、高電位信号VGH1・VGH2の立下りの傾斜を最適化することができるので、各走査線に出力されるゲート信号の立下りの傾斜部分が、走査線群Gi a・Gi b毎にバラつくことを防止することができる。

40

【0076】

このように液晶表示装置1では、走査線駆動回路5a・5b及びスロープ調整回路15a・15bをそれぞれ複数準備して、液晶表示パネル2の面内をいくつかの領域に分割し、各々ゲートスロープ波形を調整することで、面内分布を持つ階調バラツキを低減する。

【0077】

また、ゲートスロープ波形の調整は、上記複数の領域のいずれかの電圧波形を基準にして、他のゲートスロープ波形を調整することでも、階調バラツキ（すなわち輝度ムラ）を

50

低減できる。

【0078】

従って、液晶表示装置1によると、走査線群G_{ia}・G_{ib}毎にゲート信号の立ち下がりの傾斜部分を調整することで、表示領域毎に輝度ムラが発生することを防止することができる。

【0079】

また、複数のスロープ調整回路15a・15bは、それぞれ毎に、高電位信号VGH1・VGH2の立下りを傾斜させ、当該立下りを傾斜させた高電位信号VGH1・VGH2を、走査線駆動回路5a・5bに出力する。これにより、走査線駆動回路5a・5bは、各走査線群G_{ia}・G_{ib}毎に、ゲート信号の立ち下りを傾斜させることができる。このため、各走査線に出力されるゲート信号の立下りの傾斜部分を均一にすることができる。

10

【0080】

このように、液晶表示装置1によると、ゲート信号を、立ち下がりが傾斜したゲートスロープ波形とすることで、ゲート信号のON（オン）時間を変えることができる。

【0081】

ここで、特許文献1では、図9で示したように、走査信号Gの幅を調整することで、走査信号Gのオン時間を変えている。このため、特許文献1では、各領域A、B、Cで、走査信号Gの波形が異なることになる。これにより、特許文献1では、最適な電圧に設定された対向電圧に面内分布が生じ、フリッカが発生しやすくなる。

20

【0082】

一方、液晶表示装置1によると、上述したように、各走査線群G_{ia}・G_{ib}毎に、ゲート信号の立ち下りを調整することができるので、表示領域毎に、ゲート信号の波形のバラツキを防止することができる。このため、液晶表示装置1によると、最適な電圧に設定された対向電圧に面内分布が生じることを防止することができるので、フリッカが発生することを防止することができる。

【0083】

このように、特許文献1のように、表示領域毎に走査信号Gの幅を異ならせる場合と比べて、液晶表示装置1では、表示領域毎にゲート信号の波形を揃えることができるので、表示品位を向上させることができる。

30

【0084】

（ゲート波形のスロープ調整回路）

次に、図2を用い、走査線駆動回路5a・5bそれぞれの前段に設けられるスロープ調整回路（電位制御回路）15a・15bの回路構成について説明する。

【0085】

図2は、スロープ調整回路15a・15bの構成を表す回路図である。

【0086】

スロープ調整回路15aと、スロープ調整回路15bとは同じ回路構成なので、対応する部材を合せて説明する。

【0087】

スロープ調整回路15a・15bは、複数の抵抗と、可変抵抗からなるDCP（デジタルポテンショメータ）であるデジタルポテンショメータ（可変抵抗）R-DCP1・R-DCP2と、抵抗として機能する定電流回路VR1・VR2と、電界効果トランジスタであるトランジスタ（スイッチ）FET1・2と、npn型のトランジスタQ11・Q21と、ダイオードD1・D2とを備えている。

40

【0088】

定電流回路VR1・VR2は、オペアンプであるオペアンプOP1・OP2と、npn型のトランジスタQ12・Q22と、抵抗R15・R25とを備えている。

【0089】

抵抗R11・R21と、抵抗R12・R22と、抵抗R13・R33との3つの抵抗は

50

は直列に接続されている。抵抗 $R_{11} \cdot R_{21}$ の一方の端子は、制御回路 8 と接続されており、この抵抗 $R_{11} \cdot R_{21}$ の一方の端子に、電源電圧 V_{cc} が印加される。抵抗 $R_{13} \cdot R_{23}$ の抵抗 $R_{12} \cdot R_{22}$ と接続されている側と逆側の端子は接地されている。なお、抵抗 R_{12} は、抵抗値が固定された抵抗であってもよく、後述するように、抵抗値を変更することが可能な可変抵抗であってもよい。

【0090】

デジタルポテンショメータ（可変抵抗） $R - DCP1 \cdot R - DCP2$ は、ゲートスロープ抵抗値となるトランジスタ $Q_{12} \cdot Q_{22}$ の ON（オン）抵抗を調整するためのものである。デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ により、高電位信号 $V_{GH1} \cdot V_{GH2}$ の立下りの傾斜角（すなわち、高電位信号 $V_{GH1} \cdot V_{GH2}$ の立下りの傾斜の度合い）を決めることができる。

10

【0091】

この、デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ の抵抗値を変更することで、高電位信号 $V_{GH1} \cdot V_{GH2}$ の立下りの傾斜角を決めることができる。このため、容易に、各走査線に出力されるゲート信号の立下りの傾斜を均一にすることができる。

【0092】

デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ は、抵抗と、当該抵抗の抵抗値を調整するためのステップ $RW1 \cdot RW2$ とを備えている。デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ は、例えば電子式可変抵抗等の半固定抵抗である。

【0093】

なお、デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ のように、高電位信号 $V_{GH1} \cdot V_{GH2}$ の立下りの傾斜角を決めるために設ける抵抗は、可変抵抗であればよく、デジタルポテンショメータに限定されない。例えば、デジタル式でなく、アナログ式の可変抵抗であってもよい。

20

【0094】

デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ は、内部に備える抵抗と、抵抗 $R_{12} \cdot R_{22}$ とが並列となるように接続されている。デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ の抵抗を可変するためのステップ $RW1 \cdot RW2$ は、定電流回路 $V_{R1} \cdot V_{R2}$ を構成するオペアンプ $OP1 \cdot OP2$ の非反転（+）入力端子と接続されている。

30

【0095】

ここで、ステップ $RW1 \cdot RW2$ とオペアンプ $OP1 \cdot OP2$ の非反転入力端子とを接続する配線を配線 $A1 \cdot A2$ とする。また配線 $A1 \cdot A2$ に印加されている電圧を電圧 $V_{A1} \cdot V_{A2}$ とする。

【0096】

電圧 $A1 \cdot A2$ の調整範囲は、抵抗 $R_{11} \cdot R_{21}$ 、抵抗 $R_{12} \cdot R_{22}$ 、抵抗 $R_{13} \cdot R_{23}$ 、及びデジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ のそれぞれの抵抗値によって決まる。通常、抵抗 $R - DCP1 \cdot R - DCP2$ の抵抗値は、抵抗 $R_{11} \cdot R_{21}$ 、抵抗 $R_{12} \cdot R_{22}$ 、抵抗 $R_{13} \cdot R_{23}$ の抵抗値に比べて十分大きな値となるように設定する。

40

【0097】

デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ の可変抵抗の一方の端子は、抵抗 $R_{11} \cdot R_{21}$ の他方の端子及び抵抗 $R_{12} \cdot R_{22}$ の一方の端子と接続されている。この抵抗 $R_{11} \cdot R_{21}$ の他方の端子と、抵抗 $R_{12} \cdot R_{22}$ の一方の端子との接続点での電圧を電圧 $R_{H1} \cdot R_{H2}$ とする。

【0098】

デジタルポテンショメータ $R - DCP1 \cdot R - DCP2$ の可変抵抗の他方の端子は、抵抗 $R_{12} \cdot R_{22}$ の他方の端子及び抵抗 $R_{13} \cdot R_{23}$ の一方の端子と、オペアンプ $OP1 \cdot OP2$ の反転（-）入力端子とを接続する配線と接続されている。この抵抗 $R_{12} \cdot R_{22}$ の他方の端子と、抵抗 $R_{13} \cdot R_{23}$ の一方の端子との、接続点での電圧を電圧 R

50

L 1 ・ R L 2 とする。

【 0 0 9 9 】

デジタルポテンショメータ R - D C P 1 ・ R - D C P 2 の可変抵抗のステップ R W 1 ・ R W 2 を制御することで、電圧 V A 1 ・ V A 2 の値を電圧 R H 1 ・ R H 2 と、電圧 R L 1 ・ R L 2 との間の値で制御することが可能である。

【 0 1 0 0 】

定電流回路 V R 1 ・ V R 2 は、高電位信号 V G H の電位を減少させるものである。定電流回路 V R 1 ・ V R 2 は、走査線駆動回路 5 a ・ 5 b に印加される高電位信号 V G H を引き抜くための抵抗として機能する。これにより、高電位信号 V G H 1 ・ V G H 2 の立下りを傾斜させることができる。

10

【 0 1 0 1 】

なお、高電位信号 V G H は、ゲート信号を生成するための高電位側の信号であってパルス波形からなる。スロープ調整回路 1 5 a ・ 1 5 b は、この高電位信号 V G H が入力されると、当該高電位信号 V G H のパルス波形から、ゲートスロープ波形である高電位信号 V G H 1 ・ V G H 2 を生成して、走査線駆動回路 5 a ・ 5 b に出力する。

【 0 1 0 2 】

定電流回路 V R 1 ・ V R 2 では、オペアンプ O P 1 ・ O P 2 の出力端子と、トランジスタ Q 1 2 ・ Q 2 2 のベース端子とが接続されることで、オペアンプ O P 1 ・ O P 2 とトランジスタ Q 1 2 ・ Q 2 2 とが直列に接続されている。

【 0 1 0 3 】

また、トランジスタ Q 1 2 ・ Q 2 2 のエミッタは、抵抗 R 1 5 ・ R 2 5 の一方の端子と接続されていると共に、オペアンプ O P 1 ・ O P 2 の反転入力端子と、抵抗 R 1 2 ・ R 2 2 の他方の端子及び抵抗 R 1 3 ・ R 2 3 の一方の端子とを接続する配線に接続されている。このトランジスタ Q 1 2 ・ Q 2 2 のエミッタと、抵抗 R 1 5 ・ R 2 5 の一方の端子とを接続する配線を配線 B 1 ・ B 2 とする。また、配線 B 1 ・ B 2 に印加される電圧を電圧 V B 1 ・ V B 2 とする。

20

【 0 1 0 4 】

トランジスタ F E T 1 ・ F E T 2 は、n 型チャネル型の電界効果トランジスタである。トランジスタ F E T 1 ・ F E T 2 は、定電流回路 V R 1 ・ V R 2 を O N （オン）状態（動作状態）又は O F F （オフ）状態（非動作状態）に切り換えるスイッチとして機能する。トランジスタ F E T 1 ・ F E T 2 の O N ・ O F F 状態を切り換えることで、高電位信号 V G H の電位を減少させるか否かを選択することができるので、高電位信号 V G H 1 ・ V G H 2 の電位の制御を行うことができる。

30

【 0 1 0 5 】

なお、以下の説明では、トランジスタ F E T 1 ・ F E T 2 を G S スイッチと称する場合がある。

【 0 1 0 6 】

トランジスタ F E T 1 ・ F E T 2 のゲート端子は制御回路 8 と接続されており、ソース端子は接地されており、ドレイン端子は抵抗 R 1 5 ・ R 2 5 の他方の端子と接続されている。

40

【 0 1 0 7 】

抵抗 R 1 4 ・ R 2 4 と、トランジスタ Q 1 1 ・ Q 2 1 と、ダイオード D 1 ・ D 2 とは、互いに並列に接続されている。

【 0 1 0 8 】

抵抗 R 1 4 ・ R 2 4 の一方の端子は、制御回路 8 と接続されていると共に、トランジスタ Q 1 1 ・ Q 2 1 のコレクタ端子とも接続されている。この抵抗 R 1 4 ・ R 2 4 の一方の端子に、制御回路 8 から、高電位信号 V G H が印加される。

【 0 1 0 9 】

抵抗 R 1 4 ・ R 2 4 の他方の端子は、トランジスタ Q 1 1 ・ Q 2 1 のベース端子、及びダイオード D 1 ・ D 2 のカソードと接続されていると共に、トランジスタ Q 1 2 ・ Q 2 2

50

のコレクタ端子とも接続されている。

【0110】

トランジスタQ11・Q21のエミッタ端子は、ダイオードD1・D2のアノードと接続されていると共に、走査線駆動回路5a・5bと接続されている。

【0111】

このように構成されたスロープ調整回路15a・15bは、制御回路8から走査線用高電圧VGHが出力されると、当該走査線用高電圧VGHからゲートスロープ波形を生成し、当該生成したゲートスロープ波形を走査線駆動回路5a・5bに出力する。

【0112】

(スロープ調整回路の動作説明)

10

次に、図2、3を用いて、スロープ調整回路15a・15bの回路の動作の説明をする。

【0113】

図3は、スロープ調整回路15a・15b、及び走査線駆動回路5a・5bに入出力される信号を表す図である。

【0114】

まず、スロープ調整回路15aの動作を説明する。なお、スロープ調整回路15bの動作も同様であるので、スロープ調整回路15bのみの動作の説明は省略する。

【0115】

スロープ調整回路15aから出力されるゲートスロープ波形又はスロープ調整回路15bから出力されるゲートスロープ波形のうち、いずれのゲートスロープを調整しても良い。ここでは、スロープ調整回路15aから出力されるゲートスロープを固定して、スロープ調整回路15bから出力されるゲートスロープを調整する場合について説明する。

20

【0116】

図3の(a)は、トランジスタFET1に入力されるパルス信号Psを表す図である。

【0117】

まず、図3の(a)に示すように、水平同期信号に合わせたパルス信号Psを、制御回路8から、GsスイッチであるトランジスタFET1のゲート端子に入力する。トランジスタFET1に入力するパルス信号Psの振幅は、L(ロウ)レベルがGND、H(ハイ)レベルはトランジスタFET1をON(駆動)するのに十分な電圧とする。

30

【0118】

本実施の形態では、パルス信号PsのHレベルの電圧は3.3V、Lレベルの電圧を0.0Vとする。

【0119】

トランジスタFET1のゲート端子にLレベルのパルス信号Psが入力されているときは、トランジスタFET1はスイッチOFF(オフ)として機能し、定電流回路VR1も非動作状態となる。これにより、抵抗R14の一方の端子に印加された高電圧信号VGHは、そのまま、トランジスタQ11のコレクタ端子からエミッタ端子を通して、高電圧信号VGH1として、走査線駆動回路5aに供給される。

【0120】

40

トランジスタFET1のゲート端子にHレベルのパルス信号Psが入力されると、トランジスタFET1のドレイン端子-ソース端子間が導通状態となる。つまりトランジスタFET1はスイッチON(オン)として機能し、定電流回路VR1も動作状態となる。この動作状態となった定電流回路VR1により、走査線駆動回路5aに供給されている高電位信号VGHの電荷をダイオードD1、トランジスタQ12、抵抗R15を通じて引き抜く。

【0121】

ここで、トランジスタQ12のON抵抗と抵抗R15との合成抵抗値をゲートスロープ抵抗値と称する。このゲートスロープ抵抗値を調整することにより、高電位信号VGH1のゲートスロープの傾きを調整することができる。

50

【0122】

次に、定電流回路V R 1の動作を説明する。デジタルポテンショメータR - D C P 1のステップR W 1を、可変抵抗の中間の抵抗値となる位置に固定すると、配線A 1の電圧V A 1が固定となる。この電圧V A 1は、抵抗R 1 1・R 1 2・R 1 3・デジタルポテンショメータR - D C P 1によって、その範囲が決まる。

【0123】

図3の(b)は、配線A 1の電圧V A 1の波形を表す図である。

【0124】

図3の(b)に示すように、本実施の形態では、電圧V A 1は、デジタルポテンショメータR - D C P 1の抵抗値を調整することで、0.1 Vから1.7 Vまで設定可能であり、0.6 Vで固定されたものとする。このようにデジタルポテンショメータR - D C P 1のステップR W 1を変える事で、電圧V A 1が決まる。

10

【0125】

なお、本実施の形態では、デジタルポテンショメータR - D C P 1を用いているが、デジタルポテンショメータR - D C P 1を省略して、抵抗R 1 2を、機械式の半固定ボリュームからなる抵抗で構成でもよい。つまり、デジタルポテンショメータR - D C P 1を省略して、抵抗R 1 2が抵抗値を調整できる構成であってもよい。

【0126】

配線A 1の電圧V A 1が固定で、トランジスタF E T 1のドレイン端子 - ソース端子間が導通すると、トランジスタQ 1 2のON抵抗が変わる。これにより、オペアンプO P 1、トランジスタQ 1 2、抵抗R 1 5の電圧は、電圧V A 1 = 電圧V B 1となるように動く。すなわち、電圧V A 2も、電圧V A 1と同じ0.6 Vとなる。

20

【0127】

配線B 1の電圧V B 1が電圧V A 1と同じになることで電圧V B 1が一定値になると、トランジスタQ 1 2のON抵抗が一定値に保持されることとなる。

【0128】

このように、オペアンプO P 1と、トランジスタQ 1 2と、抵抗R 1 5とは定電流回路V R 1として動作し、トランジスタQ 1 2のON抵抗は固定抵抗として動作するので、高電位信号V G Hのゲートスロープの傾きを調整することができる。

【0129】

30

図3の(c)は、スロープ調整回路15 aから出力される高電位信号V G H 1を表す図である。

【0130】

図3の(c)に示すように、高電位信号V G H 1のオン時の電圧を3.5 Vとする。Hレベルのパルス信号P sがF E T 1へ入力されることで、高電位信号V G H 1は立下りを開始し、直線的に電位が減少する。そして、Lレベルのパルス信号P sがF E T 1へ入力されることで、立下りを終了し、2.0 Vまで減少した電位が3.5 Vまで上昇する。

【0131】

このように、G SスイッチであるトランジスタF E T 1のゲート端子に、トランジスタF E T 1をON/OFFするのに十分な電圧のパルス信号P s (矩形波)、例えば、0 V (OFF)と3.3 V (ON)との電圧を入力すれば、トランジスタF E T 1がONのとき、ダイオードD 1、トランジスタQ 1 2、抵抗R 1 5、トランジスタF E T 1のパスを通じて、高電位信号V G Hの電荷が引き抜かれる。これにより、高電位信号V G H 1のゲートスロープが調整される。また、このとき、トランジスタQ 1 1はOFFとなる。

40

【0132】

一方、トランジスタF E T 1がOFFのときに、トランジスタQ 1 1は、ダイオードD 1のカソードから出力され、抵抗R 1 4を流れる電流によりONされる。これにより、立下りが傾斜した高電位信号V G H 1が走査線駆動回路5 aに出力される。

【0133】

高電位信号V G H 1に対する液晶表示パネル2の負荷と、ダイオードD 1、トランジス

50

タQ 1 2、抵抗R 1 5、トランジスタF E T 1 のパス全体のO N 抵抗によって、放電の傾きが決まり、この傾きが、ゲートスロープの傾きとなる。

【0 1 3 4】

このようにして、高電位信号V G H 1 の立下りの開始から終了の時間は、パルス信号P s のパルス幅によって制御することができる。

【0 1 3 5】

また、電圧V A 1 の電圧によって、高電位信号V G H 1 の立下りの傾斜角を制御することができる。

【0 1 3 6】

例えば、電圧V A 1 を1 . 7 Vに固定した場合は、高電位信号V G H 1 は、同じ立下り時間で、1 6 Vまで電位が減少して走査線駆動回路5 aに出力される。一方、電圧V A 1 を0 . 1 Vに固定した場合は、高電位信号V G H 1 は、同じ立下り時間で、2 4 Vまで電位が減少して走査線駆動回路5 aに出力される。

【0 1 3 7】

このように、定電流回路V R 1 ・V R 2 は、デジタルポテンショメータR - D C P 1 ・R - D C P 2 の抵抗値に対応して、高電位信号V G H 1 の電位の減少量を変化させる。これにより、デジタルポテンショメータR - D C P 1 ・R - D C P 2 の抵抗値を変更することで、高電位信号V G H 1 の電位の減少量を変化させることができる。

【0 1 3 8】

このように、デジタルポテンショメータR - D C P 1 ・R - D C P 2 の抵抗値を変更することで、高電位信号V G H 1 の立下りを傾斜させることができるので、容易に、各走査線に出力されるゲート信号の立下りの傾斜を均一にすることができる。

【0 1 3 9】

トランジスタQ 1 1 のエミッタから、立下りの傾斜が調整された高電位信号V G H 1 がスロープ調整回路1 5 aに出力される。

【0 1 4 0】

スロープ調整回路1 5 aは、立下りの傾斜が調整された高電位信号V G H 1 が入力されると、当該高電位信号V G H 1 と、制御回路8から入力される低電位信号V G Lとから、ゲート信号を生成する。

【0 1 4 1】

図3の(d)は、スロープ調整回路1 5 aが生成したゲート信号G tを表す図である。

【0 1 4 2】

そして、スロープ調整回路1 5 aは、生成したゲート信号を、各走査線群G i a・G i bに出力する。これにより、各画素P I Xの駆動が制御される。

【0 1 4 3】

スロープ調整回路1 5 bでは、通常、スロープ調整回路1 5 aのデジタルポテンショメータR - D C P 1 の抵抗値と同じ値となるように、デジタルポテンショメータR - D C P 2 の抵抗値をステップR W 2によって調整する。

【0 1 4 4】

しかし、液晶表示パネル2は、生産されるパネル毎に、配線の寄生容量等にバラツキがある場合が多い。

【0 1 4 5】

この場合、ステップR W 2を調整することにより、デジタルポテンショメータR - D C P 2 の抵抗値を調整することができる。これにより、配線A 2の電圧V A 2が変わる。

【0 1 4 6】

図3の(e)は、配線A 2の電圧V A 2を表す図である。図3の(e)に示すように、本実施の形態では、電圧V A 2は、デジタルポテンショメータR - D C P 2 の抵抗値を調整することで、電圧V A 1と同様に、0 . 1 Vから1 . 7 Vまで設定可能である。この電圧V A 2の値は、後述するように、高電位信号V G H 2の最小値が、高電位信号V G H 1の最小値と同じになるように調整する。

10

20

30

40

50

【0147】

電圧V A 2が変わると配線B 2の電圧V B 2も追従して変わるので、トランジスタQ 2のON抵抗値、即ち、スロープ調整回路1 5 bのゲートスロープ抵抗値（トランジスタQ 2 2のON抵抗値と抵抗R 2 5の合成抵抗値）が変わる。

【0148】

このように、ステップR W 2を調整することで、スロープ調整回路1 5 bのゲートスロープ抵抗値が変わり、高電位信号V G H 2のゲートスロープの傾きの調整が可能となり、液晶表示パネル2への充電電荷量の微調整が可能となる。

【0149】

図3の（f）は、スロープ調整回路1 5 bから出力される高電位信号V G H 2を表す図である。

10

【0150】

図3の（f）に示すように、高電位信号V G H 2のオン時の電圧を3 5 Vとする。高電位信号V G H 2は、Hレベルのパルス信号P sがトランジスタF E T 2へ入力されることで、立下りを開始し、直線的に電位が減少する。そして、Lレベルのパルス信号P sがトランジスタF E T 2へ入力されることで、立下りを終了し、2 0 Vまで減少した電位が3 5 vまで上昇する。

【0151】

ここで、液晶表示パネル2の面積が大きい場合等、液晶表示パネル2内の配線容量、配線抵抗等が面内分布をもつ場合がある。また、スロープ調整回路1 5 a・1 5 bを構成する各回路も、各回路毎にバラつきを有する。このため、デジタルポテンショメータR - D C P 2の抵抗値を、デジタルポテンショメータR - D C P 1の抵抗値と同じになるように設定しても、実際には、高電位信号V G H 2の立下りの最小値と、高電位信号V G H 1の立下りの最小値とが同じにならない場合がある。

20

【0152】

図4は、高電位信号V G H 1・高電位信号V G H 2の波形を表す図である。高電位信号V G H 1の電圧の最小値と比べて高電位信号V G H 2の電圧の最小値の方が小さくなっていることがわかる。

【0153】

これは、スロープ調整回路1 5 aのゲートスロープ抵抗値と比べて、スロープ調整回路1 5 bゲートスロープ抵抗値の方が低いからである。

30

【0154】

図5は、液晶表示パネル2の検査工程で、低階調の同一色からなる検査用画面を表示した場合の様子を表す図である。

【0155】

図5の（a）は、正常な表示画面を表す図である。図5の（b）（c）は、部分的に輝度に輝度ムラが発生している液晶表示パネルの表示画面を表す図である。

【0156】

図5の（b）（c）に示すような輝度ムラは、液晶表示パネルのT F T基板や対向基板を切り出したマザーガラス内の面付け位置や、生産ロットにより症状の程度差があるものの、約3 0 %程度の液晶表示パネルで視認できる。

40

【0157】

そこで、上述したように、液晶表示装置1によると、デジタルポテンショメータR - D C P 1・2の抵抗値を調整することで、充電の実効値（すなわち電圧V B 1と電圧V B 2）が揃うようにゲートスロープ波形を調整することができる。

【0158】

これにより、複数のスロープ調整回路1 5 a・1 5 bから出力されるそれぞれの高電位V G H 1・V G H 2は、立ち下がりの電位の最小値を等しくすることができる。このため、各走査線群G i a・G i bに出力されるゲート信号のゲートスロープの最小値を等しくすることができる。

50

【0159】

これにより、各各走査線群 $G i a \cdot G i b$ 毎に、立ち下りの鈍りが少ないゲート信号を出力することができる。つまり、スロー調整回路 $15 a \cdot 15 b$ がそれぞれ受け持つ走査線群 $G i a \cdot G i b$ に出力されるゲート信号のゲートスロー波形を調整することができる。

【0160】

このため、走査線群 $G i a \cdot G i b$ のそれぞれにより駆動が制御される画素 $P I X$ が含まれる表示領域の輝度は、それぞれの領域全体として制御される。これにより、表示領域毎に輝度ムラの発生を防止することができる。

【0161】

検査工程で、輝度ムラが発生した場合に、液晶表示パネル2の走査線群 $G i a \cdot G i b$ の分割方式により、分割部分の輝度ムラが目立つ場合と、分割部分から離れた部分の輝度ムラが目立つ場合とがある。

【0162】

このような場合でも、表示領域3のうち、走査線群 $G i a \cdot G i b$ のそれぞれが駆動を受け持つ表示領域のうち、輝度ムラが発生している表示領域の輝度をシフトさせることで、表示領域3全体として、輝度ムラによる表示不良を解消することができる。

【0163】

このように、液晶表示装置1では、輝度ムラを緩和させることができ、表示特性を改善できる。つまり、図5の(a)のように正常な表示画面を表示させることができる。

【0164】

本実施の形態では、デジタルポテンショメータ $R - D C P 1$ の抵抗値を固定して、デジタルポテンショメータ $R - D C P 2$ のみを調整しているが、デジタルポテンショメータ $R - D C P 2$ を固定して、デジタルポテンショメータ $R - D C P 1$ を調整したり、デジタルポテンショメータ $R - D C P 1 \cdot 2$ を両方調整することでも、それぞれのゲートスロー波形の調整が可能である。

【0165】

また、液晶表示装置1では、走査線群 $G i a \cdot G i b$ を、上下（垂直方向）2つに分割した例を示しているが、走査線群 $G i a \cdot G i b$ を3つ以上に分割して、それに対応する走査線駆動回路、及びスロー調整回路を設け、当該スロー調整回路から出力されるゲートスロー波形を調整することで更に高精度の調整も可能である。

【0166】

例えば、表示領域3を上中下の3つの領域に分割し、中央を基準にして、上と下を各々調整することで、大型の液晶表示パネルのゲートスロー波形の調整が容易となる。

【0167】

また、分割方向を左右方向（走査線群 $G i a \cdot G i b$ が延びる方向；水平方向）として、左側もしくは右側の一方の領域に対応するスロー調整回路のデジタルポテンショメータの抵抗値を固定して、他方のデジタルポテンショメータの抵抗値を調整したりしてもよい。

【0168】

さらに、液晶表示パネルを十字形状に4分割し、左上の領域に対応するスロー調整回路のデジタルポテンショメータを固定して、他の3つの領域に対するスロー調整回路のデジタルポテンショメータの抵抗値を各々調整することも可能である。

【0169】

図6は、輝度ムラが発生している液晶表示パネルの表示画面を表す図である。図6に示すように、走査線群 $G i a \cdot G i b$ の分割方式により、液晶表示装置1は、さまざまな輝度ムラが発生する。

【0170】

図6では、左の表示画面は正常な表示画面の例を表し、真ん中の表示画面の列は、上下分割の場合の表示不良の例を表し、右側の表示画面の列では左右分割の場合の表示不良の

10

20

30

40

50

例を表している。

【0171】

(スロープ調整回路の設計時の考え方)

次に、図2を用いて、スロープ調整回路を設計する際の考え方について説明する。

【0172】

まず、スロープ調整回路15aについて説明する。

【0173】

液晶表示パネル2の設計値により、まず、抵抗R14の抵抗値(R14とする) + 定電流回路VR1の抵抗値(すなわちゲートスロープ抵抗値; VR1とする)の調整範囲が決まる。

10

【0174】

VR1の調整範囲が決まれば、 $VR1 = (\text{トランジスタ} Q12 \text{ の ON 抵抗}) + \text{抵抗} R15$ (R15とする)により、電圧VB1の調整範囲が決まる。

【0175】

また、電圧VB1の調整範囲と電圧VA1の調整範囲は同じ値となる。

【0176】

電圧VA1の調整範囲と、電源電圧Vccの値(Vccとする)によって、抵抗R11の抵抗値(R11とする)、抵抗R12の抵抗値(R12とする)、抵抗R13の抵抗値(R13とする)は決まる。

【0177】

ここで、抵抗R11、抵抗R12、抵抗R13、デジタルポテンシオメータR-DCP1は、配線A1の電圧VA1を作るための回路である。

20

【0178】

電圧RH1の電圧値をRH1、電圧RL1の電圧値をRL1、デジタルポテンシオメータR-DCP1の抵抗値を(R-DCP1)とすると以下のように表すことができる。

$$RH1 = Vcc \times (RM1 + R13) / (R11 + RM1 + R13)$$

$$RL1 = Vcc \times (R13) / (R11 + RM1 + R13)$$

$$RM1 = R12 \times (R - DCP1) / (R12 + (R - DCP1))$$

$$R12 \ll (R - DCP1) \text{ のとき、} RM1 = R12$$

$$RH1 = Vcc \times (R12 + R13) / (R11 + R12 + R13)$$

$$RL1 = Vcc \times (R13) / (R11 + R12 + R13)$$

30

このようにしてスロープ調整回路15aの各回路を設計することができる。

【0179】

スロープ調整回路15bの設計については、同様に、以下のように考えることができる。

【0180】

抵抗R21、抵抗R22、抵抗R23、デジタルポテンシオメータR-DCP2は、配線A2の電圧VA2を作るための回路である。

【0181】

電圧RH2の電圧値をRH2、電圧RL2の電圧値をRL2、デジタルポテンシオメータR-DCP2の抵抗値を(R-DCP2)とすると以下のように表すことができる。

$$RH2 = Vcc \times (RM2 + R23) / (R21 + RM2 + R23)$$

$$RL2 = Vcc \times (R23) / (R21 + RM2 + R23)$$

$$RM2 = R22 \times (R - DCP2) / (R22 + (R - DCP2))$$

$$R22 \ll (R - DCP2) \text{ のとき、} RM2 = R22$$

$$RH2 = Vcc \times (R22 + R23) / (R21 + R22 + R23)$$

$$RL2 = Vcc \times (R23) / (R21 + R22 + R23)$$

40

このようにしてスロープ調整回路15bの各回路を設計することができる。

【0182】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の

50

変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【0183】

以上のように、本発明の液晶表示装置は、走査信号を生成する走査線駆動部と、当該走査線駆動部が生成した走査信号を複数の画素に出力する複数の走査線とを備えた液晶表示装置であって、上記走査線駆動部は、上記複数の走査線を構成する複数の走査線群のうち、当該走査線群毎にそれぞれ配されており、さらに、パルス波からなり、上記走査信号を生成するための走査信号生成信号の立ち下がりを上記走査線群毎に傾斜させる電位制御回路が、上記走査線駆動部のそれぞれの前段に配されていることを特徴としている。

【0184】

上記構成によると、上記走査線駆動部は、上記複数の走査線を構成する複数の走査線群のうち、当該走査線群毎にそれぞれ配されている。このため、一つの走査線駆動部により駆動される走査線の本数を低減することができるので、走査線に出力される走査信号の立下りが鈍ることを防止することができる。

【0185】

上記構成によると、パルス波からなり、上記走査信号を生成するための走査信号生成信号の立ち下がり傾斜させる電位制御回路が、上記走査線駆動部のそれぞれの前段に配されている。

【0186】

このため、上記走査線駆動部は、上記電位制御回路によって、立下りが傾斜されたパルス波からなる走査信号生成信号を取得する。そして、走査線駆動部は、当該取得した走査信号生成信号から走査信号を生成する。このため、走査線駆動部が生成した走査信号のパルス波の形状も、傾斜した立下りを有する形状となる。このように、走査線駆動部によって生成された走査信号は、立下りが傾斜したパルス波の形状を有するので、立下りを鈍り難くすることができる。

【0187】

上記構成によると、電位制御回路は、走査信号生成信号の立下りを、上記走査線群毎に傾斜させる。このため、複数の走査線群のそれぞれに形成される寄生容量等に応じて、走査信号生成信号の立下りの傾斜を最適化することができるので、各走査線に出力される走査信号の立下りの傾斜部分が、走査線群毎にバラつくことを防止することができる。

【0188】

このように、走査線群毎に走査信号の立ち下がり調整することで、表示領域毎に輝度ムラが発生することを防止する液晶表示装置を提供することができる。

【0189】

複数の上記電位制御回路は、それぞれ毎に、上記走査信号生成信号の立下りを傾斜させ、当該立下りを傾斜させた走査信号生成信号を、上記走査線駆動部に出力することが好ましい。上記構成により、上記走査線駆動部は、上記走査線群毎に、走査信号の立ち下がり傾斜させることができる。このため、各走査線に出力される走査信号の立下りの傾斜部分を均一にすることができる。

【0190】

上記電位制御回路は、上記走査信号生成信号の立下りの傾斜角を決めるための可変抵抗を備えていることが好ましい。上記構成により、上記可変抵抗の抵抗値を変更することで、上記走査信号生成信号の立下りの傾斜角を決めることができる。このため、容易に、各走査線に出力される走査信号の立下りの傾斜部分を均一にすることができる。

【0191】

上記電位制御回路は、上記走査信号生成信号の電位を減少させる定電流回路を備えていることが好ましい。上記構成により、上記定電流回路によって、上記走査信号生成信号の立下りを傾斜させることができる。

【0192】

上記定電流回路は、上記可変抵抗の抵抗値に対応して、上記走査信号生成信号の電位の

10

20

30

40

50

減少量を変化させることが好ましい。上記構成により、上記可変抵抗の抵抗値を変更することで、上記走査信号生成信号の電位の減少量を変化させることができる。このように、上記可変抵抗の抵抗値を変更することで、上記走査信号生成信号の立下りを傾斜させることができるので、容易に、各走査線に出力される走査信号の立下りの傾斜部分を均一にすることができる。

【0193】

上記電位制御回路は、上記定電流回路の、動作状態と、非動作状態とを切り換えるスイッチを備えていることが好ましい。上記構成により、上記スイッチを切り換えることで、上記走査信号生成信号の電位を減少させるか否かを選択することができるので、上記走査信号生成信号の電位の制御を行うことができる。

10

【0194】

上記複数の電位制御回路から出力されるそれぞれの走査信号生成信号は、立ち下がりの電位の最小値が等しいことが好ましい。上記構成により、各走査線群に出力される走査信号の立ち下がりの傾斜部分の最小値を等しくすることができるので、各走査線群毎に、立ち下がりの鈍りが少ない走査信号を出力することができる。これにより、輝度ムラを防止することができる。

【産業上の利用可能性】

【0195】

本発明は、走査線群毎に、当該走査線群に出力されるゲート信号の立ち下がりの傾斜を調整することができるので、特に、大画面の液晶表示装置に好適に適用することができる。

20

【符号の説明】

【0196】

1 液晶表示装置

2 液晶表示パネル

3 表示領域

FET1・FET2 トランジスタ（スイッチ）

VGH1・VGH2 高電位信号（走査信号生成信号）

R-DCP1・R-DCP1 デジタルポテンショメータ（可変抵抗）

5a・5b 走査線駆動回路（走査線駆動部）

15a・15b スロープ調整回路（電位制御回路）

Gia・Gib 走査線群

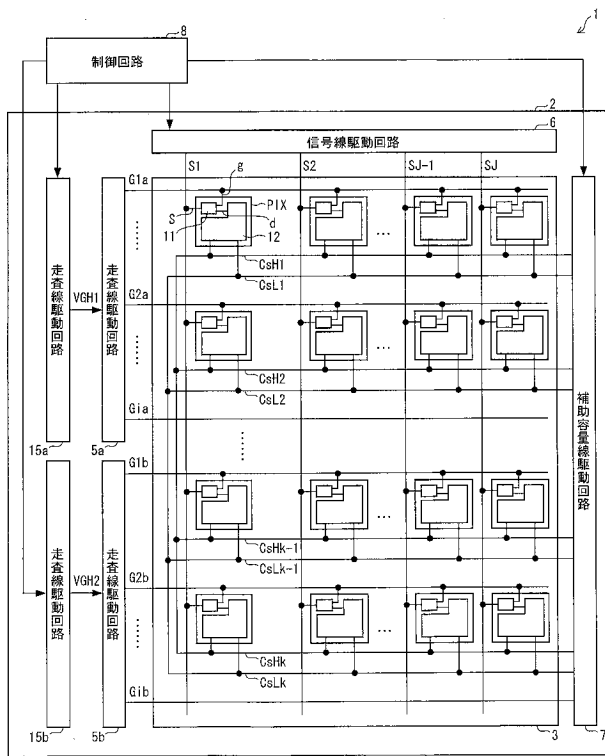
Gt ゲート信号（走査信号）

R12 抵抗（可変抵抗）

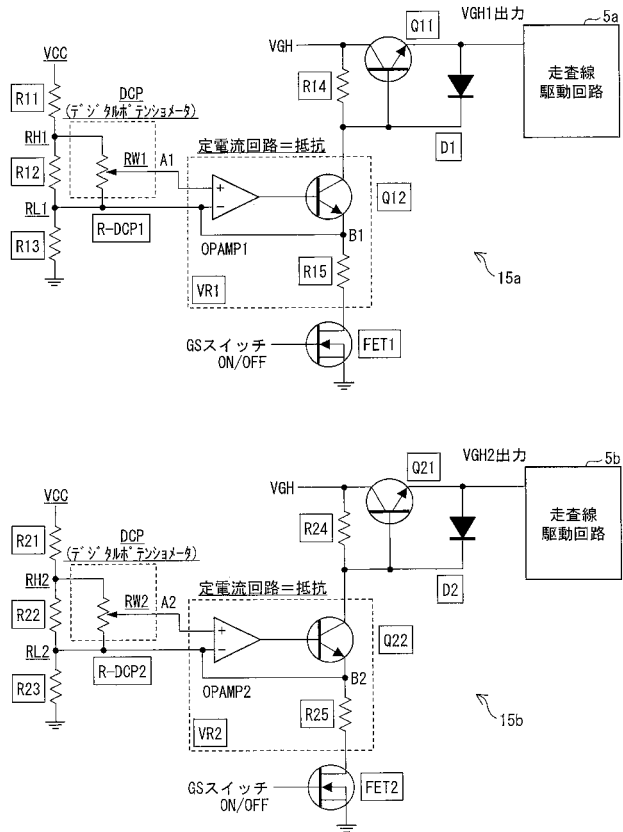
VR1・VR2 定電流回路

30

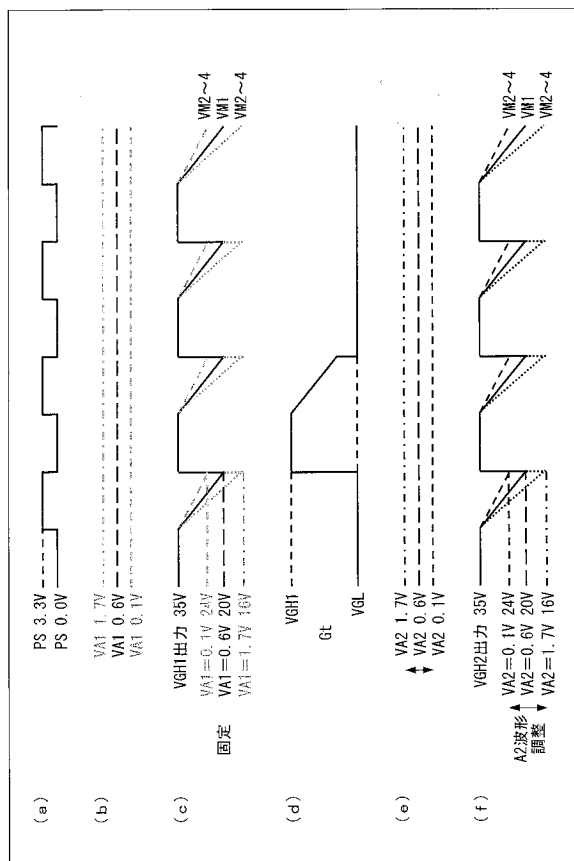
【図 1】



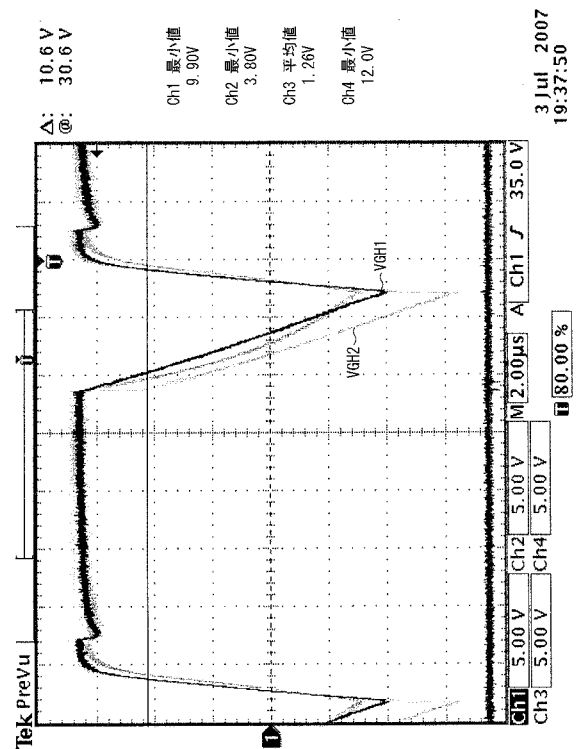
【図 2】



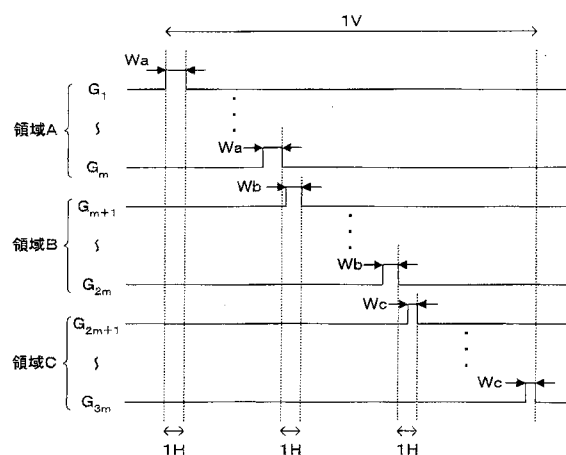
【図 3】



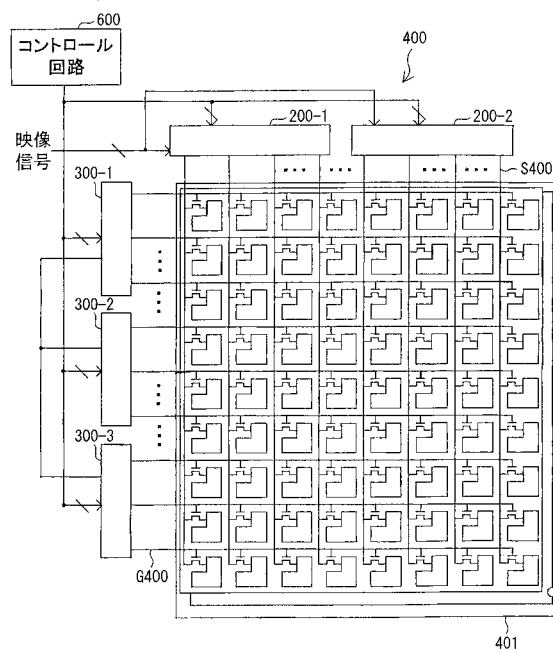
【図 4】



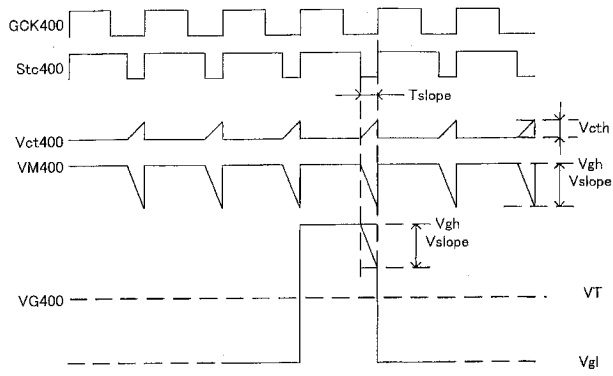
【图 8】



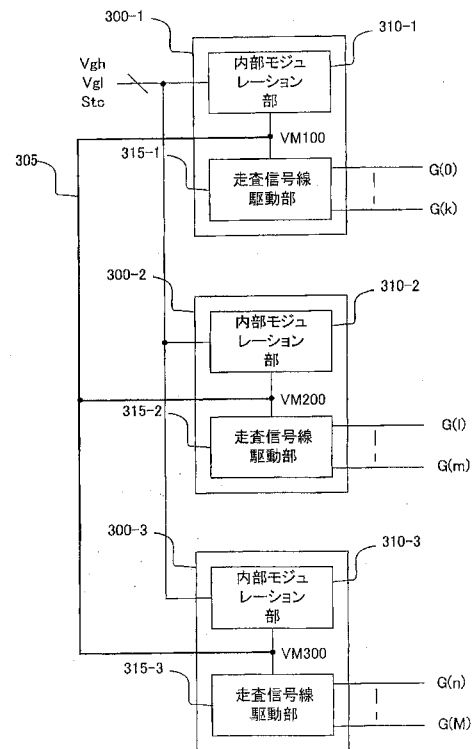
【図 10】



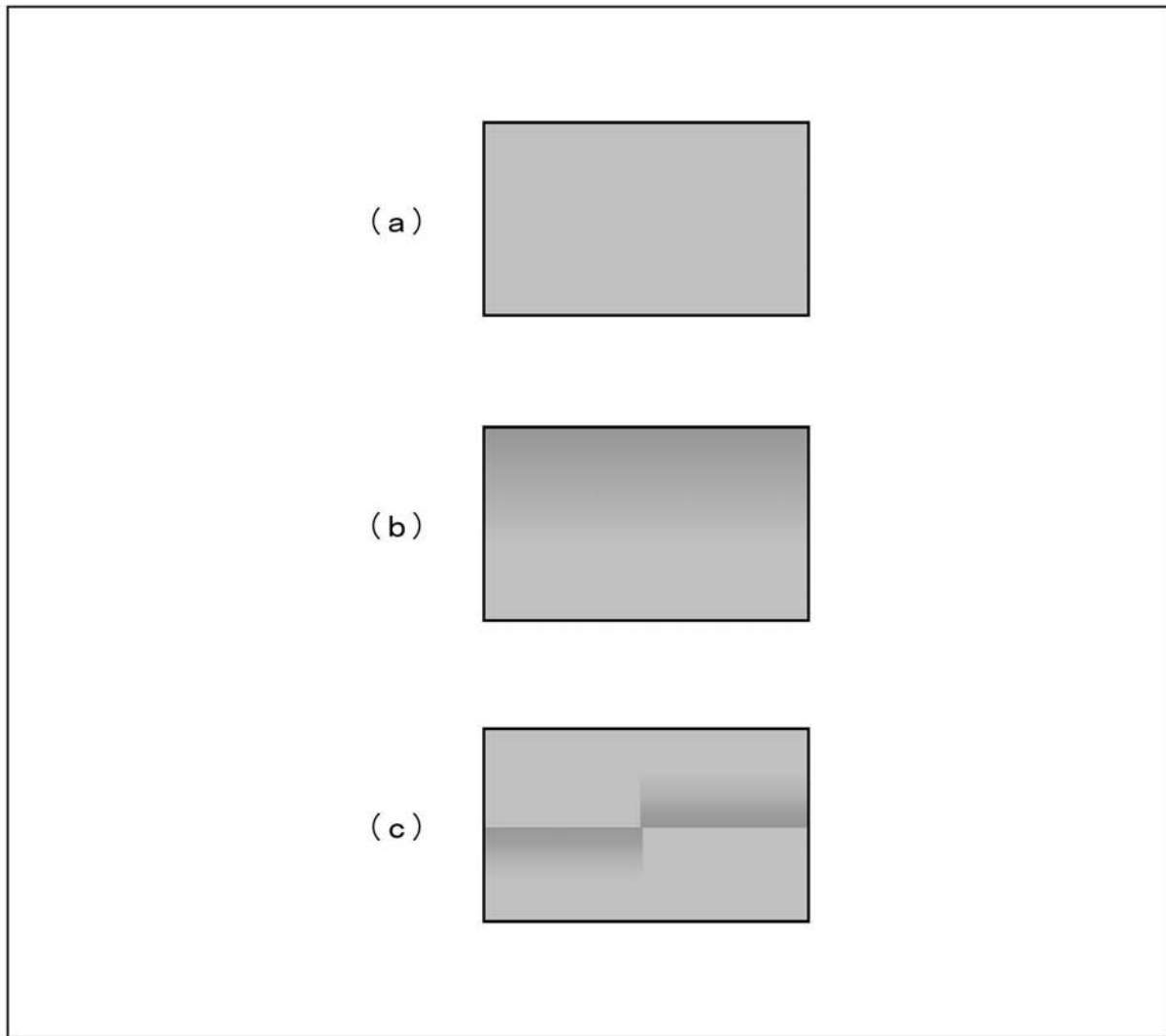
【図 1 1】



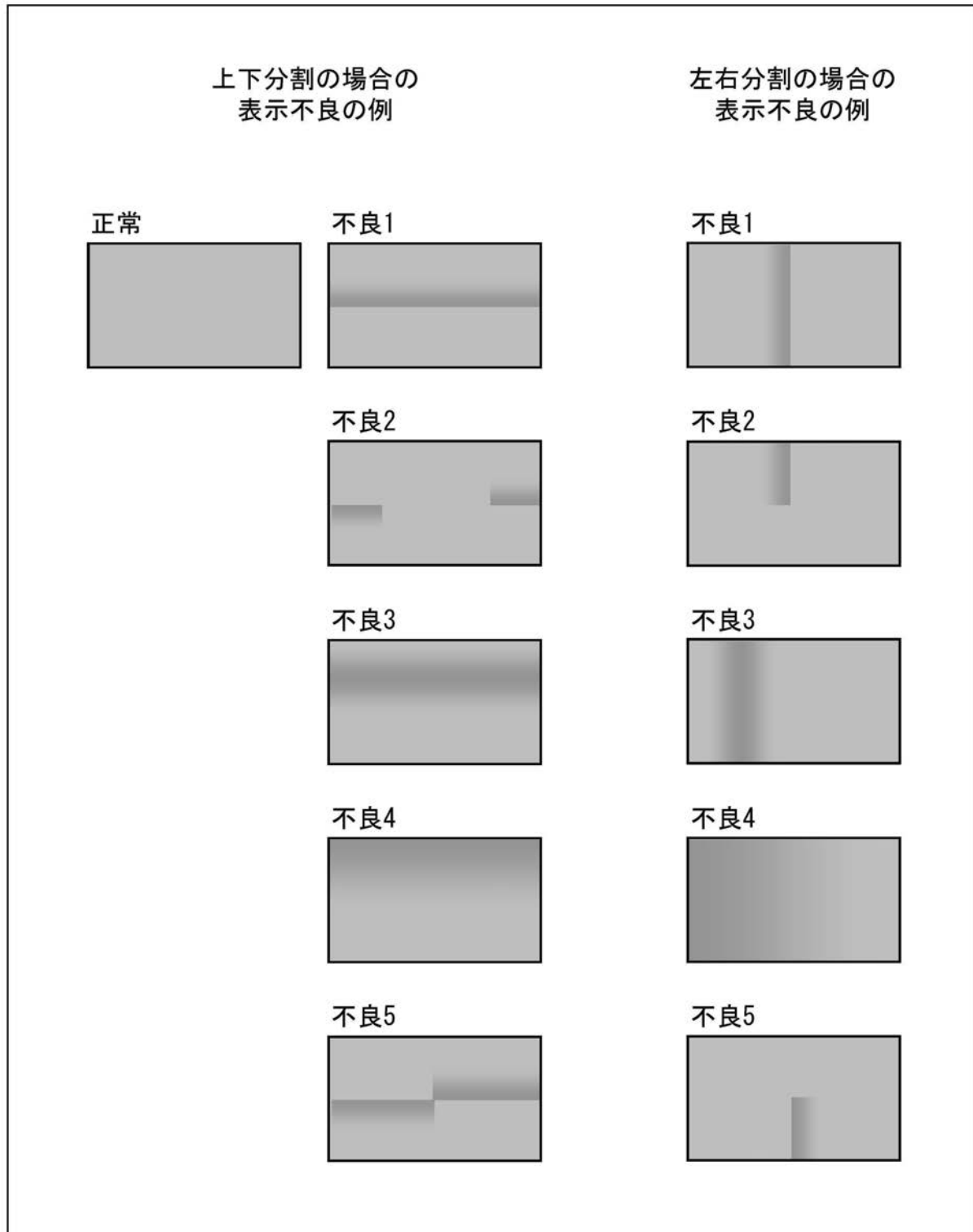
【図 1 2】



【図 5】



【図 6】



【手続補正書】

【提出日】平成24年12月26日(2012.12.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

走査信号を生成する走査線駆動部と、当該走査線駆動部が生成した走査信号を複数の画素に出力する複数の走査線とを備えた液晶表示装置であって、

上記走査線駆動部は、上記複数の走査線を構成する複数の走査線群のうち、当該走査線群毎にそれぞれ配されており、さらに、

パルス波からなり、上記走査信号を生成するための走査信号生成信号の立ち下がりを上記走査線群毎に傾斜させる電位制御回路が、上記走査線駆動部のそれぞれの前段に配されており、

上記電位制御回路は、上記走査信号生成信号の立下りの傾斜角を決めるための可変抵抗を備えていることを特徴とする液晶表示装置。

【請求項 2】

上記電位制御回路は、上記走査信号生成信号の電位を減少させる定電流回路を備えていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

上記定電流回路は、上記可変抵抗の抵抗値に対応して、上記走査信号生成信号の電位の減少量を変化させることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

上記電位制御回路は、上記定電流回路の、動作状態と、非動作状態とを切り換えるスイッチを備えていることを特徴とする請求項 2 に記載の液晶表示装置。

【手続補正 2】

【補正対象書類名】図面

【補正対象項目名】図 1

【補正方法】変更

【補正の内容】

The diagram illustrates a semiconductor device (1) with a pixel array (2). The pixel array is organized into columns (S1, S2, ..., SJ-1, SJ) and rows (G1a, G2a, ..., Gib). Each pixel (PIX) in the array includes a gate (g), source (s), and drain (d) region, and is connected to horizontal signal lines (CsH1, CsH2, ..., CsHk-1, CsHk) and vertical auxiliary capacity lines (CsL1, CsL2, ..., CsLk-1, CsLk). The signal line driving circuit (6) and auxiliary capacity line driving circuit (7) are connected to the pixel array. The control circuit (8) provides control signals to the driving circuits. The driving circuits include slope adjustment sections (15a, 15b) and walking line driving sections (5a, 5b) that receive control signals (VGH1, VGH2) and provide driving voltages to the pixel array.

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059739

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2009/022486 A1 (Sharp Corp.), 19 February 2009 (19.02.2009), paragraphs [0042] to [0090]; fig. 1 to 27 & EP 2187379 A1 & US 2010/0141850 A1 & CN 101772801 A	1-2, 7 3-4 5-6
X Y A	JP 2007-256916 A (L.G. Philips LCD Co., Ltd.), 04 October 2007 (04.10.2007), paragraphs [0048] to [0058]; fig. 6 to 7 & US 2007/0216632 A1 & KR 10-2007-0095044 A & CN 101042479 A	1-2, 7 3-4 5-6
Y	JP 2001-125069 A (Fujitsu Ltd.), 11 May 2001 (11.05.2001), paragraphs [0022] to [0041]; fig. 4 to 12 (Family: none)	3

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 May, 2011 (13.05.11)

Date of mailing of the international search report

24 May, 2011 (24.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059739

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-281957 A (Sharp Corp.), 15 October 1999 (15.10.1999), paragraphs [0101] to [0110]; fig. 7 to 8 & US 2002/0057245 A1 & US 6359607 B1	4
A	WO 2007/052408 A1 (Sharp Corp.), 10 May 2007 (10.05.2007), entire text; all drawings & US 2009/0289884 A1 & CN 101300619 A	1-7
A	JP 6-110035 A (Seiko Epson Corp.), 22 April 1994 (22.04.1994), entire text; all drawings (Family: none)	1-7

国際調査報告		国際出願番号 PCT/JP2011/059739										
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i												
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G09G3/20												
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年	
日本国実用新案公報	1922-1996年											
日本国公開実用新案公報	1971-2011年											
日本国実用新案登録公報	1996-2011年											
日本国登録実用新案公報	1994-2011年											
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）												
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>WO 2009/022486 A1（シャープ株式会社） 2009.02.19, 段落【0042】-【0090】、【図1】 -【図27】 & EP 2187379 A1 & US 2010/0141850 A1 & CN 101772801 A</td> <td>1-2, 7 3-4 5-6</td> </tr> <tr> <td>X Y</td> <td>JP 2007-256916 A（エルジー、フィリップス エ ルシーデー カンパニー、リミテッド）2007.10.04,</td> <td>1-2, 7 3-4</td> </tr> </tbody> </table>				引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X Y A	WO 2009/022486 A1（シャープ株式会社） 2009.02.19, 段落【0042】-【0090】、【図1】 -【図27】 & EP 2187379 A1 & US 2010/0141850 A1 & CN 101772801 A	1-2, 7 3-4 5-6	X Y	JP 2007-256916 A（エルジー、フィリップス エ ルシーデー カンパニー、リミテッド）2007.10.04,	1-2, 7 3-4
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号										
X Y A	WO 2009/022486 A1（シャープ株式会社） 2009.02.19, 段落【0042】-【0090】、【図1】 -【図27】 & EP 2187379 A1 & US 2010/0141850 A1 & CN 101772801 A	1-2, 7 3-4 5-6										
X Y	JP 2007-256916 A（エルジー、フィリップス エ ルシーデー カンパニー、リミテッド）2007.10.04,	1-2, 7 3-4										
☒ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献												
国際調査を完了した日 13.05.2011		国際調査報告の発送日 24.05.2011										
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 西島 篤宏 電話番号 03-3581-1101 内線 3226										

国際調査報告

国際出願番号 PCT/JP2011/059739

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	段落【0048】－【0058】、【図6】－【図7】 & US 2007/0216632 A1 & KR 10-2007-0095044 A & CN 101042479 A	5-6
Y	JP 2001-125069 A (富士通株式会社) 2001. 05. 11, 段落【0022】－【0041】、【図4】 －【図12】 (ファミリーなし)	3
Y	JP 11-281957 A (シャープ株式会社) 1999. 10. 15, 段落【0101】－【0110】、【図7】 －【図8】 & US 2002/0057245 A1 & US 6359607 B1	4
A	WO 2007/052408 A1 (シャープ株式会社) 2007. 05. 10, 全文, 全図 & US 2009/0289884 A1 & CN 101300619 A	1-7
A	JP 6-110035 A (セイコーエプソン株式会社) 1994. 04. 22, 全文, 全図 (ファミリーなし)	1-7

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 4 2 A	
	G 0 9 G 3/20 6 1 1 H	
	G 0 2 F 1/133 5 0 5	

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

Fターム(参考) 5C080 AA10 BB05 CC03 DD05 DD15 EE29 EE30 FF11 JJ01 JJ02
JJ03 JJ04

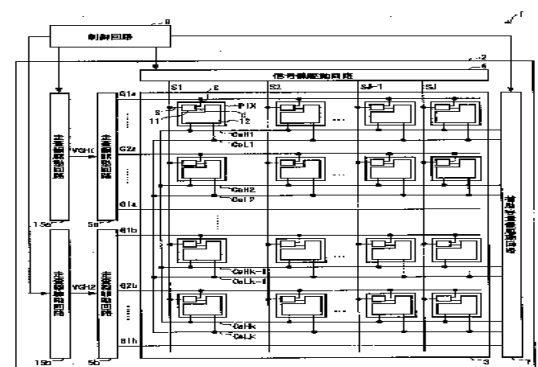
(注) この公表は、国際事務局(W I P O)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶表示装置		
公开(公告)号	JPWO2012005044A1	公开(公告)日	2013-09-02
申请号	JP2012523786	申请日	2011-04-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	奥村 寛		
发明人	奥村 寛		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/067 G09G2320/0219 G09G2320/0233 G02F1/13306		
FI分类号	G09G3/36 G09G3/20.622.G G09G3/20.622.C G09G3/20.612.A G09G3/20.642.B G09G3/20.642.A G09G3/20.611.H G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZF02 2H193/ZF21 2H193/ZF44 2H193/ZF60 2H193/ZH45 2H193/ZH46 2H193/ZH54 5C006/AA11 5C006/AA21 5C006/AC22 5C006/AC25 5C006/AF21 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC22 5C006/BF25 5C006/BF31 5C006/BF34 5C006/BF36 5C006/BF43 5C006/EB01 5C006/FA22 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD15 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2010155759 2010-07-08 JP		
其他公开文献	JP5525611B2		
外部链接	Espacenet		

摘要(译)

液晶显示装置 (1) , 用于生成栅极信号的扫描线驱动电路 (5a) · (5b) , 以及由扫描线驱动电路 (5a) · (5b) 生成的对多个像素 (PIX) 的栅极信号 在构成多条扫描线的多个扫描线组 (Gia) · (Gib) 之中, 要输出的多条扫描线, 扫描线驱动电路 (5a) · (5b) , 扫描线组 (Gia) 和 (Gib) 中的每一个都被布置, 并且进一步由脉冲波组成, 并且用于生成栅极信号的高电势信号 (VGH1) 和 (VGH2) 的后沿被设置为扫描线组 (Gia) 。 对每个 (Gib) 倾斜的斜率调节电路 (15a) 和 (15b) 布置在扫描线驱动电路 (5a) 和 (5b) 的前面。 因此, 通过针对每个扫描线组调整扫描信号的下降, 可以防止在每个显示区域中出现亮度不均匀。

【圖1】



5a, 5b, 15a, 15b Scanning line drive circuit
6 Signal line drive circuit
7 Supplementary capacity line drive circuit
8 Control circuit