

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6710245号

(P6710245)

(45) 発行日 令和2年6月17日(2020.6.17)

(24) 登録日 令和2年5月28日(2020.5.28)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/133 (2006.01) GO2F 1/133 550

請求項の数 1 (全 27 頁)

(21) 出願番号	特願2018-146491 (P2018-146491)	(73) 特許権者	000153878
(22) 出願日	平成30年8月3日(2018.8.3)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-144948 (P2014-144948)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	深井 修次
原出願日	平成26年7月15日(2014.7.15)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2018-173666 (P2018-173666A)		半導体エネルギー研究所内
(43) 公開日	平成30年11月8日(2018.11.8)	(72) 発明者	初見 亮
審査請求日	平成30年8月22日(2018.8.22)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2013-154170 (P2013-154170)		半導体エネルギー研究所内
(32) 優先日	平成25年7月25日(2013.7.25)	(72) 発明者	久保田 大介
(33) 優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	横井 亜矢子
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素と、ゲートドライバと、ソースドライバと、コントローラと、を有する液晶表示装置であって、

前記画素は、

トランジスタと、

前記トランジスタ上の画素電極および第1のコモン電極と、

前記画素電極および前記第1のコモン電極上の液晶層と、

前記液晶層上の第2のコモン電極と、を有し、

前記トランジスタは、チャンネルに酸化物半導体層を有し、

前記酸化物半導体層は、複数の結晶部を有し、

前記複数の結晶部の各々の大きさは、1nm以上10nm以下であり、

前記複数の結晶部は、異なる結晶方位を有し、

前記トランジスタは、ゲートにゲート線が電氣的に接続され、前記酸化物半導体層に前記画素電極とソース線が電氣的に接続され、

前記画素電極は、絶縁層を挟んで前記第1のコモン電極と対向し、

前記第1のコモン電極は開口を有し、

前記開口は、前記ソース線と重なり、

前記第2のコモン電極は、前記液晶層を挟んで前記第1のコモン電極と対向し、

前記第1および前記第2のコモン電極は、同じ電位であり、

10

20

前記ゲートドライバは、前記ゲート線にゲート信号を出力する機能を有し、
前記ソースドライバは、前記ソース線にデータ信号を出力する機能を有し、
前記コントローラは、前記ゲートドライバおよび前記ソースドライバを第1の動作モードまたは第2の動作モードにて制御する機能を有し、

前記第1の動作モードは、1フレーム期間毎に前記画素に入力される前記データ信号を書き換える動作モードであり、

前記第2の動作モードは、1フレーム期間よりも長い期間、前記画素に入力された前記データ信号を保持させる動作モードであることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶表示装置およびその駆動方法等に関する。また、液晶表示装置を表示部に備えた電子機器に関する。

【0002】

なお、本明細書において、半導体装置とは半導体素子（トランジスタ、ダイオード等）を含む回路、および同回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、表示装置、発光装置、照明装置および電子機器等は全て半導体装置である。

【背景技術】

【0003】

20

情報化社会の発展とともに、情報を得る手段は、紙媒体からよりも、スマートフォンやパーソナルコンピュータ等の情報端末によることが多くなっている。そのため、近い距離で長時間画面を見続けているため、日常的に目を酷使している。目の疲れの原因は複合的であるが、その1つとして画面のちらつきがある。

【0004】

表示装置では、1秒間に数十回表示される画像が切り換っている。1秒間あたりの画像の切り換え回数はリフレッシュレートと呼ばれている。また、リフレッシュレートを駆動周波数と呼ぶこともある。このような人の目で知覚できないような高速の画面の切り換えが、目の疲労の原因として考えられている。情報端末の表示手段としては、液晶表示装置（LCD）が代表的である。そこで、非特許文献1、2では、LCDのリフレッシュレートを低下させて、画像の書き換え回数を減らすことが提案されている。

30

【0005】

アクティブマトリクス型のLCDの駆動方式（モード）には、液晶分子の配向の制御により区別される。例えば、TN（Twisted Nematic）モード、VA（垂直配向）モード、IPS（面内スイッチング）モードや、FFS（縞状電界スイッチング）モードなどが知られている。駆動方式の違いにより、LCDの画素の構造が異なる。

【0006】

TNモード、VAモードのLCDの画素は、一对の基板の一方に画素電極が、他方にコモン電極（対向電極とも呼ばれる）が形成されており、画素電極とコモン電極間に2つの基板面に垂直な電界を形成して、液晶分子の配向を制御することで、画素の透過率を制御している。

40

【0007】

他方、IPSモードやFFSモードのLCDでは、コモン電極が画素電極と同じ基板上に形成される。IPSモードのLCDでは、コモン電極と画素電極は櫛歯状とされ、同じ絶縁膜上に形成される。FFSモードはIPSモードを改良した表示方式であり、絶縁膜を介して、画素電極とコモン電極が対向して形成されている。FFSモードのLCDの画素電極は、例えば、複数のスリットが形成された構造を有しており、画素電極のフリンジとコモン電極間に形成される電界（フリンジ・フィールド）により、液晶分子の配向を制御しているため、FFSモードのLCDは、IPSモードのLCDよりも広視野角で、高透過率との特徴がある。

50

【 0 0 0 8 】

F F S モードの L C D について様々な改良が行われており、例えば、特許文献 1 には、画素電極が形成されていない基板に第 2 のコモン電極を形成し、この第 2 のコモン電極に与える電位により、L C D を高速応答で広視野角にすることが開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 国際公開第 2 0 0 4 / 0 1 9 1 1 7 号

【 非特許文献 】

【 0 0 1 0 】

【 非特許文献 1 】 S . Amano et al . , " Low Power LC Display Using In - Ga - Zn - Oxide TFTs Based On Variable Frame Frequency " , SID International Symposium Digest of Technical Papers , 2 0 1 0 , p . 6 2 6 - 6 2 9

【 非特許文献 2 】 R . Hatsumi et al . , " Driving Method of FFS - Mode OS - LCD for Reducing Eye Strain " , SID International Symposium Digest of Technical Papers , 2 0 1 3 , p . 3 3 8 - 3 4 1

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

このような背景技術を踏まえ、本発明の一形態の課題の 1 つは、新規な F F S モードの液晶表示装置、およびその駆動方法等を提供することである。

【 0 0 1 2 】

また、本発明の一形態の課題の 1 つは、目にやさしい表示が可能な液晶表示装置、およびその駆動方法等を提供することである。

【 0 0 1 3 】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

【 課題を解決するための手段 】

【 0 0 1 4 】

本発明の形態は、対向している第 1 および第 2 の基板と、第 1 の基板と第 2 の基板の間の液晶層と、第 1 の基板に形成された画素電極および第 1 のコモン電極と、第 2 の基板に形成された第 2 のコモン電極と、を有し、絶縁層を挟んで、画素電極は第 1 のコモン電極と対向し、液晶層を挟んで、第 2 のコモン電極は第 1 のコモン電極と対向し、画素電極には、画像データに対応するデータ信号が供給され、第 1 および第 2 のコモン電極には、同じ電位が印加されることを特徴とする液晶表示装置である。

【 0 0 1 5 】

本発明の他の形態は、対向している第 1 および第 2 の基板と、第 1 の基板と第 2 の基板の間の液晶層と、画素と、画素に接続されたゲート線およびソース線と、ゲート信号を生成し、ゲート線に出力するゲートドライバと、データ信号を生成し、ソース線に出力するソースドライバと、ゲートドライバおよびソースドライバを制御するコントローラと、を有し、画素は、第 1 の基板に形成されたトランジスタ、画素電極および第 1 のコモン電極と、第 2 の基板に形成された第 2 のコモン電極と、を有し、トランジスタは、ゲートにゲート線が接続され、画素電極とソース線との接続を制御するスイッチとして機能し、画素電極は、絶縁層を挟んで第 1 のコモン電極と対向し、第 2 のコモン電極は、液晶層を挟んで第 1 のコモン電極と対向し、第 1 のコモン電極の電位と同じ電位が印加され、コントロー

10

20

30

40

50

ラは、ゲートドライバおよびソースドライバに対して、1フレーム期間よりも長い期間、画素に入力されたデータ信号を保持させる制御機能を備えることを特徴とする液晶表示装置である。

【0016】

上記の形態において、画素のトランジスタは、画素電極とソース線との接続を制御するスイッチとして、チャンネルが酸化物半導体層で形成されているトランジスタを用いることが好ましい。

【発明の効果】

【0017】

本発明の一形態により、データ書き換えに伴うちらつきを低減することができるので、目にやさしい表示が可能な液晶表示装置、およびその駆動方法等を提供することが可能になる。

10

【図面の簡単な説明】

【0018】

【図1】FFSモードのLCDの画素の構成の一例を説明する図。A：回路図。B：電極構造を示す模式的な断面図。C：同斜視図。

【図2】FFSモードのLCDの構成の一例を説明する図。A：ブロック図。B：液晶(LC)パネルの構成の一例を示す平面図。

【図3】LCDの駆動方法の一例を説明する模式図。A：通常駆動。B：IDS駆動。

【図4】LCDの駆動方法の一例を説明するタイミングチャート。A：通常駆動。B：IDS駆動。

20

【図5】A、B：IDS駆動の一例を説明する図。

【図6】FFSモードのLCパネルの構成の一例を示す断面図。

【図7】図6のLCパネルの画素の構成の一例を示すレイアウト図。

【図8】情報処理システムの構成の一例を示すブロック図。

【図9】A～F：情報処理システムの具体例を示す外観図。

【図10】LCDの透過率の変動量の測定結果のグラフ。A：実施例1。B：比較例1。

【図11】LCDの表示品位に関する主観評価結果のグラフ。A：実施例1。B：比較例1。

30

【発明を実施するための形態】

【0019】

以下に、図面を用いて、本発明の実施の形態について詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0020】

また、発明の実施の形態の説明に用いられる図面において、同一部分または同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0021】

(実施の形態1)

40

図1—図4を用いて、本実施の形態では、半導体装置の一例としてLCDについて説明する。また、本実施の形態では、FFS方式のLCDについて説明する。

【0022】

<<LCDの構成例>>

図2Aは、LCD100の構成の一例を示すブロック図である。図2Aに示すように、LCD100は、画素部111、ゲートドライバ112、ソースドライバ113およびコントローラ180を有する。また、LCD100では、図2Aの一点鎖線で囲まれた回路ブロックがモジュール化されて、液晶(LC)パネル110として構成されている。LCパネル110は、画素部111、ゲートドライバ112、およびソースドライバ113を有する。

50

【 0 0 2 3 】

L C D 1 0 0 には、画像信号 (V i d e o)、および L C パネル 1 1 0 のデータの書き換えを制御するための同期信号 (S Y N C) および基準クロック信号 (C L K) 等の制御信号が入力される。同期信号としては、例えば水平同期信号、垂直同期信号等がある。また、L C D 1 0 0 には、電源 1 9 0 から動作に必要な電圧が供給される。

【 0 0 2 4 】

画素部 1 1 1 は、複数の画素 1 2 1、複数のゲート線 1 2 2 および複数のソース線 1 2 3 を有する。複数の画素 1 2 1 は、2 次元のアレイ状に配置されており、画素 1 2 1 の配置に対応して、ゲート線 1 2 2 およびソース線 1 2 3 が設けられている。同じ行の画素 1 2 1 は、共通のゲート線 1 2 2 によりゲートドライバ 1 1 2 に接続され、同じ列の画素 1 2 1 は共通のソース線 1 2 3 によりソースドライバ 1 1 3 に接続されている。

10

【 0 0 2 5 】

コントローラ 1 8 0 は L C パネル 1 1 0 全体を制御する回路であり、L C D 1 0 0 を構成する回路の制御信号を生成する。コントローラ 1 8 0 は、同期信号 (S Y N C) から、ドライバ (1 1 2、1 1 3) の制御信号を生成する制御信号生成回路を有する。同期信号 (S Y N C) とは、垂直同期信号、水平同期信号、基準クロック信号等である。

【 0 0 2 6 】

コントローラ 1 8 0 は、ゲートドライバ 1 1 2 の制御信号として、スタートパルス信号 (G S P)、クロック信号 (G C L K) 等を生成し、ソースドライバ 1 1 3 の制御信号として、スタートパルス信号 (S S P)、クロック信号 (S C L K) 等を生成する。なお、これら制御信号は、1 つの信号でなく、信号群である場合がある。

20

【 0 0 2 7 】

以下の説明において、スタートパルス信号 (G S P) を単に G S P や、信号 G S P と呼ぶことがある。これは、他の信号、電圧、電位、回路、および配線等についても同様である。

【 0 0 2 8 】

また、コントローラ 1 8 0 は、電源管理ユニットを備えており、ドライバ (1 1 2、1 1 3) への電源供給およびその停止を制御する機能を備える。

【 0 0 2 9 】

ゲートドライバ 1 1 2 では、G S P が入力されると G C L K に従ってゲート信号を生成し、ゲート線 1 2 2 に順次出力する。ゲート信号は、データ信号が書き込まれる画素 1 2 1 を選択するための信号である。

30

【 0 0 3 0 】

ソースドライバ 1 1 3 は、画像信号 (V i d e o) を処理して、データ信号を生成し、ソース線 1 2 3 に出力する機能を有する。ソースドライバ 1 1 3 は、S S P が入力されると、S C L K に従ってデータ信号を生成し、それをソース線 1 2 3 に順次出力する。

【 0 0 3 1 】

画素 1 2 1 は、ゲート信号によりオン、オフが制御されるスイッチング素子を有する。スイッチング素子がオンになると、ソースドライバ 1 1 3 から画素 1 2 1 にデータ信号が書き込まれる。スイッチング素子がオフ状態になると、画素 1 2 1 は、書き込まれたデータ信号を保持するデータ保持状態となる。

40

【 0 0 3 2 】

< < L C パネルの構成例 > >

L C パネル 1 1 0 は、対向して設けられた基板 2 1 および基板 2 2 を有する。基板 2 1、基板 2 2 は、隙間を有するように、封止部材 2 3 により固定されている。基板 2 1 と基板 2 2 の間には、液晶層 2 0 が存在する (図 1 B 参照)。

【 0 0 3 3 】

基板 2 1 は、L C パネル 1 1 0 のバックプレーンの支持基板であり、基板 2 1 上には、回路 (1 1 1 — 1 1 3) および端子部 2 4 が形成されている。回路 (1 1 1 — 1 1 3) が形成されている基板 2 1 は、素子基板、T F T (薄膜トランジスタ) 基板等と呼ばれる。

50

【0034】

なお、図2Bには、ゲートドライバ112を2つの回路(ゲートドライバ112a、112b)に分け、画素部111の両側に配置している構成例を示す。もちろん、ゲートドライバ112を1つの回路で構成し、画素部111の片側に配置することも可能である。

【0035】

端子部24には、複数の端子が形成されている。基板21に形成された電極および配線、並びに基板22に形成された電極および配線が、引き回し配線等により端子部24の端子に接続される。異方性導電膜等の導電性部材により、端子部24には、FPC(Flexible printed circuit)25が接続されている。FPC25を介して、基板21上の回路(111—113)に電圧および信号が入力される。

10

【0036】

なお、基板21に、コントローラ180を含むICチップを実装してもよい。また、ドライバ(112、113)の一部、またはすべてをICチップにして、基板21に実装してもよい。実装方法としては、COG(Chip On Glass)法、COF(Chip On Film)法、ワイヤボンディング法、およびTAB(Tape Automated Bonding)法等がある。

【0037】

また、以下で説明する通り、基板21には、液晶分子を駆動するための画素電極およびコモン電極が形成される。基板22は、対向基板あるいはカラーフィルタ基板等と呼ばれる部品の支持基板であり、基板22にもコモン電極が設けられる。

20

【0038】

<<画素の構成例>>

図1Aは、画素121の回路構成の一例を示す回路図である。また、図1B、図1Cは、画素121の電極構造を説明するための模式図であり、図1Bは、画素121の要部の断面図であり、図1Cは、同斜視図である。

【0039】

<回路構成>

図1Aに示すように、画素121は、トランジスタ130、液晶素子131、および容量素子132を有する。

【0040】

30

トランジスタ130は、そのゲートはゲート線122に接続されており、液晶素子131とソース線123との接続を制御するスイッチング素子である。ゲートドライバ112から出力されるゲート信号により、トランジスタ130のオン、オフが制御される。

【0041】

液晶素子131は、2つの電極(30、31)と、液晶層20を有する(図1B)。ここでは、液晶素子131の2つの電極のうち、トランジスタ130を介してソース線123に接続されている電極(30)を“画素電極”と呼び、他方の電極(31)を“コモン電極”と呼ぶことにする。コモン電極31には、コモン電圧VCOMが印加される。

【0042】

容量素子132は、液晶素子131と並列に接続されており、液晶素子131の補助容量として機能する。容量素子132は、絶縁層40を誘電体に、画素電極30およびコモン電極31を一对の電極(端子)とするMIM構造の容量素子である(図1B)。

40

【0043】

<画素電極、コモン電極>

図1Bに示すように、画素電極30およびコモン電極31は、基板21上に形成されている。画素電極30は絶縁層40を介してコモン電極31に対向する。

【0044】

図1Cに示すように、画素電極30は、画素121ごとに電氣的に分離して設けられる。他方、画素部111の全ての画素121に同じ電圧(VCOM)を供給するため、コモン電極31は画素部111において1つの電極として設けられる。なお、実際のコモン電極

50

31には、画素電極30をトランジスタ130に接続するための開口が設けられている。

【0045】

図1Cの例では、画素電極30の平面形状を、複数の帯状の開口を有する四角としているが、もちろんこのような形状に限定されるものではない。画素電極30は、画素電極30とコモン電極31に電圧を印加することでフリンジ・フィールドが形成されるような形状であればよい。画素電極30は、例えば、複数の帯状構造物が規則的に配列している部分と、それらを接続する接続部を有する構造とすることができる。

【0046】

液晶層20を挟んで、基板22上には、コモン電極31に対向してコモン電極32が設けられている。コモン電極32も、コモン電極31と同様に、全ての画素121に対して、1つの電極(1つの導電膜)として設けられている。また、表示を行う際に、コモン電極32はコモン電極31と同じ電位とされ、コモン電圧VCOMが印加される。

10

【0047】

コモン電極31とコモン電極32を同じ電位にするには、LCパネル110内でコモン電極31とコモン電極32を接続し、共通の引き回し配線により端子部24の同じ端子に接続し、この端子にVCOMを印加するようにしてもよい。あるいは、コモン電極31とコモン電極32を別々の引き回し配線で異なる端子に接続して、それぞれの端子にVCOMを印加するようにしてもよい。

【0048】

LCパネル110へのVCOM供給は、電源190でVCOMを生成し、LCパネル110に供給することで行うことができる。VCOMを0V(接地電位)にする場合は、コモン電極31とコモン電極32を、接地電位(GND)用の端子に接続すればよく、この場合は、電源190からの電源電圧の供給は不要になる。

20

【0049】

<<LCDの画像表示方法>>

画像表示時に、対向する2つの基板にそれぞれ形成されたコモン電極を同じ電位とすることで、画像の書き換え時におけるちらつきを低減したFFSモードのLCDを提供することが可能になる。

【0050】

LCDでは、データを書き換えるごとに、画素に書き込む信号(データ信号)の極性を反転する反転駆動により画像を表示する。また、液晶材料の性質上、データ信号の極性により、画素の電圧-透過率(V-T)特性が異なる。そのため、データ信号の極性反転に伴う画素の透過率の変動が、LCDによる目の疲れの原因となると考えられている。

30

【0051】

そこで、本実施の形態では、データの書き換え回数(データの極性反転の回数)を減らすことで、使用者の目の負担を軽減する。そのため、LCD100は、少なくとも2つの駆動方法(表示モード)を有する。1つは、一般的な動画を表示するための駆動方法であり、1フレーム毎にデータを書き換える駆動方法である。これを"通常駆動"と呼ぶ。もう1つは、データの書き込み処理を実行した後、データの書き換えを停止する駆動方法である。これを"アイドリング・ストップ(IDS)駆動"と呼ぶ。IDS駆動とは、通常駆動よりも低い頻度でデータを書き換える駆動方法である。

40

【0052】

また、通常駆動、IDS駆動により、LCD100が画像を表示しているモードを、それぞれ、"通常モード(状態)"、"IDSモード(状態)"と呼ぶ。

【0053】

動画の表示は、通常駆動により行われる。静止画の表示は、通常駆動またはIDS駆動により行われる。表示モードを決定する信号が、LCD100のコントローラ180に入力されると、コントローラ180では、その表示モードで表示が行われるように、ドライバ(112、113)を制御する。

【0054】

50

静止画は1フレームごとの画像データに変化がないため、静止画を表示する場合は1フレームごとにデータの書き換えを行う必要がない。そこで、静止画を表示する際は、LCD 100をIDSモードで動作させることで、画面のちらつきを低減すると共に、消費電力を削減することができる。以下、図3および図4を用いて、通常駆動およびIDS駆動を説明する。

【0055】

図3Aは、通常駆動による静止画の表示方法を説明する図であり、図3Bは、IDS駆動による静止画の表示方法を説明する図である。また、図4Aは通常駆動、図4BはIDS駆動の一例を示すタイミングチャートである。図4において、Videoは、LCパネル110へ入力される画像信号であり、GVDDは、ゲートドライバ112の高電源電圧であり、VDataは、ソースドライバ113からソース線123に出力されるデータ信号である。

10

【0056】

<通常駆動>

通常駆動では、1フレーム期間(Tpd)ごとに反転駆動を行って画素のデータを周期的に書き換える駆動方法である。GSPの入力をトリガーにして、ゲートドライバ112は、GCLKに従いゲート信号を生成し、ゲート線122に出力する。ソースドライバ113では、SSPが入力されると、SCLKに従いVDataを生成し、ソース線123に出力する。

【0057】

20

また、図4Aに示すように、各画素121に入力されるVDataは1フレーム期間ごとに極性が反転される。反転駆動には、代表的には、ドッド反転駆動、ゲート線反転駆動、ソース線反転駆動がある。

【0058】

ここでは、VDataの極性はVCOMを基準に決定される。VDataの電圧がVCOMより高い場合は正の極性であり、低い場合は負の極性である。

【0059】

<IDS駆動>

IDS駆動では、通常駆動よりも低いリフレッシュレートでデータが周期的に書き換えられる。そのため、データ保持期間は、1フレーム期間よりも長くなる。図3Bには、10フレームごとに画像を書き換える例を示している。これにより、IDS駆動のリフレッシュレートは、通常駆動の1/10になる。例えば、通常駆動のリフレッシュレートが60Hzであれば、図3BのIDS駆動のリフレッシュレートは、6Hzである。

30

【0060】

図3Bおよび図4Bに示すように、IDS駆動でのデータの書き換え処理は、データ書き換え(または、書き込み処理とも呼ぶこともできる。)と、データ保持とに分けることができる。

【0061】

まず、通常駆動と同じリフレッシュレート(間隔Tpd)で、データの書き換えが1回または複数回実行され、画素121にデータが書き込まれる。データ書き込みの後、ゲートドライバ112でのゲート信号の生成を停止して、データの書き換えを停止する。これにより、全ての画素121は、トランジスタ130がオフ状態となり、データ保持状態となる。

40

【0062】

データの書き換え回数は1回でもよいし、複数回でもよい。IDS駆動でも、通常駆動と同じリフレッシュレートで、データを書き換えればよい。データ書き換え回数は、通常、IDS駆動のリフレッシュレート等を考慮して設定すればよい。図3Bおよび図4Bはデータ書き換え回数が3回の例である。

【0063】

また、最後に画素121に書き込むVDataの極性が、直前のIDSモードのデータ保

50

持期間で、画素 1 2 1 が保持していた V D a t a の極性とは逆の極性なるように、データ書き換え回数を調節する。これにより、I D S 駆動による液晶素子 1 3 1 の劣化を抑制することができる。例えば、データ書き換え回数を奇数回とする場合、1 回目の書き換えでは、直前の I D S モードのデータ保持期間で画素 1 2 1 が保持していた V D a t a の極性とは逆の極性の V d a t a を画素 1 2 1 に書き込めばよい。

【 0 0 6 4 】

図 3、図 4 から明らかなように、I D S モードによる静止画表示は、通常モードよりもデータの書き換え回数を少なくすることができるので、I D S モードで静止画を表示することで、画面のちらつきが抑えられるため目の疲れを抑制することができる。

【 0 0 6 5 】

また、図 4 B に示すように、I D S モードでは、データ保持期間は、コントローラ 1 8 0 からゲートドライバ 1 1 2 への制御信号 (G S P、G C L K) の供給が停止される。そのため、コントローラ 1 8 0 において、制御信号 (G S P、G C L K) の供給を停止した後、ゲートドライバ 1 1 2 への電源電圧 G V D D の供給を停止するような制御を行ってもよい。また、データ保持期間ではソースドライバ 1 1 3 への制御信号 (S S P、S C L K) の供給も停止されるため、同様に、ソースドライバ 1 1 3 への電源電圧の供給を停止する制御を行うことができる。つまり、I D S 駆動により、目に優しい表示を行うことができ、かつ低消費電力な L C D 1 0 0 を提供することができる。

【 0 0 6 6 】

なお、本明細書において、配線や端子等に、信号および電圧を供給しないとは、回路を動作させるための所定の電圧とは異なる大きさの信号や電圧を配線等に印加すること、および/又は配線等を電氣的に浮遊状態にすることをいう。

【 0 0 6 7 】

通常駆動でも I D S 駆動でも、画素 1 2 1 に供給された電圧は、次のデータの書き換えまで保持する必要がある。この電圧の変動は、L C D 1 0 0 の表示品位の低下につながる。通常駆動では、6 0 H z あるいは 1 2 0 H z の頻度でデータの書き換えを行っているため、画素 1 2 1 は交流電圧により駆動される。一方で、I D S 駆動は、表示期間の多くがデータ保持期間となるので、疑似的な直流 (D C) 駆動とみなすことができる。そのため、I D S 駆動では、通常駆動よりも、残留 D C 電圧を誘起させるような状態が長く続くため、液晶のイオン性不純物の局在化や、液晶層と配向膜界面での残留電荷の蓄積が生じやすい。残留 D C 電圧は、画素 1 2 1 で保持している電圧を変動させ、結果として、液晶セルの透過率を変動させてしまう。

【 0 0 6 8 】

ちらつきを抑制する方法には、I D S 駆動のようにデータ書き換え回数を減らす方法がある。その一方で、液晶セルに残留 D C 電圧が存在していると、データ保持時間が長い I D S 駆動のほうが通常駆動よりも、液晶セルの透過率の変動量が大きくなるおそれがある。その結果、I D S 駆動のほうが、データ書き換えに伴うちらつきが視認されやすくなるという新たな問題が生ずる。本実施の形態は、このような課題を解決するものである。

【 0 0 6 9 】

本実施の形態の L C D 1 0 0 では、コモン電極 3 1 とコモン電極 3 2 を等電位にすることで、I D S 駆動による残留 D C 電圧の発生を抑制する。つまり、コモン電極 3 1 とコモン電極 3 2 間を等電位とすることで、データ保持期間に、液晶セルに印加される基板 2 1 (コモン電極 3 1) に垂直な方向の D C 電圧成分を小さくする。これにより、液晶セル内の残留電荷の蓄積を抑制して、データ保持期間での液晶セルの透過率の変動を抑える。

【 0 0 7 0 】

液晶セルの透過率の変動を抑えることで、データ書き換え時のちらつきが抑制されるため、L C D 1 0 0 にて、目が疲れにくい表示を行うことが可能になる。コモン電極 3 1 とコモン電極 3 2 を等電位とすることで、I D S モードでの動作時の液晶セルの透過率の変動を抑止して、ちらつきを低減できることは、実施例 1 にて明らかにする。

【 0 0 7 1 】

また、液晶セルの透過率を変動する別の要因は、液晶セルで保持している電荷がリークすることによる、保持電圧の変化である。そこで、液晶素子 131 の印加電圧の変動量をより少なくするために、トランジスタ 130 として、オフ電流が非常に小さいトランジスタを用いることが好ましく、また、液晶層 20 の液晶材料として抵抗が高い材料を用いることが好ましい。

【0072】

<画素のトランジスタ>

トランジスタのオフ電流とは、オフ状態でソースドレイン間を流れる電流のことをいう。また、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。

10

【0073】

トランジスタ 130 のオフ電流は小さいほど好ましい。トランジスタ 130 は、チャネル幅 $1\ \mu\text{m}$ あたりのオフ電流が $100\ \text{zA}$ 以下にするとよい。オフ電流は少ないほど好ましいため、この規格化されたオフ電流が $10\ \text{zA}/\mu\text{m}$ 以下、あるいは $1\ \text{zA}/\mu\text{m}$ 以下とすることが好ましく、 $10\ \text{yA}/\mu\text{m}$ 以下であることがさらに好ましい。

【0074】

このようにオフ電流をきわめて小さくするには、Si、Ge よりもバンドギャップが広い ($3.0\ \text{eV}$ 以上) の酸化物半導体でトランジスタ 130 のチャネルを構成するとよい。ここでは、酸化物半導体 (OS) でチャネルが形成されているトランジスタを OSTRANジスタと呼ぶ。

20

【0075】

電子供与体 (ドナー) となる水分または水素等の不純物を低減し、かつ酸素欠損も低減することで、酸化物半導体を i 型 (真性半導体) にする、あるいは i 型に限りなく近づけることができる。ここでは、このような酸化物半導体を高純度化酸化物半導体と呼ぶことにする。高純度化酸化物半導体でチャネルを形成することで、規格化されたオフ電流を数 $\text{yA}/\mu\text{m}$ —数 $\text{zA}/\mu\text{m}$ 程度に低くすることができる。

【0076】

OSTRANジスタの酸化物半導体は、少なくともインジウム (In) または亜鉛 (Zn) を含むものが好ましい。また、酸化物半導体は、電気的特性のばらつきを減らすためのスタビライザとなる元素を含むものが好ましい。このような元素として、Ga、Sn、Hf、Al、Zr 等がある。OSTRANジスタを構成する酸化物半導体としては、In-Ga-Zn 系酸化物、In-Sn-Zn 系酸化物が代表的である。実施の形態 4 において、酸化物半導体についてより詳細に説明する。

30

【0077】

<液晶材料>

トランジスタ 130 を経由してリークする電荷量を抑えるため、トランジスタ 130 の抵抗値を高くするとよい。そのため、液晶層 20 の液晶材料の固有抵抗率は $1.0 \times 10^{13}\ \Omega\text{cm}$ 以上であることが好ましく、 $1.0 \times 10^{14}\ \Omega\text{cm}$ 以上であることがより好ましい。例えば、液晶材料として、固有抵抗率が、 $1.0 \times 10^{13}\ \Omega\text{cm}$ 以上 $1.0 \times 10^{16}\ \Omega\text{cm}$ 以下の材料、好ましくは、 $1.0 \times 10^{14}\ \Omega\text{cm}$ 以上 $1.0 \times 10^{16}\ \Omega\text{cm}$ 以下の材料を選択するとよい。なお、液晶材料の固有抵抗率は、20 で測定した値である。

40

【0078】

以上述べたように、本実施の形態により、目が疲れにくい表示が可能であり、かつ低消費電力化が可能な LCD を提供することが可能になる。

【0079】

本実施の形態は、他の実施の形態および実施例と適宜組み合わせることが可能である。

【0080】

(実施の形態 2)

本実施の形態では、IDS 駆動の他の例を説明する。

50

【 0 0 8 1 】

< I D S 駆動 >

図 3 B の I D S 駆動は、通常駆動よりも低いリフレッシュレートでデータの書き換えが定期的に行われる。静止画の表示では、表示する画像が変化しない限りデータの書き換えを停止することができる。そこで、データ書き換えを定期的に行うのではなく、表示する画像が変わるときに行うような駆動方法で静止画を表示することができる。ここでは、この駆動方法を第 2 の I D S 駆動と呼び、図 3 B の I D S 駆動を第 1 の I D S 駆動と呼ぶことにする。以下、図 5 を用いて、第 2 の I D S 駆動を説明する。

【 0 0 8 2 】

ここでは、図 5 A に示すような、静止画 I M 1 を表示した後に、静止画 I M 2 を表示する場合を例に説明する。図 5 B に示すように、I D S 駆動により、静止画 I M 1 の画像データを画素 1 2 1 に書き込む。データの書き込みは、第 1 の I D S 駆動と同様に行うことができる。通常駆動と同じリフレッシュレート（間隔 T p d ）でデータの書き換えが 1 回または複数回実行され、画素 1 2 1 にデータが書き込まれる。図 5 B の例では、データの書き換えが 3 回行なわれる。

10

【 0 0 8 3 】

データ書き込みの後、データの書き換えを停止し、データ保持状態とする。第 2 の I D S 駆動では、表示する画像が切り替わるまで、データ保持状態が継続される。静止画 I M 2 を表示するためのデータの書き換えは、静止画 I M 1 と同様に行われ、まず、データの書き換えを 3 回行い、その後、データの書き換えを停止して、データ保持状態とする。

20

【 0 0 8 4 】

なお、静止画 I M 1 から静止画 I M 2 への画面の切り換えをスムーズに行うため、静止画 I M 1 と静止画 I M 2 の表示の間に、通常駆動により静止画 I M 1 から静止画 I M 2 への画面切り替え用動画を表示してもよい。

【 0 0 8 5 】

L C D 1 0 0 では、I D S 駆動として、第 1、第 2 の I D S 駆動の双方を行えるようにしてもよいし、一方のみを行うようにしてもよい。L C D 1 0 0 が適用される半導体装置の用途や、画素 1 2 1 を構成する部材（配向膜、液晶など）により、適切な I D S 駆動が実行できるようにすればよい。

【 0 0 8 6 】

本実施の形態は、他の実施の形態および実施例と適宜組み合わせることが可能である。

30

【 0 0 8 7 】

（実施の形態 3）

本実施の形態では、図 6、図 7 を参照して、F F S モードの液晶パネルのより具体的な構成について説明する。

【 0 0 8 8 】

< F F S モードの L C パネル > >

図 6 は、L C パネル 2 1 0 の構成の一例を示す断面図である。L C パネル 2 1 0 も、L C パネル 1 1 0 と同様に、同一基板上に画素部、並びにドライバ（ゲートドライバおよびソースドライバ）が形成されている。ここでは、これら回路を構成するトランジスタを O S トランジスタとする。O S トランジスタは n チャネル型のトランジスタである。

40

【 0 0 8 9 】

図 6 には、L C パネル 2 1 0 の画素部 2 1 1 および端子部 2 2 4 が代表的に示されている。また画素部 2 1 1 として、代表的に画素 2 2 1、およびコモン電極 3 3 1（C O M - 1）の接続部 2 2 2 が示されている。

【 0 0 9 0 】

図 7 は、画素 2 2 1 の構成の一例を示すレイアウト図である。画素 2 2 1 の回路構成は、図 1 A の画素 1 2 1 の回路構成と同様である。

【 0 0 9 1 】

図 6 に示すように、基板 3 0 1 と基板 3 0 2 の間には、封止部材 3 0 4 により封止された

50

液晶層 303 が存在する。液晶層 303 には、上述したように固有抵抗率が $1.0 \times 10^{13} \Omega \text{cm}$ 以上の液晶材料を用いることが好ましい。

【0092】

LC パネル 210 のセルギャップを維持するための部材として、基板 302 にスペーサ 383 が形成されている。図 7 に示すように、スペーサ 383 は、ゲート線 311 およびソース線 321 が重なる領域に存在する。このような領域は、液晶材料の配向が乱れる領域であり表示に寄与しない。スペーサ 383 をこのような領域に形成することで、画素 221 の開口率を高くすることができる。なお、スペーサ 383 は基板 301 側に設けることもできる。

【0093】

基板 301 の封止部材 304 の外側の領域には、複数の端子 324 を含む端子部 224 が形成されている。これら端子 324 は異方性導電膜 226 により FPC 225 に接続される。端子 324 は引き回し配線 312 に接続されている。

【0094】

基板 302 の表面には絶縁層 391 が形成され、絶縁層 391 上に遮光層 381 およびカラーフィルタ層 382 が形成されている。絶縁層 391 は、例えば窒化シリコン膜で形成される。遮光層 381 およびカラーフィルタ層 382 は、例えば樹脂で形成される。遮光層 381 は、画素 221 に形成される配線や電極等の表示に寄与しない領域を隠すように設けられている。

【0095】

遮光層 381 およびカラーフィルタ層 382 を覆って、樹脂等である絶縁層 392 が形成されている。絶縁層 392 上にコモン電極 332 (COM-2) が形成され、コモン電極 332 上にスペーサ 383 が形成されている。スペーサ 383 は、感光性樹脂材料から形成することができる。コモン電極 332 およびスペーサ 383 を覆って、配向膜 352 が形成されている。コモン電極 332 は、TN モードの LCD パネルの対向電極と同様に、異方性導電膜により基板 301 に形成される接続部 (コモンコンタクト) の端子に接続される。この端子は、引き回し配線 312 を介して端子部 224 の端子 324 に接続されている。

【0096】

トランジスタ 231 は、ゲート線 311 (GL)、ソース線 321 (SL)、電極 322 および酸化物半導体 (OS) 層 340 を有する。電極 322 には、画素電極 330 (PX) が接続されている。OS 層 340 は、チャネルが形成される酸化物半導体層を少なくとも 1 層有する。絶縁層 371 はトランジスタ 231 のゲート絶縁層を構成する。

【0097】

また、ドライバにも、トランジスタ 231 と同様の素子構造を有するトランジスタが形成される。

【0098】

図 6 の例では、トランジスタ 231 をボトムゲート型のトランジスタとしているが、トップゲート型としてもよい。また、チャネルを挟んで 2 つのゲート電極を有するデュアルゲート型としてもよい。デュアルゲート型とすることで、OS トランジスタの電流駆動特性を向上させることができる。また、ドライバにおいては、その用途に合わせて、一部のトランジスタをデュアルゲート型とし、他をボトムゲート型またはトップゲート型とすることもできる。

【0099】

コモン電極 331 (COM-1) が絶縁層 375 を介して画素電極 330 に対向して設けられている。画素電極 330 が画素 221 毎に形成されるのに対して、コモン電極 331 は、1 つの導電膜から形成されており、全ての画素 221 で共有されている。図 6、図 7 に示すように、コモン電極 331 には、トランジスタ 231 と画素電極 330 を接続するための開口が画素 221 毎に設けられている。

【0100】

電極（３３０－３３２）は、透光性を有する導電膜から形成される。透光性を有する導電材料としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等がある。これらの導電材料からなる膜は、スパッタリング法で形成することができる。

【０１０１】

第１層目の配線・電極として、ゲート線３１１の他、引き回し配線３１２等が形成されている。第１層目の配線・電極（３１１、３１２）覆って、絶縁層３７１が形成されている。

10

【０１０２】

絶縁層３７１上にOS層３４０が形成され、絶縁層３７１およびOS層３４０上に、第２層目の配線・電極（３２１—３２４）が形成される。配線３２３は、コモン電極３３１を引き回し配線３１２に接続するための配線である。第２層目の配線・電極（３２１—３２４）の形成前に、絶縁層３７１には、引き回し配線３１２を露出する開口が形成されている。配線３２３や端子３２４は、この開口において引き回し配線３１２に接続されている。

【０１０３】

第２層目の配線・電極（３２１—３２４）を覆って、無機材料からなる絶縁層３７２、３７３が形成されている。絶縁層３７２、３７３に、第２層目の配線・電極（３２２—３２４）を露出する開口を形成した後に、例えば、樹脂材料からなる絶縁層３７４が形成される。感光性樹脂材料を用いることで、エッチング工程を用いずに、開口を有する絶縁層３７４を形成することができる。絶縁層３７４には、接続用の開口の他に、封止部材３０４が形成される領域に開口が形成されている。

20

【０１０４】

絶縁層３７４上にコモン電極３３１が形成されている。コモン電極３３１を覆って絶縁層３７５が形成されている。絶縁層３７５には、第２層目の配線・電極（３２２—３２４）を露出する開口が形成されている。絶縁層３７５上に画素電極３３０が形成されており、画素電極３３０を覆って配向膜３５１が形成されている。画素電極３３０が絶縁層３７５を介してコモン電極３３１と重なっている領域が、液晶素子の補助容量として機能する。

30

【０１０５】

基板３０１、３０２に適用可能な基板としては、例えば、無アルカリガラス基板、バリウムホウケイ酸ガラス基板、アルミノホウケイ酸ガラス基板、セラミック基板、石英基板、サファイア基板、金属基板、ステンレス基板、プラスチック基板、ポリエチレンテレフタレート基板、ポリイミド基板等が挙げられる。

【０１０６】

基板３０１、基板３０２は、画素２２１や、コモン電極３３２等を作製するために使用される支持基板（ガラス基板など）でなくてよい。画素２２１等を作製した後、支持基板を剥離して、接着層により可撓性基板を取り付けてもよい。可撓性基板としては、代表的にはプラスチック基板をその例に挙げる事ができる他、厚さが５０μm以上５００μm以下の薄いガラス基板などを用いることもできる。基板３０１、３０２を可撓性基板とすることで、LCパネル２１０を曲げることが可能になる。

40

【０１０７】

第１層目、第２層目の配線・電極（３１１、３１２、３２１—３２４）は、単層の導電膜で、または２層以上の導電膜で形成することができる。このような導電膜としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム等の金属膜を用いることができる。また、これら金属を成分とする合金膜および化合物膜、リン等の不純物元素を含有させた多結晶シリコン膜等を用いることができる。

50

【0108】

絶縁層(371—375、391、392)は、単層の絶縁膜で、または2層以上の絶縁膜で形成することができる。無機絶縁膜としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル等となる膜があげられる。また、これらの絶縁膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて形成することができる。また、樹脂膜としては、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン系樹脂、シロキサン系樹脂、ポリアミド樹脂、エポキシ樹脂等の有機樹脂膜がある。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。

10

【0109】

本実施の形態は、他の実施の形態および実施例と適宜組み合わせることが可能である。

【0110】

(実施の形態4)

本実施の形態では、OSTランジスタのチャネルを形成する酸化物半導体について説明する。

【0111】

OSTランジスタの酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

20

30

【0112】

OSTランジスタの酸化物半導体は、少なくともインジウム(In)または亜鉛(Zn)を含むものが好ましい。また、酸化物半導体は、電気的特性のばらつきを減らすためのスタビライザとなる元素を含むものが好ましい。このような元素として、Ga、Sn、Hf、Al、Zr等がある。OSTランジスタを構成する酸化物半導体としては、In-Ga-Zn系酸化物、In-Sn-Zn系酸化物が代表的である。

【0113】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

40

【0114】

また、酸化物半導体として、 $\text{InM} \text{O}_3 (\text{ZnO})_m$ ($m > 0$) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、MnおよびCoから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザとしての元素を示す。また、酸化物半導体として、 $\text{In}_2 \text{SnO}_5 (\text{ZnO})_n$ ($n > 0$) で表記される材料を用いてもよい。

【0115】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=1:3:2、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Z

50

n系酸化物やその組成の近傍の酸化物を用いるとよい。

【0116】

酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、Oストランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化处理（脱水素化处理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0117】

なお、酸化物半導体膜への脱水化处理（脱水素化处理）によって、酸化物半導体膜から酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化处理（脱水素化处理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。ここでは酸化物半導体膜に酸素を供給する処理を、加酸素化处理、または過酸素化处理と呼ぶことがある。

10

【0118】

このように、酸化物半導体膜は、脱水化处理（脱水素化处理）により、水素または水分が除去され、加酸素化处理により酸素欠損を補填することによって、i型（真性）化またはi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

20

【0119】

以下では、酸化物半導体膜の構造について説明する。

【0120】

酸化物半導体膜は、単結晶酸化物半導体膜または非単結晶酸化物半導体膜とすればよい。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜等をいう。

【0121】

Oストランジスタの酸化物半導体膜は、単層構造でもよいし、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

30

【0122】

非晶質酸化物半導体膜は、膜中における原子配列が無秩序であり、結晶成分を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

40

【0123】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域とを有する。微結晶酸化物半導体膜に含まれる結晶部は、例えば、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下の大きさの微結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。nc-OS膜は、非晶質酸化物半導体膜よりも秩序性が高い酸化物半導体膜である。そのため、

50

nc - OS 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc - OS 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc - OS 膜は、CAAC - OS 膜と比べて欠陥準位密度が高くなる。

【0124】

CAAC - OS 膜は、c 軸配向した複数の結晶部を有する酸化物半導体膜の一つである。以下、CAAC - OS 膜について詳細な説明を行う。

【0125】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC - OS 膜の明視野像および回折パターンの複合解析像 (高分解能 TEM 像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能 TEM 像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC - OS 膜は、粒界に起因する電子移動度の低下が起こりにくいといえる。

【0126】

試料面と概略平行な方向から、CAAC - OS 膜の断面の高分解能 TEM 像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC - OS 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC - OS 膜の被形成面または上面と平行に配列する。

【0127】

一方、試料面と概略垂直な方向から、CAAC - OS 膜の平面の高分解能 TEM 像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0128】

CAAC - OS 膜に対し、X 線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する CAAC - OS 膜の out-of-plane 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、CAAC - OS 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0129】

なお、結晶部は、CAAC - OS 膜を成膜した際、または加熱処理等の結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、CAAC - OS 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC - OS 膜の形状をエッチング等によって変化させた場合、結晶の c 軸が CAAC - OS 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0130】

また、CAAC - OS 膜中の結晶化度が均一でなくてもよい。例えば、CAAC - OS 膜の結晶部が、CAAC - OS 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC - OS 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0131】

なお、 InGaZnO_4 の結晶を有する CAAC - OS 膜の out-of-plane 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、 ZnGa_2O_4 の結晶の (311) 面に帰属されることから、 InGaZnO_4 の結晶を有する CAAC - OS 膜中の一部に、 ZnGa_2O_4 の結晶が含まれることを示している。CAAC - OS 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0132】

CAAC - OS 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、

10

20

30

40

50

シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0133】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによって

10

【0134】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

20

【0135】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0136】

なお、結晶構造の説明において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

30

【0137】

CAAC-OS膜は、例えば、金属酸化物の多結晶ターゲットを用い、スパッタリング法によって成膜する。当該ターゲットにイオンが衝突すると、ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状またはペレット状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

【0138】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

40

【0139】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、および窒素等）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80° 以下、好ましくは -100° 以下である成膜ガスを用いる。

【0140】

また、成膜時の基板加熱温度を高めることで、平板状またはペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起り、スパッタリング粒子の平らな面が基板に付着する。例えば、基板加熱温度は、 100° 以上 740° 以下、好ましくは 200° 以上 500° 以下とすればよい。

50

【0141】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減することができる。例えば、成膜ガス中の酸素の割合は、30体積%以上、好ましくは100体積%とすることができる。

【0142】

本実施の形態は、他の実施の形態および実施例と適宜組み合わせることができる。

【0143】

(実施の形態5)

本実施の形態では、LCDが表示部に用いられた電子機器について説明する。実施の形態1—4を適用することで、目に優しい表示が可能で、低消費電力な電子機器を提供することが可能になる。

10

【0144】

<<情報処理システムの構成例>>

図8は、LCDを表示部に備えた情報処理システムの構成の一例を示すブロック図である。情報処理システム500は、演算部510、LCD520、入力装置530、および記憶装置540を備える。

【0145】

演算部510は、情報処理システム500全体を制御する機能を有する。演算部510は、プロセッサ511、記憶装置512、入出力(I/O)インターフェース513、およびバス514を有する。バス514により、プロセッサ511、記憶装置512およびI/Oインターフェース513が互いに接続されている。演算部510は、I/Oインターフェース513を介して、LCD520、入力装置530および記憶装置540との通信を行う。例えば、入力装置530からの入力信号は、I/Oインターフェース513およびバス514を経てプロセッサ511や記憶装置512に伝送される。

20

【0146】

記憶装置512には、プロセッサ511の処理に必要なデータ(プログラムも含む)や、I/Oインターフェース513を経て入力されたデータが保存される。

【0147】

プロセッサ511は、プログラムを実行して、情報処理システム500を動作させる。プロセッサ511は、例えば、入力装置530からの入力信号を解析する、記憶装置540に情報を読み出す、記憶装置512および記憶装置540にデータを書き込む、LCD520に出力する信号を生成する、等の処理を行う。

30

【0148】

LCD520は、出力装置として設けられており、情報処理システム500の表示部を構成する。また、情報処理システム500には、出力装置として、表示装置の他に、スピーカ、プリンタ等の他の出力装置を備えていてもよい。

【0149】

入力装置530は、演算部510にデータを入力するための装置である。使用者は入力装置530を操作することにより、情報処理システム500を操作することができる。入力装置530には、様々なヒューマンインターフェースを用いることができ、複数の入力装置を情報処理システム500に設けることができる。入力装置530としては、例えば、タッチパネル、キーボード、操作ボタン等がある。これらを使用者が直接操作することにより、情報処理システム500の操作を行うことができる。その他、音声、視線、ジェスチャ等を検出する装置を組み込んだ入力装置を設けて、これらにより情報処理システム500を操作するようにしてもよい。例えば、マイクロフォン、カメラ(撮像システム)等を設けてもよい。

40

【0150】

記憶装置540には、プログラムや画像信号等の各種のデータが格納される。記憶装置540の記憶容量は記憶装置512よりも大きい。記憶装置540としては、フラッシュメモリ、DRAM、ハードディスクドライブ(HDD)等がある。また、記憶装置540は

50

必要に応じて設ければよい。

【0151】

情報処理システム500は、演算部510等の全ての装置が1つの筐体に収められている形態の装置であってもよいし、一部の装置が有線、または無線により、演算部510に接続されている形態の装置であってもよい。例えば、前者の形態として、ノート型パーソナルコンピュータ(PC)、タブレットPC(端末)、電子書籍リーダー(端末)、およびスマートフォン等がある。後者の形態として、デスクトップ型PC、キーボード、マウス、およびモニタのセットがある。

【0152】

情報処理システム500のLCD520では、通常駆動とIDS駆動での表示が可能である。また、IDS駆動としては、第1、第2のIDS駆動の双方または一方が行われる。例えば、第2のIDS駆動(図5参照)で静止画表示を行う情報処理システム500の好適な用途としては、電子書籍を読む、デジタルカメラで撮影した写真を鑑賞する、等である。つまり、同じ画像である状態が比較的長く、また使用者の操作により画面全体の表示を切り換えることで、情報処理システム500を使用する場合に、第2のIDS駆動で静止画を表示することが好ましい。

10

【0153】

図9A—図9Fを参照して、情報処理システム500のいくつかの具体例を示す。図9A—図9Fは、表示部がLCDで構成された情報処理システムの一例を示す外観図である。

【0154】

20

図9Aに示す携帯型ゲーム機700は、筐体701、筐体702、表示部703、表示部704、マイクロフォン705、スピーカ706、操作ボタン707、およびスタイラス708等を有する。表示部703および/又は表示部704に、入力装置530としてタッチパネルを設けてもよい。

【0155】

図9Bに示すビデオカメラ710は、筐体711、筐体712、表示部713、操作ボタン714、レンズ715、および接続部716等を有する。操作ボタン714およびレンズ715は筐体711に設けられており、表示部713は筐体712に設けられている。そして、筐体711と筐体712とは、接続部716により接続されており、筐体711と筐体712の間の角度は、接続部716により可動となっている。表示部713の画面の切り換えを、接続部716における筐体711と筐体712との間の角度に従って行う構成としてもよい。表示部713にタッチパネルを設けてもよい。

30

【0156】

図9Cに示すタブレット型端末720は、筐体721に組み込まれた表示部722の他、操作ボタン723、スピーカ724、その他図示しないマイク、ステレオヘッドフォンジャック、メモリカード挿入口、カメラ、USBコネクタ等の外部接続ポート等を備えている。表示部722には、入力装置530として、タッチパネルが設けられている。

【0157】

図9Dに示す2つ折りタイプのタブレット型端末730は、筐体731、筐体732、表示部733、表示部734、接続部735、および操作ボタン736等を有する。表示部733および表示部734はLCD520で構成されている。表示部733、734には、入力装置530として、タッチパネルが設けられている。

40

【0158】

図9Eに示すスマートフォン740は、筐体741、操作ボタン742、マイクロフォン743、表示部744、スピーカ745、およびカメラ用レンズ746等を有する。表示部744と同一面上にカメラ用レンズ746を備えているため、テレビ電話が可能である。表示部744には、入力装置530として、タッチパネルが設けられている。

【0159】

図9Fに示すノート型PC750は、筐体751、表示部752、キーボード753、およびポインティングデバイス754等を有する。表示部752には、LCD520が用い

50

られる。また、表示部 7 5 2 に、入力装置 5 3 0 としてタッチパネルを設けてもよい。

【 0 1 6 0 】

本実施の形態は、他の実施の形態および実施例と適宜組み合わせることが可能である。

【実施例 1】

【 0 1 6 1 】

< L C パネルの仕様 >

実施の形態 3 の F F S モードの L C パネル（図 6、図 7 参照）を作製し、その動作を検証した。試作した L C パネル（以下、テストパネルと呼ぶ。）の仕様を表 1 に示す。実際の検証では、テストパネルにバックライトモジュール等を組み込んで、透過型の L C D として動作させた。

【 0 1 6 2 】

【表 1】

液晶モード	Fringe Field Switching
液晶材料	ネガ型 液晶
画面对角	3.64 inch
画素密度	326 ppi
解像度	540 × RGB (H) × 960 (V) : Quarter HD
画素ピッチ	26 μm (H) × 78 μm (V)

【 0 1 6 3 】

テストパネルの 2 枚の基板はガラス基板である。ゲートドライバとソースドライバは、画素部と共に素子基板に集積した。作製したトランジスタは O S トランジスタであり、その酸化物半導体層を、C A A C 構造を有する I n - G a - Z n 系酸化物膜で形成した。

【 0 1 6 4 】

< < テストパネルの評価 > >

テストパネルのコモン電圧 V C O M（コモン電極 C O M - 1 の電圧）は 0 V とした。また、コモン電極 C O M - 2 の電圧 V C O M 2 も 0 V にして、コモン電極 C O M - 1 とコモン電極 C O M - 2 を等電位にした状態で動作させて、ちらつきに関して客観評価および主観評価を行った。

【 0 1 6 5 】

また、比較例 1 として、コモン電極 C O M - 1 とコモン電極 C O M - 2 間に電位差がある状態で、テストパネルを動作させ、同じ評価を行った。比較例 1 では、V C O M 2 = - 1 . 7 V とした。また、V C O M は、- 1 . 8 — - 1 . 7 V の範囲で一定電圧とした。V C O M の値は、テストパネルごとに異なり、中間調の表示が最適になるように決定された。

【 0 1 6 6 】

< 透過率の測定 >

客観評価として、テストパネルの透過率の測定を行った。I D S 駆動により、テストパネルにグレーの静止画を表示させた。リフレッシュレートは 1 H z である。つまり 1 秒ごとにデータの書き換えを行った。また、I D S 駆動において、1 回の画面書き換えにおいて、データの書き込みは 3 回行った（図 3 B、図 4 B 参照）。これは、下記の主観評価でも同様である。

【 0 1 6 7 】

実施例 1、比較例 1 とともに、I D S 駆動直後と、6 時間経過後の透過率を測定した。測定結果を図 1 0 に示す。図 1 0 A は実施例 1 の透過率の変動を示すグラフであり、図 1 0 B は比較例 1 のグラフである。

【0168】

図10Bに示すように、比較例1では、6時間経過後のテストパネルは、データ保持期間にデータ書き換え直後の透過率を維持できず、透過率が1%以上低下している。他方、図10Aに示すように、実施例1では、IDS駆動を6時間連続して行っても、透過率の変動は、駆動直後と同程度である。

【0169】

図10から、FFSモードのLCDの透過率の変動は、コモン電極COM-1とコモン電極COM-2間の電位差が原因となることが分かった。2つのコモン電極(COM-1、COM-2)を等電位とすることで、長時間IDS駆動しても透過率の変動が抑制されることが確認された。IDS駆動は疑似的なDC駆動であるため、2つのコモン電極(COM-1、COM-2)間に電位差がある状態で、数時間連続してIDS駆動すると、液晶セル内に電荷の偏析が生じ、それが透過率を変動させる原因になったと考えられる。

10

【0170】

LCDの一般的なV-T(電圧—透過率)特性では、中間調(グレー表示)の方が、低階調(黒表示)や高階調(白表示)よりも電圧に対する透過率の変動量が大きくなる。図10Aには、実施例1によりIDS駆動によるグレー表示の透過率の変動が抑えられていることが示されている。すなわち、2つのコモン電極(COM-1、COM-2)を等電位とすることで、IDS駆動でも、中間調で表現される自然画を高品位で表示することが可能になることが分かった。

【0171】

<ちらつきに関する主観評価>

コモン電極COM-1とコモン電極COM-2間の電位差を調整することで、人の目を感じるちらつきを低減できることを主観評価で確認した。図11A、図11Bに、実施例1、比較例1の主観評価の結果を示す。

20

【0172】

主観評価は、2つのテストパネルを用意し、一方を通常駆動(リフレッシュレート60Hz)で動作させ、他方をIDS駆動(リフレッシュレート1Hz)で動作させた。動作モードがわからないようにして、被験者に2つのテストパネルの画面を比較させることで、それぞれの表示品位を評価させた。

【0173】

被験者に評価目的について先入観を与えないようにするため、「ちらつき」以外の表示品位に関する評価項目を設けた。評価項目は、「ちらつき」の他、「色合い」、「解像度」、「画面への映り込み(反射)」、「ムラ」、および「文字の読みやすさ」である。これらについて、「非常に良い」、「やや良い」、「どちらでもない」、「やや悪い」、「非常に悪い」の5段階で被験者に評価させた。

30

【0174】

評価には、動物や風景などの13の自然画と、7つのテキスト(アルファベット、ひらがな)の20の静止画を使用した。スライドショー形式で、これらの静止画を5秒間隔でテストパネルに表示した。また、実施例1、比較例1ともに、2つのテストパネルを6時間常時動作させた。この間に、被験者が適宜評価を行ったため、被験者により、テストパネルの動作開始から評価時点の経過時間が異なる。表2に、被験者の内訳を示す。(a)が実施例1であり、(b)が比較例1である。

40

【0175】

【表 2】

(a) 実施例 1

性別	
男性	34人
女性	52人
合計	86人

年代	
20代	45人
30代	34人
40代	7人

(b) 比較例 1

性別	
男性	27人
女性	57人
合計	84人

年代	
20代	40人
30代	38人
40代	5人
50代	1人

10

【0176】

図 11A に示すように、実施例 1 では、通常駆動と I D S 駆動とで、ちらつきに関する評価結果の差が小さい。86 人中、3 人が I D S 駆動の方がよりちらつきを感じ、6 人が通常駆動の方がよりちらつきを感じた、という回答であった。実施例 1 では、総合的な評価結果は、I D S 駆動の方が通常駆動よりもちらつきを感じないというものであった。

【0177】

図 11B に示すように、ちらつきに関する評価結果について、表示モードによる差が比較例 1 の方が実施例 1 よりも大きくなった。84 人中、11 人が I D S 駆動の方がよりちらつきを感じ、3 人が通常駆動の方がよりちらつきを感じた、という回答であった。比較例 1 では、総合的な評価結果は、I D S 駆動の方が通常駆動よりもちらつきを感じるというものであった。また、テスト開始から時間が経つほど、I D S 駆動の方がちらつきを感じるという回答が多くなった。比較例 1 の主観評価結果は、図 10B の、時間経過に伴う透過率の変動量の増加という客観評価に合致する。

20

【0178】

以上述べたように、2 つのコモン電極 (COM - 1、COM - 2) を同じ電位にすることで、疑似的な D C 駆動である I D S 駆動を長時間行っても、透過率の変動を抑えることができることが確認された。また、I D S 駆動時のデータ書き換えに伴うちらつきを低減できることが、確認された。

30

【0179】

また、図 11 の主観評価結果は、実施例 1 では、I D S 駆動と通常駆動とで、表示品位について評価結果に大きな差がないが、比較例 1 では、I D S 駆動の方が通常駆動よりも表示品位が劣化してしまうことを示している。これは、2 つのコモン電極 (COM - 1、COM - 2) の電位を等しくすることで、長時間 I D S 駆動を行った L C D でも、通常駆動の動作時と同様の表示品位を維持することが可能なことを示している。

【符号の説明】

【0180】

- 20 液晶層
- 21 基板
- 22 基板
- 23 封止部材
- 24 端子部
- 25 F P C
- 30 画素電極
- 31 コモン電極
- 32 コモン電極
- 40 絶縁層
- 100 液晶表示装置 (L C D)
- 110 液晶 (L C) パネル

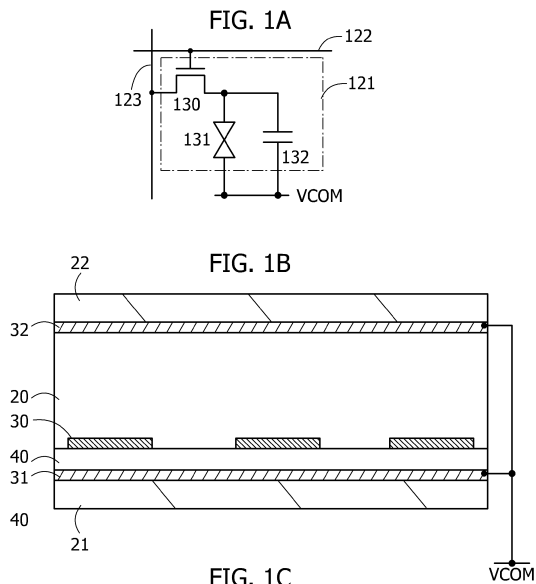
40

50

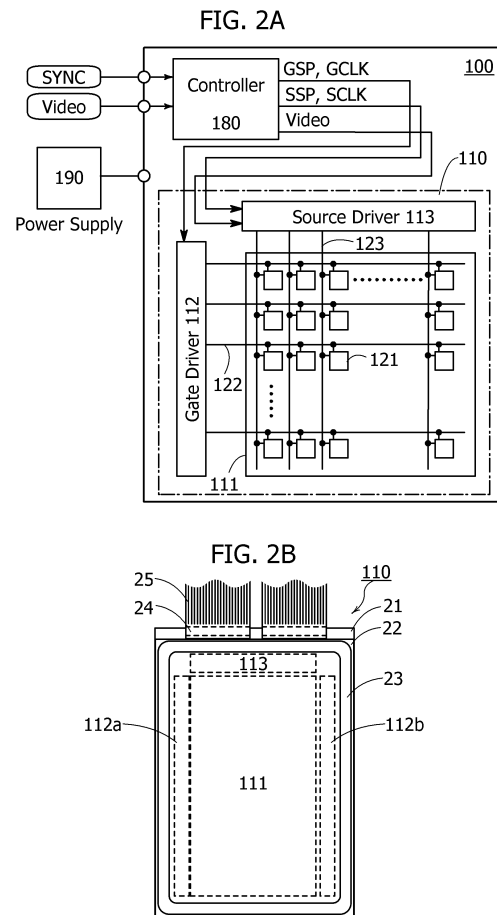
- 1 1 1 画素部
- 1 1 2 ゲートドライバ
- 1 1 3 ソースドライバ
- 1 2 1 画素
- 1 2 2 ゲート線
- 1 2 3 ソース線
- 1 3 0 トランジスタ
- 1 3 1 液晶素子
- 1 3 2 容量素子
- 1 8 0 コントローラ
- 1 9 0 電源

10

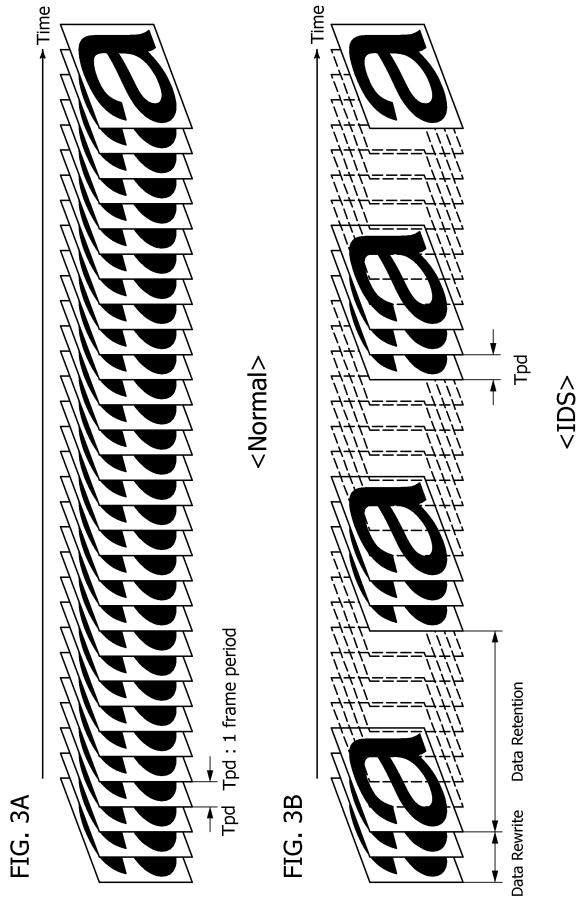
【図 1】



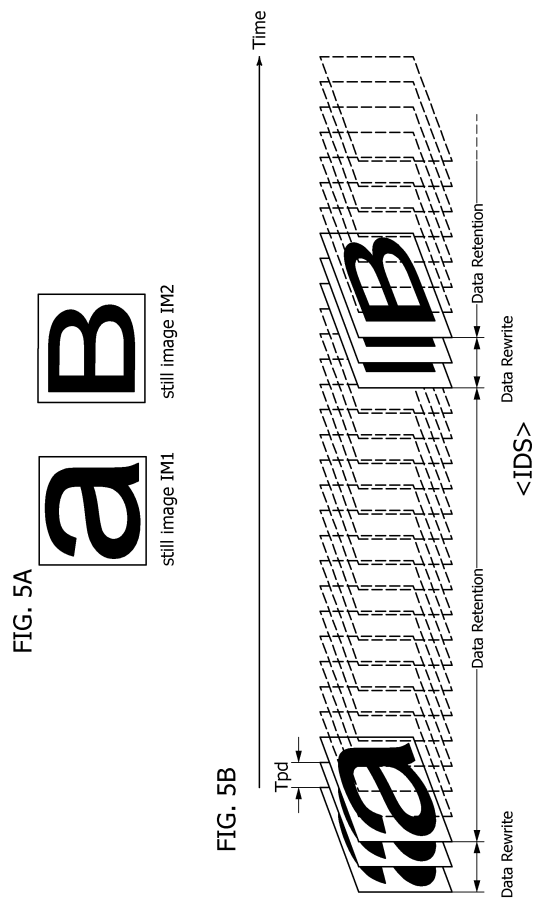
【図 2】



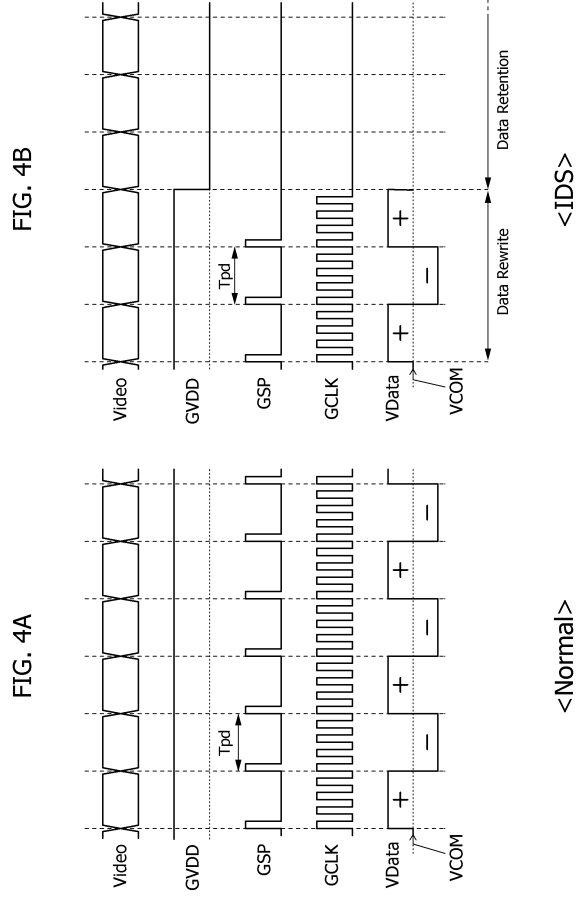
【図 3】



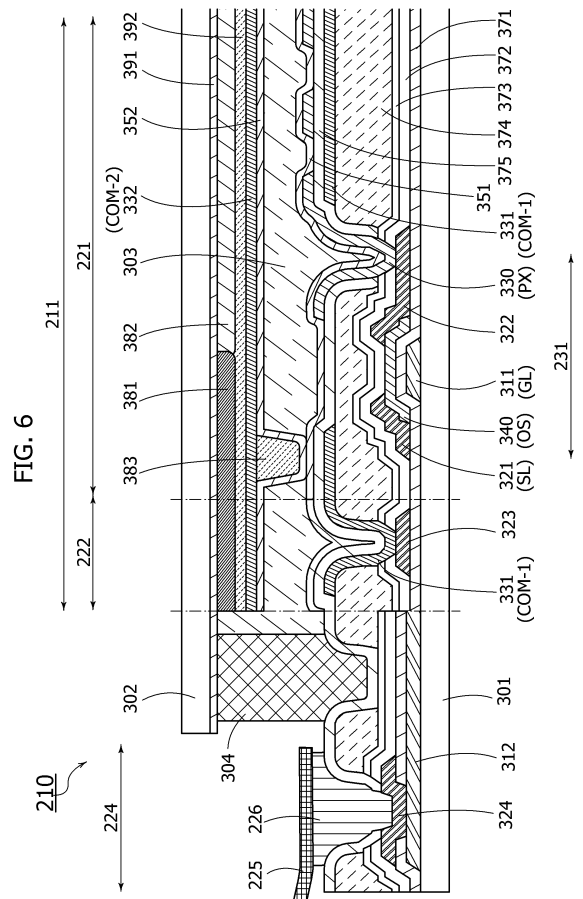
【図 5】



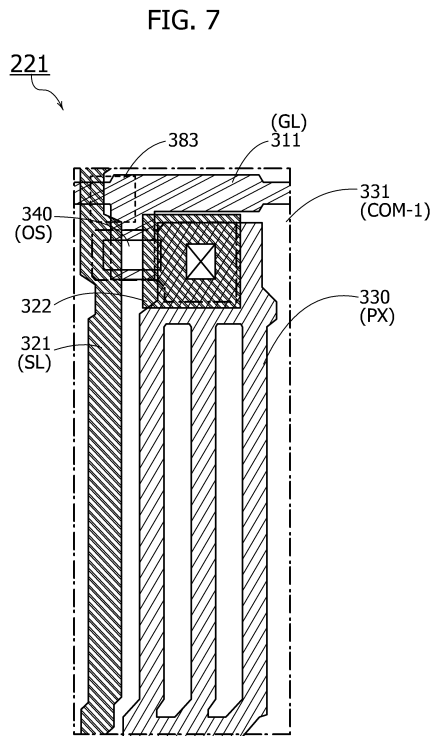
【図 4】



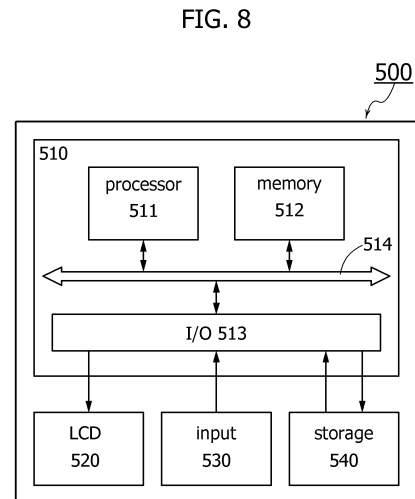
【図 6】



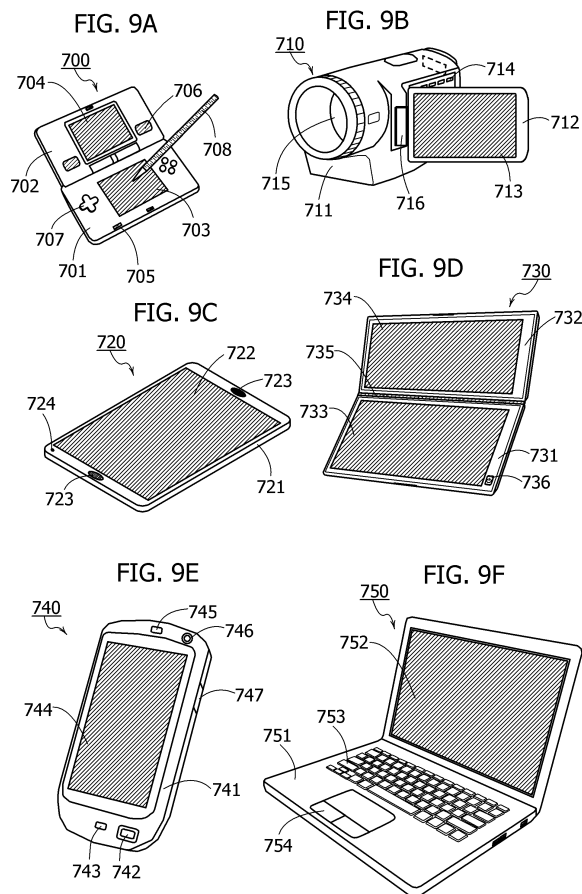
【図 7】



【図 8】



【図 9】



【図 10】

FIG. 10A

<実施例1>

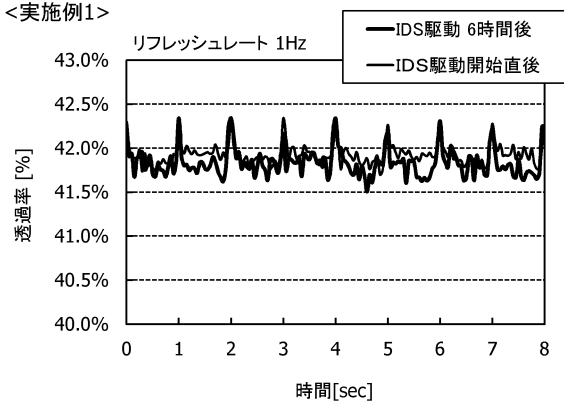
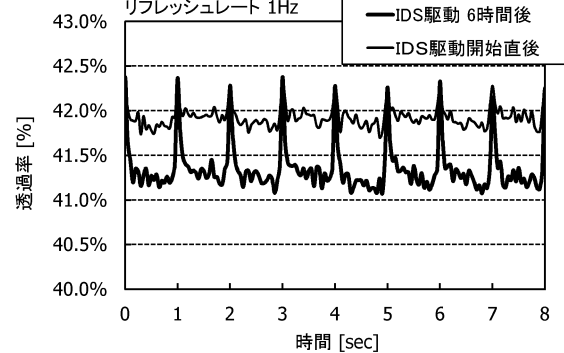


FIG. 10B

<比較例1>



【図 1 1】

FIG. 11A

<実施例1>

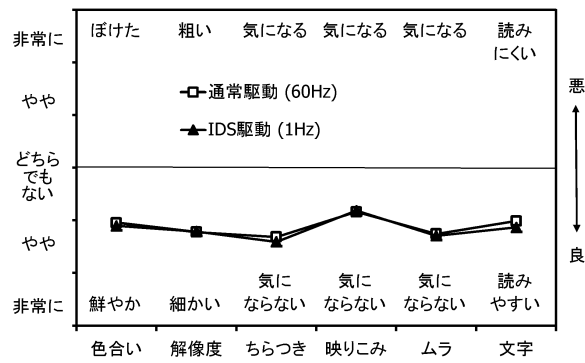
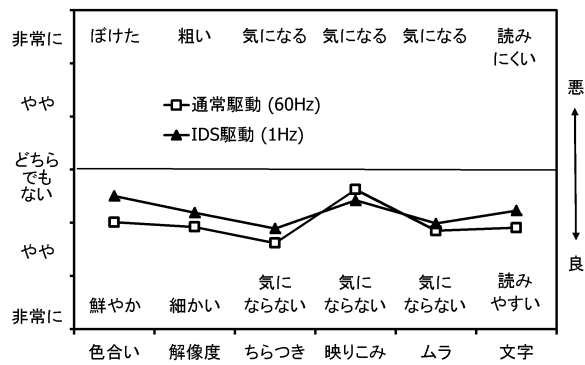


FIG. 11B

<比較例1>



フロントページの続き

(56)参考文献 特開2000-356786(JP,A)
特開2009-229599(JP,A)
特開2009-134228(JP,A)
特開2013-080185(JP,A)
特開2011-039478(JP,A)
特開2011-186449(JP,A)
特開2011-237760(JP,A)
特開2013-138196(JP,A)
国際公開第2013/105537(WO,A1)
米国特許出願公開第2006/0001809(US,A1)
米国特許出願公開第2012/0169954(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/136 - 1/1368
G02F 1/1343 - 1/1345, 1/133
G09G 3/18, 3/36
Japio - GPG/FX

专利名称(译)	液晶显示器		
公开(公告)号	JP6710245B2	公开(公告)日	2020-06-17
申请号	JP2018146491	申请日	2018-08-03
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	深井修次 初見亮 久保田大介		
发明人	深井 修次 初見 亮 久保田 大介		
IPC分类号	G02F1/1368 G02F1/133		
CPC分类号	G02F1/133 G02F1/134309 G02F2001/134372 G02F2201/121 G02F2201/123 G02F1/134363 G02F2001/134381 G02F1/13306 G02F1/133345 G02F1/133512 G02F1/133514 G02F1/1337 G02F1/13394 G02F1/136286 G02F1/1368 G02F2001/133302 G02F2001/13629 G02F2001/136295 G09G3/3614 G09G3/3677 G09G3/3688 G09G2310/08 G09G2320/0204 G09G2320/0247		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/20.611.E G09G3/20.621.A G09G3/20.621.K G09G3/20.650.B G09G3/20.660.M G09G3/36		
F-TERM分类号	2H192/AA24 2H192/BB13 2H192/BB31 2H192/BB66 2H192/BB73 2H192/BC31 2H192/CB05 2H192/EA22 2H192/EA43 2H192/FA65 2H192/FA73 2H192/FB02 2H192/FB33 2H192/GD61 2H192/JA33 2H193/ZA04 2H193/ZB03 2H193/ZB06 2H193/ZC16 2H193/ZE03 2H193/ZF11 5C006/AA02 5C006/AC27 5C006/AC28 5C006/AF44 5C006/AF45 5C006/AF68 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF34 5C006/FA04 5C006/FA23 5C006/FA33 5C006/FA36 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD26 5C080/DD29 5C080/EE19 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47 5C080/KK50		
优先权	2013154170 2013-07-25 JP		
其他公开文献	JP2018173666A		
外部链接	Espacenet		

摘要(译)

降低了以低刷新率驱动的FFS液晶显示装置的闪烁。在FFS液晶显示器中，液晶元件中包括的像素电极和第一公共电极形成在元件基板侧，而第二公共电极形成在另一基板（对向基板）侧。通过使第一公共电极和第二公共电极具有相同的电位，可以抑制像素中残留DC电压的产生。因此，即使当刷新率降低时，也可以在数据保持期间中抑制像素的透射率的变化，从而可以减少闪烁。

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/133 (2006.01)	GO2F 1/133 5 5 0

請求項の数 1 (全 27 頁)	
(21) 出願番号 特願2018-146491 (P2018-146491)	(73) 特許権者 000153878
(22) 出願日 平成30年8月3日 (2018. 8. 3)	株式会社半導体エネルギー研究所
(62) 分割の表示 特願2014-144948 (P2014-144948) の分割	神奈川県厚木市長谷398番地
原出願日 平成26年7月15日 (2014. 7. 15)	(72) 発明者 深井 修次
(65) 公開番号 特開2018-173666 (P2018-173666A)	神奈川県厚木市長谷398番地 株式会社
(43) 公開日 平成30年11月8日 (2018. 11. 8)	半導体エネルギー研究所内
審査請求日 平成30年8月22日 (2018. 8. 22)	(72) 発明者 初見 亮
(31) 優先権主張番号 特願2013-154170 (P2013-154170)	神奈川県厚木市長谷398番地 株式会社
(32) 優先日 平成25年7月25日 (2013. 7. 25)	半導体エネルギー研究所内
(33) 優先権主張国・地域又は機関 日本国 (JP)	(72) 発明者 久保田 大介
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	審査官 横井 亜矢子
	最終頁に続く

(54) 【発明の名称】 液晶表示装置