

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6637981号
(P6637981)

(45) 発行日 令和2年1月29日(2020.1.29)

(24) 登録日 令和1年12月27日(2019.12.27)

(51) Int.Cl.	F I		
G09G 3/36 (2006.01)	G09G	3/36	
G09G 3/20 (2006.01)	G09G	3/20	670E
G11C 19/28 (2006.01)	G09G	3/20	622E
	G09G	3/20	670J
	G09G	3/20	670M
請求項の数 13 (全 17 頁) 最終頁に続く			

(21) 出願番号 特願2017-533264 (P2017-533264)
 (86) (22) 出願日 平成27年1月8日 (2015.1.8)
 (65) 公表番号 特表2018-507426 (P2018-507426A)
 (43) 公表日 平成30年3月15日 (2018.3.15)
 (86) 国際出願番号 PCT/CN2015/070318
 (87) 国際公開番号 W02016/106802
 (87) 国際公開日 平成28年7月7日 (2016.7.7)
 審査請求日 平成29年8月18日 (2017.8.18)
 (31) 優先権主張番号 201410851563.1
 (32) 優先日 平成26年12月31日 (2014.12.31)
 (33) 優先権主張国・地域又は機関
 中国 (CN)

(73) 特許権者 516010618
 深▲せん▼市華星光電技術有限公司
 SHENZHEN CHINA STAR
 OPTOELECTRONICS TE
 CHNOLOGY CO., LTD.
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号
 No. 9-2 Tangming Roa
 d, Guangming, Shenzhe
 n, Guangdong 518132,
 China
 (74) 代理人 110002262
 TRY国際特許業務法人

最終頁に続く

(54) 【発明の名称】 液晶表示装置用GOA回路

(57) 【特許請求の範囲】

【請求項1】

LTPS (Low - Temperature Poly - Si) に基づくPMOS (P - channel Metal Oxide Semiconductor) の液晶表示装置用GOA回路であって、前記液晶表示装置は複数の走査線を備え、前記GOA回路はカスケード接続された複数のシフトレジスタを備え、その中の第Nステージシフトレジスタは、第Nステージ走査線 (G (N)) に対する充電を制御し、前記第Nステージシフトレジスタは、

前記第Nステージ走査線 (G (N)) に接続されるプルダウン保持回路 (500) と、
 前記プルダウン保持回路 (500) に接続されるブートストラップコンデンサ回路 (300) と、

前記プルダウン保持回路 (500) に接続されるプルダウン制御回路 (600) と、
 前記ブートストラップコンデンサ回路 (300) に接続されるゲート信号点 (Q) 漏電防止回路 (400) と、

前記ゲート信号点 (Q) 漏電防止回路 (400) に接続される双方向走査制御回路 (100) と、

前記ブートストラップコンデンサ回路 (300) に接続されるプルアップ回路 (200) と、を備え、

前記ブートストラップコンデンサ回路 (300)、前記ゲート信号点 (Q) 漏電防止回路 (400) 及び前記プルダウン保持回路 (500) は共に接続され、その接続点はゲ-

10

20

ト信号点 (Q (N)) を構成し、

前記プルアップ回路 (2 0 0)、前記ブートストラップコンデンサ回路 (3 0 0) 及び前記プルダウン保持回路 (5 0 0) は、それぞれ前記第 N ステージ走査線 (G (N)) に接続され、

前記双方向走査制御回路 (1 0 0) はそれぞれ第 N - 1 ステージ走査線 (G (N - 1)) 及び第 N + 1 ステージ走査線 (G (N + 1)) に接続され、

前記プルダウン保持回路 (5 0 0) は、第 1 スイッチ (T 9)、第 2 スイッチ (T 8)、第 3 スイッチ (T 7)、第 4 スイッチ (T 6)、第 5 スイッチ (T 5)、及び第 1 コンデンサ (C 2) を備え、

前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、第 9 スイッチ (T 3) 及び第 1 0 スイッチ (T 1 0) を備え、 10

前記プルダウン制御回路 (6 0 0) は、第 1 1 スイッチ (T 1 1) 及び第 1 2 スイッチ (T 1 2) を備え、

前記第 1 スイッチ (T 9) は、その制御端が第 1 1 スイッチ (T 1 1) の出力端及び第 1 2 スイッチ (T 1 2) の出力端に接続され、その入力端が低定電圧源 (V G L) に接続され、その出力端が第 1 回路点 (P (N)) に接続され、

前記第 2 スイッチ (T 8) は、その制御端が前記ゲート信号点 (Q (N)) に接続され、その入力端が高定電圧源 (V G H) に接続され、その出力端が前記第 1 回路点 (P (N)) に接続され、

前記第 3 スイッチ (T 7) は、その制御端が前記第 1 回路点 (P (N)) に接続され、その入力端が前記高定電圧源 (V G H) に接続され、その出力端が前記第 N ステージ走査線 (G (N)) に接続され、 20

前記第 4 スイッチ (T 6) は、その制御端が前記第 1 回路点 (P (N)) に接続され、その入力端が前記高定電圧源 (V G H) に接続され、

前記第 5 スイッチ (T 5) は、その制御端が第 N ステージの第 1 クロック信号 (C K (N)) を受信し、その入力端が前記第 4 スイッチ (T 6) の出力端に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続され、

前記第 1 コンデンサ (C 2) は、その両端がそれぞれ前記高定電圧源 (V G H) 及び前記第 1 回路点 (P (N)) に接続され、

前記双方向走査制御回路 (1 0 0) は、第 6 スイッチ (T 1) 及び第 7 スイッチ (T 2) を備え、 30

前記第 6 スイッチ (T 1) は、その制御端がアップロード制御信号 (D 2 U) を受信し、その入力端が前記第 N + 1 ステージ走査線 (G (N + 1)) に接続され、その出力端が前記第 7 スイッチ (T 2) の出力端及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) の前記第 1 0 スイッチ (T 1 0) の入力端に接続され、

前記第 7 スイッチ (T 2) は、その制御端がダウンロード制御信号 (U 2 D) を受信し、その入力端が前記第 N - 1 ステージ走査線 (G (N - 1)) に接続され、

前記第 9 スイッチ (T 3) は、その制御端が低定電圧源 (V G L) に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続され、

前記第 1 0 スイッチ (T 1 0) は、その制御端が前記第 1 スイッチ (T 9) の制御端に接続され、その入力端が前記第 6 スイッチ (T 1) の出力端及び前記第 7 スイッチ (T 2) の出力端に接続され、その出力端が前記第 9 スイッチ (T 3) の入力端に接続され、 40

前記ブートストラップコンデンサ回路 (3 0 0) は、第 2 コンデンサ (C 1) を備え、

前記第 2 コンデンサ (C 1) は、その両端がそれぞれ前記ゲート信号点 (Q (N)) 及び前記第 N ステージ走査線 (G (N)) に接続され、

前記第 1 1 スイッチ (T 1 1) は、その制御端がダウンロード制御信号 (U 2 D) を受信し、その入力端が第 2 順方向クロック信号 (X C K F) を受信し、その出力端が前記プルダウン保持回路 (5 0 0) の前記第 1 スイッチ (T 9) の制御端及び前記第 1 2 スイッチ (T 1 2) の出力端に接続され、

前記第 1 2 スイッチ (T 1 2) は、その制御端がアップロード制御信号 (D 2 U) を受 50

信し、その入力端が第2逆方向クロック信号(XCKR)を受信し、

前記プルダウン保持回路(500)は、第13スイッチ(T13)をさらに備え、

前記第13スイッチ(T13)は、その制御端が前記ゲート信号点(Q(N))に接続され、その入力端が前記第1スイッチ(T9)の制御端に接続され、その出力端が前記第1回路点(P(N))に接続される、液晶表示装置用GOA回路。

【請求項2】

前記プルアップ回路(200)は第8スイッチ(T4)を備え、

前記第8スイッチ(T4)は、その制御端が前記ゲート信号点(Q(N))に接続され、その入力端が前記第Nステージの第1クロック信号(CK(N))に接続され、その出力端が前記第Nステージ走査線(G(N))に接続される、請求項1に記載の液晶表示装置用GOA回路。

10

【請求項3】

LTPS(Low-Temperature Poly-Si)に基づくPMOS(P-channel Metal Oxide Semiconductor)の液晶表示装置用GOA回路であって、前記液晶表示装置は複数の走査線を備え、前記GOA回路はカスケード接続された複数のシフトレジスタを備え、その中の第Nステージシフトレジスタは、第Nステージ走査線(G(N))に対する充電を制御し、前記第Nステージシフトレジスタは、

前記第Nステージ走査線(G(N))に接続されるプルダウン保持回路(500)と、前記プルダウン保持回路(500)に接続されてゲート信号点(Q(N))の電位を上げるブートストラップコンデンサ回路(300)と、

20

前記ブートストラップコンデンサ回路(300)に接続されてゲート信号点(Q(N))電位漏電を防止するゲート信号点(Q)漏電防止回路(400)と、

前記ゲート信号点(Q)漏電防止回路(400)に接続される双方向走査制御回路(100)と、

前記ブートストラップコンデンサ回路(300)に接続されるプルアップ回路(200)と、を備え、

前記ブートストラップコンデンサ回路(300)、前記ゲート信号点(Q)漏電防止回路(400)及び前記プルダウン保持回路(500)は共に接続されて前記ゲート信号点(Q(N))を構成し、

30

前記プルアップ回路(200)、前記ブートストラップコンデンサ回路(300)及び前記プルダウン保持回路(500)は、それぞれ前記第Nステージ走査線(G(N))に接続され、

前記双方向走査制御回路(100)は、第6スイッチ(T1)及び第7スイッチ(T2)を備え、

前記第6スイッチ(T1)は、その制御端がダウンロード制御信号(U2D)を受信し、その入力端が第N-1ステージ走査線(G(N-1))に接続され、その出力端が前記ゲート信号点(Q)漏電防止回路(400)に接続され、

前記第7スイッチ(T2)は、その制御端がアップロード制御信号(D2U)を受信し、その入力端が前記第N+1ステージ走査線(G(N+1))に接続され、その出力端が前記第6スイッチ(T1)の出力端及び前記ゲート信号点(Q)漏電防止回路(400)に共に接続され、

40

前記プルダウン保持回路(500)は、第1スイッチ(T9)、第2スイッチ(T8)、第3スイッチ(T7)、第4スイッチ(T6)、第5スイッチ(T5)、及び第1コンデンサ(C2)を備え、

前記第1スイッチ(T9)は、その制御端が前記ゲート信号点(Q)漏電防止回路(400)に接続されて第Nステージの第2クロック信号(XCK(N))を受信し、その出力端が第1回路点(P(N))に接続され、

前記第2スイッチ(T8)は、その制御端が前記ゲート信号点(Q(N))に接続され、その入力端は、高定電圧源(VGH)に接続され、その出力端が前記第1回路点(P(

50

N))に接続され、

前記第3スイッチ(T7)は、その制御端が前記第1回路点(P(N))に接続され、その入力端が前記高定電圧源(VGH)に接続され、その出力端が前記第Nステージ走査線(G(N))に接続され、

前記第4スイッチ(T6)は、その制御端が前記第1回路点(P(N))に接続され、その入力端が前記高定電圧源(VGH)に接続され、

前記第5スイッチ(T5)は、その制御端が第Nステージの第1クロック信号(CK(N))を受信し、その入力端が前記第4スイッチ(T6)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続され、

前記第1コンデンサ(C2)は、その両端がそれぞれ前記高定電圧源(VGH)及び前記第1回路点(P(N))に接続される、液晶表示装置用GOA回路。

10

【請求項4】

前記ゲート信号点(Q)漏電防止回路(400)は、第9スイッチ(T3)を備え、

前記第9スイッチ(T3)は、その制御端が前記第1スイッチ(T9)の制御端及び前記第1スイッチ(T9)の入力端に共に接続されることによって第Nステージの第2クロック信号(XCK(N))を受信し、その入力端が前記第6スイッチ(T1)の出力端及び前記第7スイッチ(T2)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続される、請求項3に記載の液晶表示装置用GOA回路。

【請求項5】

前記第Nステージの第2クロック信号(XCK(N))と前記第Nステージの第1クロック信号(CK(N))とは、互いに逆方向の信号である、請求項3または4に記載の液晶表示装置用GOA回路。

20

【請求項6】

LTPS(Low-Temperature Poly-Si)に基づくPMOS(P-channel Metal Oxide Semiconductor)の液晶表示装置用GOA回路であって、前記液晶表示装置は複数の走査線を備え、前記GOA回路はカスケード接続された複数のシフトレジスタを備え、その中の第Nステージシフトレジスタは、第Nステージ走査線(G(N))に対する充電を制御し、前記第Nステージシフトレジスタは、

前記第Nステージ走査線(G(N))に接続されるプルダウン保持回路(500)と、前記プルダウン保持回路(500)に接続されてゲート信号点(Q(N))の電位を上げるブートストラップコンデンサ回路(300)と、

30

前記ブートストラップコンデンサ回路(300)に接続されてゲート信号点(Q(N))電位漏電を防止するゲート信号点(Q)漏電防止回路(400)と、

前記ゲート信号点(Q)漏電防止回路(400)に接続される双方向走査制御回路(100)と、

前記ブートストラップコンデンサ回路(300)に接続されるプルアップ回路(200)と、を備え、

前記ブートストラップコンデンサ回路(300)、前記ゲート信号点(Q)漏電防止回路(400)及び前記プルダウン保持回路(500)は共に接続されて前記ゲート信号点(Q(N))を構成し、

40

前記プルアップ回路(200)、前記ブートストラップコンデンサ回路(300)及び前記プルダウン保持回路(500)は、それぞれ前記第Nステージ走査線(G(N))に接続され、

前記双方向走査制御回路(100)は、第6スイッチ(T1)及び第7スイッチ(T2)を備え、

前記第6スイッチ(T1)は、その制御端がダウンロード制御信号(U2D)を受信し、その入力端が第N-1ステージ走査線(G(N-1))に接続され、その出力端が前記ゲート信号点(Q)漏電防止回路(400)に接続され、

前記第7スイッチ(T2)は、その制御端がアップロード制御信号(D2U)を受信し

50

、その入力端が前記第N+1ステージ走査線(G(N+1))に接続され、その出力端が前記第6スイッチ(T1)の出力端及び前記ゲート信号点(Q)漏電防止回路(400)に共に接続され、

前記プルダウン保持回路(500)は、第1スイッチ(T9)、第2スイッチ(T8)、第3スイッチ(T7)、第4スイッチ(T6)、第5スイッチ(T5)、及び第1コンデンサ(C2)を備え、

前記第1スイッチ(T9)は、その制御端で第Nステージの第2クロック信号(XCK(N))を受信し、その入力端が低定電圧源(VGL)に接続され、その出力端が第1回路点(P(N))に接続され、

前記第2スイッチ(T8)は、その制御端が前記ゲート信号点(Q(N))に接続され、その入力端は、高定電圧源(VGH)に接続され、その出力端が前記第1回路点(P(N))に接続され、

前記第3スイッチ(T7)は、その制御端が前記第1回路点(P(N))に接続され、その入力端が前記高定電圧源(VGH)に接続され、その出力端が前記第Nステージ走査線(G(N))に接続され、

前記第4スイッチ(T6)は、その制御端が前記第1回路点(P(N))に接続され、その入力端が前記高定電圧源(VGH)に接続され、

前記第5スイッチ(T5)は、その制御端が第Nステージの第1クロック信号(CK(N))を受信し、その入力端が前記第4スイッチ(T6)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続され、

前記第1コンデンサ(C2)は、その両端がそれぞれ前記高定電圧源(VGH)及び前記第1回路点(P(N))に接続され、

前記ゲート信号点(Q)漏電防止回路(400)は、第9スイッチ(T3)及び第10スイッチ(T10)を備え、

前記第9スイッチ(T3)は、その制御端が低定電圧源(VGL)に接続され、出力端が前記ゲート信号点(Q(N))に接続され、

前記第10スイッチ(T10)は、その制御端が前記第1スイッチ(T9)の制御端に接続されることによって前記第Nステージの第2クロック信号(XCK(N))を受信し、その入力端が前記第6スイッチ(T1)の出力端及び前記第7スイッチ(T2)の出力端に接続され、その出力端が前記第9スイッチ(T3)の入力端に接続される、

液晶表示装置用GOA回路。

【請求項7】

前記プルアップ回路(200)は第8スイッチ(T4)を備え、

前記第8スイッチ(T4)は、その制御端が前記ゲート信号点(Q(N))に接続され、その入力端が前記第Nステージの第1クロック信号(CK(N))に接続され、その出力端が前記第Nステージ走査線(G(N))に接続される、請求項6に記載の液晶表示装置用GOA回路。

【請求項8】

前記ブートストラップコンデンサ回路(300)は、第2コンデンサ(C1)を備え、

前記第2コンデンサ(C1)は、その両端がそれぞれ前記ゲート信号点(Q(N))及び前記第Nステージ走査線(G(N))に接続される、請求項3に記載の液晶表示装置用GOA回路。

【請求項9】

前記第Nステージシフトレジスタは、プルダウン制御回路(600)をさらに備え、前記プルダウン制御回路(600)は、第11スイッチ(T11)及び第12スイッチ(T12)を備え、

前記第11スイッチ(T11)は、その制御端がダウンロード制御信号(U2D)を受信し、その入力端が第2順方向クロック信号(XCKF)を受信し、その出力端が前記プルダウン保持回路(500)及び前記ゲート信号点(Q)漏電防止回路(400)に接続され、

10

20

30

40

50

前記第12スイッチ(T12)は、その制御端がアップロード制御信号(D2U)を受信し、その入力端が第2逆方向クロック信号(XCKR)を受信し、その出力端が前記プルダウン保持回路(500)及び前記ゲート信号点(Q)漏電防止回路(400)に接続される、請求項6に記載の液晶表示装置用GOA回路。

【請求項10】

前記第11スイッチ(T11)の出力端、前記第12スイッチ(T12)の出力端及び前記第1スイッチ(T9)の制御端は共に接続される、請求項9に記載の液晶表示装置用GOA回路。

【請求項11】

前記第2スイッチ(T8)の入力端は、前記高定電圧源(VGH)に代えて前記第1スイッチ(T9)の制御端に接続される、請求項10に記載の液晶表示装置用GOA回路。

【請求項12】

前記プルダウン保持回路(500)は、第14スイッチ(T14)をさらに備え、

前記第14スイッチ(T14)は、その制御端が第N-1ステージの第2クロック信号(XCK(N-1))を受信し、その入力端が前記第4スイッチ(T6)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続される、請求項9に記載の液晶表示装置用GOA回路。

【請求項13】

前記プルダウン保持回路(500)は、第14スイッチ(T14)をさらに備え、

前記第14スイッチ(T14)は、その制御端が第N-2ステージの第2クロック信号(XCK(N-2))を受信し、その入力端が前記第4スイッチ(T6)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続される、請求項9に記載の液晶表示装置用GOA回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示技術の分野に関し、特に、LTPS(Low-Temperature Poly-Si)に基づくPMOS(P-channel Metal Oxide Semiconductor)の液晶表示装置用GOA(Gate Driver On Array、アレイ基板行走査駆動)回路に関する。

【背景技術】

【0002】

GOAとは、既存の薄膜トランジスタ液晶ディスプレイのアレイ(Array)製造工程を利用して、ゲート(Gate)行走査駆動信号回路をアレイ基板上に作成して、ゲートに対する順次走査の駆動方式を実現する技術である。

【0003】

低温ポリシリコン半導体(LTPS)薄膜トランジスタ(TFT)の発展に伴い、LTPS半導体自体の超高キャリア移動度の特性のため、対応するパネル周辺集積回路、即ちGOAが注目されている。多くの人々が、システム・オン・パネル(System on Panel、SOP)関連の技術研究に取り組み、この技術は徐々に現実のものになっている。LTPSによりイオン配置技術を用いてTFTの類型を調節することができるため、NMOS、PMOS又はCMOSの回路を選択することができる。しかし、CMOS及びNMOSのフォトマスクのコストはPMOSを大幅に上回り、且つCMOSの回路構造は複雑すぎるため、超狭額縁の設計は困難である。特に小サイズ表示装置の場合、これは非常に重要である。PMOS回路は、コスト及び回路構造面で利点があるため、主流となっている。さらに、回路の信号使用及び消費電力に関する考慮事項は、GOA回路にとって重要な考慮事項であるため、LTPS回路を設計するとき、このような問題を考慮する必要がある。そして、小サイズ製品の走査特性、正逆方向走査、及び正逆方向制御がより重要であることを考慮する前提として、LTPSに基づくPMOSのGOA回路は、上記の問題を解決するために非常に役立つ。

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の目的は、LTPSに基づくPMOSの液晶表示装置用GOA回路を提供することである。

【課題を解決するための手段】

【0005】

上記目的を実現するために、本発明は、液晶表示装置用GOA回路を提供する。前記液晶表示装置は複数の走査線を備え、前記GOA回路は、カスケード接続された複数のシフトレジスタを備える。第Nステージシフトレジスタは、第Nステージ走査線に対する充電を制御する。この第Nステージシフトレジスタは、正逆方向走査制御回路、プルアップ回路、ブートストラップコンデンサ回路、ゲート信号点漏電防止回路及びプルダウン保持回路を備える。

10

【0006】

プルダウン保持回路は、前記第Nステージ走査線に接続される。ブートストラップコンデンサ回路は、前記プルダウン保持回路に接続される。ゲート信号点漏電防止回路は、前記ブートストラップコンデンサ回路に接続される。正逆方向走査制御回路は、前記ゲート信号点漏電防止回路に接続される。プルアップ回路は、前記ブートストラップコンデンサ回路に接続される。

【0007】

前記ブートストラップコンデンサ回路、前記ゲート信号点漏電防止回路及び前記プルダウン保持回路は共に接続されてゲート信号点を構成する。

20

【0008】

前記プルアップ回路、前記ブートストラップコンデンサ回路及び前記ゲート信号点漏電防止回路は、それぞれ前記第Nステージ走査線に接続される。前記正逆方向走査制御回路はそれぞれ第N-1ステージ走査線及び第N+1ステージ走査線に接続される。

【0009】

前記プルダウン保持回路は、第1スイッチ、第2スイッチ、第3スイッチ、第4スイッチ、第5スイッチ、及び第1コンデンサを備える。第1スイッチは、その制御端が前記ゲート信号点漏電防止回路に接続され、その出力端が第1回路点に接続される。第2スイッチは、その制御端がゲート信号点に接続され、その出力端が前記第1回路点に接続される。第3スイッチは、その制御端が前記第1回路点に接続され、その入力端が高定電圧源に接続され、その出力端が前記第Nステージ走査線に接続される。第4スイッチは、その制御端が前記第1回路点に接続され、その入力端が前記高定電圧源に接続される。第5スイッチは、その制御端が第Nステージの第1クロック信号を受信し、その入力端が前記第4スイッチの出力端に接続され、その出力端が前記ゲート信号点に接続される。第1コンデンサは、その両端がそれぞれ前記高定電圧源及び前記第1回路点に接続される。

30

【0010】

一実施例において、前記正逆方向走査制御回路は、第6スイッチ及び第7スイッチを備える。

40

【0011】

第6スイッチは、その制御端がダウンロード制御信号を受信し、その入力端が前記第N-1ステージ走査線に接続され、その出力端が前記ゲート信号点漏電防止回路に接続される。

【0012】

第7スイッチは、その制御端がアップロード制御信号を受信し、その入力端が前記第N+1ステージ走査線に接続され、その出力端が前記第5スイッチの出力端及び前記ゲート信号点漏電防止回路に共に接続される。

【0013】

一実施例において、前記ゲート信号点漏電防止回路は、第9スイッチを備える。

50

【 0 0 1 4 】

第 9 スイッチは、その制御端が前記第 1 スイッチの制御端及び前記第 1 スイッチの入力端に共に接続されることによって第 N ステージの第 2 クロック信号を受信し、その入力端が前記第 6 スイッチの出力端及び前記第 7 スイッチの出力端に接続され、その出力端が前記ゲート信号点に接続される。

【 0 0 1 5 】

一実施例において、前記ゲート信号点漏電防止回路は、第 9 スイッチ及び第 1 0 スイッチを備える。

【 0 0 1 6 】

第 9 スイッチは、その制御端及び前記第 1 スイッチの入力端がそれぞれ低定電圧源に接続され、出力端が前記ゲート信号点に接続される。

10

【 0 0 1 7 】

第 1 0 スイッチは、その制御端が前記第 1 スイッチの制御端に接続され、その入力端が前記第 6 スイッチの出力端及び前記第 7 スイッチの出力端に接続され、その出力端が前記第 9 スイッチの入力端に接続される。

【 0 0 1 8 】

一実施例において、前記第 1 0 スイッチの制御端及び前記第 1 スイッチの制御端は共に接続されることによって前記第 N ステージの第 2 クロック信号を受信する。

【 0 0 1 9 】

一実施例において、前記プルアップ回路は第 8 スイッチを備える。

20

【 0 0 2 0 】

第 8 スイッチは、その制御端が前記ゲート信号点に接続され、その入力端が前記第 N ステージの第 1 クロック信号に接続され、その出力端が前記第 N ステージ走査線に接続される。

【 0 0 2 1 】

一実施例において、前記ブートストラップコンデンサ回路は第 2 コンデンサを備える。

【 0 0 2 2 】

第 2 コンデンサは、その両端がそれぞれ前記ゲート信号点及び前記第 N ステージ走査線に接続される。

【 0 0 2 3 】

一実施例において、前記第 2 スイッチの入力端は前記高定電圧源に接続される。

30

【 0 0 2 4 】

一実施例において、前記第 N ステージシフトレジスタはプルダウン制御回路をさらに備え、前記プルダウン制御回路は、第 1 1 スイッチ及び第 1 2 スイッチを備える。

【 0 0 2 5 】

第 1 1 スイッチは、その制御端がダウンロード制御信号を受信し、その入力端が第 2 正方向クロック信号を受信し、その出力端が前記プルダウン保持回路及び前記ゲート信号点漏電防止回路に接続される。

【 0 0 2 6 】

第 1 2 スイッチは、その制御端がアップロード制御信号を受信し、その入力端が第 2 逆方向クロック信号を受信し、その出力端が前記プルダウン保持回路及び前記ゲート信号点漏電防止回路に接続される。

40

【 0 0 2 7 】

一実施例において、前記第 1 1 スイッチの出力端、前記第 1 2 スイッチの出力端及び前記第 1 スイッチの制御端は共に接続される。

【 0 0 2 8 】

一実施例において、前記第 2 スイッチの入力端は前記第 1 スイッチの制御端に接続される。

【 0 0 2 9 】

一実施例において、前記プルダウン保持回路は第 1 3 スイッチを更に備える。

50

【0030】

第13スイッチは、その制御端が前記ゲート信号点に接続され、その入力端が前記第1スイッチの制御端に接続され、その出力端が前記第1回路点に接続される。

【0031】

一実施例において、前記プルダウン保持回路は第14スイッチをさらに備える。

【0032】

第14スイッチは、その制御端が第N-1ステージの第2クロック信号を受信し、その入力端が前記第4スイッチの出力端に接続され、その出力端が前記ゲート信号点に接続される。

【0033】

一実施例において、前記プルダウン保持回路は第14スイッチをさらに備える。

【0034】

第14スイッチは、その制御端が第N-2ステージの第2クロック信号を受信し、その入力端が前記第4スイッチの出力端に接続され、その出力端が前記ゲート信号点に接続される。

【0035】

一実施例において、前記第Nステージの第2クロック信号と前記第Nステージの第1クロック信号とは互いに逆方向信号である。

【0036】

一実施例において、前記第1～第14スイッチはPMOSトランジスタである。

【発明の効果】

【0037】

本発明の上記の技術的手段によれば、有益な技術的效果は以下のとおりである。

【0038】

1. LTPSに基づくPMOSGOA回路を設計する。

【0039】

2. 正逆方向走査及び正逆方向制御の機能を有し、表示装置の様々な駆動形式を保證することができ、回路の長時間操作の安定性を保證することができる。

【0040】

3. 前記第1クロック信号、前記第2クロック信号及び前記第1コンデンサの組み合わせにより、前記ゲート信号点と前記第Nステージ走査線のプルダウン保持機能を実現することができる。このような完璧な組み合わせによって、回路中の信号線の使用及びスイッチの数を低減する。同時に、前記第2スイッチの入力端と前記第12スイッチの入力端の接続によって、プルダウン保持回路の機能を改善する。

【0041】

4. 直流低電位を、非作用期間の前記第1回路点の保持のために用い、前記ゲート信号点と前記第Nステージ走査線のリップル(Ripple)の除去を保證する。

【0042】

5. 常開の前記第9スイッチを設置することによって、回路漏電を調節して、回路を安定させる効果を得る。

【図面の簡単な説明】

【0043】

【図1】本発明の第1の好ましい実施例のGOA回路の模式図である。

【図2】本発明の第2の好ましい実施例のGOA回路の模式図である。

【図3】本発明の第3の好ましい実施例のGOA回路の模式図である。

【図4】本発明の第4の好ましい実施例のGOA回路の模式図である。

【図5】本発明の第5の好ましい実施例のGOA回路の模式図である。

【図6】本発明の第6の好ましい実施例のGOA回路の模式図である。

【図7】本発明の第7の好ましい実施例のGOA回路の模式図である。

【図8】図1～図5のGOA回路が逆方向走査するときの信号の波形模式図である。

10

20

30

40

50

【図9】図1～図5のGOA回路が正方向走査するときの信号の波形模式図である。

【図10】図6～図7のGOA回路が逆方向走査するときの信号の波形模式図である。

【図11】図6～図7のGOA回路が正方向走査するときの信号の波形模式図である。

【発明を実施するための形態】

【0044】

下記では、各実施例と図面を用いて、例を上げる方法で本発明の実施可能な実施例を説明する。本発明に開示されている方向の用語、例えば、「上」、「下」、「前」、「後」、「左」、「右」、「内」、「外」、「側面」等は、本発明の図面での方向を参照するためのものである。そのため、本明細書で使用される方向の用語は、本発明を説明、理解させるためのものであり、本発明を制限するものではない。

10

【0045】

図1は、本発明の第1の好ましい実施例のGOA回路の模式図である。前記GOA回路は、液晶表示装置に用いられる。前記液晶表示装置は、複数の走査線を備える。前記GOA回路は、カスケード接続された複数のシフトレジスタを備える。第Nステージシフトレジスタは、第Nステージ走査線に対する充電を制御する。この第Nステージシフトレジスタは、正逆方向走査制御回路(100)、プルアップ回路(200)、ブートストラップコンデンサ回路(300)、ゲート信号点(Q)漏電防止回路(400)及びプルダウン保持回路(500)を備える。

【0046】

プルダウン保持回路(500)は、前記第Nステージ走査線(G(N))に接続される。ブートストラップコンデンサ回路(300)は、前記プルダウン保持回路(500)に接続される。ゲート信号点(Q)漏電防止回路(400)は、前記ブートストラップコンデンサ回路(300)に接続される。正逆方向走査制御回路(100)は、前記ゲート信号点(Q)漏電防止回路に接続される。プルアップ回路(200)は、前記ブートストラップコンデンサ回路(300)に接続される。

20

【0047】

前記ブートストラップコンデンサ回路(300)、前記ゲート信号点(Q)漏電防止回路(400)及び前記プルダウン保持回路(500)は共に接続されてゲート信号点(Q(N))を構成する。

【0048】

前記前記プルアップ回路(200)、前記ブートストラップコンデンサ回路(300)及び前記ゲート信号点(Q)漏電防止回路(400)は、それぞれ前記第Nステージ走査線(G(N))に接続される。前記正逆方向走査制御回路(100)はそれぞれ第N-1ステージ走査線(G(N-1))及び第N+1ステージ走査線(G(N+1))に接続される。

30

【0049】

前記プルダウン保持回路(500)は、第1スイッチ(T9)、第2スイッチ(T8)、第3スイッチ(T7)、第4スイッチ(T6)、第5スイッチ(T5)、及び第1コンデンサ(C2)を備える。第1スイッチ(T9)は、その制御端が前記ゲート信号点(Q)漏電防止回路(400)に接続され、その出力端が第1回路点(P(N))に接続される。第2スイッチ(T8)は、その制御端がゲート信号点(Q(N))に接続され、その出力端が前記第1回路点(P(N))に接続される。前記第2スイッチ(T8)の入力端は、前記高定電圧源(VGH)に接続される。第3スイッチ(T7)は、その制御端が前記第1回路点(P(N))に接続され、その入力端が高定電圧源(VGH)に接続され、その出力端が前記第Nステージ走査線(G(N))に接続される。第4スイッチ(T6)は、その制御端が前記第1回路点(P(N))に接続され、その入力端が前記高定電圧源(VGH)に接続される。第5スイッチ(T5)は、その制御端が第Nステージの第1クロック信号(CK(N))を受信し、その入力端が前記第4スイッチ(T6)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続される。第1コンデンサ(C2)は、その両端がそれぞれ前記高定電圧源(VGH)及び前記第1回路点(P(N))

40

50

)に接続される。

【0050】

前記正逆方向走査制御回路(100)は、第6スイッチ(T1)及び第7スイッチ(T2)を備える。前記第6スイッチ(T1)は、その制御端がダウンロード制御信号(U2D)を受信し、その入力端が前記第N-1ステージ走査線(G(N-1))に接続され、その出力端が前記ゲート信号点(Q)漏電防止回路(400)に接続される。前記第7スイッチ(T2)は、その制御端がアップロード制御信号(D2U)を受信し、その入力端が前記第N+1ステージ走査線(G(N+1))に接続され、その出力端が前記第5スイッチ(T1)の出力端及び前記ゲート信号点(Q)漏電防止回路(400)に共に接続される。前記正逆方向走査制御回路(100)は、前記GOA回路の正逆方向走査及びプルアップ信号の制御を担当し、回路の内部において回路のステージ間の伝送を担当する。

10

【0051】

前記ゲート信号点(Q)漏電防止回路(400)は第9スイッチ(T3)を備え、前記第9スイッチ(T3)の制御端は、前記第1スイッチ(T9)の制御端及び入力端に共に接続されることによって、第Nステージの第2クロック信号(XCK(N))を受信する。第9スイッチ(T3)の入力端は、前記第6スイッチ(T1)の出力端及び前記第7スイッチ(T2)の出力端に接続され、その出力端は前記ゲート信号点(Q(N))に接続される。前記ゲート信号点(Q)漏電防止回路(400)は、前記ゲート信号点(Q(N))電位漏電の問題を防止すると同時に、非作用期間において、前記ゲート信号点(Q(N))の電位を調節することを担当する。

20

【0052】

前記プルアップ回路(200)は第8スイッチ(T4)を備える。第8スイッチ(T4)は、その制御端が前記ゲート信号点(Q(N))に接続され、その入力端が前記第Nステージの第1クロック信号(CK(N))に接続され、その出力端が前記第Nステージ走査線(G(N))に接続される。前記プルアップ回路(200)は、前記第Nステージの第1クロック信号(CK(N))を出力し、前記ゲート信号点(Q(N))の電位を合理的に制御した後、必要な前記第Nステージ走査線(G(N))の信号を効果的に出力することを担当する。

【0053】

前記ブートストラップコンデンサ回路(300)は第2コンデンサ(C1)を備える。第2コンデンサ(C1)は、その両端がそれぞれ前記ゲート信号点(Q(N))及び前記第Nステージ走査線(G(N))に接続される。前記ブートストラップコンデンサ回路(300)は、回路の前記ゲート信号点(Q(N))の電位を上げ、前記第Nステージの第1クロック信号(CK(N))の順調な出力を保證することを担当する。前記ゲート信号点(Q(N))の電位処理は、前記GOA回路のキーポイントとなり、回路の性能及びパネルの表示を直接決定する。

30

【0054】

本好ましい実施例では、第Nステージの第1クロック信号(CK(N))及び第Nステージの第2クロック信号(XCK(N))により、前記GOA回路のプルダウンを保持する。

40

【0055】

図2は、本発明の第2の好ましい実施例のGOA回路の模式図である。本好ましい実施例は、第1の好ましい実施例との相違点が以下のとおりである。前記ゲート信号点(Q)漏電防止回路(400)は、第10スイッチ(T10)をさらに備える。また、前記第1スイッチ(T9)、前記第9スイッチ(T3)の接続方式も異なる。前記第9スイッチ(T3)は、その制御端及び前記第1スイッチ(T9)の入力端がそれぞれ低定電圧源(VGL)に接続され、出力端が前記ゲート信号点(Q(N))に接続される。前記第10スイッチ(T10)は、その制御端が前記第1スイッチ(T9)の制御端に接続され、その入力端が前記第6スイッチ(T1)の出力端及び前記第7スイッチ(T2)の出力端に接続され、その出力端が前記第9スイッチ(T3)の入力端に接続される。前記第1スイッ

50

チ (T 9) の入力端及び前記第 9 スイッチ (T 3) は共に低定電圧源 (V G L) に接続される。前記第 1 0 スイッチ (T 1 0) の制御端及び前記第 1 スイッチ (T 9) の制御端は共に接続されることによって前記第 N ステージの第 2 クロック信号 (X C K (N)) を受信する。

【 0 0 5 6 】

本の好ましい実施例では、前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) において前記第 1 0 スイッチ (T 1 0) を設置し回路の一部を変更し、さらに、漏電問題を改善し前記ゲート信号点 (Q (N)) の波形異常の問題を解消する。

【 0 0 5 7 】

図 3 は、本発明の第 3 の好ましい実施例の G O A 回路の模式図である。本好ましい実施例は、第 2 の好ましい実施例との相違点が以下のとおりである。前記第 N ステージシフトレジスタは、プルダウン制御回路 (6 0 0) をさらに備える。前記プルダウン制御回路 (6 0 0) は、第 1 1 スイッチ (T 1 1) 及び第 1 2 スイッチ (T 1 2) を備える。第 1 1 スイッチ (T 1 1) は、その制御端がダウンロード制御信号 (U 2 D) を受信し、その入力端が第 2 正方向クロック信号 (X C K F) を受信し、その出力端が前記プルダウン保持回路 (5 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続される。第 1 2 スイッチ (T 1 2) は、その制御端がアップロード制御信号 (D 2 U) を受信し、その入力端が第 2 逆方向クロック信号 (X C K R) を受信し、その出力端が前記プルダウン保持回路 (5 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続される。前記プルダウン制御回路 (6 0 0) は、回路の保持段階のプルダウンを担当し、正逆方向の制御構造の独立を維持し、前記第 N ステージ走査線 (G (N)) のカスケード伝送 (C a s c a d e t r a n s f e r) を担当する。

【 0 0 5 8 】

本好ましい実施例において、前記プルダウン保持回路 (5 0 0) は、1組の互いに逆となる前記第 N ステージの第 1 クロック信号 (C K (N)) 及び前記第 N ステージの第 2 クロック信号 (X C K (N)) の信号を用いて作用する。前記第 2 正方向クロック信号 (X C K F) 及び前記第 2 逆方向クロック信号 (X C K R) は、第 1 段階において、前記低定電圧源 (V G L) を前記第 4 スイッチ (T 6) 及び前記第 3 スイッチ (T 7) の制御端に導入し、前記第 1 コンデンサ (C 2) により低電位を記憶する。このときの前記第 5 スイッチ (T 5) はオフ状態となる。前記第 N ステージの第 1 クロック信号 (C K (N)) が低電位であるときにだけ、前記第 5 スイッチ (T 5) 、前記第 4 スイッチ (T 6) は連通路を形成し、前記 G O A 回路の前記ゲート信号点 (Q (N)) をプルダウンする。このように、前記第 2 正方向クロック信号 (X C K F) 及び前記第 2 逆方向クロック信号 (X C K R) と前記第 1 コンデンサ (C 2) との組み合わせは、前記ゲート信号点 (Q (N)) と前記第 N ステージ走査線 (G (N)) の高電位を良好的に保持し、前記 G O A 回路の正常出力を保証することができる。

【 0 0 5 9 】

図 4 は、本発明の第 4 の好ましい実施例の G O A 回路の模式図である。本好ましい実施例は、第 3 の好ましい実施例との相違点が以下のとおりである。前記第 2 スイッチ (T 8) は、前記高定電圧源 (V G H) に接続されておらず、前記第 1 スイッチ (T 9) の制御端に接続される。

【 0 0 6 0 】

本好ましい実施例では、作用期間において、前記第 2 正方向クロック信号 (X C K F) 及び前記第 2 逆方向クロック信号 (X C K R) の高電位を前記第 4 スイッチ (T 6) 及び前記第 3 スイッチ (T 7) の制御端に導入することにより、前記第 4 スイッチ (T 6) 及び前記第 3 スイッチ (T 7) を良好的にオフし、漏電を回避することができる。

【 0 0 6 1 】

図 5 は、本発明の第 5 の好ましい実施例の G O A 回路の模式図である。本好ましい実施例は、第 3 の好ましい実施例との相違点が以下のとおりである。前記プルダウン保持回路 (5 0 0) は、第 1 3 スイッチ (T 1 3) をさらに備える。第 1 3 スイッチ (T 1 3) は

10

20

30

40

50

、その制御端が前記ゲート信号点 (Q (N)) に接続され、その入力端が前記第 1 スイッチ (T 9) の制御端に接続され、その出力端が前記第 1 回路点 (P (N)) に接続される。

【 0 0 6 2 】

本好ましい実施例では、前記第 1 3 スイッチ (T 1 3) を追加し、回路の出力期間において、前記第 4 スイッチ (T 6) 及び前記第 3 スイッチ (T 7) の制御端を高電位にプルする効用を強化して、前記 G O A の回路性能をさらに強化する。

【 0 0 6 3 】

図 6 は、本発明の第 6 の好ましい実施例の G O A 回路の模式図である。本好ましい実施例は、第 3 の好ましい実施例との相違点が以下のとおりである。前記プルダウン保持回路 (5 0 0) は、第 1 4 スイッチ (T 1 4) をさらに備える。第 1 4 スイッチ (T 1 4) は、その制御端が第 N - 1 ステージの第 2 クロック信号 (X C K (N - 1)) を受信し、その入力端が前記第 4 スイッチ (T 6) の出力端に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続される。

10

【 0 0 6 4 】

本好ましい実施例では、前記第 1 4 スイッチ (T 1 4) を追加し、回路の出力期間において、前記第 4 スイッチ (T 6) 及び前記第 3 スイッチ (T 7) の制御端を低電位にプルする効用を強化して、前記 G O A の回路性能をさらに強化する。プルダウンの時間の延長を保証し、プルダウンの機能を強化する。

【 0 0 6 5 】

図 7 は、本発明の第 7 の好ましい実施例の G O A 回路の模式図である。本好ましい実施例は、第 6 の好ましい実施例との相違点が以下のとおりである。前記第 1 4 スイッチ (T 1 4) の制御端は、第 N - 2 ステージの第 2 クロック信号 (X C K (N - 2)) を受信する。

20

【 0 0 6 6 】

本好ましい実施例では、第 1 4 スイッチ (T 1 4) の制御端の改良により、回路の出力期間において、前記第 4 スイッチ (T 6) 及び前記第 3 スイッチ (T 7) の制御端を低電位にプルする効用を強化し、波形をずらしてプルダウンして、前記 G O A の回路性能をさらに強化する。プルダウンの時間の延長を保証し、プルダウンの機能を強化する。

【 0 0 6 7 】

図 1 ~ 図 8 において、前記第 1 ~ 第 1 4 スイッチは、 P M O S T F T である。その制御端はゲートを意味し、その入力端はソースを意味し、その出力端はドレインを意味する。

30

【 0 0 6 8 】

図 8 及び図 9 を参照する。図 8 は、図 1 ~ 図 5 の G O A 回路が逆方向走査するときの信号の波形模式図である。図 9 は、図 1 ~ 図 5 の G O A 回路が正方向走査するときの信号の波形模式図である。アップロード制御信号 (D 2 U) は逆方向走査の制御信号であり、ダウンロード制御信号 (U 2 D) は正方向走査の制御信号であり、これらはそれぞれ正逆走査機能の開始を担当する。

【 0 0 6 9 】

第 N ステージの第 1 クロック信号 (C K (N)) 及び第 N ステージの第 2 クロック信号 (X C K (N)) は、前記 G O A 回路の信号出力、及び前記ゲート信号点 (Q (N)) の電位のプルダウン保持を担当し、1 組の互いに逆となる C l o c k 信号である。

40

【 0 0 7 0 】

高定電圧源 (V G H)、低定電圧源 (V G L) は、入力された定電圧制御信号であり、高定電圧源 (V G H) は高電位であり、高定電圧源 (V G H) は定電圧低電位であり、前記 G O A 回路中の高低電位の提供を担当する必要がある。その他は、前記 G O A 回路のキーンロードで生成される出力信号である。

【 0 0 7 1 】

図 1 0 及び図 1 1 を参照する。図 1 0 は、図 6 ~ 図 7 の G O A 回路が逆方向走査するときの信号の波形模式図である。図 1 1 は、図 6 ~ 図 7 の G O A 回路が正方向走査するとき

50

の信号の波形模式図である。アップロード制御信号 (D 2 U) とダウンロード制御信号 (U 2 D) は、正逆方向走査の制御信号であり、正逆走査機能の開始を担当し、4組の信号を用いて、対応する第Nステージの第1クロック信号 (C K (N)) と第Nステージの第2クロック信号 (X C K (N)) は、異なる回路技術により順序が相互に変更される。

【 0 0 7 2 】

上述したように、本発明は好ましい実施例を挙げていたが、前記好ましい実施例は本発明を制限するものではなく、当業者にとって、本発明の精神と範囲から離れない前提で、いろんな更新と修飾を行うことができ、そのため、本発明の保護範囲は特許請求の範囲に記載されている技術特徴を基準にするべきである。

【 図 1 】

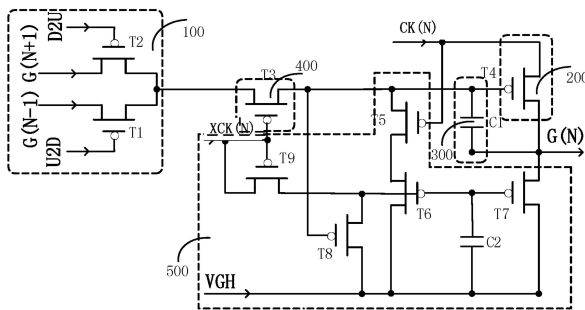


图 1

【 図 2 】

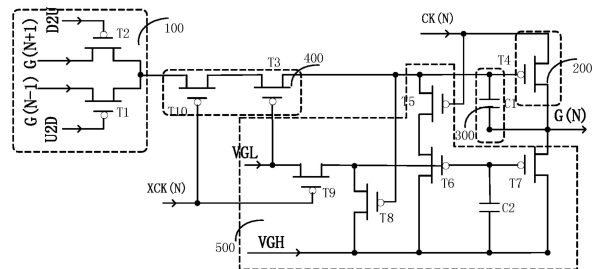


图 2

【 図 3 】

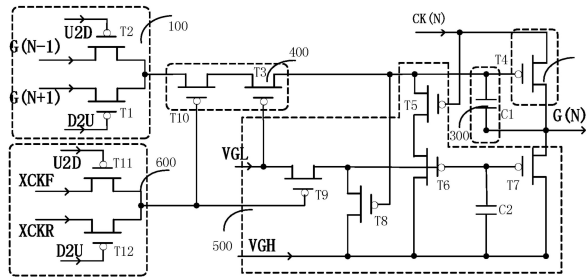


图 3

【 図 4 】

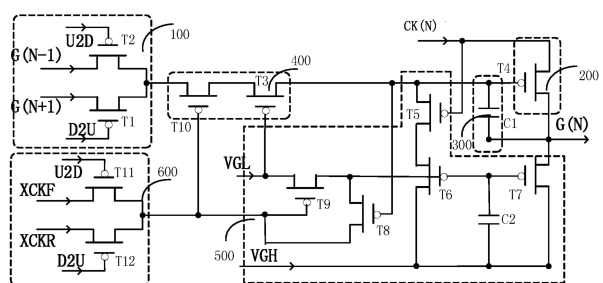
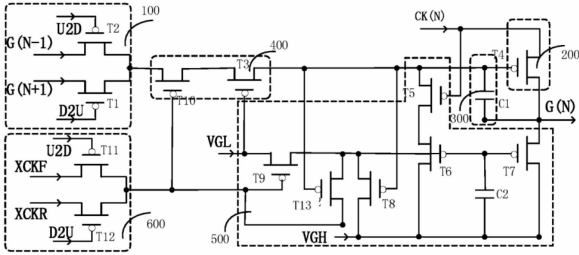
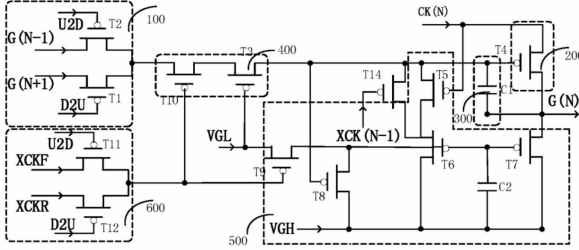


图 4

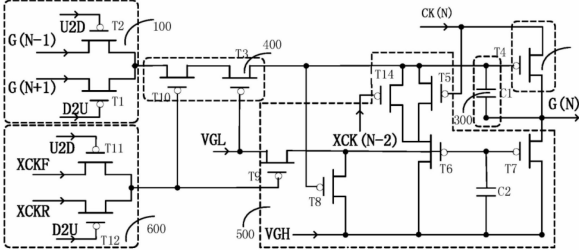
【 图 5 】



【 图 6 】



【 图 7 】



【 图 9 】

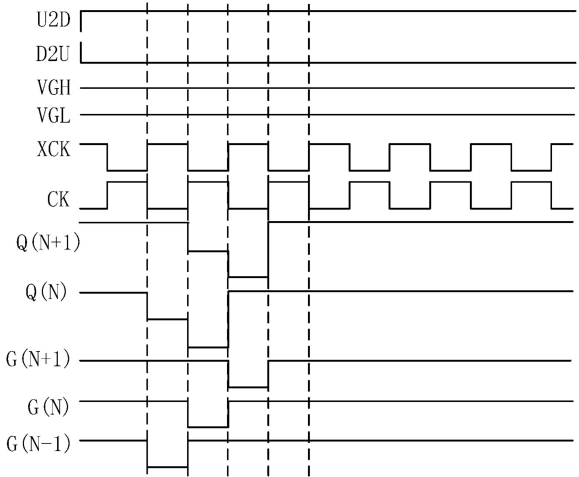


图 9

【 图 8 】

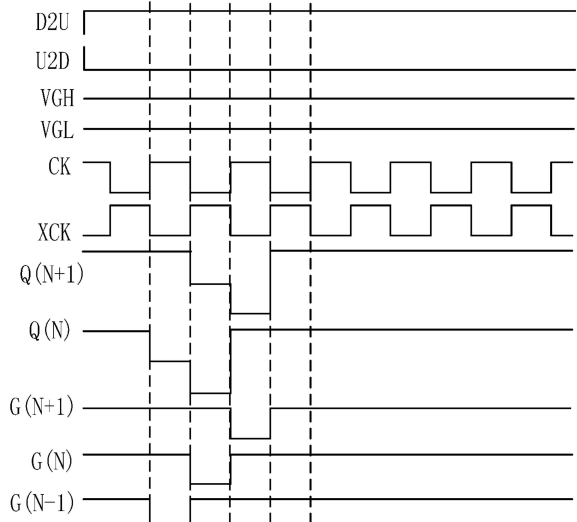


图 8

【 图 10 】

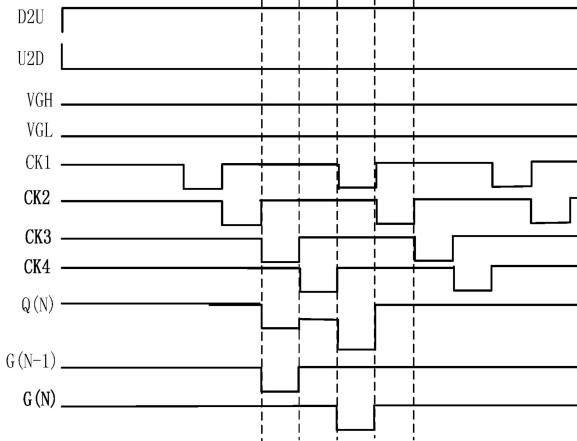



图 10

【 1 1】

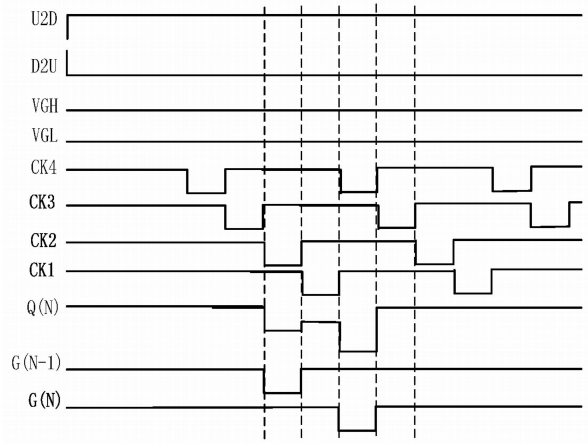


图 11

フロントページの続き

(51)Int.Cl. F I
G 1 1 C 19/28 2 3 0

(72)発明者 肖 軍城
中国広東省深 せん 市光明新区塘明大道9 - 2号施北娜

審査官 越川 康弘

(56)参考文献 特開2012 - 048186 (JP, A)
国際公開第2014 / 054516 (WO, A1)
米国特許出願公開第2008 / 0012818 (US, A1)
米国特許出願公開第2014 / 0079176 (US, A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 6
G 0 9 G 3 / 2 0
G 1 1 C 1 9 / 2 8

专利名称(译)	用于液晶显示器的果阿电路		
公开(公告)号	JP6637981B2	公开(公告)日	2020-01-29
申请号	JP2017533264	申请日	2015-01-08
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
当前申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	肖軍城		
发明人	肖軍城		
IPC分类号	G09G3/36 G09G3/20 G11C19/28		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2310/0286 G11C19/28 G09G2310/08 G09G2230/00 G09G2330/04		
FI分类号	G09G3/36 G09G3/20.670.E G09G3/20.622.E G09G3/20.670.J G09G3/20.670.M G11C19/28.230		
优先权	201410851563.1 2014-12-31 CN		
其他公开文献	JP2018507426A		
外部链接	Espacenet		

摘要(译)

用于液晶显示设备的阵列上栅极驱动器 (GOA) 电路。液晶显示装置包括多条扫描线, 并且GOA电路包括多个级联的移位寄存器单元。第N级移位寄存器单元控制第N级扫描线 (G(N)) 的充电。第N级移位寄存器单元包括正向和反向扫描控制电路 (100), 上拉电路 (200), 自举电容器电路 (300), 栅极信号点防漏电电路 (400) 和上拉电路。下降保持电路 (500)。自举电容器电路 (300), 栅极信号点防漏电电路 (400) 和下拉保持电路 (500) 连接在一起以形成栅极信号点 (Q), 以提高栅极的稳定性 信号点 (Q) 并减少开关的使用。

(19) 日本国特許庁 (JP)	(12) 特許公報 (B2)	(11) 特許番号 特許第6637981号 (P6637981)
(45) 発行日 令和2年1月29日 (2020.1.29)	(24) 登録日 令和1年12月27日 (2019.12.27)	
(5) Int. Cl. F I		
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/20 (2006.01)	G09G 3/20	670E
G11C 19/28 (2006.01)	G09G 3/20	622E
	G09G 3/20	670J
	G09G 3/20	670M
請求項の数 13 (全 17 頁) 最終頁に続く		
(2) 出願番号 特願2017-533264 (P2017-533264)	(73) 特許権者 516010618 深▲せん▼市華星電光技術有限公司 SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. 中国広東省深▲せん▼市光明新区塘明大道9-2号 No. 9-2 Tangming Road, Guangming, Shenzhen, Guangdong 518132, China	
(86) (22) 出願日 平成27年1月8日 (2015.1.8)		
(65) 公表番号 特表2018-507426 (P2018-507426A)		
(43) 公表日 平成30年3月15日 (2018.3.15)		
(86) 国際出願番号 PCT/CN2015/070318		
(87) 国際公開番号 W02016/106802		
(87) 国際公開日 平成28年7月7日 (2016.7.7)		
審査請求日 平成29年8月18日 (2017.8.18)		
(31) 優先権主張番号 201410851563.1		
(32) 優先日 平成26年12月31日 (2014.12.31)		
(33) 優先権主張国・地域又は機関 中国 (CN)	(74) 代理人 110002262 TRY国際特許業務法人	
最終頁に続く		
(54) 【発明の名称】 液晶表示装置用GOA回路		