

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6501837号

(P6501837)

(45) 発行日 平成31年4月17日(2019.4.17)

(24) 登録日 平成31年3月29日(2019.3.29)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 622E

G09G 3/20 611H

G09G 3/20 67OK

G09G 3/20 642P

請求項の数 7 (全 17 頁)

(21) 出願番号 特願2017-153610 (P2017-153610)
 (22) 出願日 平成29年8月8日(2017.8.8)
 (62) 分割の表示 特願2014-537480 (P2014-537480)
 の分割
 原出願日 平成24年10月26日(2012.10.26)
 (65) 公開番号 特開2017-204006 (P2017-204006A)
 (43) 公開日 平成29年11月16日(2017.11.16)
 審査請求日 平成29年8月8日(2017.8.8)
 (31) 優先権主張番号 201110331772.X
 (32) 優先日 平成23年10月26日(2011.10.26)
 (33) 優先権主張国 中国(CN)

(73) 特許権者 507134301
 北京京東方光電科技有限公司
 BEIJING BOE OPTOELE
 CTRONICS TECHNOLOGY
 CO., LTD.
 中華人民共和国北京経済技術開発区西環中
 路8號
 No. 8 Xihuanzhonglu,
 BDA, Beijing, 100176,
 P. R. CHINA
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 シフトレジスタ、ゲートラインドライバ及び表示機器

(57) 【特許請求の範囲】

【請求項 1】

シフトレジスタであって、

ゲート電極及びソース電極が一緒に接続され、かつ上段のトリガ信号端に接続され、ドレイン電極がプルアップノードとしての第1のノードに接続される第1の薄膜トランジスタと、

ゲート電極が前記第1のノードに接続され、ソース電極がクロック信号端に接続され、ドレイン電極が本段出力端に接続される第2の薄膜トランジスタと、

前記第1のノードと本段出力端との間に接続される電気容量と、

プルダウンノードとしての第2のノードと、クロック信号端と低レベル信号端との間に接続され、本段の出力が完了した後、前記第2の薄膜トランジスタのドレイン電極及びゲート電極に低レベルを印加するリセットモジュールと、

前記第1のノードと、低レベル信号端と本段出力端との間に接続され、かつ下段のフィードバック信号端に接続され、前記第1のノード及び本段出力端のレベルをプルダウンするように下段のフィードバック信号を受信するフィードバック受信モジュールと、を備え、

前記リセットモジュールは、

ゲート電極が前記第2のノードに接続され、ソース電極が第3のリセット薄膜トランジスタT3のドレイン電極に接続され、ドレイン電極が低レベル信号端に接続される第1のリセット薄膜トランジスタと、

10

20

ゲート電極が前記第2のノードに接続され、ソース電極が第4のリセット薄膜トランジスタのドレイン電極に接続され、ドレイン電極が低レベル信号端に接続される第2のリセット薄膜トランジスタと、

ゲート電極及びソース電極がクロック信号端に接続され、ドレイン電極が第1のリセット薄膜トランジスタのソース電極に接続される第3のリセット薄膜トランジスタと、

ゲート電極が第3のリセット薄膜トランジスタのドレイン電極に接続され、ソース電極がクロック信号端に接続され、ドレイン電極が第2のリセット薄膜トランジスタのソース電極に接続される第4のリセット薄膜トランジスタと、を備え、

前記シフトレジスタは、

ゲート電極がクロック信号端に接続され、ソース電極が前記第1のノードに接続され、ドレイン電極が前記第2のノードに接続される第8の薄膜トランジスタと、

10

ゲート電極が前記リセットモジュールにおける第2のリセット薄膜トランジスタのソース電極に接続され、ソース電極が前記第1のノードに接続され、ドレイン電極が低レベル信号端に接続される第9の薄膜トランジスタと、

ゲート電極が前記リセットモジュールにおける第2のリセット薄膜トランジスタのソース電極に接続され、ソース電極が本段出力端に接続され、ドレイン電極が低レベル信号端に接続される第10の薄膜トランジスタと、をさらに備えることを特徴とするシフトレジスタ。

【請求項2】

前記フィードバック受信モジュールは、

20

ゲート電極が下段のフィードバック信号端に接続され、ソース電極が本段出力端に接続され、ドレイン電極が低レベル信号端に接続される第4の薄膜トランジスタと、

ゲート電極が下段のフィードバック信号端に接続され、ソース電極が前記第1のノードに接続され、ドレイン電極が低レベル信号端に接続される第5の薄膜トランジスタと、をさらに備えることを特徴とする請求項1に記載のシフトレジスタ。

【請求項3】

ゲート電極が第2のクロック信号端に接続され、ソース電極が前記第2のノードに接続され、ドレイン電極が低レベル信号端に接続され、前記第2のクロック信号端でのクロック信号が前記クロック信号でのクロック信号とが全く逆相である第6の薄膜トランジスタを、さらに備えることを特徴とする請求項1に記載のシフトレジスタ。

30

【請求項4】

ゲート電極が第2のクロック信号端に接続され、ソース電極が上段のトリガ信号端に接続され、ドレイン電極が前記第1のノードに接続され、前記第2のクロック信号端でのクロック信号が前記クロック信号でのクロック信号とが全く逆相である第7の薄膜トランジスタを、さらに備えることを特徴とする請求項1に記載のシフトレジスタ。

【請求項5】

ゲート電極が前記第1のノードに接続され、ソース電極がクロック信号端に接続され、ドレイン電極が下段のトリガ信号端に接続される第3の薄膜トランジスタを、さらに備えることを特徴とする請求項1に記載のシフトレジスタ。

【請求項6】

40

互いに直列される複数の請求項1～5のいずれか1項に記載のシフトレジスタを備えることを特徴とするゲートラインドライバ。

【請求項7】

画素アレイ及び請求項6に記載のゲートラインドライバを備えることを特徴とする表示機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイという技術分野に関し、特に、ゲートラインドライブ方法、シフトレジスタ、ゲートラインドライバ及び表示機器に関する。

50

【背景技術】

【0002】

液晶ディスプレイの画素アレイは、交差した複数行のゲートライン及び複数列のデータラインを有する。そのうち、ゲートラインに対するドライブは、ドライブ集積回路を貼り付けることによって実現することができる。しかし、近年では、非晶質シリコン薄膜プロセスの発展によって、ゲートラインドライバ回路を薄膜トランジスタのアレイ基板に集積してシフトレジスタを構成することでゲートラインをドライブすることもできるようになった。

【0003】

複数のシフトレジスタからなるゲートラインドライバは、画素アレイにおける複数行のゲートラインにスイッチング信号を提供して複数行のゲートラインを順にオンさせるように制御し、さらに、表示画像の各グレースケールが要求するグレースケール電圧を形成するように、データラインによって画素アレイにおける対応する行の画素電極に充電し、各フレームの画像を表示する。

10

【0004】

各シフトレジスタでは、薄膜トランジスタをオン/オフすることによって、対応する行のゲートラインをオン/オフする必要がある。然し、実際に動作する時、薄膜トランジスタは、一定の時間を経過した後、閾値電圧シフト（ここは、順方向シフトであり、即ち、閾値電圧増加）が生じてしまい、正常にオンすることができなくなる。

【先行技術文献】

20

【特許文献】

【0005】

【特許文献1】国際公開第2010/067641号

【特許文献2】国際公開第2011/092924号

【発明の概要】

【発明が解決しようとする課題】

【0006】

薄膜トランジスタをオンする閾値電圧の増加は、そのソース電極及びゲート電極に印加される電圧に関わるのである。ソース電極及びゲート電極に印加される電圧が大きければ大きいほど、印加時間が長ければ長いほど、薄膜トランジスタをオンする閾値電圧の増加が大きくなる。よって、1つの薄膜トランジスタに電圧をずっと印加すれば、この薄膜トランジスタの閾値電圧シフトもずっと大きくなり、この薄膜トランジスタを正常にオンすることができなくなり、最終的に、シフトレジスタ回路が正常に動作することができなくなる。

30

【課題を解決するための手段】

【0007】

本発明は、シフトレジスタの動作安定性を向上できるゲートラインドライバ方法、シフトレジスタ、ゲートラインドライバ及表示機器を提供する。

【0008】

本発明の実施例は、ゲートラインドライバ方法であって、

40

1行のゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトを低下させる工程と、

薄膜トランジスタをオンするように上記シフトレジスタ内の薄膜トランジスタのゲート電極に電圧を印加して、この行のゲートラインをオンするように駆動するため、この行のゲートラインに行走査信号を提供する工程と、を備える。

【0009】

本発明の実施例は、シフトレジスタであって、

ゲート電極及びソース電極が一緒に接続され、かつ上段のトリガ信号端に接続され、ドレイン電極がプルアップノードとしての第1のノードに接続される第1の薄膜トランジスタと、

50

ゲート電極が上記第 1 のノードに接続され、ソース電極がクロック信号端に接続され、ドレイン電極が本段出力端に接続される第 2 の薄膜トランジスタと、

上記第 1 のノードと本段出力端との間に接続される電気容量と、

プルダウannoードとしての第 2 のノードと、クロック信号端と低レベル信号端との間に接続され、本段の出力が完了した後、上記第 2 の薄膜トランジスタのドレイン電極及びゲート電極に低レベルを印加するリセットモジュールと、

上記第 1 のノードと、低レベル信号端と本段出力端との間に接続され、かつ下段のフィードバック信号端に接続され、上記第 1 のノード及び本段出力端のレベルをプルダウンするように下段のフィードバック信号を受信するフィードバック受信モジュールと、を備える。

10

【 0 0 1 0 】

本発明の実施例は、ゲートラインドライバであって、互いに直列される複数の上記シフトレジスタを備える。

【 0 0 1 1 】

また、本発明の実施例は、表示機器であって、画素アレイ及び上記ゲートラインドライバを備える。

【 発明の効果 】

【 0 0 1 2 】

本発明の実施例は、ゲートラインドライブ方法、シフトレジスタ、ゲートラインドライバ及び表示機器であって、1つの薄膜トランジスタのゲート電極に電圧を長時間に印加すれば、この薄膜トランジスタのゲート絶縁層に電子を形成して累積しやすいため、この薄膜トランジスタの閾値電圧シフトが生じてしまう。薄膜トランジスタのソース電極に高レベルを印加し、ゲート電極に低レベルを印加することで、トンネル効果及び量子力学の原理により、ゲート絶縁層に形成して累積される電子をバリヤーを貫通して薄膜トランジスタのソース電極まで移動することができ、各行のゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトが低下され、最終的にシフトレジスタ回路を正常に動作することができ、シフトレジスタの動作安定性が向上され、シフトレジスタの動作寿命が延長された。

20

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】 本発明の実施例に係るゲートラインドライブ方法の概略図である。

【 図 2 】 本発明の実施例に係るシフトレジスタの概略図である。

【 図 3 】 本発明に係るシフトレジスタの具体的な実施例の概略図である。

【 図 4 】 図 3 に示すシフトレジスタのシーケンス制御図である。

【 図 5 】 図 3 に示すシフトレジスタの t 1 段階の動作を示す概略図である。

【 図 6 】 図 3 に示すシフトレジスタの t 2 段階の動作を示す概略図である。

【 図 7 】 図 3 に示すシフトレジスタの t 3 段階の動作を示す概略図である。

【 図 8 】 図 3 に示すシフトレジスタ在 t 4 段階的動作を示す概略図。

【 図 9 】 本発明の実施例に係るゲートラインドライバの概略図である。

【 発明を実施するための形態 】

【 0 0 1 4 】

以下、図面を参照しながら、本発明の実施例に係るゲートラインドライブ方法、シフトレジスタ、ゲートラインドライバ及び表示機器を詳しく説明する。

【 0 0 1 5 】

これらの実施例は、本発明の実施例の一部だけであり、すべての実施例ではない。本発明の実施例に基づき、当業者が創造性付けの労働を払わない場合に得られるすべての他の実施例は、いずれも本発明の保護範囲に入る。

【 0 0 1 6 】

ここで、本発明の実施例に定義されるソース電極、ドレイン電極は、実際に、名称が互いに変更することができる。さらに、図における矢印の方向は、T F T が導通されること

50

だけを示し、導通の方向を示さない。

【 0 0 1 7 】

図 1 は、本発明に係るゲートラインドライブ方法の概略図である。上記ゲートラインドライブ方法は、

1 行のゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトを低下するステップ 1 1 と、

薄膜トランジスタをオンするように上記シフトレジスタ内の薄膜トランジスタのゲート電極に電圧を印加し、該行のゲートラインをオンするように駆動するため、該行のゲートラインに行走査信号を提供するステップ 1 2 と、を備える。

【 0 0 1 8 】

本発明の実施例に係るゲートラインドライブ方法によれば、1つの薄膜トランジスタに電圧をずっと印加すると、該薄膜トランジスタのゲート絶縁層に電子を形成して累積しやすくなり、該薄膜トランジスタの閾値電圧シフトが生じてしまうため、行ごとのゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトを低下することによって、シフトレジスタ回路を正常に動作することができ、シフトレジスタの動作安定性が向上され、シフトレジスタの動作寿命が延長された。

【 0 0 1 9 】

上述のように、薄膜トランジスタにおける閾値電圧シフトは、一般的に、該薄膜トランジスタのゲート絶縁層に電子を形成して累積することによって形成されるため、1行のゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトを低下する上記ステップ 1 1 は、

該薄膜トランジスタの閾値電圧シフトを低減するように、該薄膜トランジスタのゲート絶縁層に累積される電子を該薄膜トランジスタのソース電極まで移動させるステップ 1 1 1、を備えてもよい。

【 0 0 2 0 】

ここで、薄膜トランジスタのゲート絶縁層に電子を形成して累積することで薄膜トランジスタの閾値電圧シフトが生じる以外に、他の原因、例えば、パッシベーション層上における電子の累積等によって閾値電圧シフトも生じてしまう。このため、本実施例では、行ごとのゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトを低減することは、上記ステップ 1 1 1 を含むだけではなく、例えば、パッシベーション層上に累積される電子を薄膜トランジスタのソース電極まで移動する等の他のステップを含んでもよい。

【 0 0 2 1 】

薄膜トランジスタのゲート絶縁層に累積される電子を薄膜トランジスタのソース電極まで移動する上記ステップ 1 1 1 は、薄膜トランジスタのゲート絶縁層に累積される電子を薄膜トランジスタのソース電極まで移動するように、薄膜トランジスタのソース電極に高レベルを印加し、ゲート電極に低レベルを印加するステップを備える。

【 0 0 2 2 】

薄膜トランジスタのソース電極に高レベルを印加し、ゲート電極に低レベルを印加した後、トンネル効果及び量子力学の原理により、薄膜トランジスタのゲート絶縁層に形成して累積される電子を、バリヤーを貫通して薄膜トランジスタのソース電極まで移動することができ、薄膜トランジスタのゲート絶縁層における電子の累積による薄膜トランジスタの閾値電圧シフトが低減される。

【 0 0 2 3 】

以下、上記ゲートラインドライブ方法によって、シフトレジスタを設計する。該シフトレジスタは高い動作安定性を有する。例えば、図 2 に示すように、本実施例に係るシフトレジスタは、3つの薄膜トランジスタ、1つの蓄積容量、1つのリセットモジュール、1つのフィードバック受信モジュール及び対応する入・出力端を備える。該シフトレジスタは、具体的に、

ゲート電極及びソース電極と一緒に接続され、かつ上段のトリガ信号端 `input (n`

10

20

30

40

50

に接続され、ドレイン電極がプルアップノードとしての第1のノードPUに接続され、上段のトリガ信号端 $input(n)$ からの高レベル信号を受信するとき、シフトレジスタをオンするように制御するものであり、上段のシフトレジスタ（即ち、第 $n-1$ 段のシフトレジスタ）の本段出力端 $Output(n-1)$ が高レベルを出力するときに、上段のトリガ信号端 $input(n)$ が高レベルの信号を受信する第1の薄膜トランジスタ $M1$ と、

ゲート電極が第1のノードPUに接続され、ソース電極がクロック信号端に接続され、ドレイン電極が本段出力端 $Output(n)$ に接続され、本段のシフトレジスタ（即ち、第 n 段のシフトレジスタ）に対応する1行のゲートラインをオンするように、本段出力端 $Output(n)$ に高レベルの出力を提供するものである第2の薄膜トランジスタ $M2$ と、

10

ゲート電極が第1のノードPUに接続され、ソース電極がクロック信号端に接続され、ドレイン電極が下段のトリガ信号端 $input(n+1)$ に接続され、下段のシフトレジスタをオンするように下段のシフトレジスタ（即ち、第 $n+1$ 段のシフトレジスタ）にトリガ信号を提供するものである第3の薄膜トランジスタ $M3$ と、

第1のノードPUと本段出力端 $Output(n)$ との間に接続される電気容量 $C1$ と

プルダウノードとしての第2のノードPL、クロック信号端及び低レベル信号端 Vs の間に接続され、本段の出力が完了した後、第2の薄膜トランジスタ $M2$ のドレイン電極及びゲート電極に低レベルを印加するリセットモジュール1と、

20

第1のノードPU、低レベル信号端 Vs 及び本段出力端 $Output(n)$ の間に接続され、かつ下段のフィードバック信号端 $Reset(n+1)$ に接続され、第1のノードPU及び本段出力端 $Output(n)$ のレベルをプルダウンするように下段のフィードバック信号を受信するものであり、下段のシフトレジスタ（即ち、第 $n+1$ 段のシフトレジスタ）の本段出力端 $Output(n+1)$ が高レベルを出力するときに、下段のフィードバック信号端 $Reset(n+1)$ が高レベル信号を受信するフィードバック受信モジュール2と、を備える。上記下段のフィードバック信号端 $Reset(n+1)$ は、下段のシフトレジスタ（即ち、第 $n+1$ 段のシフトレジスタ）の本段出力端 $Output(n+1)$ に接続してもよいし、または、下段のシフトレジスタ（即ち、第 $n+1$ 段のシフトレジスタ）の下段のトリガ信号端 $input(n+2)$ に接続してもよい。

30

【0024】

ここで、図2において、シフトレジスタは3つの薄膜トランジスタを有するが、本発明の実施例はこれに限らない。例えば、本発明の実施例に係るシフトレジスタは、第3の薄膜トランジスタ $M3$ を有しなく、第2の薄膜トランジスタ $M2$ のドレイン電極に接続する本段出力端 $Output(n)$ を、直接に下段のトリガ信号端 $input(n+1)$ とともにすることもできる。

【0025】

よって、本発明の他の実施例に係るシフトレジスタは、2つの薄膜トランジスタ、1つの蓄積容量、1つのリセットモジュール、1つのフィードバック受信モジュール及び対応する入・出力端を有する。このシフトレジスタは、具体的に、

40

ゲート電極及びソース電極が一緒に接続され、かつ上段のトリガ信号端 $input(n)$ に接続され、ドレイン電極がプルアップノードとしての第1のノードPUに接続され、上段のトリガ信号端 $input(n)$ からの高レベルの信号を受信するとき、シフトレジスタをオンするものであり、上段のシフトレジスタ（即ち、第 $n-1$ 段のシフトレジスタ）の本段出力端 $Output(n-1)$ が高レベルを出力するとき、上段のトリガ信号端 $input(n)$ が高レベル信号を受信する第1の薄膜トランジスタ $M1$ と、

ゲート電極が第1のノードPUに接続され、ソース電極がクロック信号端に接続され、ドレイン電極が本段出力端 $Output(n)$ とともに下段のトリガ信号端 $input(n+1)$ に接続され、本段のシフトレジスタ（即ち、第 n 段のシフトレジスタ）に対応する1行のゲートラインをオンするように、本段出力端 $Output(n)$ に高レベルを出

50

かし、かつ下段のシフトレジスタをオンするように下段のシフトレジスタ（即ち、第 $n + 1$ 段のシフトレジスタ）にトリガ信号を提供する第 2 の薄膜トランジスタ M_2 と、

第 1 のノード P_U と本段出力端 $Output(n)$ との間に接続される電気容量 C_1 と

、プルダウノードとしての第 2 のノード P_L 、クロック信号端及び低レベル信号端 V_{ss} との間に接続され、本段の出力が完了した後、第 2 の薄膜トランジスタ M_2 のドレイン電極及びゲート電極に低レベルを印加するリセットモジュール 1 と、

第 1 のノード P_U 、低レベル信号端 V_{ss} 及び本段出力端 $Output(n)$ との間に接続され、かつ下段のフィードバック信号端 $Reset(n+1)$ に接続され、第 1 のノード P_U 及び本段出力端 $Output(n)$ のレベルをプルダウンするように下段のフィードバック信号を受信し、下段のシフトレジスタ（即ち、第 $n + 1$ 段のシフトレジスタ）の本段出力端 $Output(n+1)$ が高レベルを出力するとき、下段のフィードバック信号端 $Reset(n+1)$ が高レベル信号を受信するフィードバック受信モジュール 2 と、を備える。上記下段のフィードバック信号端 $Reset(n+1)$ は、下段のシフトレジスタ（即ち、第 $n + 1$ 段のシフトレジスタ）の本段出力端 $Output(n+1)$ に接続してもよいし、または、本実施例に係る下段のシフトレジスタ（即ち、第 $n + 1$ 段のシフトレジスタ）に他の薄膜トランジスタ（例えば、図 2 における M_3 ）を追加することによって、上記下段のフィードバック信号端 $Reset(n+1)$ を提供してもよい。

【0026】

本発明の実施例に係るシフトレジスタは、1つの薄膜トランジスタに電圧をずっと印加すると、薄膜トランジスタのゲート絶縁層に電子を形成して累積しやすくなり、該薄膜トランジスタの閾値電圧シフトが生じてしまうため、薄膜トランジスタのソース電極に高レベルを印加し、ゲート電極に低レベルを印加することで、トンネル効果及び量子力学の原理により、薄膜トランジスタのゲート絶縁層に形成して累積される電子を、バリエーを貫通して薄膜トランジスタのソース電極まで移動することができ、行ごとのゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトが低減され、最終的に、シフトレジスタ回路を正常に動作させるようにして、シフトレジスタの安定性が向上され、シフトレジスタの寿命が延長される。ここで、シフトレジスタにおける各薄膜トランジスタのゲート絶縁層に電子が形成して累積されることによって、対応する薄膜トランジスタの閾値電圧がいずれもシフトされるので、シフトレジスタの本段出力が完了した後に薄膜トランジスタのソース電極に高レベルを印加して、ゲート電極に低レベルを印加するように、シフトレジスタにおける各薄膜トランジスタにリセットモジュール 1 を設置してもよい。これによって、薄膜トランジスタのゲート絶縁層における電子が薄膜トランジスタのソース電極まで移動し、薄膜トランジスタの閾値電圧シフトが低減される。その中では、シフトレジスタにおいて、第 2 の薄膜トランジスタ M_2 がクロック信号端及び本段出力端を導通し、該シフトレジスタに対応する 1 行のゲートラインをオンすることができるので、該第 2 の薄膜トランジスタ M_2 はシフトレジスタにおいて非常に重要であり、該第 2 の薄膜トランジスタ M_2 が閾値電圧シフトによって正常にオンすることができないと、表示効果が影響される。また、該第 2 の薄膜トランジスタ M_2 の動作電流が一般的に大きくて、閾値電圧シフトを招きやすい。よって、本実施例では、第 2 の薄膜トランジスタ M_2 を例として、リセットモジュール 1 によってその閾値電圧シフトをどのように低減するかを説明する。この説明は、制限的なものではなく、例示的なものである。

【0027】

図 3 は、本発明に係るシフトレジスタの 1 つの具体的な実施例を示す概略図である。図 3 に示すように、上記シフトレジスタは、14つの薄膜トランジスタ、1つの蓄積容量及び対応の入・出力端を備える。この 14つの薄膜トランジスタは、第 1 の薄膜トランジスタ M_1 、第 2 の薄膜トランジスタ M_2 、第 3 の薄膜トランジスタ M_3 、第 4 の薄膜トランジスタ M_4 、第 5 の薄膜トランジスタ M_5 、第 6 の薄膜トランジスタ M_6 、第 7 の薄膜トランジスタ M_7 、第 8 の薄膜トランジスタ M_8 、第 9 の薄膜トランジスタ M_9 、第 10 の薄膜トランジスタ M_{10} 、第 1 のリセット薄膜トランジスタ T_1 、第 2 のリセット薄膜ト

10

20

30

40

50

ランジスタT2、第3のリセット薄膜トランジスタT3及び第4のリセット薄膜トランジスタT4である。蓄積容量が電気容量C1である。入・出力端は、上段のシフトレジスタのトリガ信号を受信する上段のトリガ信号端input(n)、本段のシフトレジスタにレベル信号を出力する本段出力端Output(n)、下段のシフトレジスタにトリガ信号を送信する下段のトリガ信号端input(n+1)、下段のシフトレジスタフィードバック信号を受信する下段のフィードバック信号端Reset(n+1)、低レベル信号端Vss、及びクロック信号端を備え、該クロック信号端は、周波数とデューティ比がまったく同じであり位相差が180度である第1のクロック信号端CLK及び第2のクロック信号端CLKBを有する。

【0028】

具体的に、第1の薄膜トランジスタM1は、ゲート電極及びソース電極が一緒に接続され、かつ上段のトリガ信号端input(n)に接続され、ドレイン電極がプルアップノードとしての第1のノードPUに接続され、第2の薄膜トランジスタM2は、ゲート電極が第1のノードPUに接続され、ソース電極が第1のクロック信号端CLKに接続され、ドレイン電極が本段出力端Output(n)に接続され、第3の薄膜トランジスタM3は、ゲート電極が第1のノードPUに接続され、ソース電極が第1のクロック信号端CLKに接続され、ドレイン電極が下段のトリガ信号端input(n+1)に接続され、第4の薄膜トランジスタM4は、ゲート電極が下段のフィードバック信号端Reset(n+1)に接続され、ソース電極が本段出力端Output(n)に接続され、ドレイン電極が低レベル信号端Vssに接続され、第5の薄膜トランジスタM5は、ゲート電極が下段のフィードバック信号端Reset(n+1)に接続され、ソース電極が第1のノードPUに接続され、ドレイン電極が低レベル信号端Vssに接続され、第6の薄膜トランジスタM6は、ゲート電極が第2のクロック信号端CLKBに接続され、ソース電極が第2のノードPLに接続され、ドレイン電極が低レベル信号端Vssに接続され、第7の薄膜トランジスタM7は、ゲート電極が第2のクロック信号端CLKBに接続され、ソース電極が上段のトリガ信号端input(n)に接続され、ドレイン電極が第1のノードPUに接続され、第8の薄膜トランジスタM8は、ゲート電極が第1のクロック信号端CLKに接続され、ソース電極が第1のノードPUに接続され、ドレイン電極が第2のノードPLに接続され、第9の薄膜トランジスタM9は、ゲート電極がリセットモジュール1における第4のリセット薄膜トランジスタT4のドレイン電極に接続され、ソース電極が第1のノードPUに接続され、ドレイン電極が低レベル信号端Vssに接続され、第10の薄膜トランジスタM10は、ゲート電極がリセットモジュール1における第4のリセット薄膜トランジスタT4のドレイン電極に接続され、ソース電極が本段出力端Output(n)に接続され、ドレイン電極が低レベル信号端Vssに接続される。第1のリセット薄膜トランジスタT1は、ゲート電極が第2のノードPLに接続され、ソース電極が第3のリセット薄膜トランジスタT3のドレイン電極に接続され、ドレイン電極が低レベル信号端Vssに接続され、第2のリセット薄膜トランジスタT2は、ゲート電極が第2のノードPLに接続され、ソース電極が第4のリセット薄膜トランジスタT4のドレイン電極に接続され、ドレイン電極が低レベル信号端Vssに接続され、第3のリセット薄膜トランジスタT3は、ゲート電極及びソース電極が第1のクロック信号端CLKに接続され、ドレイン電極が第1のリセット薄膜トランジスタT1のソース電極に接続され、第4のリセット薄膜トランジスタT4は、ゲート電極が第3のリセット薄膜トランジスタT3のドレイン電極に接続され、ソース電極が第1のクロック信号端CLKに接続され、ドレイン電極が第2のリセット薄膜トランジスタT2のソース電極に接続される。蓄積容量C1は、第1のノードPUと本段出力端Output(n)との間に接続される。

【0029】

そのうち、第1のリセット薄膜トランジスタT1、第2のリセット薄膜トランジスタT2、第3のリセット薄膜トランジスタT3及び第4のリセット薄膜トランジスタT4の構造は、第1の薄膜トランジスタM1乃至第10の薄膜トランジスタM10等の構造と同じであり、第1のリセット薄膜トランジスタT1、第2のリセット薄膜トランジスタT2、

10

20

30

40

50

第3のリセット薄膜トランジスタT3及び第4のリセット薄膜トランジスタT4は、本実施例におけるリセットモジュール1を構成するので、それらを第1の薄膜トランジスタM1乃至第10の薄膜トランジスタM10と名称で区分される。

【0030】

上記のように、第1のリセット薄膜トランジスタT1、第2のリセット薄膜トランジスタT2、第3のリセット薄膜トランジスタT3及び第4のリセット薄膜トランジスタT4は、本実施例におけるリセットモジュール1を構成する。リセットモジュール1は、本段の出力が完了した後、第2の薄膜トランジスタM2の、ソース電極に高レベルを印加し、ゲート電極に低レベルを印加するものである。これによって、トンネル効果及び量子力学の原理によって、第2の薄膜トランジスタM2のゲート絶縁層に形成して累積される電子を、バリアーを貫通して第2の薄膜トランジスタM2のソース電極まで移動することができ、行ごとのゲートラインに対応するシフトレジスタ内の第2の薄膜トランジスタM2の閾値電圧シフトが低減され、最終的に、シフトレジスタ回路を正常に動作することができ、シフトレジスタ動作の安定性が向上され、シフトレジスタの動作寿命が延長された。

10

【0031】

第4の薄膜トランジスタM4及び第5の薄膜トランジスタM5は、フィードバック受信モジュール2を構成する。該フィードバック受信モジュール2は、本段のシフトレジスタが動作しないとともに下段のシフトレジスタが動作するとき、本段出力端Output(n)及びプルアップノードとしての第1のノードPUを低レベルに維持するものであり、本段出力端Output(n)が他の干渉信号によって高レベルになり、それに制御される1行のゲートラインを高レベルによってオンし、最終的にゲートラインを誤ってオンしてしまう状況が避けられた。その中では、第2の薄膜トランジスタM2を誤ってオンすることを防止するように、第4の薄膜トランジスタM4は、下段のフィードバック信号端Reset(n+1)によって本段出力端Output(n)を低レベルに維持するものであり、第5の薄膜トランジスタM5は、下段のフィードバック信号端Reset(n+1)によって第1のノードPUを低レベルに維持するものである。

20

【0032】

図3からわかるように、上記シフトレジスタは第6の薄膜トランジスタM6をさらに有する。第6の薄膜トランジスタM6は、本段のシフトレジスタが動作しない場合、第2のクロック信号端CLKBの高レベル信号を受信することによって、プルダウンノードとしての第2のノードPLをプルダウンするものであり、本段出力端Output(n)が他の干渉信号によって高レベルになり、それに制御される1行のゲートラインを高レベルによってオンし、ゲートラインを誤ってオンする状況が避けられた。

30

【0033】

上記シフトレジスタは第7の薄膜トランジスタM7をさらに備える。第7の薄膜トランジスタM7は、上段のトリガ信号端input(n)が高レベルであって、第2のクロック信号端CLKBが高レベルになるとき、蓄積容量C1に加速に充電するものである。

【0034】

上記シフトレジスタは、第8の薄膜トランジスタM8をさらに備える。第8の薄膜トランジスタM8は、本段出力端Output(n)が高レベルである時期内(即ち、本段のシフトレジスタの動作時間内)に、第1のノードPUを高レベルに維持させ、電気容量C1に引き続いて充電するものであり、第2の薄膜トランジスタM2のオン能力がさらに向上される。

40

【0035】

また、上記シフトレジスタは、第9の薄膜トランジスタM9及び第10の薄膜トランジスタM10を備える。それらをリセットモジュール1と組み合わせることによって、第2の薄膜トランジスタM2をリセットするとき、第2の薄膜トランジスタM2のゲート電極及びドレイン電極がともに低レベルにされる。そのうち、第9の薄膜トランジスタM9は、第2の薄膜トランジスタM2を誤ってオンすることを避けるように第1のノードPUを低レベルにプルダウンするものであり、第10の薄膜トランジスタM10は、本段出力端

50

Output (n) が高レベルになることを避けるように、本段出力端 Output (n) を低レベルにプルダウンするものである。

【0036】

図3において、シフトレジスタは、14つの薄膜トランジスタを有するが、本発明の実施例はこれに限らない。例えば、本発明の実施例に係るシフトレジスタは、第3の薄膜トランジスタM3を有しなく、第2の薄膜トランジスタM2のドレイン電極に接続する本段出力端 Output (n) を下段のトリガ信号端 input (n+1) とともにすることもできる。

【0037】

よって、本発明の他の実施例に係るシフトレジスタは、13つの薄膜トランジスタ、1つの蓄積容量及び対応する入・出力端を備える。そのうち、該13つの薄膜トランジスタは、第1の薄膜トランジスタM1、第2の薄膜トランジスタM2、第4の薄膜トランジスタM4、第5の薄膜トランジスタM5、第6の薄膜トランジスタM6、第7の薄膜トランジスタM7、第8の薄膜トランジスタM8、第9の薄膜トランジスタM9、第10の薄膜トランジスタM10、第1のリセット薄膜トランジスタT1、第2のリセット薄膜トランジスタT2、第3のリセット薄膜トランジスタT3及び第4のリセット薄膜トランジスタT4である。蓄積容量は電気容量C1である。入・出力端は、上段のシフトレジスタトリガ信号を受信する上段のトリガ信号端 input (n)、本段のシフトレジスタにレベル信号を出力するとともに下段のシフトレジスタにトリガ信号を送信する本段出力端 Output (n)、下段のシフトレジスタフィードバック信号を受信する下段のフィードバック信号端 Reset (n+1)、低レベル信号端 Vss、及びクロック信号端を備え、該クロック信号端は、周波数とデューティ比がまったく同じであり位相差が180度である第1のクロック信号端 CLK 及び第2のクロック信号端 CLKB を有する。上記13つの薄膜トランジスタに対する操作は、上記のように、図3を組み合わせることで説明した実施例において対応する薄膜トランジスタに対する操作と同じであるため、ここで贅言しない。

【0038】

実際に、本実施例の上記技術案における各薄膜トランジスタは、水素化非晶質薄膜トランジスタであってもよいが、他の薄膜トランジスタであってもよい。

【0039】

以下、図3に示すシフトレジスタ及び図4に示す制御シーケンスに基づき、本実施例に係るシフトレジスタの動作過程を説明する。

【0040】

図4は、本実施例に係るシフトレジスタの制御シーケンスを示す図であり、それは、t1、t2、t3及びt4という4つの段階に分割されてもよい。それにおいて、第1のクロック信号端 CLK 及び第2のクロック信号端 CLKB は周期的に交替に用いられる。STVはスイッチング信号であり、即ち、上段のトリガ信号端 input (n)、上段のシフトレジスタからの高レベル信号を受信するものである。ここで、高レベル信号を1で示し、低レベル信号を0で示す。さらに、下記の図5～図8において、矢印で薄膜トランジスタの導通を示し、×印で薄膜トランジスタのオフを示す。

【0041】

t1段階では、input (n) = 1、CLK = 0、CLKB = 1、Reset (n+1) = 0。

【0042】

本段のシフトレジスタのSTV信号は、上段のシフトレジスタが上段のトリガ信号端 input (n) によって提供される。図5に示すように、input (n) = 1ので、第1の薄膜トランジスタM1が導通され、かつ本段のシフトレジスタをオンさせ、上段のトリガ信号端 input (n) は、第1の薄膜トランジスタM1によって蓄積容量C1に充電する。CLKB = 1ため、第7の薄膜トランジスタM7が導通され、第2のクロック信号端 CLKB が第7の薄膜トランジスタM7によって蓄積容量C1に加速に充電する。このとき、第1のノードPUがプルアップされて高レベルを有し、第2の薄膜トランジスタ

M2が導通され、CLK = 0 ため、第1のクロック信号端CLKの低レベルが第2の薄膜トランジスタM2を介して本段出力端Output(n)に出力し、この出力される低レベルによって、本段のシフトレジスタに対応する1行のゲートラインが低レベル状態になる。さらに、CLKB = 1 ため、第6の薄膜トランジスタM6が導通される。第6の薄膜トランジスタM6は、本段のシフトレジスタが動作しないとき、本段出力端Output(n)が他の干渉信号によって高レベルになることを避けるように、第2のノードPLをVssにプルダウンする。また、第1のノードPUが高レベルまでプルアップされるため、第3の薄膜トランジスタM3が導通され、かつ第1のクロック信号端CLK = 0 ため、下段のトリガ信号端input(n+1)が低レベルまでプルダウンされ、即ち、本段のシフトレジスタは、t1段階内では、下段のシフトレジスタにトリガ信号を送信することがない。上記のように、t1段階は、蓄積容量C1に充電する段階である。

10

【0043】

t2では、input(n) = 0、CLK = 1、CLKB = 0、Reset(n+1) = 0。

【0044】

図6示すように、input(n) = 0、CLKB = 0 ため、第1の薄膜トランジスタM1及び第7の薄膜トランジスタM7がオフされ、t2段階では、上段のトリガ信号端input(n)及び第2のクロック信号端CLKBによって蓄積容量C1に充電することがない。CLKB = 0 ため、第6の薄膜トランジスタM6がオフされ、第6の薄膜トランジスタM6が第2のノードPLをプルダウンすることがない。CLK = 1 ため、第2の薄膜トランジスタM2は、蓄積容量C1によって導通された後、第1のクロック信号端CLKの高レベルを本段出力端Output(n)に出力し、本段出力端Output(n)によって、該高レベルを本段のシフトレジスタに対応する1行のゲートラインに出力し、液晶パネルの表示領域内の、該行ゲートラインにある全ての薄膜トランジスタをオンさせ、データラインが信号を書き込み始める。CLK = 1 ため、第8の薄膜トランジスタM8が導通され、かつ本段出力端Output(n)の高レベルを第1のノードPUにフィードバックし、第1のノードPUを高レベルに維持して電気容量C1を引き続いて充電することを保証し、第2の薄膜トランジスタM2のオン能力を向上する。Output(n) = 1の後、第2のノードPLがプルアップされ、第1のリセット薄膜トランジスタT1及び第2のリセット薄膜トランジスタT2が導通され、第1のリセット薄膜トランジスタT1が第4のリセット薄膜トランジスタT4のゲート電極を低レベルに維持させ、第2のリセット薄膜トランジスタT2が第4のリセット薄膜トランジスタT4のドレイン電極を低レベルに維持させる。第4のリセット薄膜トランジスタT4がオフするので、第1のノードPU及び本段出力端Output(n)をプルダウンしなくて高レベルに維持させるように、第9の薄膜トランジスタM9及び第10の薄膜トランジスタM10がオフする。さらに、このとき、第3の薄膜トランジスタM3も蓄積容量C1によって導通され、下段のシフトレジスタにトリガ信号を送信するように下段のトリガ信号端input(n+1)を高レベルにさせる。上記のように、t2段階は、本段のシフトレジスタの本段出力端Output(n)が高レベルを出力する段階である。

20

30

【0045】

t3段階では、input(n) = 0、CLK = 0、CLKB = 1、Reset(n+1) = 1。

40

【0046】

本段のシフトレジスタのReset信号は、下段のシフトレジスタが下段のフィードバック信号端Reset(n+1)によって提供される。図7に示すように、Reset(n+1) = 1 ため、第4の薄膜トランジスタM4及び第5の薄膜トランジスタM5が導通され、第4の薄膜トランジスタM4が導通された後、本段出力端Output(n)をVssまでプルダウンし、第5の薄膜トランジスタM5が導通された後、第1のノードPUをVssまでプルダウンする。これによって、本段出力端Output(n)が他の干渉信号によって高レベルになり、それに制御される1行のゲートラインを高レベルによって

50

オンし、ゲートラインを誤ってオンする状況が避けられる。さらに、 $CLKB = 1$ ため、第 6 の薄膜トランジスタ M_6 が導通され、第 6 の薄膜トランジスタ M_6 は、本段のシフトレジスタが動作しないとき、第 2 のノード PL を V_{ss} にプルダウンし、本段出力端 $Output(n)$ が他の干渉信号によって高レベルになることが避けられた。以上のように、 t_3 段階は、下段のシフトレジスタの本段出力端 $Output(n+1)$ が高レベルを出力する段階である。

【0047】

t_4 では、 $input(n) = 0$ 、 $CLK = 1$ 、 $CLKB = 0$ 、 $Reset(n+1) = 0$ 。

【0048】

図 8 に示すように、 $CLK = 1$ ため、第 3 のリセット薄膜トランジスタ T_3 が導通され、第 4 のリセット薄膜トランジスタ T_4 のゲート電極が高レベルになり、第 4 のリセット薄膜トランジスタ T_4 が導通される。また、第 4 のリセット薄膜トランジスタ T_4 の導通によって、第 9 の薄膜トランジスタ M_9 及び第 10 の薄膜トランジスタ M_{10} のゲート電極が高レベルになり、第 9 の薄膜トランジスタ M_9 及び第 10 の薄膜トランジスタ M_{10} が導通される。第 9 の薄膜トランジスタ M_9 は、第 1 のノード PU を V_{ss} までプルダウンし、第 10 の薄膜トランジスタ M_{10} は、本段出力端 $Output(n)$ を V_{ss} までプルダウンする。これによって、第 2 の薄膜トランジスタ M_2 をリセットするとき、第 2 の薄膜トランジスタ M_2 のゲート電極及びドレイン電極が低レベルに維持される。このとき、第 2 の薄膜トランジスタ M_2 に対して、そのソース電極に高レベルが印加され、ゲート電極に低レベルが印加されるため、ゲート絶縁層上に累積される電子はバリヤーを貫通して第 2 の薄膜トランジスタ M_2 のソース電極に到達することができ、第 2 の薄膜トランジスタ M_2 の閾値電圧シフトが低減された。以上のように、 t_4 段階は、第 2 の薄膜トランジスタ M_2 をリセットするようにリセットモジュール 1 を動作する段階であり、即ち、本段のシフトレジスタのリセット段階である。

【0049】

以上のように、本実施例に係るシフトレジスタは、行ごとのゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトを低減することができ、シフトレジスタ回路を正常に動作することができ、シフトレジスタ動作の安定性が向上され、シフトレジスタの動作寿命が延長された。

【0050】

同じように、第 3 の薄膜トランジスタ M_3 を備えない実施例は、上記した操作過程も適用できる。ここで贅言しない。

【0051】

また、本発明の実施例はゲートラインドライバを提供する。図 9 に示すように、上記ゲートラインドライバは、直列している複数のシフトレジスタを備える。説明の便宜上に、図 9 は、第 $N-2$ 段のシフトレジスタ、第 $N-1$ 段のシフトレジスタ、第 N 段のシフトレジスタ、第 $N+1$ 段のシフトレジスタ及び第 $N+2$ 段のシフトレジスタという 5 つのシフトレジスタのみを示す。そのうち、第 N 段のシフトレジスタの出力 $Output(n)$ は、第 $N-1$ 段のシフトレジスタをカットオフするように第 $N-1$ 段のシフトレジスタにフィードバックするとともに、該第 $N+1$ 段のシフトレジスタのトリガ信号とするように第 $N+1$ 段のシフトレジスタに出力する。

また、図 9 に示すように、各段のシフトレジスタについて、第 1 のクロック信号 CLK 及び第 2 のクロック信号 $CLKB$ は周期的に交替に用いられる。具体的に、第 N 段のシフトレジスタのクロック信号端でクロック信号 CLK を受信し、第 $N-1$ 段と第 $N+1$ 段のシフトレジスタのクロック信号端でクロック信号 $CLKB$ を受信する。よって、第 N 段のシフトレジスタに用いられるクロック信号と第 $N-1$ 段と第 $N+1$ 段のシフトレジスタに用いられるクロック信号の位相はまったく逆であり、すなわち、位相差は 180 度である。

なお、クロック信号端が第 1 のクロック信号端と第 2 のクロック信号端を含んだ場合、

10

20

30

40

50

各段のシフトレジスタについて、クロック信号CLK及びクロック信号CLKBも周期的に交替に用いられる。第N段のシフトレジスタについて、第1のクロック信号端でクロック信号CLKを受信し、第2のクロック信号端でクロック信号CLKBを受信する。第N-1段と第N+1段のシフトレジスタについて、第1のクロック信号端でクロック信号CLKBを受信し、第2のクロック信号端でクロック信号CLKを受信する。

【0052】

図2を組み合わせると、各段のシフトレジスタは、3つの薄膜トランジスタ、1つの蓄積容量、1つのリセットモジュール、1つのフィードバック受信モジュール及び対応する入・出力端を備え、具体的に、

ゲート電極及びソース電極が一緒に接続され、かつ上段のトリガ信号端input(n)に接続され、ドレイン電極がプルアップノードとしての第1のノードPUに接続され、上段のトリガ信号端input(n)からの高レベル信号を受信するとき、シフトレジスタを動作し始めるものであり、上段のシフトレジスタ(即ち、第n-1段のシフトレジスタ)の本段出力端Output(n-1)が高レベルを出力するとき、上段のトリガ信号端input(n)が高レベル信号を受信する第1の薄膜トランジスタM1と、ゲート電極が第1のノードPUに接続され、ソース電極がクロック信号端に接続され、ドレイン電極が本段出力端Output(n)に接続され、本段のシフトレジスタ(即ち、第n段のシフトレジスタ)に対応する1行のゲートラインをオンするように駆動するため、本段出力端Output(n)に高レベルを出力するものである第2の薄膜トランジスタM2と、ゲート電極が第1のノードPUに接続され、ソース電極がクロック信号端に接続され、ドレイン電極が下段のトリガ信号端input(n+1)に接続され、下段のシフトレジスタを動作し始めるように制御するように下段のシフトレジスタ(即ち、第n+1段のシフトレジスタ)にトリガ信号を提供するものである第3の薄膜トランジスタM3と、第1のノードPUと本段出力端Output(n)との間に接続される電気容量C1と、プルダウンノードとしての第2のノードPL、クロック信号端および低レベル信号端Vssの間に接続され、本段の出力が完了した後、第2の薄膜トランジスタM2のソース電極に高レベルを印加してゲート電極に低レベルを印加するものであるリセットモジュール1と、第1のノードPU、低レベル信号端Vss及び本段出力端Output(n)の間に接続され、かつ下段のフィードバック信号端Reset(n+1)に接続され、第1のノードPU及び本段出力端Output(n)のレベルをプルダウンするように下段のフィードバック信号を受信するものフィードバック受信モジュール2と、を備える。

【0053】

また、本発明の他の実施例に係るゲートラインドライバによって、図2及び図3の説明を組み合わせると分かるように、第N段のシフトレジスタの出力Output(n)は、第N-1段のシフトレジスタをオフするように第N-1段のシフトレジスタにフィードバックする(即ち、下段のフィードバック信号端Reset(n-1)とする)とともに、第N段のシフトレジスタの下段のトリガ信号端input(n+1)は、該第N+1段のシフトレジスタのトリガ信号とするように第N+1段のシフトレジスタに出力する。

【0054】

以上のように、本発明の他の実施例に係るゲートラインドライバにおける各段のシフトレジスタは、第3の薄膜トランジスタM3を有しなく、第2の薄膜トランジスタM2のドレイン電極に接続する本段出力端Output(n)を、直接に下段のトリガ信号端input(n+1)とする。第3の薄膜トランジスタM3を備えない以外に、該シフトレジスタの操作は、本発明の実施例に係るゲートラインドライバのシフトレジスタの操作と同じであり、ここで贅言しない。

【0055】

本発明の実施例に係るゲートラインドライバでは、1つの薄膜トランジスタに電圧をずっと印加すると、該薄膜トランジスタのゲート絶縁層に電子を形成して累積しやすく、該薄膜トランジスタの閾値電圧シフトが生じてしまうため、薄膜トランジスタのソース電極に高レベルを印加し、ゲート電極に低レベルを印加することで、トンネル効果及び量子

力学の原理によって、該薄膜トランジスタのゲート絶縁層に形成して累積される電子を、バリアーを貫通して薄膜トランジスタのソース電極まで移動することができ、各行のゲートラインに対応するシフトレジスタ内の薄膜トランジスタの閾値電圧シフトが低減され、最終的にシフトレジスタ回路を正常に動作することができ、シフトレジスタ動作の安定性が向上され、シフトレジスタの動作寿命が延長された。

【0056】

ここで、本実施例に係るゲートラインドライバにおけるシフトレジスタと、上記シフトレジスタに係る実施例におけるシフトレジスタとは、機能及び構造が同じであるので、同じ技術的課題を解決でき、同じ予期効果を図れる。

【0057】

本発明は、表示機器であって、画素アレイ及び上記ゲートラインドライバを備える。

【0058】

以上は液晶ディスプレイという技術分野で本発明の実施例を説明したが、本発明の実施例はこれに限らず、他の画素アレイに基づく表示技術分野、例えば、AMOLED（アクティブマトリクス式有機EL）等にも用いられる。

【0059】

以上は本発明の具体的な実施形態に過ぎず、本発明の保護範囲を限定するものではない。本発明に開示された技術的範囲内に、当業者が容易に想到し得る変更や取替は、いずれも本発明の保護範囲内に入る。従って、本発明の保護範囲は請求項に記載の保護範囲を基準すべきである。

【符号の説明】

【0060】

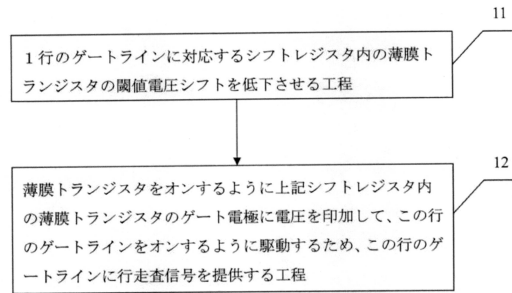
- 1 リセットモジュール
- 2 フィードバック受信モジュール
- M1 第1の薄膜トランジスタ
- M2 第2の薄膜トランジスタ
- M3 第3の薄膜トランジスタ
- PU 第1のノード
- PL 第2のノード
- C1 電気容量
- Vss 低レベル信号端
- Output(n) 本段出力端
- Reset(n+1) 下段のフィードバック信号端
- input(n)、input(n+1) 下段のトリガ信号端

10

20

30

【図 1】



【図 3】

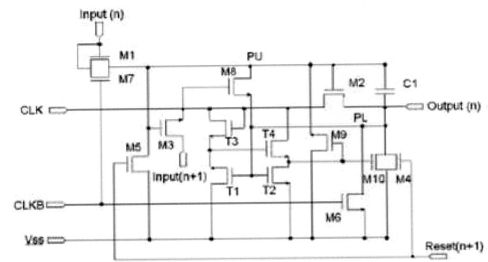
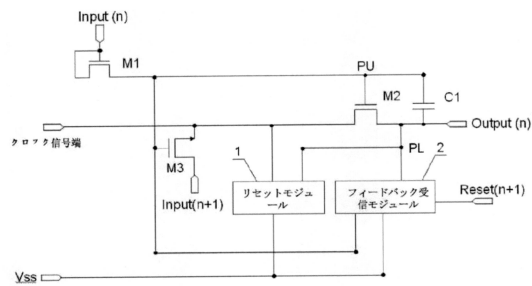


図 3

【図 2】



【図 4】

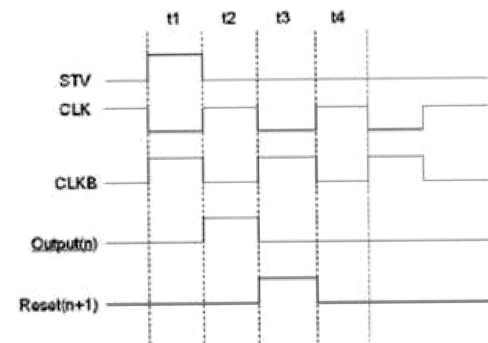
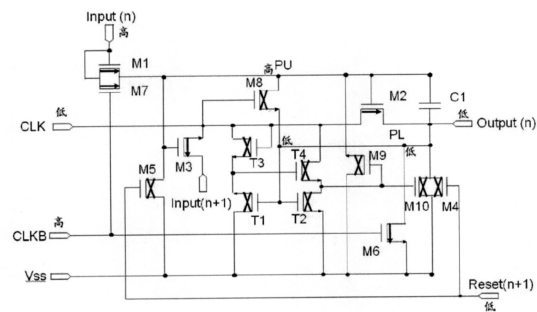
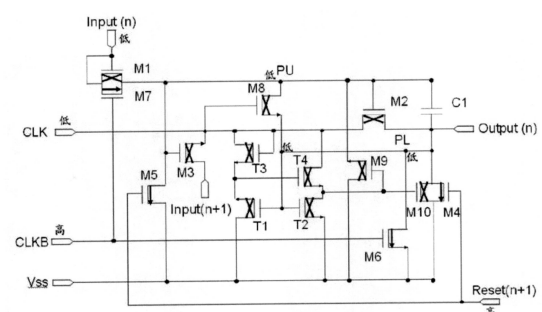


図 4

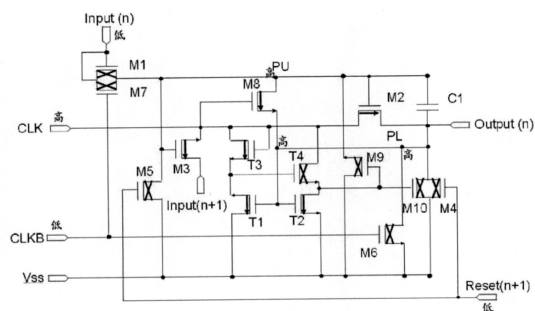
【図 5】



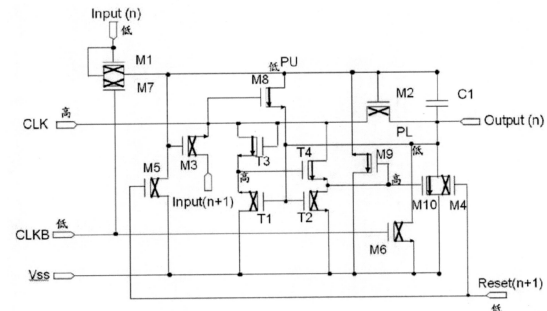
【図 7】



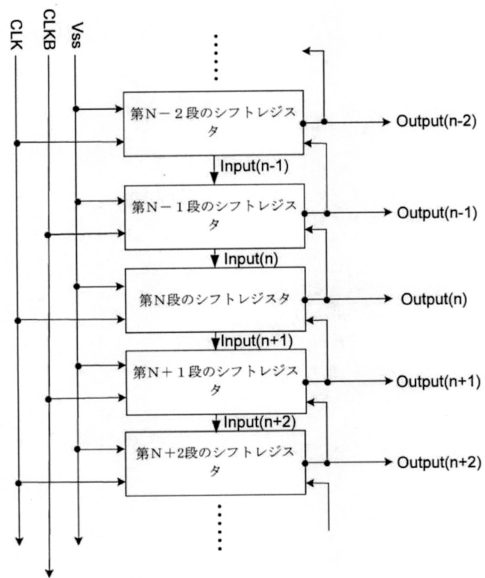
【図 6】



【図 8】



【図 9】



フロントページの続き

(72)発明者 曹 昆

中華人民共和国 1 0 0 1 7 6 北京市 ▲ 經 ▼ ▲ 濟 ▼ 技 ▲ 術 ▼ ▲ 開 ▼ ▲ 發 ▼ 区 地 ▲ 澤 ▼ 路 9 号

(72)発明者 胡 明

中華人民共和国 1 0 0 1 7 6 北京市 ▲ 經 ▼ ▲ 濟 ▼ 技 ▲ 術 ▼ ▲ 開 ▼ ▲ 發 ▼ 区 地 ▲ 澤 ▼ 路 9 号

審査官 橋本 直明

(56)参考文献 特開 2 0 1 0 - 2 6 2 2 9 6 (J P , A)

特開 2 0 1 1 - 1 1 3 0 9 6 (J P , A)

特開 2 0 1 1 - 0 6 0 4 1 1 (J P , A)

特開 2 0 0 8 - 0 0 3 6 0 2 (J P , A)

特開 2 0 0 6 - 3 3 8 8 5 7 (J P , A)

特開 2 0 0 7 - 0 3 4 3 0 5 (J P , A)

特開 2 0 0 9 - 0 1 5 2 9 1 (J P , A)

特開 2 0 1 0 - 0 2 0 2 8 2 (J P , A)

特開 2 0 1 0 - 0 4 4 3 8 2 (J P , A)

特開 2 0 1 1 - 0 6 5 7 4 0 (J P , A)

国際公開第 2 0 1 0 / 0 6 7 6 4 1 (W O , A 1)

国際公開第 2 0 1 1 / 0 9 2 9 2 4 (W O , A 1)

米国特許出願公開第 2 0 1 0 / 0 2 0 7 9 2 8 (U S , A 1)

米国特許出願公開第 2 0 1 0 / 0 1 8 2 2 2 7 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 6

G 0 9 G 3 / 2 0

专利名称(译)	移位寄存器，栅极线驱动器和显示设备		
公开(公告)号	JP6501837B2	公开(公告)日	2019-04-17
申请号	JP2017153610	申请日	2017-08-08
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	曹昆 胡明		
发明人	曹 昆 胡 明		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G11C19/28 G09G3/3674 G09G2310/0286 G09G2310/08 G09G2320/043		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.611.H G09G3/20.670.K G09G3/20.642.P		
F-TERM分类号	5C006/AF42 5C006/AF54 5C006/BB11 5C006/BC03 5C006/BF03 5C006/BF34 5C006/BF37 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD29 5C080/JJ03 5C080/JJ04 5C080/JJ07		
代理人(译)	村山彦		
审查员(译)	Naoaki桥本		
优先权	201110331772.X 2011-10-26 CN		
其他公开文献	JP2017204006A		
外部链接	Espacenet		

摘要(译)

提高了移位寄存器的操作稳定性。本发明涉及液晶显示技术领域，公开了一种能够提高移位寄存器的操作稳定性的栅线驱动方法，移位寄存器，栅线驱动器和显示装置。栅极线驱动器的方法，通过施加降低在移位寄存器对应于栅极线中的一条线，一个电压，以在移位寄存器中的薄膜晶体管的栅电极的薄膜晶体管的阈值电压偏移的步骤中进行，从而以导通薄膜晶体管向行的栅极线提供行扫描信号以驱动行的栅极线导通/截止。移位寄存器包括第一薄膜晶体管，第二薄膜晶体管，第三薄膜晶体管，电容，复位模块和反馈接收模块。[选择图]图2

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)		(11) 特許番号 特許第6501837号 (P6501837)	
(45) 発行日 平成31年4月17日 (2019. 4. 17)		(24) 登録日 平成31年3月29日 (2019. 3. 29)			
(51) Int. Cl. G09G 3/36 (2006.01) G09G 3/20 (2006.01)		F I G09G 3/36 G09G 3/20 622E G09G 3/20 611H G09G 3/20 670K G09G 3/20 642P		請求項の数 7 (全 17 頁)	
(21) 出願番号 特願2017-153610 (P2017-153610) (22) 出願日 平成29年8月8日 (2017. 8. 8) (62) 分割の表示 特願2014-537480 (P2014-537480) の分割 原出願日 平成24年10月26日 (2012. 10. 26) (65) 公開番号 特願2017-204006 (P2017-204006A) (43) 公開日 平成29年11月16日 (2017. 11. 16) (31) 優先権主張番号 201110331772.X (32) 優先日 平成23年10月26日 (2011. 10. 26) (33) 優先権主張国 中国 (CN)		(73) 特許権者 507134301 北京京東方光電科技有限公司 BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. 中華人民共和國北京經濟技術開發區西環中路8號 No. 8 Xihuanzhonglu, BDA, Beijing, 100176, P. R. CHINA (74) 代理人 100108453 弁理士 村山 靖彦 (74) 代理人 100110364 弁理士 吳広 信哉		最終頁に続く	

(54) 【発明の名称】 シフトレジスタ、ゲートラインドライバ及び表示機器