

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5908036号
(P5908036)

(45) 発行日 平成28年4月26日 (2016. 4. 26)

(24) 登録日 平成28年4月1日 (2016. 4. 1)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
HO1L 29/786 (2006.01)	HO1L 29/78 616S
HO1L 21/768 (2006.01)	HO1L 21/90 W
HO1L 23/522 (2006.01)	HO1L 29/78 612D
請求項の数 3 (全 14 頁) 最終頁に続く	

(21) 出願番号	特願2014-161574 (P2014-161574)	(73) 特許権者	506087819
(22) 出願日	平成26年8月7日 (2014. 8. 7)		パナソニック液晶ディスプレイ株式会社
(62) 分割の表示	特願2009-260984 (P2009-260984) の分割		兵庫県姫路市飾磨区妻鹿日田町1-6
原出願日	平成21年11月16日 (2009. 11. 16)	(74) 代理人	110000154 特許業務法人はるか国際特許事務所
(65) 公開番号	特開2015-4981 (P2015-4981A)	(72) 発明者	船橋 祐太 兵庫県姫路市飾磨区妻鹿日田町1-6 パ ナソニック液晶ディスプレイ株式会社内
(43) 公開日	平成27年1月8日 (2015. 1. 8)	(72) 発明者	川村 徹也 兵庫県姫路市飾磨区妻鹿日田町1-6 パ ナソニック液晶ディスプレイ株式会社内
審査請求日	平成26年8月7日 (2014. 8. 7)	(72) 発明者	平田 将史 兵庫県姫路市飾磨区妻鹿日田町1-6 パ ナソニック液晶ディスプレイ株式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上にマトリックス状に配置された複数の画素と、
前記複数の画素のそれぞれに形成された薄膜トランジスタと、
前記薄膜トランジスタのドレイン電極と接続するドレイン配線と、
を備え、
前記複数の画素のうち隣接する二つの画素の間に二本の前記ドレイン配線が並列し、
前記基板と二本の前記ドレイン配線との間に半導体層が形成され、
前記半導体層は、平面視で、二本の前記ドレイン配線の間では、間隙が形成されており
、一方、前記画素と二本の前記ドレイン配線の間では、二本の前記ドレイン配線からはみ
出して形成されている、
 ことを特徴とする液晶表示装置。

【請求項 2】

前記基板と前記半導体層との間に形成されるゲート絶縁層をさらに備え、
 前記ゲート絶縁層は、平面視で、二本の前記ドレイン配線の間で、間隙が形成されてお
り、
 前記半導体層の前記間隙と接する前記半導体層の側面と、前記ゲート絶縁層の前記間隙
 と接する前記ゲート絶縁層の側面とは、面一になっていることを特徴とする請求項 1 に記
 載の液晶表示装置。

【請求項 3】

10

20

二本の前記ドレイン配線は、複数の絶縁層で覆われており、前記半導体層の前記間隙は、前記複数の絶縁層のいずれか一つで埋められていることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス型の液晶表示装置では、薄膜トランジスタを構成するため、半導体層及び金属層が積層されている。ボトムゲート型の薄膜トランジスタでは、金属層からパターニングされたドレイン電極及びソース電極及びドレイン配線（画素電極を駆動するための映像信号が供給される配線）が、半導体層の上に形成される。このような構造において、半導体層は、ドレイン配線がソース配線などの交差する配線を乗り越える領域などに、段差を小さくするために使用される場合がある（特許文献 1）。

10

【0003】

また、近年は画素の高精細化が進み、一つの画素間に 2 本のドレイン配線が形成される場合がある（特許文献 2）。

【先行技術文献】

【特許文献】

20

【0004】

【特許文献 1】W O 0 1 / 0 1 8 5 7 号公報

【特許文献 2】特開 2 0 0 5 - 7 7 4 2 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体層を先にパターニングしてからドレイン電極及びソース電極、及びドレイン電極に接続するドレイン配線の金属層をパターニングする方法では、位置ずれを考慮して、半導体層を重畳する金属層よりも幅広に形成する。そのため、ドレイン配線下の半導体層は、特に交差する他の配線を乗り越える領域において、ドレイン配線からはみ出して形成される。

30

【0006】

また、半導体層の上に金属層を積層し、1つのエッチングレジストを使用して、金属層及び半導体層を連続的にパターニングする方法では、金属層はウェットエッチングのサイドエッチングによってエッチングレジストよりも小さくなるため、ドレイン配線下の半導体層がドレイン配線からはみ出す。

【0007】

特許文献 2 に示されるような、画素間にドレイン配線が 2 本形成される場合、隣接するドレイン配線下のはみ出した半導体層が、お互いに接触してしまう可能性がある。このような場合は、電気的なショート発生の原因となり得る。この状況を回避するためには、ドレイン配線間を広くすることが考えられるが、ドレイン配線上は光の散乱が生じるため、ドレイン配線よりも幅の広いブラックマトリクスを形成しなければならない。しかし、ドレイン配線の間隔が広がると、必然的に開口率が低下する。

40

【0008】

本発明は、金属パターンの下に配置される半導体パターンを適切に処理することを目的とする。

【課題を解決するための手段】

【0009】

（1）本発明に係る液晶表示装置は、基板上にマトリックス状に配置された複数の画素と、前記複数の画素のうち隣接する二つの画素の間に並列する二本のドレイン配線と、前

50

記基板と前記二本のドレイン配線との間に形成される半導体層と、を備え、前記半導体層は、平面視で、前記二本のドレイン配線の間では、間隙が形成されており、一方、前記画素と前記二本のドレイン配線の間では、前記二本のドレイン配線からはみ出して形成されている、ことを特徴とする。

【 0 0 1 0 】

(2) (1) に記載の液晶表示装置において、前記基板と前記半導体層との間に形成されるゲート絶縁層をさらに備え、前記ゲート絶縁層は、平面視で、前記二本のドレイン配線の間で、間隙が形成されており、前記半導体層の前記間隙と接する前記半導体層の側面と、前記ゲート絶縁層の前記間隙と接する前記ゲート絶縁層の側面とは、面一になっていることを特徴とする。

10

【 0 0 1 1 】

(3) (1) に記載の液晶表示装置において、前記二本のドレイン配線は、複数の絶縁層で覆われており、前記半導体層の前記間隙は、前記複数の絶縁層のいずれか一つで埋められていることを特徴とする。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1 A】本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 1 B】図 1 A に示す構造の IB - IB 線断面図である。

【図 2 A】本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 2 B】図 2 A に示す構造の IIB - IIB 線断面図である。

20

【図 3 A】本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 3 B】図 3 A に示す構造の III - III 線断面図である。

【図 4】本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 5】第 1 の実施形態の変形例を説明する図である。

【図 6】第 1 の実施形態の変形例を説明する図である。

【図 7】第 1 の実施形態の変形例を説明する図である。

【図 8】第 1 の実施形態の変形例を説明する図である。

【図 9】第 1 の実施形態の変形例を説明する図である。

【図 1 0 A】本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。

30

【図 1 0 B】図 1 0 A に示す構造の XB - XB 線断面図である。

【図 1 1 A】本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 1 1 B】図 1 1 A に示す構造の XIB - XIB 線断面図である。

【図 1 2】本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 1 3】第 2 の実施形態の変形例を説明する図である。

【図 1 4】第 2 の実施形態の変形例を説明する図である。

【図 1 5】第 2 の実施形態の変形例を説明する図である。

【図 1 6】第 2 の実施形態の変形例を説明する図である。

【図 1 7】第 2 の実施形態の変形例を説明する図である。

40

【図 1 8】本発明の第 3 の実施形態に係る液晶表示装置を示す図である。

【図 1 9】本発明の第 4 の実施形態に係る液晶表示装置を示す図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、本発明の実施形態について図面を参照して説明する。

【 0 0 1 4 】

[第 1 の実施形態]

図 1 A ~ 図 4 は、本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。図 1 B は、図 1 A に示す構造の IB - IB 線断面図である。図 2 B は、図 2 A に示す構造の IIB - IIB 線断面図である。図 3 B は、図 3 A に示す構造の III - III 線断面図である

50

。

【0015】

本実施形態では、図1Bに示すように、第1基板10を用意する。第1基板10は光透過性を有する材料からなる。第1基板10にゲート配線12を形成する。ゲート配線12は、薄膜トランジスタのゲート電極として機能する部分を有し、銅などの金属からなる。第1基板10の全面に金属膜を形成し、金属膜をエッチングしてゲート配線12を形成することができる。ゲート配線12を覆うように、第1基板10にゲート絶縁膜14を形成する。ゲート絶縁膜14は無機材料（例えばSiN）からなる。

【0016】

図1A及び図1Bに示すように、ゲート絶縁膜14上に、半導体パターン16及び金属パターン18を形成する。半導体パターン16は、薄膜トランジスタの半導体層を形成するときに同時に同じ材料（アモルファスシリコンなどの半導体）から形成することができるが、薄膜トランジスタの一部ではない。ゲート絶縁膜14の下にはゲート配線12が配置されているため、ゲート絶縁膜14の表面には、ゲート配線12の厚みによって凸部が形成されている。このため、ゲート絶縁膜14の表面には段差が形成されるので、段差を小さくするために半導体パターン16がゲート絶縁膜14上に形成されている。半導体パターン16は、ゲート絶縁膜14を介して、ゲート配線12と立体交差するように配置されている。

【0017】

金属パターン18は、間隔をあけて並列する複数の配線20（データ配線ともいう）を含む。配線20は、ゲート配線12と立体交差するように形成される。詳しくは、配線20は、ゲート配線12、ゲート絶縁膜14及び半導体パターン16と重なる部分と、ゲート絶縁膜14及び半導体パターン16と重なるがゲート配線12とは重ならない部分と、ゲート絶縁膜14と重なるがゲート配線12及び半導体パターン16とは重ならない部分と、を含む。

【0018】

金属パターン18は、相互に分離（電氣的に絶縁）されたドレイン電極22及びソース電極24を含む。ドレイン電極22及びソース電極24の一方は配線20と接続されている。ドレイン電極22と接続された配線20をドレイン配線ともいう。ドレイン電極22及びソース電極24は半導体層上に載って、薄膜トランジスタを構成している。

【0019】

半導体パターン16は、金属パターン18（配線20）の下に積層された第1部分26と、第1部分26から金属パターン18（配線20）の外側にはみ出す第2部分28と、を有するように形成する。第1部分26は配線20と接触している。半導体パターン16の第2部分28は、隣同士の配線20の間の領域の下方に位置する。第2部分28は、第1部分26と一体的に形成されている。

【0020】

次に、金属パターン18及び半導体パターン16を覆う絶縁層30を形成する。絶縁層30は無機材料（例えばSiO₂）からなる。

【0021】

図2A及び図2Bに示すように、絶縁層30上にエッチングレジスト32を配置する。エッチングレジスト32は、フォトリソグラフィによってパターンニングして形成する。

【0022】

図3A及び図3Bに示すように、絶縁層30をエッチングする。エッチングは、エッチングレジスト32をマスクとして行う。詳しくは、絶縁層30の、金属パターン18（詳しくはドレイン電極22及びソース電極24の一方）の上方の第1領域33と、半導体パターン16の少なくとも第2部分28の上方の第2領域35と、に対してエッチング（例えばドライエッチング）を行う。

【0023】

エッチング工程で、第 1 領域 3 3 では絶縁層 3 0 をエッチングして金属パターン 1 8 (詳しくはドレイン電極 2 2 及びソース電極 2 4 の一方)との電氣的接続のための貫通穴 3 4 を形成する(図 3 A 参照)。また、第 2 領域 3 5 では絶縁層 3 0 及び半導体パターン 1 6 をエッチングして、半導体パターン 1 6 の第 2 部分 2 8 を除去する(図 3 B 参照)。これにより、隣同士の配線 2 0 の下にある第 1 部分 2 6 が分離される。

【 0 0 2 4 】

エッチングは、半導体パターン 1 6 を超えてゲート絶縁膜 1 4 に至るように行ってもよい。ただし、ゲート絶縁膜 1 4 を構成する材料(例えば S i N)に対するエッチングスピードが、半導体パターン 1 6 を構成する材料(例えばアモルファスシリコン)に対するエッチングスピードよりも遅ければ、エッチングがゲート絶縁膜 1 4 を貫通する前にエッチングを止めることが容易になる。

10

【 0 0 2 5 】

本実施形態によれば、半導体パターン 1 6 の第 2 部分 2 8 の除去を、電氣的接続のための貫通穴 3 4 を形成する工程で行うので、工程を増やすことなく、半導体パターン 1 6 を適切に処理することができる。詳しくは、半導体パターン 1 6 の第 2 部分 2 8 が隣同士の配線 2 0 の間に残っていたので、第 2 部分 2 8 に光が入るとキャリアが発生して隣同士の配線 2 0 が導通するおそれがあったが、第 2 部分 2 8 を除去するので導通を防止することができる。また、導通を防止するために隣同士の配線 2 0 の間隔を広げる必要もない。

【 0 0 2 6 】

図 4 に示すように、エッチング工程後に、第 2 部分 2 8 が除去されて形成されたスペースを絶縁材料(無機材料又は有機材料)で埋めて第 1 パッシベーション膜 3 6 を形成する。第 1 パッシベーション膜 3 6 は、絶縁層 3 0 上に載るように形成する。

20

【 0 0 2 7 】

I P S (In Plane Switching) 方式の液晶表示装置であれば、第 1 パッシベーション膜 3 6 上に第 1 電極 3 8 を形成する。そして、第 1 電極 3 8 を覆うように第 1 パッシベーション膜 3 6 上に第 2 パッシベーション膜 4 0 を形成し、その上に第 2 電極 4 2 を形成する。第 1 電極 3 8 及び第 2 電極 4 2 の一方が画素電極であり、他方が共通電極である。画素電極及び共通電極は、I T O (Indium Tin Oxide) などの透明導電材料から形成する。

【 0 0 2 8 】

第 1 変形例として、図 5 に示すように、第 2 部分 2 8 が除去されて形成されたスペースを避けてカラーフィルタ層 4 4 を形成し、第 2 部分 2 8 が除去されて形成されたスペースを絶縁材料(無機材料、有機材料、カラーフィルタ用材料又は遮光性材料)で埋めてパッシベーション膜 3 7 を形成してもよい。パッシベーション膜 3 7 は、カラーフィルタ層 4 4 上に載るように形成する。I P S (In Plane Switching) 方式の液晶表示装置であれば、カラーフィルタ層 4 4 上に第 1 電極 3 8 を形成する。そして、第 1 電極 3 8 を覆うようにカラーフィルタ層 4 4 上にパッシベーション膜 3 7 を形成し、その上に第 2 電極 4 2 を形成する。第 1 電極 3 8 及び第 2 電極 4 2 の一方が画素電極であり、他方が共通電極である。

30

【 0 0 2 9 】

第 2 変形例として、図 6 に示すように、第 2 部分 2 8 が除去されて形成されたスペースを埋める絶縁材料として、カラーフィルタの少なくとも 1 色の着色層 4 6 を形成する材料を使用してもよい。例えば、カラーフィルタ層 4 4 の隣同士の着色層 4 6 の端部同士で、第 2 部分 2 8 が除去されて形成されたスペースを埋める。そして、カラーフィルタ層 4 4 上にパッシベーション膜 3 7 を形成する。その他の構成は図 5 に示す例と同じである。

40

【 0 0 3 0 】

さらに変形例として、図 4 に示す例を V A (Vertical Alignment) 方式に変形するには、図 7 に示すように、パッシベーション膜 3 9 上に画素電極 4 8 を形成する。あるいは、図 5 に示す例を V A (Vertical Alignment) 方式に変形するには、図 8 に示すように、パッシベーション膜 3 9 上に画素電極 4 8 を形成する。また、図 6 に示す例を V A (Vertical Alignment) 方式に変形するには、図 9 に示すように、パッシベーション膜 3 9 上に画

50

素電極 48 を形成する。

【 0 0 3 1 】

その後、液晶表示装置の公知の製造プロセスを行うことで、液晶表示装置を製造することができる。

【 0 0 3 2 】

[第 2 の実施形態]

図 10A ~ 図 12 は、本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。図 10B は、図 10A に示す構造のXB - XB線断面図である。図 11B は、図 11A に示す構造のXIB - XIB線断面図である。

【 0 0 3 3 】

本実施形態で、第 1 基板 10、ゲート配線 12 及びゲート絶縁膜 14 については、第 1 の実施形態で説明した内容が該当する。

【 0 0 3 4 】

図 10A 及び図 10B に示すように、ゲート絶縁膜 14 上に、半導体パターン 116 及び金属パターン 118 を形成する。また、半導体パターン 116 と同じ層に、薄膜トランジスタの半導体層を形成する。これらの形成方法の概要（図示省略）は、半導体膜及び金属膜を積層して形成し、同一のエッチングレジストを使用して、半導体膜及び金属膜に対して複数回のエッチングを行うというものである。この方法では、同一のエッチングレジストを使用するため、その形成のためのフォトリソグラフィの回数が 1 回で済む。ただし、金属パターン 118 に対してはサイドエッチングが進行するため、図 10B に示すように、金属パターン 118 が、その下の半導体パターン 116 よりも小さくなる。その詳細は、公知であるため説明を省略する。

【 0 0 3 5 】

金属パターン 118 全体の下には半導体パターン 116 が存在している。したがって、金属パターン 118 は、ゲート配線 12、ゲート絶縁膜 14 及び半導体パターン 116 と重なる部分と、ゲート絶縁膜 14 及び半導体パターン 116 と重なるがゲート配線 12 とは重ならない部分を含む。しかし、第 1 の実施形態とは違って、金属パターン 118 には、半導体パターン 116 とは重ならない部分は存在しない。

【 0 0 3 6 】

金属パターン 118 は、配線 120（データ配線ともいう）を含む。配線 120 は、ゲート配線 12 と立体交差するように形成される。金属パターン 118 がドレイン電極 122 及びソース電極 124 を含むことは、第 1 の実施形態と同じである。

【 0 0 3 7 】

半導体パターン 116 は、金属パターン 118（配線 120）の下に積層された第 1 部分 126 と、第 1 部分 126 から金属パターン 118（配線 120）の外側にはみ出す第 2 部分 128 と、を有するように形成する。第 1 部分 126 は配線 120 と接触している。半導体パターン 116 の第 2 部分 128 は、配線 120 の幅方向の両側にはみ出す。第 2 部分 128 は、第 1 部分 126 と一体的に形成されている。

【 0 0 3 8 】

次に、金属パターン 118 及び半導体パターン 116 を覆う絶縁層 130 を形成する。絶縁層 130 は無機材料（例えば SiO₂）からなる。そして、絶縁層 130 上にエッチングレジスト 132 を配置する。エッチングレジスト 132 は、フォトリソグラフィからなり、フォトリソグラフィによってパターニングして形成する。

【 0 0 3 9 】

図 11A 及び図 11B に示すように、絶縁層 130 をエッチングする。エッチングは、エッチングレジスト 132 をマスクとして行う。詳しくは、絶縁層 130 の、金属パターン 118（詳しくはドレイン電極 122 及びソース電極 124 の一方）の上方の第 1 領域 133 と、半導体パターン 116 の第 2 領域 135 と、に対してエッチング（例えばドライエッチング）を行う。第 2 領域 135 は、半導体パターン 116 の第 1 部分 126 及び第 2 部分 128 並びに第 1 部分 126 上の金属パターン 118 の上方にある。

【 0 0 4 0 】

エッチング工程で、第 1 領域 1 3 3 では絶縁層 1 3 0 をエッチングして金属パターン 1 1 8 (詳しくはドレイン電極 1 2 2 及びソース電極 1 2 4 の一方)との電氣的接続のための貫通穴 1 3 4 を形成する(図 1 1 A 参照)。また、第 2 領域 1 3 5 では絶縁層 1 3 0 及び半導体パターン 1 1 6 をエッチングする。そして、第 1 部分 1 2 6 上の金属パターン 1 1 8 をマスクとして、第 1 部分 1 2 6 を残すように、半導体パターン 1 1 6 の第 2 部分 1 2 8 を除去する。エッチングの詳細は、第 1 の実施形態で説明した内容が該当する。

【 0 0 4 1 】

本実施形態によれば、半導体パターン 1 1 6 の第 2 部分 1 2 8 の除去を、電氣的接続のための貫通穴 1 3 4 を形成する工程で行うので、工程を増やすことなく、半導体パターン 1 1 6 を適切に処理することができる。

10

【 0 0 4 2 】

詳しくは、配線 1 2 0 の外側に残っていた半導体パターン 1 1 6 の第 2 部分 1 2 8 は、光の散乱が生じるため、これを覆うように幅の広いブラックマトリクスを形成しなければならなかったが、第 2 部分 1 2 8 を除去するのでブラックマトリクスの幅を狭くすることができる。これにより、開口率の低下を避けることができる。

【 0 0 4 3 】

図 1 2 に示すように、エッチング工程後に、第 2 部分 1 2 8 が除去されて形成されたスペースを絶縁材料(無機材料又は有機材料)で埋めて第 1 パッシベーション膜 1 3 6 を形成する。第 1 パッシベーション膜 1 3 6 は、絶縁層 1 3 0 上に載るように形成する。

20

【 0 0 4 4 】

I P S (In Plane Switching) 方式の液晶表示装置であれば、第 1 パッシベーション膜 1 3 6 上に第 1 電極 1 3 8 を形成する。そして、第 1 電極 1 3 8 を覆うように第 1 パッシベーション膜 1 3 6 上に第 2 パッシベーション膜 1 4 0 を形成し、その上に第 2 電極 1 4 2 を形成する。第 1 電極 1 3 8 及び第 2 電極 1 4 2 の一方が画素電極であり、他方が共通電極である。画素電極及び共通電極は、I T O (Indium Tin Oxide) などの透明導電材料から形成する。

【 0 0 4 5 】

第 1 変形例として、図 1 3 に示すように、第 2 部分 1 2 8 が除去されて形成されたスペースを避けてカラーフィルタ層 1 4 4 を形成し、第 2 部分 1 2 8 が除去されて形成されたスペースを絶縁材料(無機材料、有機材料、カラーフィルタ用材料又は遮光性材料)で埋めてパッシベーション膜 1 3 7 を形成してもよい。パッシベーション膜 1 3 7 は、カラーフィルタ層 1 4 4 上に載るように形成する。I P S (In Plane Switching) 方式の液晶表示装置であれば、カラーフィルタ層 1 4 4 上に第 1 電極 1 3 8 を形成する。そして、第 1 電極 1 3 8 を覆うようにカラーフィルタ層 1 4 4 上にパッシベーション膜 1 3 7 を形成し、その上に第 2 電極 1 4 2 を形成する。第 1 電極 1 3 8 及び第 2 電極 1 4 2 の一方が画素電極であり、他方が共通電極である。

30

【 0 0 4 6 】

第 2 変形例として、図 1 4 に示すように、第 2 部分 1 2 8 が除去されて形成されたスペースを埋める絶縁材料として、カラーフィルタの少なくとも 1 色の着色層 1 4 6 を形成する材料を使用してもよい。例えば、カラーフィルタ層 1 4 4 の隣同士の着色層 1 4 6 の端部同士で、第 2 部分 1 2 8 が除去されて形成されたスペースを埋める。そして、カラーフィルタ層 1 4 4 上にパッシベーション膜 1 3 7 を形成する。その他の構成は図 1 3 に示す例と同じである。

40

【 0 0 4 7 】

さらに変形例として、図 1 2 に示す例を V A (Vertical Alignment) 方式に変形するには、図 1 5 に示すように、第 2 パッシベーション膜 1 4 0 上に画素電極 1 4 8 を形成する。あるいは、図 1 3 に示す例を V A (Vertical Alignment) 方式に変形するには、図 1 6 に示すように、パッシベーション膜 1 3 9 上に画素電極 1 4 8 を形成する。また、図 1 4 に示す例を V A (Vertical Alignment) 方式に変形するには、図 1 7 に示すように、パッ

50

シベーション膜 1 3 9 上に画素電極 1 4 8 を形成する。

【 0 0 4 8 】

その後、液晶表示装置の公知の製造プロセスを行うことで、液晶表示装置を製造することができる。

【 0 0 4 9 】

[第 3 の実施形態]

図 1 8 は、本発明の第 3 の実施形態に係る液晶表示装置を示す図である。

【 0 0 5 0 】

本実施形態に係る液晶表示装置の製造方法では、第 1 の実施形態及び第 2 の実施形態の少なくとも一方で説明した工程を行う。その後、第 1 基板 1 0 と、第 1 基板 1 0 に対向する第 2 基板 5 0 との間に、シール 5 2 に囲まれて封止されるように液晶 5 4 を配置する。

10

【 0 0 5 1 】

液晶表示装置は、薄膜トランジスタが形成された第 1 基板 1 0 と、第 1 基板 1 0 に対向する第 2 基板 5 0 と、第 1 基板 1 0 と第 2 基板 5 0 の間に配置された液晶 5 4 と、第 1 基板 1 0 と第 2 基板 5 0 の間で液晶 5 4 の周囲に配置されたシール 5 2 と、を含む。

【 0 0 5 2 】

第 1 基板 1 0 には、半導体パターン 2 1 6 及び金属パターン 2 1 8 が、半導体パターン 2 1 6 が金属パターン 2 1 8 の下に積層されるように形成されている。半導体パターン 2 1 6 及び金属パターン 2 1 8 は、第 1 の実施形態及び第 2 の実施形態で説明した半導体パターン 1 6 , 1 1 6 及び金属パターン 1 8 , 1 1 8 の内容が該当する。

20

【 0 0 5 3 】

半導体パターン 2 1 6 (第 1 部分 2 2 6) の側面と金属パターン 2 1 8 (配線 2 2 0) の側面が面一になっている。これら側面は絶縁材料 2 3 6 によって被覆されている。第 1 の実施形態及び第 2 の実施形態で説明したように、絶縁材料 2 3 6 によって、パッシベーション膜又はカラーフィルタ層などを形成する。第 1 部分 2 2 6 及び配線 2 2 0 は、第 1 の実施形態及び第 2 の実施形態で説明した第 1 部分 2 6 , 1 2 6 及び配線 2 0 , 1 2 0 の内容が該当する。絶縁材料 2 3 6 は、第 1 の実施形態及び第 2 の実施形態で説明した第 1 パッシベーション膜 3 6 , 1 3 6 、パッシベーション膜 3 7 , 3 9 , 1 3 7 , 1 3 9 、着色層 4 6 , 1 4 6 を構成する材料の内容が該当する。

【 0 0 5 4 】

30

本実施形態によれば、半導体パターン 2 1 6 が金属パターン 2 1 8 (配線 2 2 0) からみ出さないので、配線 2 2 0 を狭ピッチで配列することができる。

【 0 0 5 5 】

[第 4 の実施形態]

図 1 9 は、本発明の第 4 の実施形態に係る液晶表示装置を示す図である。

【 0 0 5 6 】

本実施形態に係る液晶表示装置の製造方法では、第 1 の実施形態及び第 2 の実施形態の少なくとも一方で説明した工程を行う。

【 0 0 5 7 】

詳しくは、金属パターン 3 1 8 は、シール 5 2 で囲まれる領域内に位置する複数の第 1 配線 3 2 0 を含む。複数の第 1 配線 3 2 0 は、隣同士の間隔をあけて並列している。半導体パターン 3 1 6 のパターニングプロセスで、隣同士の第 1 配線 3 2 0 の間の領域の下方に第 2 部分 (図 1 B の第 2 部分 1 2 8 参照) が位置するのでこれを除去する (第 2 の実施形態参照) 。半導体パターン 3 1 6 及び金属パターン 3 1 8 の詳細は、第 1 の実施形態及び第 2 の実施形態で説明した半導体パターン 1 6 , 1 1 6 及び金属パターン 1 8 , 1 1 8 の内容が該当する。

40

【 0 0 5 8 】

本実施形態では、シール 5 2 で囲まれる領域の外側 (外気に晒される領域) では、本発明を適用しない。すなわち、金属パターン 3 1 8 は、シール 5 2 で囲まれる領域の外側に位置する複数の第 2 配線 3 2 2 を含む。複数の第 2 配線 3 2 2 は、隣同士の間隔をあけて

50

並列している。隣同士の第２配線３２２の間の領域の下方に半導体パターン３１６の第３部分３５６が位置するが、これは除去せずに残す。

【００５９】

その後、第１基板１０と、第１基板１０に対向する第２基板５０との間に、シール５２に囲まれて封止されるように液晶５４を配置する。

【００６０】

液晶表示装置は、薄膜トランジスタが形成された第１基板１０と、第１基板１０に対向する第２基板５０と、第１基板１０と第２基板５０の間に配置された液晶５４と、第１基板１０と第２基板５０の間で液晶５４を囲むように配置されたシール５２と、を含む。

【００６１】

第１基板１０には、半導体パターン３１６及び金属パターン３１８が、半導体パターン３１６が金属パターン３１８の下に積層されるように形成されている。半導体パターン３１６及び金属パターン３１８は、シール５２に囲まれた領域からシール５２に囲まれた領域の外側に至るように形成されている。

【００６２】

シール５２に囲まれた領域では、半導体パターン３１６の側面と金属パターン３１８の側面が面一になっている。これら側面は、絶縁材料によって被覆されていないとしても、液晶５４の封止領域内にあるため、外気からは遮断されている。

【００６３】

シール５２に囲まれた領域の外側では、半導体パターン３１６が金属パターン３１８（第２配線３２２）の下に積層された第１部分３２６と金属パターン３１８からはみ出す第３部分３５６を有している。第３部分３５６は、上述したように除去される第２部分３２８とは異なり、除去されずに残る部分である。すなわち、シール５２に囲まれた領域の外側では、半導体パターン３１６の金属パターン３１８からはみ出した部分を除去する工程を行わないため、その上の絶縁層３３０がエッチングされない。したがって、絶縁層３３０によって、第２配線３２２は被覆された状態になっている。

【００６４】

本発明は、上述した実施形態に限定されるものではなく種々の変形が可能である。例えば、実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

【符号の説明】

【００６５】

１０ 第１基板、１２ ゲート配線、１４ ゲート絶縁膜、１６ 半導体パターン、１８ 金属パターン、２０ 配線、２２ ドレイン電極、２４ ソース電極、２６ 第１部分、２８ 第２部分、３０ 絶縁層、３２ エッチングレジスト、３３ 第１領域、３４ 貫通穴、３５ 第２領域、３６ 第１パッシベーション膜、３７ パッシベーション膜、３８ 第１電極、３９ パッシベーション膜、４０ 第２パッシベーション膜、４２ 第２電極、４４ カラーフィルタ層、４６ 着色層、４８ 画素電極、５０ 第２基板、５２ シール、５４ 液晶、１１６ 半導体パターン、１１８ 金属パターン、１２０ 配線、１２２ ドレイン電極、１２４ ソース電極、１２６ 第１部分、１２８ 第２部分、１３０ 絶縁層、１３２ エッチングレジスト、１３３ 第１領域、１３４ 貫通穴、１３５ 第２領域、１３６ 第１パッシベーション膜、１３７ パッシベーション膜、１３８ 第１電極、１３９ パッシベーション膜、１４０ 第２パッシベーション膜、１４２ 第２電極、１４４ カラーフィルタ層、１４６ 着色層、１４８ 画素電極、２１６ 半導体パターン、２１８ 金属パターン、２２０ 配線、２２６ 第１部分、２３６ 絶縁材料、３１６ 半導体パターン、３１８ 金属パターン、３２０ 第１配線、３２２ 第２配線、３２６ 第１部分、３２８ 第２部分、３３０ 絶縁層、３５６ 第３部分。

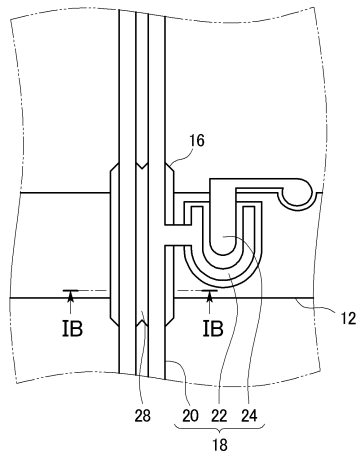
10

20

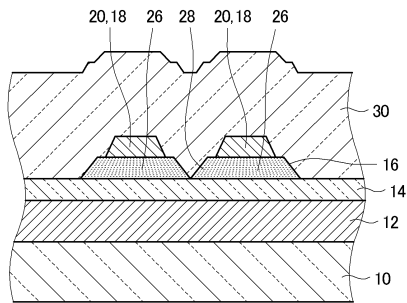
30

40

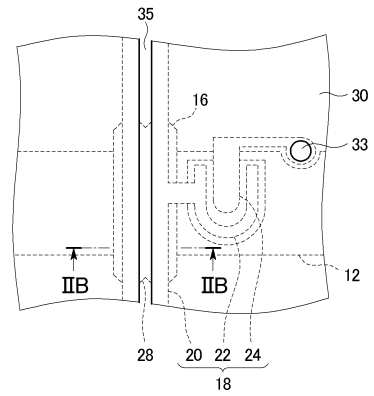
【図 1 A】



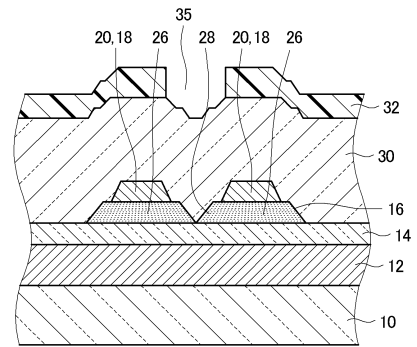
【図 1 B】



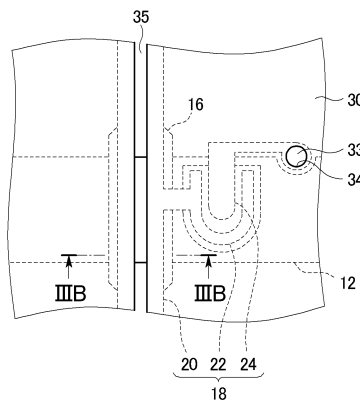
【図 2 A】



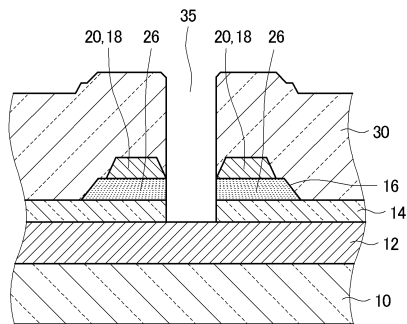
【図 2 B】



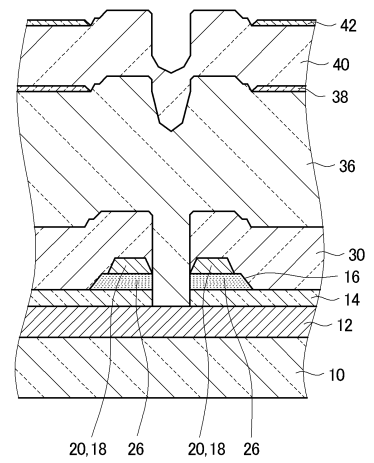
【図 3 A】



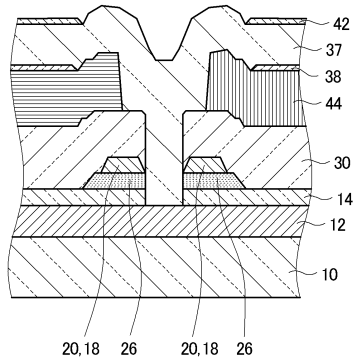
【図 3 B】



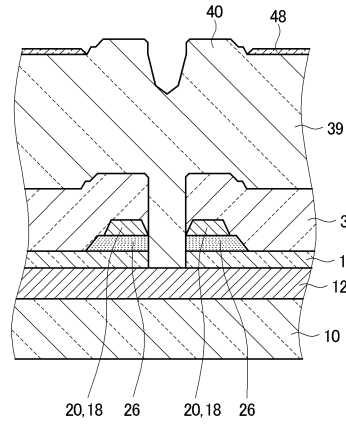
【図 4】



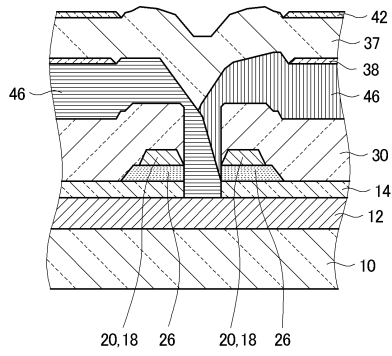
【図 5】



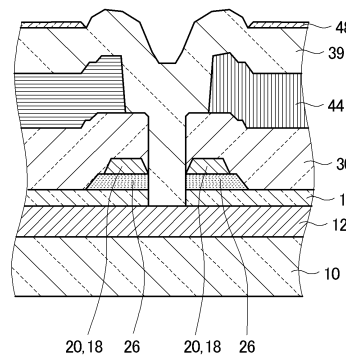
【図 7】



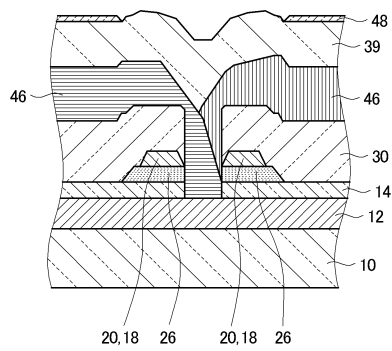
【図 6】



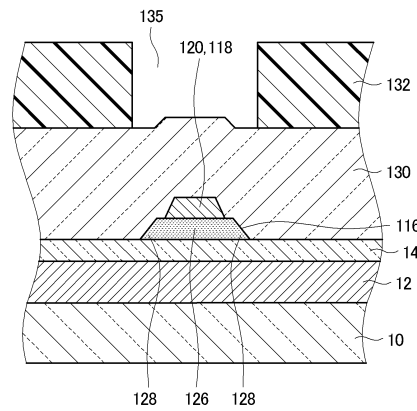
【図 8】



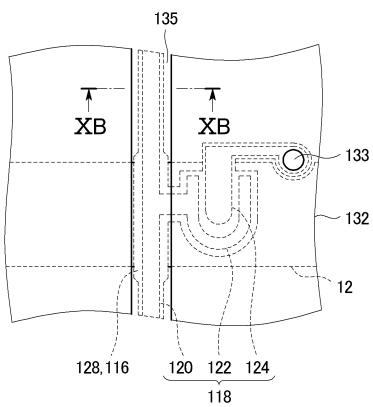
【図 9】



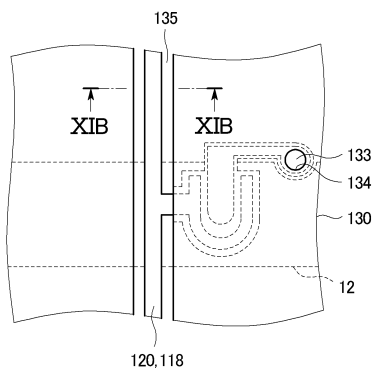
【図 10 B】



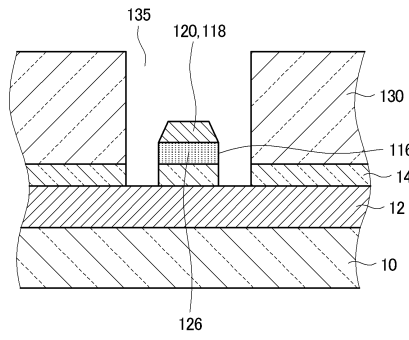
【図 10 A】



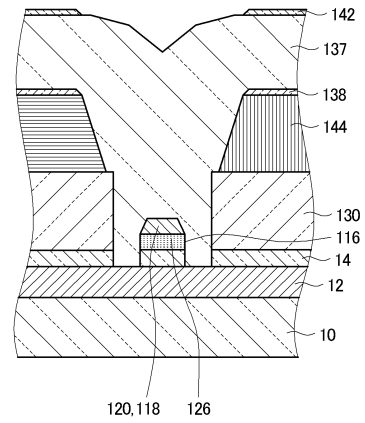
【図 11 A】



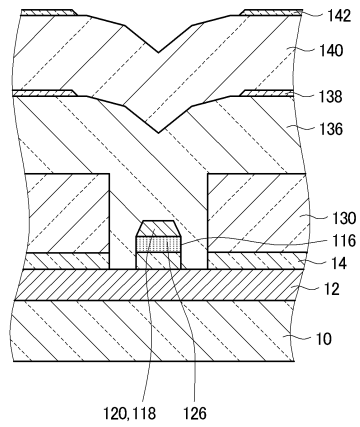
【図 1 1 B】



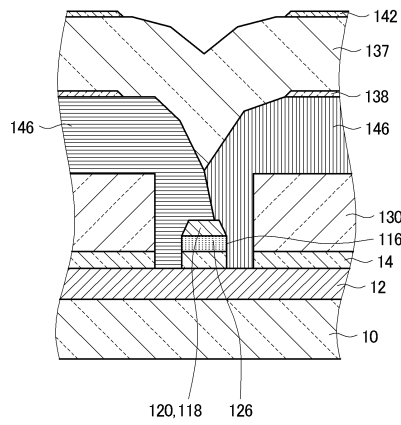
【図 1 3】



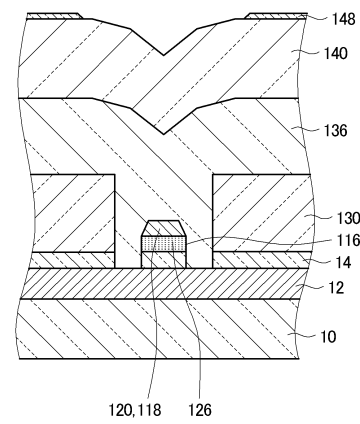
【図 1 2】



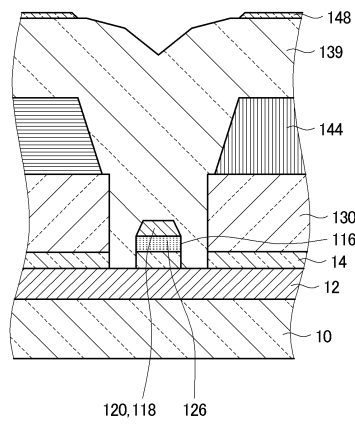
【図 1 4】



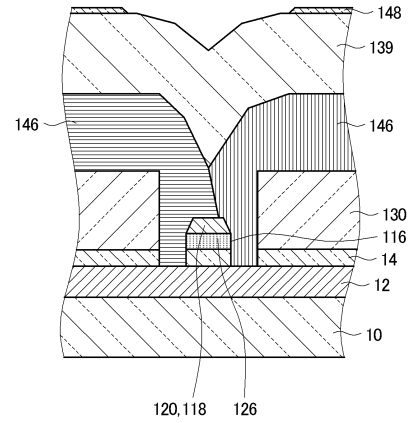
【図 1 5】



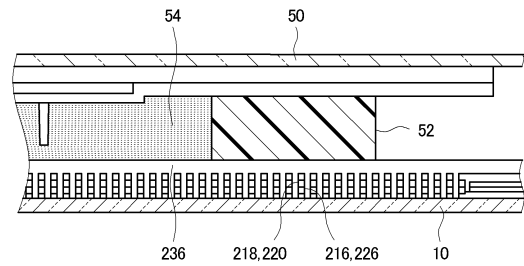
【図 16】



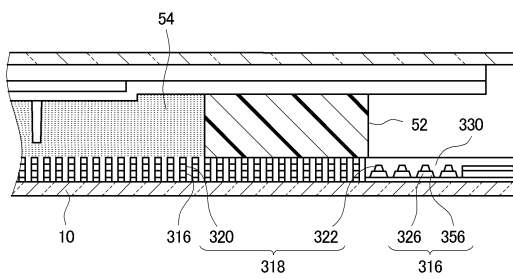
【図 17】



【図 18】



【図 19】



 フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 8 C

審査官 右田 昌士

(56)参考文献 特開 2 0 0 5 - 0 7 7 4 2 4 (J P , A)
 特開 2 0 0 8 - 1 5 2 2 3 1 (J P , A)
 特開 2 0 0 2 - 0 4 0 4 7 9 (J P , A)
 特開平 1 0 - 0 3 1 2 0 9 (J P , A)
 特開 2 0 0 4 - 3 0 2 4 6 6 (J P , A)
 特開 2 0 0 4 - 1 7 7 8 9 5 (J P , A)
 特開 2 0 0 2 - 2 9 6 6 1 5 (J P , A)
 米国特許出願公開第 2 0 0 7 / 0 2 9 1 1 9 4 (U S , A 1)
 国際公開第 0 1 / 1 8 5 9 7 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8
 G 0 2 F 1 / 1 3 4 3
 G 0 2 F 1 / 1 3 3 3
 G 0 2 F 1 / 1 3 1 0 1
 H 0 1 L 2 9 / 7 8 6

 H 0 1 L 2 9 / 7 8 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP5908036B2	公开(公告)日	2016-04-26
申请号	JP2014161574	申请日	2014-08-07
申请(专利权)人(译)	松下液晶显示器有限公司		
当前申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	船橋祐太 川村徹也 平田将史		
发明人	船橋 祐太 川村 徹也 平田 将史		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786 H01L21/768 H01L23/522 H01L21/336		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.616.S H01L21/90.W H01L29/78.612.D H01L29/78.618.C		
F-TERM分类号	2H192/AA24 2H192/BB01 2H192/BB73 2H192/CB05 2H192/CB46 2H192/CB82 2H192/CC04 2H192/CC42 2H192/CC64 2H192/EA42 2H192/EA66 2H192/GA42 2H192/GD25 2H192/HA62 2H192/JA13 2H192/JA32 5F033/GG04 5F033/HH07 5F033/KK11 5F033/NN21 5F033/QQ07 5F033/QQ09 5F033/QQ11 5F033/QQ35 5F033/QQ37 5F033/RR04 5F033/RR06 5F033/VV06 5F033/VV15 5F033/XX00 5F033/XX31 5F110/BB01 5F110/CC07 5F110/EE02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG22 5F110/GG23 5F110/HM04 5F110/NN03 5F110/NN23 5F110/NN27 5F110/NN72		
其他公开文献	JP2015004981A		
外部链接	Espacenet		

摘要(译)

本発明の目的は适当地处理设置在金属图案下的半导体图案。一种液晶显示装置，包括：在基板上以矩阵排列的多个像素;在所述多个像素中的相邻的两个像素之间并列配置的两条漏极配线;以及在两个漏极配线之间形成的半导体层，其中形成半导体层，使得在平面图中，两个漏极直列之间，形成有间隙，而在所述像素的两个排扰线之间，并且形成为从两个排扰线，其特征在于突出。

(21) 出願番号	特願2014-161574 (P2014-161574)	(73) 特許権者	506087819
(22) 出願日	平成26年8月7日 (2014. 8. 7)		パナソニック液晶ディスプレイ株式会社
(62) 分割の表示	特願2009-260984 (P2009-260984) の分割		兵庫県姫路市飾磨区委鹿日田町1-6
属出願日	平成21年11月16日 (2009. 11. 16)	(74) 代理人	110000154
(65) 公開番号	特開2015-4981 (P2015-4981A)	(72) 発明者	船橋 祐太
(43) 公開日	平成27年1月8日 (2015. 1. 8)		兵庫県姫路市飾磨区委鹿日田町1-6 パナソニック液晶ディスプレイ株式会社内
審査請求日	平成26年8月7日 (2014. 8. 7)	(72) 発明者	川村 徹也
			兵庫県姫路市飾磨区委鹿日田町1-6 パナソニック液晶ディスプレイ株式会社内
		(72) 発明者	平田 将史
			兵庫県姫路市飾磨区委鹿日田町1-6 パナソニック液晶ディスプレイ株式会社内

最終頁に続く