

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5888959号
(P5888959)

(45) 発行日 平成28年3月22日 (2016. 3. 22)

(24) 登録日 平成28年2月26日 (2016. 2. 26)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 641E
G09G 3/34 (2006.01)	G09G 3/20 641R
G02F 1/133 (2006.01)	G09G 3/34 J
	G09G 3/20 622Q
請求項の数 5 (全 32 頁) 最終頁に続く	

(21) 出願番号	特願2011-274697 (P2011-274697)	(73) 特許権者	000153878
(22) 出願日	平成23年12月15日 (2011. 12. 15)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-150455 (P2012-150455A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年8月9日 (2012. 8. 9)	(72) 発明者	官入 秀和
審査請求日	平成26年12月9日 (2014. 12. 9)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-292949 (P2010-292949)		半導体エネルギー研究所内
(32) 優先日	平成22年12月28日 (2010. 12. 28)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	豊高 耕平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	川島 進
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

それぞれの発光色が異なる複数の光源の点滅を独立に制御し、且つm行n列（m、nは、4以上の自然数）に配設された複数の画素毎に各発光色を呈する光の透過を制御することで画像を形成する液晶表示装置の駆動方法であって、

第1の色を呈する光の透過を制御するための画像信号の入力が1行目に配設されたn個の画素乃至A行目（Aは、 $m/2$ 以下の自然数）に配設されたn個の画素に対して順次行われる第1の期間内において、

1行目に配設されたn個の画素乃至B行目（Bは、 $A/2$ 以下の自然数）に配設されたn個の画素に対する前記第1の色を呈する光の透過を制御するための画像信号の入力が行われた後に、

1行目に配設されたn個の画素乃至B行目に配設されたn個の画素のそれぞれに対して前記第1の色を呈する光を供給する

第1の工程と、

前記第1の色と異なる第2の色を呈する光の透過を制御するための画像信号の入力が1行目に配設されたn個の画素乃至A行目に配設されたn個の画素に対して順次行われる第2の期間内において、

1行目に配設されたn個の画素乃至B行目に配設されたn個の画素に対する前記第2の色を呈する光の透過を制御するための画像信号の入力が行われた後に、

1行目に配設されたn個の画素乃至B行目に配設されたn個の画素のそれぞれに対し

10

20

て前記第 2 の色を呈する光を供給する

第 2 の工程と、

前記第 1 の色及び前記第 2 の色と異なる第 3 の色を呈する光の透過を制御するための画像信号の入力が 1 行目に配設された n 個の画素乃至 A 行目に配設された n 個の画素に対して順次行われる第 3 の期間内において、

1 行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素に対する前記第 3 の色を呈する光の透過を制御するための画像信号の入力が行われた後に、

1 行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素のそれぞれに対して前記第 3 の色を呈する光を供給する

第 3 の工程と、

を有し、

前記第 1 の工程乃至前記第 3 の工程のそれぞれを少なくとも 1 回含む第 1 の工程順序にしたがって各工程を行うことで、1 行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素に第 1 の画像を形成し、

前記第 1 の工程乃至前記第 3 の工程のそれぞれを少なくとも 1 回含み、且つ前記第 1 の工程順序と異なる第 2 の工程順序にしたがって各工程を行うことで、1 行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素に、前記第 1 の画像に続いて第 2 の画像を形成し、

前記第 1 の工程順序における最初の工程及び最後の工程が、前記第 1 の工程であり、
前記第 2 の工程順序における最初の工程及び最後の工程が、前記第 2 の工程である液晶
表示装置の駆動方法。

【請求項 2】

請求項 1 において、

前記第 1 の色を呈する光の透過を制御するための画像信号の入力が $(A + 1)$ 行目に配設された n 個の画素乃至 $2A$ 行目に配設された n 個の画素に対して順次行われる第 4 の期間内において、

$(A + 1)$ 行目に配設された n 個の画素乃至 $(A + B)$ 行目に配設された n 個の画素に対する前記第 1 の色を呈する光の透過を制御するための画像信号の入力が行われた後に、

$(A + 1)$ 行目に配設された n 個の画素乃至 $(A + B)$ 行目に配設された n 個の画素のそれぞれに対して前記第 1 の色を呈する光を供給する

第 4 の工程と、

前記第 2 の色を呈する光の透過を制御するための画像信号の入力が $(A + 1)$ 行目に配設された n 個の画素乃至 $2A$ 行目に配設された n 個の画素に対して順次行われる第 5 の期間内において、

$(A + 1)$ 行目に配設された n 個の画素乃至 $(A + B)$ 行目に配設された n 個の画素に対する前記第 2 の色を呈する光の透過を制御するための画像信号の入力が行われた後に、

$(A + 1)$ 行目に配設された n 個の画素乃至 $(A + B)$ 行目に配設された n 個の画素のそれぞれに対して前記第 2 の色を呈する光を供給する

第 5 の工程と、

前記第 3 の色を呈する光の透過を制御するための画像信号の入力が $(A + 1)$ 行目に配設された n 個の画素乃至 $2A$ 行目に配設された n 個の画素に対して順次行われる第 6 の期間内において、

$(A + 1)$ 行目に配設された n 個の画素乃至 $(A + B)$ 行目に配設された n 個の画素に対する前記第 3 の色を呈する光の透過を制御するための画像信号の入力が行われた後に、

$(A + 1)$ 行目に配設された n 個の画素乃至 $(A + B)$ 行目に配設された n 個の画素のそれぞれに対して前記第 3 の色を呈する光を供給する

第 6 の工程と、

10

20

30

40

50

を有し、

前記第4の期間は、前記第1の期間に続く期間であり、

前記第5の期間は、前記第2の期間に続く期間であり、

前記第6の期間は、前記第3の期間に続く期間である液晶表示装置の駆動方法。

【請求項3】

請求項1又は請求項2において、

前記液晶表示装置は、m行に配設された前記複数の画素の各々の行に対してパルス出力回路を有し、

前記パルス出力回路は、第1乃至第9のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、高電源電位を供給することができる第1の配線と電氣的に接続され、

前記第1のトランジスタのゲートは、第1の端子と電氣的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、低電源電位を供給することができる第2の配線と電氣的に接続され、

前記第2のトランジスタのソース及びドレインの他方は、前記第1のトランジスタのソース及びドレインの他方と電氣的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、第2の端子と電氣的に接続され、

前記第3のトランジスタのソース及びドレインの他方は、第3の端子と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース及びドレインの他方、及び前記第2のトランジスタのソース及びドレインの他方と電氣的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第2の配線と電氣的に接続され、

前記第4のトランジスタのソース及びドレインの他方は、前記第3の端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース及びドレインの一方は、前記第2の配線と電氣的に接続され、

前記第5のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのゲート、及び前記第4のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのゲートは、前記第1の端子と電氣的に接続され、

前記第6のトランジスタのソース及びドレインの一方は、前記第1の配線と電氣的に接続され、

前記第6のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのゲート、前記第4のトランジスタのゲート、及び前記第5のトランジスタのソース及びドレインの他方と電氣的に接続され、

前記第6のトランジスタのゲートは、第4の端子と電氣的に接続され、

前記第7のトランジスタのソース及びドレインの一方は、前記第1の配線と電氣的に接続され、

前記第7のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのゲート、前記第4のトランジスタのゲート、前記第5のトランジスタのソース及びドレインの他方、及び前記第6のトランジスタのソース及びドレインの他方と電氣的に接続され、

前記第7のトランジスタのゲートは、第5の端子と電氣的に接続され、

前記第8のトランジスタのソース及びドレインの一方は、第6の端子と電氣的に接続され、

前記第8のトランジスタのソース及びドレインの他方は、第7の端子と電氣的に接続され、

前記第8のトランジスタのゲートは、前記第1のトランジスタのソース及びドレインの

10

20

30

40

50

他方、前記第2のトランジスタのソース及びドレインの他方、及び前記第3のトランジスタのゲートと電氣的に接続され、

前記第9のトランジスタのソース及びドレインの一方は、前記第2の配線と電氣的に接続され、

前記第9のトランジスタのソース及びドレインの他方は、前記第7の端子と電氣的に接続され、

前記第9のトランジスタのゲートは、前記第2のトランジスタのゲート、前記第4のトランジスタのゲート、前記第5のトランジスタのソース及びドレインの他方、前記第6のトランジスタのソース及びドレインの他方、及び前記第7のトランジスタのソース及びドレインの他方と電氣的に接続されている液晶表示装置の駆動方法。

10

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1の色を呈する光の視感度が、前記第2の色を呈する光の視感度より高く、且つ前記第3の色を呈する光の視感度より高く、

前記第1の工程順序に含まれる前記第1の工程の数が、前記第1の工程順序に含まれる第2の工程の数の同数以上であり、且つ前記第1の工程順序に含まれる第3の工程の数の同数以上であり、

前記第2の工程順序に含まれる前記第1の工程の数が、前記第2の工程順序に含まれる第2の工程の数の同数以上であり、且つ前記第2の工程順序に含まれる第3の工程の数の同数以上である液晶表示装置の駆動方法。

20

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1の色を呈する光、前記第2の色を呈する光、及び前記第3の色を呈する光を混色すると白色光となる液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行う液晶表示装置の駆動方法に関する。

【背景技術】

30

【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定の波長の光のみを透過するカラーフィルターを有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、それぞれの発光色が異なる複数の光源が設けられる。そして、当該複数の光源の点滅を独立に制御し、且つ画素毎に各発光色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に一画素の面積を分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に表示期間を時間分割することで所望の色を形成する方式である。

40

【0003】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

【0004】

50

特許文献1では、フィールドシーケンシャル方式によって表示を行う液晶表示装置が開示されている。具体的には、各画素に、画像信号の入力を制御するトランジスタと、該画像信号を保持する信号保持容量と、該信号保持容量から表示画素容量への電荷の移動を制御するトランジスタとが設けられた液晶表示装置が開示されている。当該構成を有する液晶表示装置は、信号保持容量に対する画像信号の入力と、表示画素容量が保持する電荷に応じた表示とを並行して行うことが可能である。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-42405号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では特定色を呈する光毎に表示期間が時間分割される。そのため、短時間の表示が遮られること（例えば、利用者の瞬き）に起因して特定の表示情報が欠落することがある。この場合、利用者に視認される表示が、本来の表示情報に基づく表示から変化（劣化）すること（静的なカラーブレイク、静的な色割れともいう）になる。また、続けて表示される画像における表示物の変位量が大きいこと（例えば、動きが速いスポーツ映像の表示）に起因して連続するフレームにおける表示情報が連続性を失うことがある。この場合、当該表示物の輪郭周辺部において利用者に視認される表示が所望の表示から変化（劣化）すること（動的なカラーブレイク、動的な色割れともいう）になる。

20

【0007】

そこで、本発明の一態様は、フィールドシーケンシャル方式によって表示を行う液晶表示装置の画質の低下を抑制することを課題の一とする。

【課題を解決するための手段】

【0008】

本発明の一態様は、それぞれの発光色が異なる複数の光源の点滅を独立に制御し、且つ m 行 n 列（ m 、 n は、4 以上の自然数）に配設された複数の画素毎に各発光色を呈する光の透過を制御することで画像を形成する液晶表示装置の駆動方法であって、第1の色を呈する光の透過を制御するための画像信号の入力が1行目に配設された n 個の画素乃至 A 行目（ A は、 $m/2$ 以下の自然数）に配設された n 個の画素に対して順次行われる第1の期間内において、1行目に配設された n 個の画素乃至 B 行目（ B は、 $A/2$ 以下の自然数）に配設された n 個の画素に対する第1の色を呈する光の透過を制御するための画像信号の入力が行われた後に、1行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素のそれぞれに対して第1の色を呈する光を供給する第1の工程と、第1の色と異なる第2の色を呈する光の透過を制御するための画像信号の入力が1行目に配設された n 個の画素乃至 A 行目に配設された n 個の画素に対して順次行われる第2の期間内において、1行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素に対する第2の色を呈する光の透過を制御するための画像信号の入力が行われた後に、1行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素のそれぞれに対して第2の色を呈する光を供給する第2の工程と、第1の色及び第2の色と異なる第3の色を呈する光の透過を制御するための画像信号の入力が1行目に配設された n 個の画素乃至 A 行目に配設された n 個の画素に対して順次行われる第3の期間内において、1行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素に対する第3の色を呈する光の透過を制御するための画像信号の入力が行われた後に、1行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素のそれぞれに対して第3の色を呈する光を供給する第3の工程と、を有し、第1の工程乃至第3の工程のそれぞれを少なくとも1回含む第1の工程順序にしたがって各工程を行うことで、1行目に配設された n 個の画素乃至 B 行目に配設された n 個の画素に第1の画像を形成し、第1の工程乃至第3の工程のそれぞれを少なくとも1回含み、且つ第1の工程順序

30

40

50

と異なる第2の工程順序にしたがって各工程を行うことで、1行目に配設されたn個の画素乃至B行目に配設されたn個の画素に、第1の画像に続いて第2の画像を形成する液晶表示装置の駆動方法である。

【発明の効果】

【0009】

本発明の一態様の液晶表示装置の駆動方法では、画素部の特定の領域に含まれる複数の画素の一部に対する画像信号の入力と、当該一部とは異なる複数の画素の一部に対する光の供給とを並行して行う。これにより、当該領域に含まれる複数の画素の全てに対して画像信号が入力された後に、それらに対して光を供給する期間を設ける必要がなくなる。すなわち、当該領域に含まれる複数の画素の全てに対して画像信号が入力された直後から、それらに対する次の画像信号の入力を開始することが可能となる。したがって、本発明の一態様の液晶表示装置の駆動方法においては、画像信号の入力頻度を向上することが可能となる。これにより、液晶表示装置におけるフレーム周波数を向上することが可能となる。その結果、フィールドシーケンシャル方式によって表示を行う液晶表示装置において生じる表示の変化（劣化）を抑制することが可能である。なお、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるフレーム周波数の向上は、上述の静的なカラーブレイク及び動的なカラーブレイクの発生の抑制に有効である。

【0010】

また、本発明の一態様の液晶表示装置の駆動方法では、続けて表示される2枚の画像を異なる光の供給順序によって形成する。これにより、続けて表示される画像における表示物の変位量が大きい場合に生じる動的なカラーブレイクを抑制することが可能となる。具体的に述べると、フィールドシーケンシャル方式によって表示を行う液晶表示装置においては、表示物の変位方向側の輪郭周辺部は画像形成の際に最初に供給される光が使用者に強く視認され、且つ当該表示物の変位方向とは反対側の輪郭周辺部は画像形成の際に最後に供給される光が使用者に強く視認される。したがって、当該最初に供給される光又は当該最後に供給される光が、続けて表示される画像において同一であると、当該表示物の一部の輪郭周辺部が本来の色ではなく、当該最初に供給される光が呈する色又は当該最後に供給される光が呈する色として利用者に視認されやすくなる。これに対して、本発明の一態様の液晶表示装置の駆動方法では、当該最初に供給される光及び当該最後に供給される光を、続けて表示される2枚の画像の形成に際して異ならせることが可能である。したがって、当該表示物の一部の輪郭周辺部が本来の色とは異なる色として利用者に視認される蓋然性を低下させることが可能である。その結果、フィールドシーケンシャル方式によって表示を行う液晶表示装置において生じる表示の変化（劣化）を抑制することが可能である。

【図面の簡単な説明】

【0011】

【図1】（A）液晶表示装置の構成例を示す図、（B）画素の構成例を示す図。

【図2】（A）走査線駆動回路の構成例を示す図、（B）走査線駆動回路で用いられる信号の一例を示すタイミングチャート、（C）パルス出力回路の構成例を示す図。

【図3】（A）パルス出力回路の一例を示す回路図、（B）～（D）パルス出力回路の動作の一例を示すタイミングチャート。

【図4】（A）信号線駆動回路の構成例を示す図、（B）信号線駆動回路の動作の一例を示す図。

【図5】バックライトの構成例を示す図。

【図6】液晶表示装置の動作例を説明する図。

【図7】（A）、（B）パルス出力回路の一例を示す回路図。

【図8】（A）、（B）パルス出力回路の一例を示す回路図。

【図9】液晶表示装置の動作例を説明する図。

【図10】液晶表示装置の動作例を説明する図。

【図11】液晶表示装置の動作例を説明する図。

10

20

30

40

50

【図１２】液晶表示装置の画素の構成例を示す（Ａ）上面図、（Ｂ）断面図。

【図１３】液晶表示装置の画素の構成例を示す上面図。

【図１４】（Ａ）～（Ｆ）電子機器の一例を示す図。

【発明を実施するための形態】

【００１２】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【００１３】

まず、本発明の一態様の液晶表示装置について図１～図６を参照して説明する。

【００１４】

<液晶表示装置の構成例>

図１（Ａ）は、液晶表示装置の構成例を示す図である。図１（Ａ）に示す液晶表示装置は、画素部１０と、走査線駆動回路１１と、信号線駆動回路１２と、各々が平行又は略平行に配設され、且つ走査線駆動回路１１によって電位が制御されるｍ本の走査線１３と、各々が平行又は略平行に配設され、且つ信号線駆動回路１２によって電位が制御されるｎ本の信号線１４と、を有する。さらに、画素部１０は、３つの領域（領域１０１～領域１０３）に分割され、領域毎にマトリクス状に配設された複数の画素を有する。なお、各走査線１３は、画素部１０においてｍ行ｎ列に配設された複数の画素のうち、いずれかの行に配設されたｎ個の画素に電氣的に接続されている。また、各信号線１４は、ｍ行ｎ列に配設された複数の画素のうち、いずれかの列に配設されたｍ個の画素に電氣的に接続されている。

【００１５】

図１（Ｂ）は、図１（Ａ）に示す液晶表示装置が有する画素１５の回路図の一例を示す図である。図１（Ｂ）に示す画素１５は、ゲートが走査線１３に電氣的に接続され、ソース及びドレインの一方が信号線１４に電氣的に接続されたトランジスタ１６と、一方の電極がトランジスタ１６のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線（容量線ともいう）に電氣的に接続された容量素子１７と、一方の電極がトランジスタ１６のソース及びドレインの他方及び容量素子１７の一方の電極に電氣的に接続され、他方の電極が共通電位を供給する配線（共通電位線ともいう）に電氣的に接続された液晶素子１８と、を有する。なお、トランジスタ１６は、ｎチャンネル型のトランジスタである。また、容量電位と共通電位を同一の電位とすることが可能である。

【００１６】

<走査線駆動回路１１の構成例>

図２（Ａ）は、図１（Ａ）に示す液晶表示装置が有する走査線駆動回路１１の構成例を示す図である。図２（Ａ）に示す走査線駆動回路１１は、第１の走査線駆動回路用クロック信号（ＧＣＫ１）を供給する配線乃至第４の走査線駆動回路用クロック信号（ＧＣＫ４）を供給する配線と、第１のパルス幅制御信号（ＰＷＣ１）を供給する配線乃至第６のパルス幅制御信号（ＰＷＣ６）を供給する配線と、１行目に配設された走査線１３＿１に電氣的に接続された第１のパルス出力回路２０＿１、乃至、ｍ行目に配設された走査線１３＿ｍに電氣的に接続された第ｍのパルス出力回路２０＿ｍと、を有する。なお、ここでは、第１のパルス出力回路２０＿１～第ｋのパルス出力回路２０＿ｋ（ｋは、 $m/2$ 未満の４の倍数）が、領域１０１に配設された走査線１３＿１～走査線１３＿ｋに電氣的に接続され、第（ $k+1$ ）のパルス出力回路２０＿ $k+1$ ～第２ｋのパルス出力回路２０＿２ｋが、領域１０２に配設された走査線１３＿（ $k+1$ ）～走査線１３＿２ｋに電氣的に接続され、第（２ｋ＋１）のパルス出力回路２０＿２ｋ＋１～第ｍのパルス出力回路２０＿ｍが領域１０３に配設された走査線１３＿（２ｋ＋１）～走査線１３＿ｍに電氣的に接続されていることとする。また、第１のパルス出力回路２０＿１乃至第ｍのパルス出力回路２０＿ｍは、第１のパルス出力回路２０＿１に入力される走査線駆動回路用スタートパルス

(G S P) をきっかけとしてシフト期間毎にシフトパルスを順次シフトする機能を有する。さらに、第 1 のパルス出力回路 2 0 _ 1 乃至第 m のパルス出力回路において複数のシフトパルスのシフトを並行して行うことが可能である。すなわち、第 1 のパルス出力回路 2 0 _ 1 乃至第 m のパルス出力回路 2 0 _ m においてシフトパルスのシフトが行われている期間内であっても、第 1 のパルス出力回路 2 0 _ 1 に走査線駆動回路用スタートパルス (G S P) を入力することが可能である。

【0017】

図 2 (B) は、上記信号の具体的な波形の一例を示す図である。図 2 (B) に示す第 1 の走査線駆動回路用クロック信号 (G C K 1) は、周期的にハイレベルの電位 (高電源電位 (V d d)) とロウレベルの電位 (低電源電位 (V s s)) を繰り返す、デューティ比が $1/4$ の信号である。また、第 2 の走査線駆動回路用クロック信号 (G C K 2) は、第 1 の走査線駆動回路用クロック信号 (G C K 1) から $1/4$ 周期分位相がずれた信号であり、第 3 の走査線駆動回路用クロック信号 (G C K 3) は、第 1 の走査線駆動回路用クロック信号 (G C K 1) から $1/2$ 周期位相がずれた信号であり、第 4 の走査線駆動回路用クロック信号 (G C K 4) は、第 1 の走査線駆動回路用クロック信号 (G C K 1) から $3/4$ 周期位相がずれた信号である。第 1 のパルス幅制御信号 (P W C 1) は、周期的にハイレベルの電位 (高電源電位 (V d d)) とロウレベルの電位 (低電源電位 (V s s)) を繰り返す、デューティ比が $1/3$ の信号である。また、第 2 のパルス幅制御信号 (P W C 2) は、第 1 のパルス幅制御信号 (P W C 1) から $1/6$ 周期位相がずれた信号であり、第 3 のパルス幅制御信号 (P W C 3) は、第 1 のパルス幅制御信号 (P W C 1) から $1/3$ 周期位相がずれた信号であり、第 4 のパルス幅制御信号 (P W C 4) は、第 1 のパルス幅制御信号 (P W C 1) から $1/2$ 周期位相がずれた信号であり、第 5 のパルス幅制御信号 (P W C 5) は、第 1 のパルス幅制御信号 (P W C 1) から $2/3$ 周期位相がずれた信号であり、第 6 のパルス幅制御信号 (P W C 6) は、第 1 のパルス幅制御信号 (P W C 1) から $5/6$ 周期位相がずれた信号である。なお、ここでは、第 1 の走査線駆動回路用クロック信号 (G C K 1) 乃至第 4 の走査線駆動回路用クロック信号 (G C K 4) のパルス幅と第 1 のパルス幅制御信号 (P W C 1) 乃至第 6 のパルス幅制御信号 (P W C 6) のパルス幅の比は、 $3:2$ とする。

【0018】

上述した液晶表示装置においては、第 1 のパルス出力回路 2 0 _ 1 乃至第 m のパルス出力回路 2 0 _ m のそれぞれとして、同一の構成を有する回路を適用することができる。ただし、パルス出力回路が有する複数の端子の電氣的な接続関係は、パルス出力回路毎に異なる。具体的な接続関係について図 2 (A)、(C) を参照して説明する。

【0019】

第 1 のパルス出力回路 2 0 _ 1 乃至第 m のパルス出力回路 2 0 _ m のそれぞれは、端子 2 1 ~ 端子 2 7 を有する。なお、端子 2 1 ~ 端子 2 4 及び端子 2 6 は入力端子であり、端子 2 5 及び端子 2 7 は出力端子である。

【0020】

まず、端子 2 1 について述べる。第 1 のパルス出力回路 2 0 _ 1 の端子 2 1 は、走査線駆動回路用スタートパルス (G S P) を供給する配線に電氣的に接続され、第 2 のパルス出力回路 2 0 _ 2 ~ 第 m のパルス出力回路 2 0 _ m の端子 2 1 は、前段のパルス出力回路の端子 2 7 に電氣的に接続されている。

【0021】

次いで、端子 2 2 について述べる。第 (4 a - 3) のパルス出力回路 (a は、 $m/4$ 以下の自然数) の端子 2 2 は、第 1 の走査線駆動回路用クロック信号 (G C K 1) を供給する配線に電氣的に接続され、第 (4 a - 2) のパルス出力回路の端子 2 2 は、第 2 の走査線駆動回路用クロック信号 (G C K 2) を供給する配線に電氣的に接続され、第 (4 a - 1) のパルス出力回路の端子 2 2 は、第 3 の走査線駆動回路用クロック信号 (G C K 3) を供給する配線に電氣的に接続され、第 4 a のパルス出力回路の端子 2 2 は、第 4 の走査線駆動回路用クロック信号 (G C K 4) を供給する配線に電氣的に接続されている。

【0022】

次いで、端子23について述べる。第(4a-3)のパルス出力回路の端子23は、第2の走査線駆動回路用クロック信号(GCK2)を供給する配線に電氣的に接続され、第(4a-2)のパルス出力回路の端子23は、第3の走査線駆動回路用クロック信号(GCK3)を供給する配線に電氣的に接続され、第(4a-1)のパルス出力回路の端子23は、第4の走査線駆動回路用クロック信号(GCK4)を供給する配線に電氣的に接続され、第4aのパルス出力回路の端子23は、第1の走査線駆動回路用クロック信号(GCK1)を供給する配線に電氣的に接続されている。

【0023】

次いで、端子24について述べる。第(2b-1)のパルス出力回路(bは、 $k/2$ 以下の自然数)の端子24は、第1のパルス幅制御信号(PWC1)を供給する配線に電氣的に接続され、第2bのパルス出力回路の端子24は、第4のパルス幅制御信号(PWC4)を供給する配線に電氣的に接続され、第(2c-1)のパルス出力回路(cは、 $(k/2+1)$ 以上 k 以下の自然数)の端子24は、第2のパルス幅制御信号(PWC2)を供給する配線に電氣的に接続され、第2cのパルス出力回路の端子24は、第5のパルス幅制御信号(PWC5)を供給する配線に電氣的に接続され、第(2d-1)のパルス出力回路(dは、 $(k+1)$ 以上 $m/2$ 以下の自然数)の端子24は、第3のパルス幅制御信号(PWC3)を供給する配線に電氣的に接続され、第2dのパルス出力回路の端子24は、第6のパルス幅制御信号(PWC6)を供給する配線に電氣的に接続されている。

【0024】

次いで、端子25について述べる。第xのパルス出力回路(xは、 m 以下の自然数)の端子25は、x行目に配設された走査線13—xに電氣的に接続されている。

【0025】

次いで、端子26について述べる。第yのパルス出力回路(yは、 $m-1$ 以下の自然数)の端子26は、第(y+1)のパルス出力回路の端子27に電氣的に接続され、第mのパルス出力回路の端子26は、第mのパルス出力回路用ストップ信号(STP)を供給する配線に電氣的に接続されている。なお、第mのパルス出力回路用ストップ信号(STP)は、仮に第(m+1)のパルス出力回路が設けられていれば、当該第(m+1)のパルス出力回路の端子27から出力される信号に相当する信号である。具体的には、これらの信号は、実際にダミー回路として第(m+1)のパルス出力回路を設けること、又は外部から当該信号を直接入力することなどによって第mのパルス出力回路に供給することができる。

【0026】

各パルス出力回路の端子27の接続関係は既出である。そのため、ここでは前述の説明を援用することとする。

【0027】

<パルス出力回路の構成例>

図3(A)は、図2(A)、(C)に示すパルス出力回路の構成例を示す図である。図3(A)に示すパルス出力回路は、トランジスタ31乃至トランジスタ39を有する。

【0028】

トランジスタ31は、ソース及びドレインの一方が高電源電位(Vdd)を供給する配線(以下、高電源電位線ともいう)に電氣的に接続され、ゲートが端子21に電氣的に接続されている。

【0029】

トランジスタ32は、ソース及びドレインの一方が低電源電位(Vss)を供給する配線(以下、低電源電位線ともいう)に電氣的に接続され、ソース及びドレインの他方がトランジスタ31のソース及びドレインの他方に電氣的に接続されている。

【0030】

トランジスタ33は、ソース及びドレインの一方が端子22に電氣的に接続され、ソース及びドレインの他方が端子27に電氣的に接続され、ゲートがトランジスタ31のソー

10

20

30

40

50

ス及びドレインの他方並びにトランジスタ 3 2 のソース及びドレインの他方に電氣的に接続されている。

【0031】

トランジスタ 3 4 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子 2 7 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲートに電氣的に接続されている。

【0032】

トランジスタ 3 5 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート及びトランジスタ 3 4 のゲートに電氣的に接続され、ゲートが端子 2 1 に電氣的に接続されている。

10

【0033】

トランジスタ 3 6 は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、並びにトランジスタ 3 5 のソース及びドレインの他方に電氣的に接続され、ゲートが端子 2 6 に電氣的に接続されている。なお、トランジスタ 3 6 のソース及びドレインの一方が、低電源電位 (V_{ss}) よりも高電位であり且つ高電源電位 (V_{dd}) よりも低電位である電源電位 (V_{cc}) を供給する配線に電氣的に接続されている構成とすることもできる。

【0034】

トランジスタ 3 7 は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、並びにトランジスタ 3 6 のソース及びドレインの他方に電氣的に接続され、ゲートが端子 2 3 に電氣的に接続されている。なお、トランジスタ 3 7 のソース及びドレインの一方が、電源電位 (V_{cc}) を供給する配線に電氣的に接続されている構成とすることもできる。

20

【0035】

トランジスタ 3 8 は、ソース及びドレインの一方が端子 2 4 に電氣的に接続され、ソース及びドレインの他方が端子 2 5 に電氣的に接続され、ゲートがトランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、並びにトランジスタ 3 3 のゲートに電氣的に接続されている。

【0036】

30

トランジスタ 3 9 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子 2 5 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、トランジスタ 3 6 のソース及びドレインの他方、並びにトランジスタ 3 7 のソース及びドレインの他方に電氣的に接続されている。

【0037】

なお、以下においては、トランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、トランジスタ 3 3 のゲート、並びにトランジスタ 3 8 のゲートが電氣的に接続されたノードをノード A とし、トランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、トランジスタ 3 6 のソース及びドレインの他方、トランジスタ 3 7 のソース及びドレインの他方、並びにトランジスタ 3 9 のゲートが電氣的に接続されたノードをノード B として説明する。

40

【0038】

<パルス出力回路の動作例>

上述したパルス出力回路の動作例について図 3 (B) ~ (D) を参照して説明する。なお、ここでは、第 1 のパルス出力回路 2 0 _ 1 の端子 2 1 に入力される走査線駆動回路用スタートパルス (GSP) の入力タイミングを制御することで、第 1 のパルス出力回路 2 0 _ 1、第 (k+1) のパルス出力回路 2 0 _ k+1、及び第 (2k+1) のパルス出力回路 2 0 _ 2k+1 の端子 2 7 から同一タイミングでシフトパルスを出力する場合の動作例について説明する。具体的には、図 3 (B) は、走査線駆動回路用スタートパルス (G

50

S P) が入力される際の第 1 のパルス出力回路 20__1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示しており、図 3 (C) は、第 k のパルス出力回路 20__k からハイレベルの電位が入力される際の第 (k+1) のパルス出力回路 20__k+1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示しており、図 3 (D) は、第 2k のパルス出力回路 20__2k からハイレベルの電位が入力される際の第 (2k+1) のパルス出力回路 20__2k+1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示している。なお、図 3 (B) ~ (D) では、各端子に入力される信号を括弧書きで付記している。また、それぞれの後段に配設されるパルス出力回路 (第 2 のパルス出力回路 20__2、第 (k+2) のパルス出力回路 20__k+2、第 (2k+2) のパルス出力回路 20__2k+2) の端子 25 から出力される信号 (Gout2、Goutk+2、Gout2k+2) 及び端子 27 から出力される信号 (SRout2 = 第 1 のパルス出力回路 20__1 の端子 26 の入力信号、SRoutk+2 = 第 (k+1) のパルス出力回路 20__k+1 の端子 26 の入力信号、SRout2k+2 = 第 (2k+1) のパルス出力回路 20__2k+1 の端子 26 の入力信号) も付記している。なお、図中において、Gout は、パルス出力回路の走査線に対する出力信号を表し、SRout は、当該パルス出力回路の、前段及び後段のパルス出力回路に対する出力信号を表している。

10

【0039】

まず、図 3 (B) を参照して、第 1 のパルス出力回路 20__1 に走査線駆動回路用スタートパルス (GSP) としてハイレベルの電位が入力される場合について説明する。

20

【0040】

期間 t1 において、端子 21 にハイレベルの電位 (高電源電位 (Vdd)) が入力される。これにより、トランジスタ 31、35 がオン状態となる。そのため、ノード A の電位がハイレベルの電位 (高電源電位 (Vdd)) からトランジスタ 31 のしきい値電圧分下降した電位) に上昇し、且つノード B の電位が低電源電位 (Vss) に下降する。これに付随して、トランジスタ 33、38 がオン状態となり、トランジスタ 32、34、39 がオフ状態となる。以上により、期間 t1 において、端子 27 から出力される信号は、端子 22 に入力される信号となり、端子 25 から出力される信号は、端子 24 に入力される信号となる。ここで、期間 t1 において、端子 22 及び端子 24 に入力される信号は、共にロウレベルの電位 (低電源電位 (Vss)) である。そのため、期間 t1 において、第 1 のパルス出力回路 20__1 は、第 2 のパルス出力回路 20__2 の端子 21、及び画素部において 1 行目に配設された走査線にロウレベルの電位 (低電源電位 (Vss)) を出力する。

30

【0041】

期間 t2 において、各端子に入力される信号は期間 t1 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にロウレベルの電位 (低電源電位 (Vss)) を出力する。

【0042】

期間 t3 において、端子 24 にハイレベルの電位 (高電源電位 (Vdd)) が入力される。なお、ノード A の電位 (トランジスタ 31 のソースの電位) は、期間 t1 においてハイレベルの電位 (高電源電位 (Vdd)) からトランジスタ 31 のしきい値電圧分下降した電位) まで上昇している。そのため、トランジスタ 31 はオフ状態となっている。この時、端子 24 にハイレベルの電位 (高電源電位 (Vdd)) が入力されることで、トランジスタ 38 のソースとゲートの容量結合によって、ノード A の電位 (トランジスタ 38 のゲートの電位) がさらに上昇する (ブートストラップ動作)。また、当該ブートストラップ動作を行うことによって、端子 25 から出力される信号が端子 24 に入力されるハイレベルの電位 (高電源電位 (Vdd)) から下降することがない。そのため、期間 t3 において、第 1 のパルス出力回路 20__1 は、画素部において 1 行目に配設された走査線にハイレベルの電位 (高電源電位 (Vdd)) = 選択信号) を出力する。

40

【0043】

50

期間 t_4 において、端子 22 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 27 から出力される信号が端子 22 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_4 において、端子 27 からは、端子 22 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））が出力される。すなわち、第 1 のパルス出力回路 20_1 は、第 2 のパルス出力回路 20_2 の端子 21 にハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）を出力する。また、期間 t_4 において、端子 24 に入力される信号はハイレベルの電位（高電源電位（ V_{dd} ））を維持するため、第 1 のパルス出力回路 20_1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号）のままである。なお、期間 t_4 における当該パルス出力回路の出力信号には直接関与しないが、端子 21 にロウレベルの電位（低電源電位（ V_{ss} ））が入力されるためトランジスタ 35 はオフ状態となる。

10

【0044】

期間 t_5 において、端子 24 にロウレベルの電位（低電源電位（ V_{ss} ））が入力される。ここで、トランジスタ 38 はオン状態を維持する。そのため、期間 t_5 において、第 1 のパルス出力回路 20_1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（ V_{ss} ））となる。

【0045】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、端子 25 からはロウレベルの電位（低電源電位（ V_{ss} ））が出力され、端子 27 からはハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）が出力される。

20

【0046】

期間 t_7 において、端子 23 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 37 のしきい値電圧分下降した電位に上昇する。つまり、トランジスタ 32、34、39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 33、38 がオフ状態となる。以上により、期間 t_7 において、端子 25 及び端子 27 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第 1 のパルス出力回路 20_1 は、第 2 のパルス出力回路 20_2 の端子 21、及び画素部において 1 行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

30

【0047】

次いで、図 3（C）を参照して、第 $(k+1)$ のパルス出力回路 20_ $k+1$ の端子 21 に第 k のパルス出力回路 20_ k からシフトパルスとしてハイレベルの電位が入力される場合について説明する。

【0048】

期間 t_1 及び期間 t_2 において、第 $(k+1)$ のパルス出力回路 20_ $k+1$ の動作は、上述した第 1 のパルス出力回路 20_1 と同様である。そのため、ここでは前述の説明を援用することとする。

40

【0049】

期間 t_3 において、各端子に入力される信号は期間 t_2 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にロウレベルの電位（低電源電位（ V_{ss} ））を出力する。

【0050】

期間 t_4 において、端子 22 及び端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。なお、ノード A の電位（トランジスタ 31 のソースの電位）は、期間 t_1 においてハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 31 のしきい値電

50

圧分下降した電位)まで上昇している。そのため、トランジスタ31は、期間t1においてオフ状態となっている。ここで、端子22及び端子24にハイレベルの電位(高電源電位(Vdd))が入力されることで、トランジスタ33のソースとゲート、及びトランジスタ38のソースとゲートの容量結合によって、ノードAの電位(トランジスタ33、38のゲートの電位)がさらに上昇する(ブートストラップ動作)。また、当該ブートストラップ動作を行うことによって、端子25及び端子27から出力される信号が端子22及び端子24に入力されるハイレベルの電位(高電源電位(Vdd))から下降することがない。そのため、期間t4において、第(k+1)のパルス出力回路20__k+1は、画素部において(k+1)行目に配設された走査線及び第(k+2)のパルス出力回路20__k+2の端子21にハイレベルの電位(高電源電位(Vdd))=選択信号、シフトパルス)を出力する。

10

【0051】

期間t5において、各端子に入力される信号は期間t4から変化しない。そのため、端子25及び端子27から出力される信号も変化せず、ハイレベルの電位(高電源電位(Vdd))=選択信号、シフトパルス)を出力する。

【0052】

期間t6において、端子24にロウレベルの電位(低電源電位(Vss))が入力される。ここで、トランジスタ38はオン状態を維持する。そのため、期間t6において、第(k+1)のパルス出力回路20__k+1から画素部において(k+1)行目に配設された走査線に対して出力される信号は、ロウレベルの電位(低電源電位(Vss))となる。

20

【0053】

期間t7において、端子23にハイレベルの電位(高電源電位(Vdd))が入力される。これにより、トランジスタ37がオン状態となる。そのため、ノードBの電位がハイレベルの電位(高電源電位(Vdd))からトランジスタ37のしきい値電圧分下降した電位)に上昇する。つまり、トランジスタ32、34、39がオン状態となる。また、これに付随して、ノードAの電位がロウレベルの電位(低電源電位(Vss))へと下降する。つまり、トランジスタ33、38がオフ状態となる。以上により、期間t7において、端子25及び端子27から出力される信号は、共に低電源電位(Vss)となる。すなわち、期間t7において、第(k+1)のパルス出力回路20__k+1は、第(k+2)のパルス出力回路20__k+2の端子21、及び画素部において(k+1)行目に配設された走査線に低電源電位(Vss)を出力する。

30

【0054】

次いで、図3(D)を参照して、第(2k+1)のパルス出力回路20__2k+1の端子21に第2kのパルス出力回路20__2kからシフトパルスとしてハイレベルの電位が入力される場合について説明する。

【0055】

期間t1乃至期間t3において、第(2k+1)のパルス出力回路20__2k+1の動作は、上述した第(k+1)のパルス出力回路20__k+1と同様である。そのため、ここでは前述の説明を援用することとする。

40

【0056】

期間t4において、端子22にハイレベルの電位(高電源電位(Vdd))が入力される。なお、ノードAの電位(トランジスタ31のソースの電位)は、期間t1においてハイレベルの電位(高電源電位(Vdd))からトランジスタ31のしきい値電圧分下降した電位)まで上昇している。そのため、トランジスタ31は、期間t1においてオフ状態となっている。ここで、端子22にハイレベルの電位(高電源電位(Vdd))が入力されることで、トランジスタ33のソースとゲートの容量結合によって、ノードAの電位(トランジスタ33のゲートの電位)がさらに上昇する(ブートストラップ動作)。また、当該ブートストラップ動作を行うことによって、端子27から出力される信号が端子22に入力されるハイレベルの電位(高電源電位(Vdd))から下降することがない。そのた

50

め、期間 t_4 において、第 $(2k+1)$ のパルス出力回路 20_2k+1 は、第 $(2k+2)$ のパルス出力回路 20_2k+2 の端子 21 にハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）を出力する。なお、期間 t_4 における当該パルス出力回路の出力信号には直接関与しないが、端子 21 にロウレベルの電位（低電源電位（ V_{ss} ））が入力されるためトランジスタ 35 はオフ状態となる。

【0057】

期間 t_5 において、端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 25 から出力される信号が端子 24 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_5 において、端子 25 からは、端子 22 10
に入力されるハイレベルの電位（高電源電位（ V_{dd} ））が出力される。すなわち、第 $(2k+1)$ のパルス出力回路 20_2k+1 は、画素部において $(2k+1)$ 行目に配設された走査線にハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号）を出力する。また、期間 t_5 において、端子 22 に入力される信号はハイレベルの電位（高電源電位（ V_{dd} ））を維持するため、第 $(2k+1)$ のパルス出力回路 20_2k+1 から第 $(2k+2)$ のパルス出力回路 20_2k+2 の端子 21 に対して出力される信号は、ハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）のままである。

【0058】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号、シフトパルス）を出力する。 20

【0059】

期間 t_7 において、端子 23 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 37 のしきい値電圧分下降した電位に上昇する。つまり、トランジスタ 32 、 34 、 39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 33 、 38 がオフ状態となる。以上により、期間 t_7 において、端子 25 及び端子 27 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第 $(2k+1)$ のパルス出力回路 20_2k+1 は、第 $(2k+2)$ のパルス出力回路 20_2k+2 の端子 21 、及び画素部において $(2k+1)$ 行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。 30

【0060】

図3（B）～（D）に示すように、第1のパルス出力回路 20_1 乃至第 m のパルス出力回路 20_m では、走査線駆動回路用スタートパルス（ GSP ）の入力タイミングを制御することで、複数のシフトパルスのシフトを並行して行うことが可能である。具体的には、走査線駆動回路用スタートパルス（ GSP ）の入力後、第 k のパルス出力回路 20_k の端子 27 からシフトパルスが出力されるタイミングと同じタイミングで再度走査線駆動回路用スタートパルス（ GSP ）を入力することによって、第1のパルス出力回路 20_1 及び第 $(k+1)$ のパルス出力回路 20_k+1 から同じタイミングでシフトパルスを出力させることが可能である。また、同様に走査線駆動回路用スタートパルス（ GSP ）を入力することによって、第1のパルス出力回路 20_1 、第 $(k+1)$ のパルス出力回路 20_k+1 、及び第 $(2k+1)$ のパルス出力回路 20_2k+1 から同じタイミングでシフトパルスを出力させることが可能である。 40

【0061】

加えて、第1のパルス出力回路 20_1 、第 $(k+1)$ のパルス出力回路 20_k+1 、及び第 $(2k+1)$ のパルス出力回路 20_2k+1 は、上記の動作に並行して、それぞれ異なるタイミングで走査線に対する選択信号の供給を行うことが可能である。すなわち、上述した走査線駆動回路は、固有のシフト期間を有するシフトパルスを複数シフトし且つ同一タイミングにおいてシフトパルスが入力された複数のパルス出力回路がそれぞれ 50

異なるタイミングで走査線に対して選択信号を供給することが可能である。

【0062】

＜信号線駆動回路12の構成例＞

図4(A)は、図1(A)に示す液晶表示装置が有する信号線駆動回路12の構成例を示す図である。図4(A)に示す信号線駆動回路12は、第1の出力端子乃至第nの出力端子を有するシフトレジスタ120と、画像信号(DATA)を供給する配線と、トランジスタ121₁乃至トランジスタ121_nと、を有する。なお、トランジスタ121_w(wは、1以上n以下の自然数)は、ソース及びドレインの一方が画像信号(DATA)を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部においてw列目に配設された信号線14_wに電氣的に接続され、ゲートがシフトレジスタ120の第wの出力端子に電氣的に接続されている。また、シフトレジスタ120は、信号線駆動回路用スタートパルス(SSP)としてハイレベルの電位が入力されることをきっかけとしてシフト期間毎に順次第1の出力端子乃至第nの出力端子からハイレベルの電位を出力する機能を有する。すなわち、トランジスタ121₁乃至トランジスタ121_nは、シフト期間毎に順次オン状態となる。

10

【0063】

図4(B)は、画像信号(DATA)を供給する配線が供給する画像信号のタイミングの一例を示す図である。図4(B)に示すように、画像信号(DATA)を供給する配線は、期間t4において、1行目に配設された画素用画像信号(data₁)を供給し、期間t5において、(k+1)行目に配設された画素用画像信号(data_{k+1})を供給し、期間t6において、(2k+1)行目に配設された画素用画像信号(data_{2k+1})を供給し、期間t7において、2行目に配設された画素用画像信号(data₂)を供給する。以下、同様に画像信号(DATA)を供給する配線は、特定の行に配設された画素用画像信号を順次供給する。具体的には、s行目(sは、k未満の自然数)に配設された画素用画像信号→(k+s)行目に配設された画素用画像信号→(2k+s)行目に配設された画素用画像信号→(s+1)行目に配設された画素用画像信号という順序で画像信号を供給する。上述した走査線駆動回路及び信号線駆動回路が当該動作を行うことにより、走査線駆動回路が有するパルス出力回路におけるシフト期間毎に画素部に配設された3行の画素に対する画像信号の入力を行うことが可能である。すなわち、上述した走査線駆動回路及び信号線駆動回路が当該動作を行うことにより、m行n列に配設された複数の画素に対して、3種類の画像信号の走査を並行して行うことが可能である。

20

30

【0064】

＜バックライトの構成例＞

図5は、図1(A)に示す液晶表示装置の画素部10の背後に設けられるバックライトの構成例を示す図である。図5に示すバックライトは、マトリクス状に配設された複数のバックライトユニット40を有する。なお、バックライトユニット40は、赤(R)を呈する光の光源、緑(G)を呈する光の光源、及び青(B)を呈する光の光源を有する。また、複数のバックライトユニット40における光源の点滅は、バックライト制御回路41によって制御される。なお、ここでは、バックライト制御回路41は、m行n列に配設された複数の画素のうちt行n列(ここでは、tは、k/4とする)に配設された画素に対して光を照射するためのバックライトユニット群42毎に、光源の点滅を制御できることとする。すなわち、当該バックライト制御回路41は、1行目乃至t行目用バックライトユニット群～(2k+3t+1)行目乃至m行目用バックライトユニット群において点灯される光を独立に制御できることとする。さらに、バックライト制御回路41は、バックライトユニット群42に含まれるバックライトユニット40が有する3種の光源のいずれかを点灯させること、いずれか二つを同時に点灯させること、及び全て同時に点灯させることが可能であることとする。なお、当該3種の光源の全てを同時に点灯させた場合、バックライトユニット40は、白(W)を呈する光を発光することとする。また、当該光源としては、LED(Light-Emitting Diode)などを適用することが可能である。

40

50

【0065】

＜液晶表示装置の動作例＞

図6は、上述した液晶表示装置における画像信号の走査と、バックライトが有する1行目乃至 t 行目用バックライトユニット群 $\sim (2k+3t+1)$ 行目乃至 m 行目用バックライトユニット群のそれぞれにおいて点灯される光のタイミングとを示す図である。なお、図6において縦軸は画素部における行(1行目乃至 m 行目)を表し、横軸は時間を表している。

【0066】

上述した液晶表示装置では、1行目に配設された画素 $\sim m$ 行目に配設された画素に対して順次画像信号を入力するのではなく、 k 行分隔離されて配設された画素に対して順次画像信号を入力する(1行目に配設された画素 $\rightarrow (k+1)$ 行目に配設された画素 $\rightarrow (2k+1)$ 行目に配設された画素 $\rightarrow 2$ 行目に配設された画素という順序で画像信号を入力する)ことが可能である。これにより、図6に示すように期間 $T1$ において、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素に対する青(B)を呈する光の透過を制御するための画像信号の走査、 $(k+1)$ 行目に配設された n 個の画素乃至 $(k+t)$ 行目に配設された n 個の画素に対する緑(G)を呈する光の透過を制御するための画像信号の走査、及び $(2k+1)$ 行目に配設された n 個の画素乃至 $(2k+t)$ 行目に配設された n 個の画素に対する赤(R)を呈する光の透過を制御するための画像信号の走査を並行して行うことが可能である。

【0067】

また、図6に示すように期間 $T2$ において、1行目乃至 t 行目用バックライトユニット群において青(B)を呈する光の光源を点灯させ、且つ $(k+1)$ 行目乃至 $(k+t)$ 行目用バックライトユニット群において緑(G)を呈する光の光源を点灯させ、且つ $(2k+1)$ 行目乃至 $(2k+t)$ 行目用バックライトユニット群において赤(R)を呈する光の光源を点灯させることが可能である。なお、期間 $T2$ は、 $(t+1)$ 行目に配設された n 個の画素乃至 k 行目に配設された n 個の画素に対する青(B)を呈する光の透過を制御するための画像信号の走査、 $(k+t+1)$ 行目に配設された n 個の画素乃至 $2k$ 行目に配設された n 個の画素に対する緑(G)を呈する光の透過を制御するための画像信号の走査、及び $(2k+t+1)$ 行目に配設された n 個の画素乃至 m 行目に配設された n 個の画素に対する赤(R)を呈する光の透過を制御するための画像信号の走査が並行して行われる期間である。

【0068】

具体的に述べると、図6に示す液晶表示装置の動作は、以下の工程順序にしたがって各工程を行うことで画像(以下では、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素における画像について述べる)を形成する液晶表示装置の動作であると表現できる。

【0069】

まず、第1の工程として、赤(R)を呈する光の透過を制御するための画像信号の入力が1行目に配設された n 個の画素乃至 k 行目に配設された n 個の画素に対して順次行われる期間 Ta 内において、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素に対する赤(R)を呈する光の透過を制御するための画像信号の入力が行われた後に、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素のそれぞれに対して赤(R)を呈する光を供給する。

【0070】

次いで、第2の工程として、緑(G)を呈する光の透過を制御するための画像信号の入力が1行目に配設された n 個の画素乃至 k 行目に配設された n 個の画素に対して順次行われる期間 Tb 内において、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素に対する緑(G)を呈する光の透過を制御するための画像信号の入力が行われた後に、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素のそれぞれに対して緑(G)を呈する光を供給する。なお、当該期間 Tb においては、 $(k+1)$ 行目に配設

された n 個の画素乃至 $2k$ 行目に配設された n 個の画素に対する赤 (R) を呈する光の透過を制御するための画像信号の順次入力を並行して行う。そして、 $(k+1)$ 行目に配設された n 個の画素乃至 $(k+t)$ 行目に配設された n 個の画素に対する赤 (R) を呈する光の透過を制御するための画像信号の入力が行われた後に、 $(k+1)$ 行目に配設された n 個の画素乃至 $(k+t)$ 行目に配設された n 個の画素のそれぞれに対して赤 (R) を呈する光を供給する。

【0071】

次いで、第3の工程として、青 (B) を呈する光の透過を制御するための画像信号の入力が1行目に配設された n 個の画素乃至 k 行目に配設された n 個の画素に対して順次行われる期間 T_c 内において、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素に対する青 (B) を呈する光の透過を制御するための画像信号の入力が行われた後に、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素のそれぞれに対して青 (B) を呈する光を供給する。なお、当該期間 T_c においては、 $(k+1)$ 行目に配設された n 個の画素乃至 $2k$ 行目に配設された n 個の画素に対する緑 (G) を呈する光の透過を制御するための画像信号の順次入力、及び、 $(2k+1)$ 行目に配設された n 個の画素乃至 m 行目に配設された n 個の画素に対する赤 (R) を呈する光の透過を制御するための画像信号の順次入力を並行して行う。そして、 $(k+1)$ 行目に配設された n 個の画素乃至 $(k+t)$ 行目に配設された n 個の画素に対する緑 (G) を呈する光の透過を制御するための画像信号の入力が行われた後に、 $(k+1)$ 行目に配設された n 個の画素乃至 $(k+t)$ 行目に配設された n 個の画素のそれぞれに対して緑 (G) を呈する光を供給し、且つ、 $(2k+1)$ 行目に配設された n 個の画素乃至 $(2k+t)$ 行目に配設された n 個の画素に対する赤 (R) を呈する光の透過を制御するための画像信号の入力が行われた後に、 $(2k+1)$ 行目に配設された n 個の画素乃至 $(2k+t)$ 行目に配設された n 個の画素のそれぞれに対して赤 (R) を呈する光を供給する。

【0072】

次いで、第4の工程として、赤 (R) を呈する光の透過を制御するための画像信号の入力が1行目に配設された n 個の画素乃至 k 行目に配設された n 個の画素に対して順次行われる期間 T_d 内において、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素に対する赤 (R) を呈する光の透過を制御するための画像信号の入力が行われた後に、1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素のそれぞれに対して赤 (R) を呈する光を供給する。なお、当該期間 T_d においては、 $(k+1)$ 行目に配設された n 個の画素乃至 $2k$ 行目に配設された n 個の画素に対する青 (B) を呈する光の透過を制御するための画像信号の順次入力、及び、 $(2k+1)$ 行目に配設された n 個の画素乃至 m 行目に配設された n 個の画素に対する緑 (G) を呈する光の透過を制御するための画像信号の順次入力を並行して行う。そして、 $(k+1)$ 行目に配設された n 個の画素乃至 $(k+t)$ 行目に配設された n 個の画素に対する青 (B) を呈する光の透過を制御するための画像信号の入力が行われた後に、 $(k+1)$ 行目に配設された n 個の画素乃至 $(k+t)$ 行目に配設された n 個の画素のそれぞれに対して青 (B) を呈する光を供給し、且つ、 $(2k+1)$ 行目に配設された n 個の画素乃至 $(2k+t)$ 行目に配設された n 個の画素に対する緑 (G) を呈する光の透過を制御するための画像信号の入力が行われた後に、 $(2k+1)$ 行目に配設された n 個の画素乃至 $(2k+t)$ 行目に配設された n 個の画素のそれぞれに対して緑 (G) を呈する光を供給する。

【0073】

図6に示す液晶表示装置の動作は、上述の第1の工程乃至第4の工程を続けて行うことによって、画像 (1行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素における画像) を形成する動作であると表現できる。

【0074】

また、図6に示す液晶表示装置の動作では、続けて表示される2枚の画像を異なる光の供給順序によって形成する。具体的には、図6に示す液晶表示装置の動作においては、1枚目の画像を、赤 (R) を呈する光→緑 (G) を呈する光→青 (B) を呈する光→赤 (R)

）を呈する光の順で供給することで形成し、2枚目の画像を、緑（G）を呈する光→青（B）を呈する光→赤（R）を呈する光→緑（G）を呈する光の順で供給することで形成する。端的に述べると、図6に示す液晶表示装置の動作では、各光源の点灯順は変更せず、且つ各光源の点灯周波数をフレーム周波数の4/3倍とすることで、続けて表示される2枚の画像を異なる光の供給順序によって形成している。

【0075】

＜本明細書で開示される液晶表示装置について＞

本明細書で開示される液晶表示装置の駆動方法では、画素部の特定の領域に含まれる複数の画素の一部に対する画像信号の入力と、当該一部とは異なる複数の画素の一部に対する光の供給とを並行して行うことが可能である。これにより、当該領域に含まれる複数の画素の全てに対して画像信号が入力された後に、それらに対して光を供給する期間を設ける必要がなくなる。すなわち、当該領域に含まれる複数の画素の全てに対して画像信号が入力された直後から、それらに対する次の画像信号の入力を開始することが可能となる。したがって、本明細書で開示される液晶表示装置の駆動方法においては、画像信号の入力頻度を向上することが可能となる。これにより、液晶表示装置におけるフレーム周波数を向上することが可能となる。その結果、フィールドシーケンシャル方式によって表示を行う液晶表示装置において生じる表示の変化（劣化）を抑制することが可能である。なお、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるフレーム周波数の向上は、上述の静的なカラーブレイク及び動的なカラーブレイクの発生の抑制に有効である。

【0076】

また、本明細書で開示される液晶表示装置の駆動方法では、続けて表示される2枚の画像を異なる光の供給順序によって形成する。これにより、続けて表示される画像における表示物の変位量が多い場合に生じる動的なカラーブレイクを抑制することが可能となる。具体的に述べると、フィールドシーケンシャル方式によって表示を行う液晶表示装置においては、表示物の変位方向側の輪郭周辺部は画像形成の際に最初に供給される光が使用者に強く視認され、且つ当該表示物の変位方向とは反対側の輪郭周辺部は画像形成の際に最後に供給される光が使用者に強く視認される。したがって、当該最初に供給される光又は当該最後に供給される光が続けて表示される画像において同一であると、当該表示物の一部の輪郭周辺部が本来の色ではなく、当該最初に供給される光が呈する色又は当該最後に供給される光が呈する色として利用者に視認されやすくなる。これに対して、本明細書で開示される液晶表示装置の駆動方法では、当該最初に供給される光及び当該最後に供給される光を、続いて表示される2枚の画像の形成に際して異ならせることが可能である。したがって、当該表示物の一部の輪郭周辺部が本来の色とは異なる色として利用者に視認される蓋然性を低下させることが可能である。その結果、フィールドシーケンシャル方式によって表示を行う液晶表示装置において生じる表示の変化（劣化）を抑制することが可能である。

【0077】

また、本明細書で開示される液晶表示装置は、上記の動作を簡便な画素構成でありながら実現することが可能である。具体的には、特許文献1で開示される液晶表示装置の画素には、本明細書で開示される液晶表示装置の画素の構成に加えて、電荷の移動を制御するトランジスタが必要になる。また、該トランジスタのスイッチングを制御するための信号線も別途必要になる。これに対し、本明細書で開示される液晶表示装置の画素構成は、簡便である。すなわち、本明細書で開示される液晶表示装置は、特許文献1で開示される液晶表示装置と比較して画素の開口率を向上させることが可能である。また、画素部に設けられる配線数を低減することで各種配線間に生じる寄生容量を低減することが可能である。すなわち、画素部に設けられる各種配線の高速駆動が可能となる。

【0078】

また、図6に示す液晶表示装置の動作のようにバックライトを点灯する場合、隣接するバックライトユニット群が異なる色を呈することがない。具体的には、期間T1において

画像信号の走査が行われる領域に対して当該走査後にバックライトユニット群を点灯する場合、隣接するバックライトユニット群が異なる色を呈することがない。例えば、期間T1において、 $(k+1)$ 行目に配設された n 個の画素から $(k+t)$ 行目に配設された n 個の画素に対して緑(G)を呈する光の透過を制御するための画像信号の走査が終了した後に $(k+1)$ 行目乃至 $(k+t)$ 行目用バックライトユニット群において緑(G)の光源を点灯させる際に、 $(3t+1)$ 行目乃至 k 行目用バックライトユニット群及び $(k+t+1)$ 行目乃至 $(k+2t)$ 行目用バックライトユニット群においては、緑(G)の光源が点灯される又は点灯自体が行われない(赤(R)、青(B)の光源が点灯されることがない)。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。

10

【0079】

<変形例>

上述した液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0080】

例えば、上述した液晶表示装置においては、画素部10を3つの領域に分割し、該3つの領域に並行して画像信号を供給する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部10を3つ以外の複数の領域に分割し、該複数の領域のそれぞれに対する画像信号の供給を並行して行う構成とすることが可能である。なお、当該領域数を変化させる場合、当該領域数に応じて走査線駆動回路用クロック信号及びパルス幅制御信号を設定する必要があることを付記する。

20

【0081】

また、上述した液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成(図1(B)参照)について示したが、当該容量素子を設けない構成とすることも可能である。この場合、画素の開口率を向上させることが可能である。また、画素部に設けられる容量配線を削除することができるため、画素部に設けられる各種配線の高速駆動が可能となる。

【0082】

また、パルス出力回路として、図3(A)に示したパルス出力回路に、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ32のゲート、トランジスタ34のゲート、トランジスタ35のソース及びドレインの他方、トランジスタ36のソース及びドレインの他方、トランジスタ37のソース及びドレインの他方、並びにトランジスタ39のゲートに電氣的に接続され、ゲートがリセット端子(Reset)に電氣的に接続されたトランジスタ50を付加した構成(図7(A)参照)を適用することが可能である。なお、当該リセット端子には、画素部に1枚の画像が形成された後の期間においてハイレベルの電位が入力され、その他の期間においてはロウレベルの電位が入力される。なお、トランジスタ50は、ハイレベルの電位が入力されることでオン状態となるトランジスタである。これにより、各ノードの電位を初期化することができるので、誤動作を防止することが可能となる。なお、当該初期化を行う場合には、画素部に1枚の画像が形成される期間後且つ次の画像が形成される期間前に初期化期間を設ける必要があることを付記する。

30

40

【0083】

また、パルス出力回路として、図3(A)に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ31のソース及びドレインの他方並びにトランジスタ32のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ33のゲート及びトランジスタ38のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ51を付加した構成(図7(B)参照)を適用することも可能である。なお、トランジスタ51は、ノードAの電位がハイレベルの電位となる期間(図3(B)~(D)に示した期間 t_1 ~期間 t_6)においてオフ状態となる。その

50

ため、トランジスタ 5 1 を付加した構成とすることで、期間 $t_1 \sim t_6$ において、トランジスタ 3 3 のゲート及びトランジスタ 3 8 のゲートと、トランジスタ 3 1 のソース及びドレインの他方並びにトランジスタ 3 2 のソース及びドレインの他方との電氣的な接続を遮断することが可能となる。これにより、期間 $t_1 \sim$ 期間 t_6 に含まれる期間において、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。

【0084】

また、パルス出力回路として、図 7 (B) に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ 3 3 のゲート並びにトランジスタ 5 1 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 8 のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ 5 2 を付加した構成 (図 8 (A) 参照) を適用することも可能である。なお、上述したようにトランジスタ 5 2 を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。特に、当該パルス出力回路がトランジスタ 3 3 のソースとゲートとの容量結合のみによってノード A の電位を上昇させる場合 (図 3 (D) 参照) における負荷の低減による効果が大きい。

【0085】

また、パルス出力回路として、図 8 (A) に示したパルス出力回路からトランジスタ 5 1 を削除し、且つソース及びドレインの一方がトランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、並びにトランジスタ 5 2 のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 3 のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ 5 3 を付加した構成 (図 8 (B) 参照) を適用することも可能である。なお、上述したようにトランジスタ 5 3 を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。また、当該パルス出力回路に生じる不正パルスが、トランジスタ 3 3、3 8 のスイッチングに与える影響を軽減することが可能である。

【0086】

また、上述した液晶表示装置においては、バックライトユニットとして赤 (R)、緑 (G)、青 (B) のいずれか一の光を発光する 3 種の光源を横に直線的に並べる構成 (図 5 参照) について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該 3 種の光源を三角形配置してもよいし、当該 3 種の光源を縦に直線的に並べてもよいし、赤 (R) を呈する光の光源のみを有するバックライトユニット、緑 (G) を呈する光の光源のみを有するバックライトユニット、及び青 (B) を呈する光の光源のみを有するバックライトユニットを別途設けてもよい。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成 (図 5 参照) について示したが、当該バックライトとしてエッジライト方式のバックライトを適用することも可能である。

【0087】

また、上述した液晶表示装置においては、バックライトとして赤 (R) を呈する光、緑 (G)、及び青 (B) を呈する光の光源を組み合わせて用いる構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光源を組み合わせてバックライトを構成することが可能である。例えば、赤 (R)、緑 (G)、青 (B)、白 (W)、若しくは赤 (R)、緑 (G)、青 (B)、黄 (Y) の 4 色の光源を組み合わせて用いること、又はシアン (C)、マゼンタ (M)、イエロー (Y) の 3 色の光源を組み合わせて用いることなどが可能である。なお、白 (W) を呈する光を発光する光源は、発光効率が高いため、当該光源を用いてバックライトユニットを構成することで消費電力を低減することが可能である。また、バックライトユニットが補色の関係にある 2 色の光源を有する場合 (例えば、青 (B) と黄 (Y) の 2 色の光源を有する場合)、当該 2 色を呈する光を混色することで白 (W) を呈する光を形成

10

20

30

40

50

することも可能である。さらに、淡色の赤（R）、緑（G）、及び青（B）、並びに濃色の赤（R）、緑（G）、及び青（B）の6色の光源を組み合わせる用いること、又は赤（R）、緑（G）、青（B）、シアン（C）、マゼンタ（M）、イエロー（Y）の6色の光源を組み合わせる用いることなども可能である。このように、より多種の光源を組み合わせる用いることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

【0088】

また、上述した液晶表示装置においては、1枚の画像が形成される期間の前後に、画像信号の走査又は特定のバックライトユニット群における光源の点灯が行われない期間（黒挿入期間ともいう）を設ける構成（図6参照）について示したが、当該期間を設けずに連続的に行う画像形成動作を行う構成（図9参照）とすることが可能である。これにより、当該液晶表示装置におけるフレーム周波数を向上させることが可能である。

10

【0089】

なお、図6においては、特定のバックライトユニット群において光源の点灯が行われない期間を設ける構成について例示しているが、これに加えて、各画素に対して光を透過させないための画像信号を入力する構成とすることも可能である。

【0090】

また、上述した液晶表示装置においては、3種の光源のいずれか1種を2回点灯させ、且つその他の2種を1回点灯させることで画像を形成する構成（図6参照）について示したが、本発明の液晶表示装置の画像形成方法は、当該構成に限定されない。例えば、3種の光源のそれぞれを1回点灯させることで画像を形成する構成（図10参照）とすること、3種の光源に含まれる特定の2種を2回以上点灯させることで画像を形成する構成（図11参照）とすること、若しくは3種の光源のそれぞれを2回以上点灯させることで画像を形成する構成（図示しない）、又は3種の光源のそれぞれを少なくとも1回且つ3種の光源のうち2種以上を同時に少なくとも1回点灯させることで画像を形成する構成（図示しない）とすることが可能である。なお、3種の光源のうち2種以上を同時に点灯させることで1枚の画像を形成する場合、当該画像の輝度を向上させることが可能である。

20

【0091】

ここで、図11に示す液晶表示装置の動作について詳述する。図11に示す液晶表示装置の動作では、各画素に緑（G）を呈する光を少なくとも2回以上供給することで、画像を形成する。端的に述べると、図11に示す液晶表示装置の動作では、赤（R）を呈する光の光源の点灯→緑（G）を呈する光の光源の点灯→青（B）を呈する光の光源の点灯→緑（G）を呈する光の光源の点灯という点灯順は変更せず、且つ、赤（R）及び青（B）を呈する光の光源の点灯周波数をフレーム周波数の5/4倍とし且つ緑（G）を呈する光の光源の点灯周波数をフレーム周波数の5/2倍としている。図11に示す液晶表示装置の動作においては、視感度の高い緑（G）を呈する光の光源の点灯周波数を向上させることができるため、フリッカーの発生を抑制することが可能である。

30

【0092】

なお、変形例として述べた構成の複数を、図1～図6を参照して説明した液晶表示装置に対して適用することも可能である。

40

【0093】

<具体例>

以下では、上述した液晶表示装置の具体例について説明する。

【0094】

図12（A）は、上述した液晶表示装置の画素の構成例を示す上面図であり、図12（B）は、図12（A）中の線分A-A'、線分B-B'における断面図である。

【0095】

図12（A）に示す画素は、走査線801と、信号線802と、共通電位線803と、容量線804と、トランジスタ805と、画素電極806と、共通電極807と、容量素子808と、を有する。また、これらは、基板全面に成膜された薄膜を複数に分離加工す

50

ることによって得られる第1の導電層851、半導体層852、第2の導電層853、第3の導電層854（透明電極層ともいう）を用いて構成される。

【0096】

具体的には、走査線801、トランジスタ805のゲート電極、及び容量素子808の一方の電極は、第1の導電層851を用いて構成される。さらに、走査線801及びトランジスタ805は、分離加工されることによって得られる一の導電層を用いて構成され、容量素子808の一方の電極は、当該一の導電層とは異なる導電層を用いて構成される。

【0097】

また、トランジスタ805の半導体層は、半導体層852を用いて構成される。

【0098】

また、信号線802、トランジスタ805のソース及びドレインの一方、トランジスタ805のソース及びドレインの他方、並びに容量素子808の他方の電極は、第2の導電層853を用いて構成される。さらに、信号線802並びにトランジスタ805のソース及びドレインの一方は、分離加工されることによって得られる一の導電層を用いて構成され、トランジスタ805のソース及びドレインの他方並びに容量素子808の他方の電極は、当該一の導電層とは異なる導電層によって構成される。

【0099】

また、共通電位線803、液晶素子の画素電極806、及び共通電極807は、第3の導電層854を用いて構成される。さらに、共通電位線803及び共通電極807は、分離加工されることによって得られる一の導電層を用いて構成され、液晶素子の画素電極806は、当該一の導電層とは異なる導電層を用いて構成される。

【0100】

なお、トランジスタ805のソース及びドレインの他方並びに容量素子808の他方の電極と、液晶素子の画素電極806とはコンタクトホール855において接続されている。

【0101】

図13は、図12（A）に示す画素の構成例から第3の導電層854を除去した図である。図13に示すように、ここでは、第1の導電層851（容量素子808の一方の電極）と、第2の導電層853（容量素子808の他方の電極）とを重畳させることで容量素子808を形成している。

【0102】

図12（A）、図13に示す画素では、画素電極806及び共通電極807は、それぞれ櫛歯状に形成し、間隔をあけて嵌合するよう構成されている。当該構成とすることで画素電極806と共通電極807との間に横電界を発生させ、ブルー相を示す液晶材料などを制御することができる。

【0103】

なお、ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。具体的には、5重量%以上のカイラル剤を混合させた液晶組成物を液晶1415に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答時間が10 μ sec.以上100 μ sec.以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。このような特性を有する液晶は、上述した液晶表示装置（画像を形成するために複数回の画像信号を各画素に入力することが必要な液晶表示装置）が有する液晶として特に好ましい。

【0104】

次に、図12（B）に示す断面図の構成について説明する。本明細書で開示される液晶表示装置に適用できるトランジスタの構造は特に限定されず、例えばゲート電極が、ゲート絶縁層を介して、半導体層の上側に配置されるトップゲート構造、又はゲート電極が、ゲート絶縁層を介して、半導体層の下側に配置されるボトムゲート構造のスタガ型及びブ

10

20

30

40

50

レーナ型などを用いることができる。また、トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であってもよい。また、チャネル領域の上下にゲート絶縁層を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。

【0105】

図12(B)に示すトランジスタ805は、逆スタガ型のトランジスタである。

【0106】

トランジスタ805は、絶縁表面を有する基板400上に、ゲート電極層401、ゲート絶縁層402、半導体層403、n型半導体層404、ソース電極層405a、及びドレイン電極層405bを含む。また、トランジスタ805を覆い、半導体層403に積層する絶縁層407が設けられている。絶縁層407上にはさらに絶縁層409が形成されている。

10

【0107】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いる。

【0108】

ボトムゲート構造のトランジスタ805において、下地膜となる絶縁層を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、又は酸化窒化シリコン層から選ばれた一又は複数の層による単層または積層構造により形成することができる。

20

【0109】

ゲート電極層401の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

【0110】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

【0111】

半導体層403に用いる半導体材料としては、アモルファスシリコン、微結晶シリコン、ポリシリコン、酸化物半導体、有機半導体等を用いることができる。また、n型半導体層404は、半導体層403にn型不純物元素を導入して用いればよい。

30

【0112】

ソース電極層405a、ドレイン電極層405bに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属層を積層させた構成としてもよい。また、Al膜に生ずるヒロックやウィスカーの発生を防止する元素(Si、Nd、Scなど)が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

40

【0113】

また、ソース電極層405a、ドレイン電極層405b(これと同じ層で形成される配線層を含む)となる導電膜としては導電性の金属酸化物で形成してもよい。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0114】

絶縁層407は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム

50

膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0115】

絶縁層409としては、トランジスタ起因の表面凹凸を低減するための平坦化絶縁膜として機能するものが好ましい。絶縁層409としては、ポリイミド、アクリル、ベンゾシクロブテン、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0116】

なお、絶縁層407及び絶縁層409には、コンタクトホールが設けられ、当該コンタクトホールにおいて画素電極410とドレイン電極層405bとが直接接する構成とする。また、絶縁層409上には、画素電極410の他に共通電極及び共通電位線（図示しない）が引き回されることとなる。なお、画素電極410及び共通電極に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を主成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属層を積層させた構成としてもよい。また、Al膜に生ずるヒロックやウィスカの発生を防止する元素（Si、Nd、Scなど）が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

【0117】

また、画素電極410及び共通電極となる導電膜としては導電性の金属酸化物で形成してもよい。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0118】

なお、画素電極410及び共通電極となる導電膜は、画素電極410及び共通電極による横電界が液晶に印加しやすいように、膜厚を大きくすることが好ましい。この場合、画素電極410及び共通電極に透光性を有しない材料を用いる場合、画素の開口率が著しく低下することが懸念されるため、予め画素電極410及び共通電極の下部にリブ状の透明構造体を設ける構成とすることが好ましい。

【0119】

<液晶表示装置を搭載した各種電子機器について>

以下では、本明細書で開示される液晶表示装置を搭載した電子機器の例について図14を参照して説明する。

【0120】

図14（A）は、ノート型のパーソナルコンピュータを示す図であり、本体2201、筐体2202、表示部2203、キーボード2204などによって構成されている。

【0121】

図14（B）は、携帯情報端末（PDA）を示す図であり、本体2211には表示部2213と、外部インターフェイス2215と、操作ボタン2214等が設けられている。また、操作用の付属品としてスタイラス2212がある。

【0122】

図14（C）は、電子ペーパーの一例として、電子書籍2220を示す図である。電子書籍2220は、筐体2221および筐体2223の2つの筐体で構成されている。筐体2221および筐体2223は、軸部2237により一体とされており、該軸部2237を軸として開閉動作を行うことができる。このような構成により、電子書籍2220は、紙の書籍のように用いることが可能である。

【0123】

筐体2221には表示部2225が組み込まれ、筐体2223には表示部2227が組み込まれている。表示部2225および表示部2227は、続き画面を表示する構成とし

10

20

30

40

50

てもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図14（C）では表示部2225）に文章を表示し、左側の表示部（図14（C）では表示部2227）に画像を表示することができる。

【0124】

また、図14（C）では、筐体2221に操作部などを備えた例を示している。例えば、筐体2221は、電源2231、操作キー2233、スピーカー2235などを備えている。操作キー2233により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2220は、電子辞書としての機能を持たせた構成としてもよい。

10

【0125】

また、電子書籍2220は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0126】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

20

【0127】

図14（D）は、携帯電話機を示す図である。当該携帯電話機は、筐体2240および筐体2241の二つの筐体で構成されている。筐体2241は、表示パネル2242、スピーカー2243、マイクロフォン2244、ポインティングデバイス2246、カメラ用レンズ2247、外部接続端子2248などを備えている。また、筐体2240は、当該携帯電話機の充電を行う太陽電池セル2249、外部メモリスロット2250などを備えている。また、アンテナは筐体2241内部に内蔵されている。

【0128】

表示パネル2242はタッチパネル機能を備えており、図14（D）には映像表示されている複数の操作キー2245を点線で示している。なお、当該携帯電話は、太陽電池セル2249から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

30

【0129】

表示パネル2242は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2242と同一面上にカメラ用レンズ2247を備えているため、テレビ電話が可能である。スピーカー2243およびマイクロフォン2244は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体2240と筐体2241はスライドし、図14（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

40

【0130】

外部接続端子2248はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット2250に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0131】

図14（E）は、デジタルカメラを示す図である。当該デジタルカメラは、本体2261、表示部（A）2267、接眼部2263、操作スイッチ2264、表示部（B）2265、バッテリー2266などによって構成されている。

【0132】

50

図14(F)は、テレビジョン装置を示す図である。テレビジョン装置2270では、筐体2271に表示部2273が組み込まれている。表示部2273により、映像を表示することが可能である。なお、ここでは、スタンド2275により筐体2271を支持した構成を示している。

【0133】

テレビジョン装置2270の操作は、筐体2271が備える操作スイッチや、別体のリモコン操作機2280により行うことができる。リモコン操作機2280が備える操作キー2279により、チャンネルや音量の操作を行うことができ、表示部2273に表示される映像を操作することができる。また、リモコン操作機2280に、当該リモコン操作機2280から出力する情報を表示する表示部2277を設ける構成としてもよい。

10

【0134】

なお、テレビジョン装置2270は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

【符号の説明】

【0135】

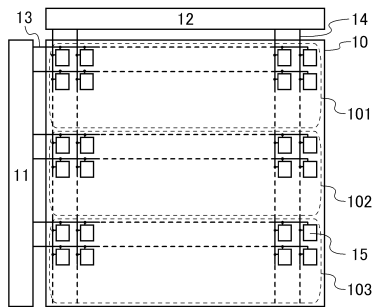
10	画素部	
11	走査線駆動回路	20
12	信号線駆動回路	
13	走査線	
13__1～13__m	走査線	
14	信号線	
14__1～14__n	トランジスタ	
15	画素	
16	トランジスタ	
17	容量素子	
18	液晶素子	
20__1～20__m	パルス出力回路	30
21～27	端子	
31～39	トランジスタ	
40	バックライトユニット	
41	バックライト制御回路	
42	バックライトユニット群	
50～53	トランジスタ	
101～103	領域	
120	シフトレジスタ	
121__1～121__n	トランジスタ	
400	基板	40
401	ゲート電極層	
402	ゲート絶縁層	
403	半導体層	
404	n型半導体層	
405a	ソース電極層	
405b	ドレイン電極層	
407	絶縁層	
409	絶縁層	
410	画素電極	
801	走査線	50

8 0 2	信号線	
8 0 3	共通電位線	
8 0 4	容量線	
8 0 5	トランジスタ	
8 0 6	画素電極	
8 0 7	共通電極	
8 0 8	容量素子	
8 5 1	導電層	
8 5 2	半導体層	
8 5 3	導電層	10
8 5 4	導電層	
8 5 5	コンタクトホール	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	20
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	30
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	40
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	
2 2 6 5	表示部 (B)	
2 2 6 6	バッテリー	
2 2 6 7	表示部 (A)	
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	50

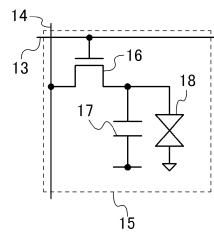
2 2 7 5	スタンド
2 2 7 7	表示部
2 2 7 9	操作キー
2 2 8 0	リモコン操作機

【図 1】

(A)

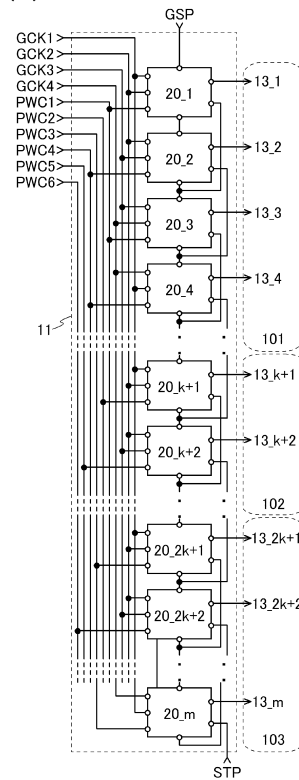


(B)

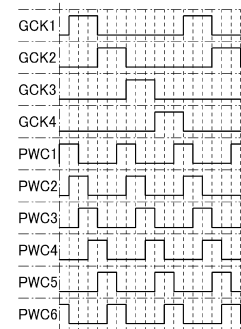


【図 2】

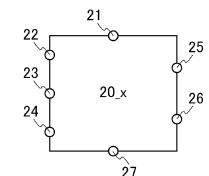
(A)



(B)

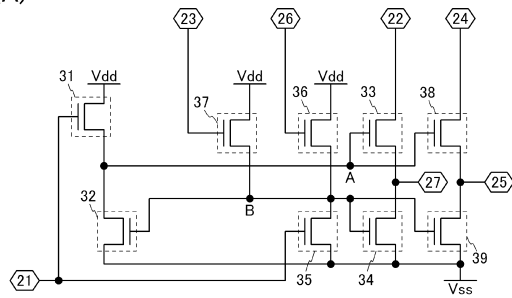


(C)

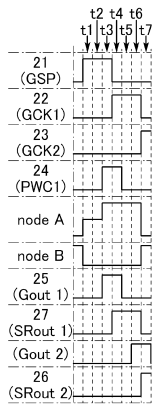


【図 3】

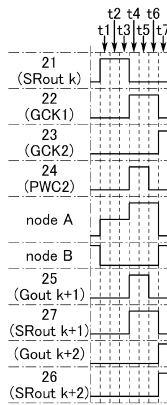
(A)



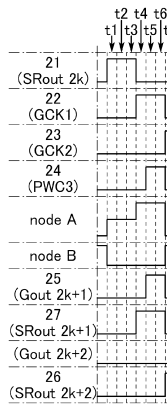
(B)



(C)

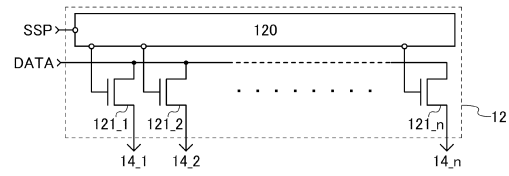


(D)

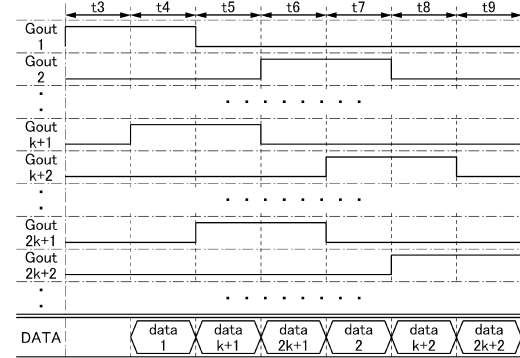


【図 4】

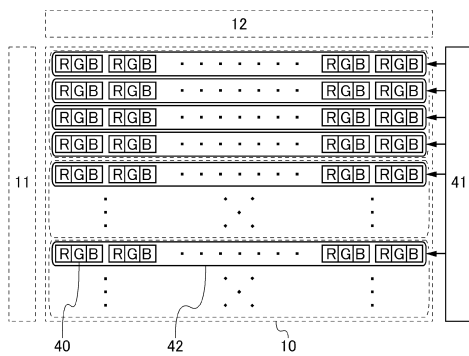
(A)



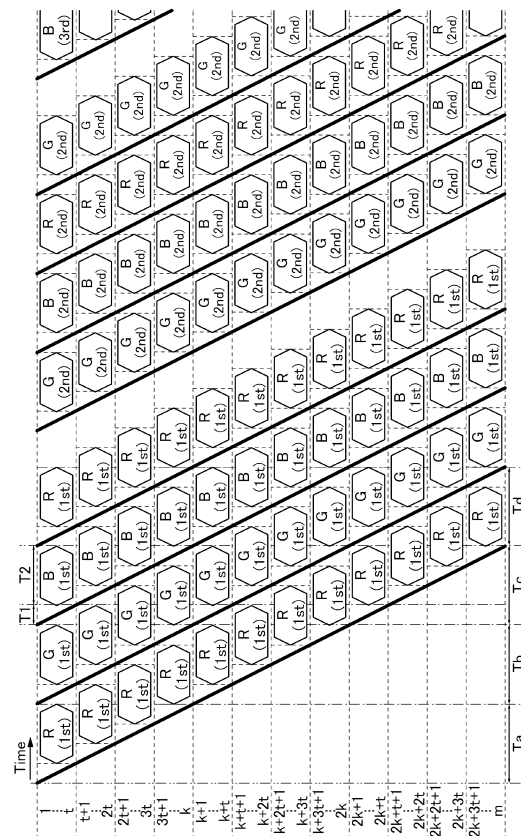
(B)



【図 5】

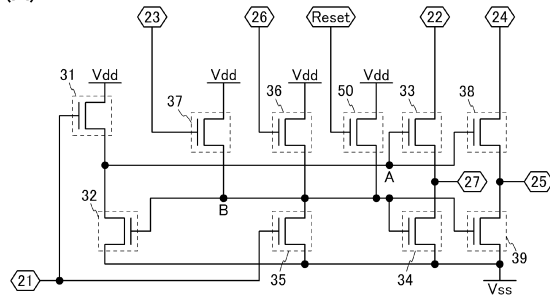


【図 6】

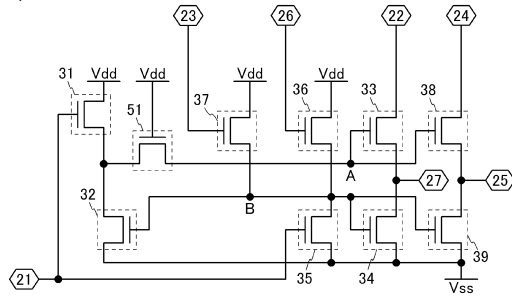


【図 7】

(A)

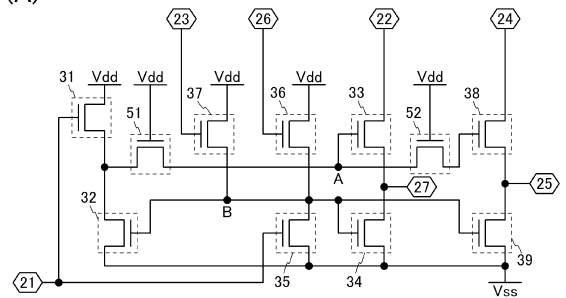


(B)

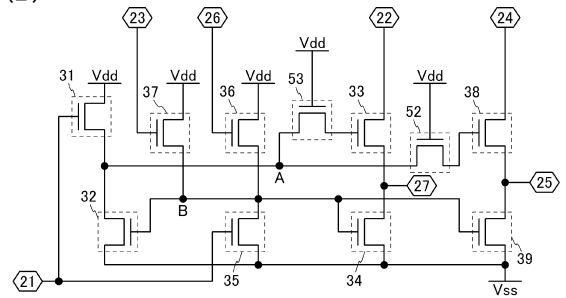


【図 8】

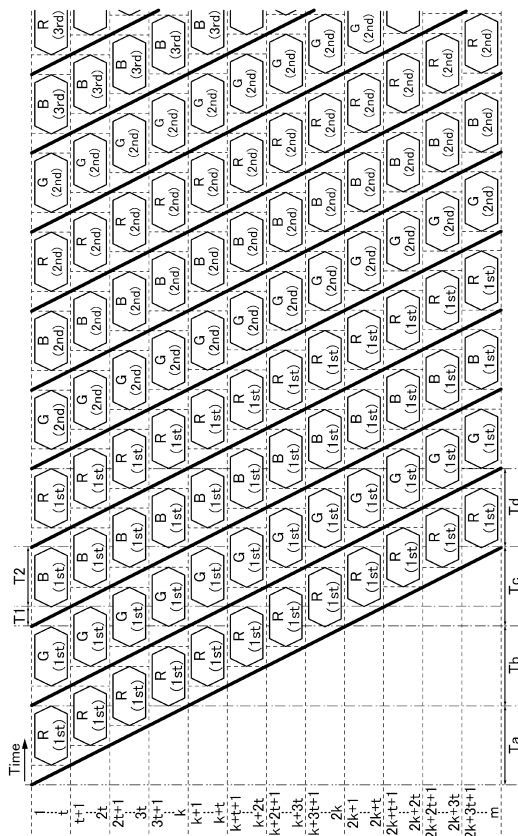
(A)



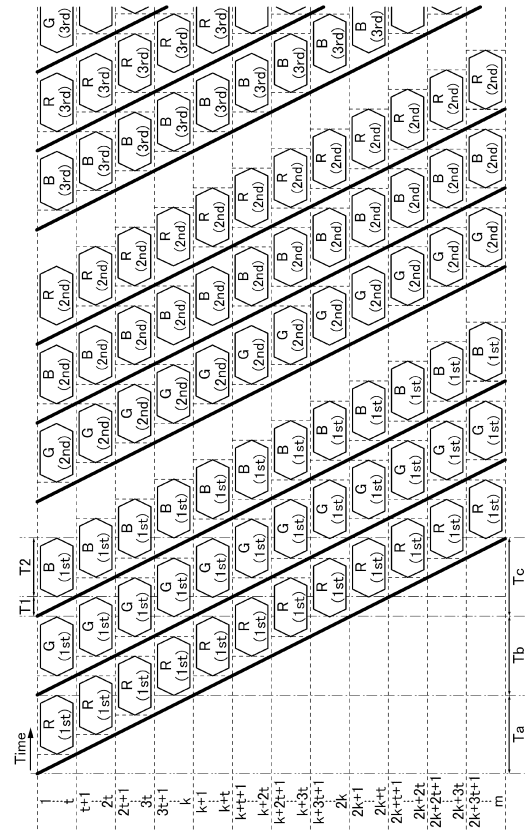
(B)



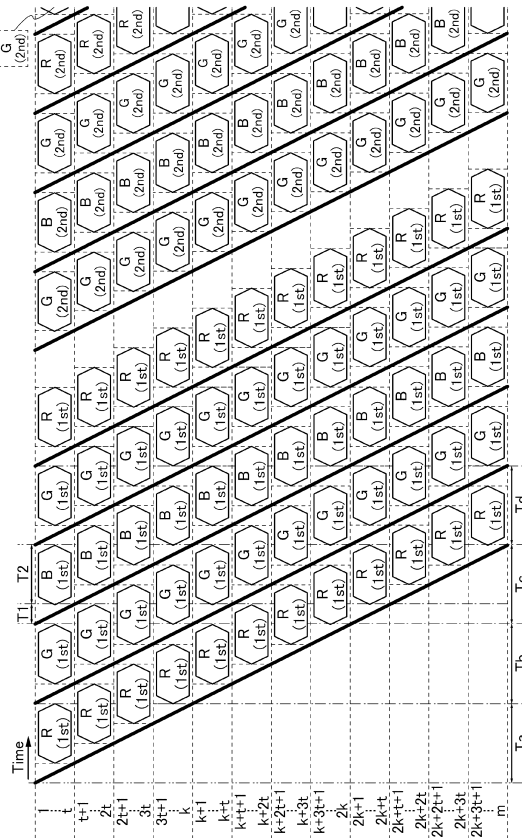
【図 9】



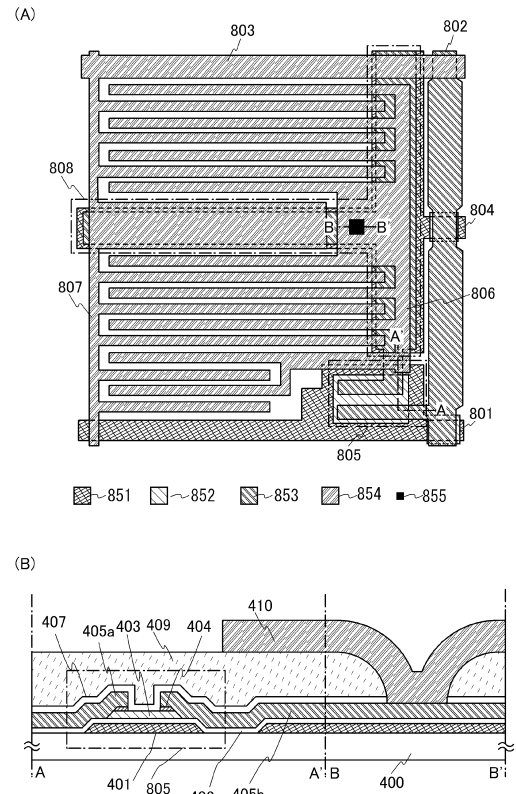
【図 10】



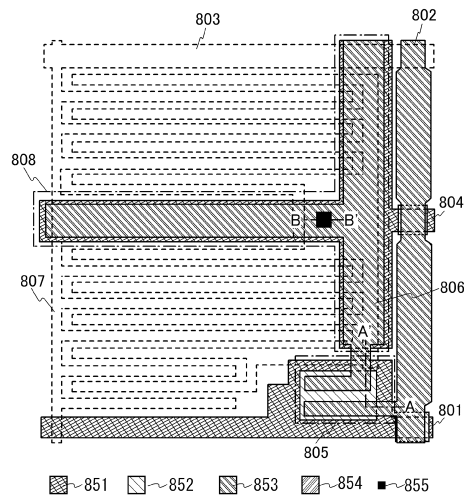
【図 1 1】



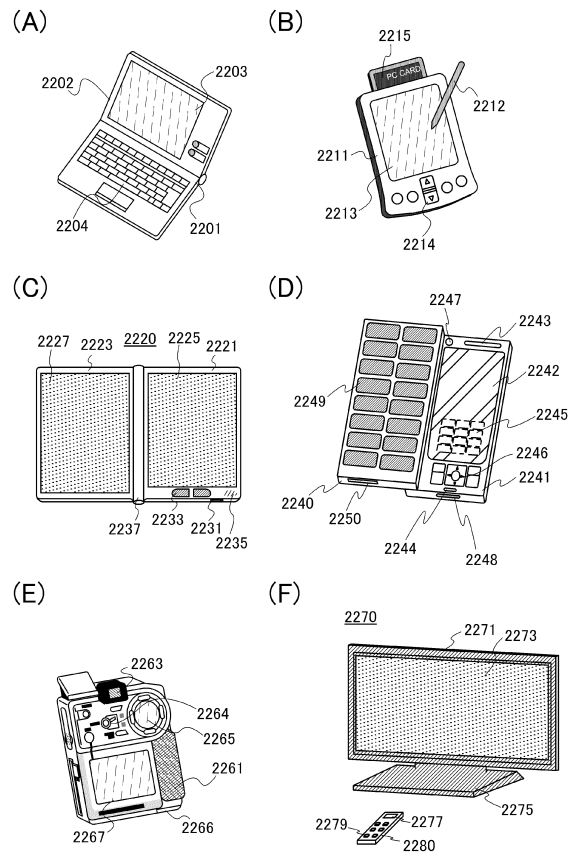
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 1 1 E
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 3 5
G 0 2 F	1/133	5 1 0

審査官 中村 直行

(56)参考文献 特開2000-275605 (JP, A)
特開平11-337904 (JP, A)
特開2007-114628 (JP, A)
特開2001-133746 (JP, A)
特開2003-295833 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3/00	—	3/38
G 0 2 F	1/133		

专利名称(译)	用于驱动液晶显示装置的方法		
公开(公告)号	JP5888959B2	公开(公告)日	2016-03-22
申请号	JP2011274697	申请日	2011-12-15
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	宮入 秀和 三宅 博之 豊高 耕平 川島 進		
发明人	宮入 秀和 三宅 博之 豊高 耕平 川島 進		
IPC分类号	G09G3/36 G09G3/20 G09G3/34 G02F1/133		
CPC分类号	G09G3/3413 G09G3/342 G09G3/3677 G09G2310/0235 G09G2320/0242 G09G2320/0247 G09G2320/0261		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/20.641.R G09G3/34.J G09G3/20.622.Q G09G3/20.622.E G09G3/20.622.K G09G3/20.623.U G09G3/20.611.E G02F1/133.550 G02F1/133.535 G02F1/133.510 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZB03 2H193/ZB06 2H193/ZB13 2H193/ZC25 2H193/ZF22 2H193/ZF23 2H193/ZF35 2H193/ZF36 2H193/ZG03 2H193/ZG14 2H193/ZG27 2H193/ZG34 2H193/ZG44 2H193/ZG48 2H193/ZQ16 2H193/ZQ19 5B074/AA10 5B074/CA01 5B074/EA01 5C006/AA14 5C006/AC23 5C006/AC24 5C006/AF22 5C006/AF42 5C006/AF44 5C006/AF72 5C006/BB16 5C006/BB29 5C006/BC03 5C006/BC06 5C006/BF03 5C006/EA01 5C006/FA23 5C006/FA29 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD06 5C080/EE29 5C080/FF01 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47		
审查员(译)	中村直之		
优先权	2010292949 2010-12-28 JP		
其他公开文献	JP2012150455A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种抑制场序液晶显示装置的图像质量劣化的方法。解决方案：图像信号被输入到包括在像素部分的特定区域中的多个像素的一部分，与对不同于该部分的多个像素的另一部分的光供应并行。在将图像信号输入到包括在特定区域中的所有多个像素之后，不需要用于向像素提供光的时段。换句话说，在将图像信号输入到包括在特定区域中的所有多个像素之后，可以立即开始输入信号之后的图像信号。由此实现了图像信号的输入频率的改善（帧频率的改善）。因此，可以抑制场序液晶显示装置的显示的变化（劣化）。

(21) 出願番号	特願2011-274697 (P2011-274697)	(73) 特許権者	000153878
(22) 出願日	平成23年12月15日 (2011.12.15)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-150455 (P2012-150455A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年8月9日 (2012.8.9)	(72) 発明者	宮入 秀和
審査請求日	平成26年12月9日 (2014.12.9)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-282949 (P2010-282949)		半導体エネルギー研究所内
(32) 優先日	平成22年12月28日 (2010.12.28)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	豊高 耕平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	川島 遼
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く