

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5872860号
(P5872860)

(45) 発行日 平成28年3月1日(2016.3.1)

(24) 登録日 平成28年1月22日(2016.1.22)

(51) Int.Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/1368 (2006.01)

GO9G 3/36 (2006.01)

GO9G 3/20 (2006.01)

GO2F 1/1343

GO2F 1/1368

GO9G 3/36

GO9G 3/20 624B

GO9G 3/20 622D

請求項の数 7 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2011-254721 (P2011-254721)	(73) 特許権者	512187343
(22) 出願日	平成23年11月22日(2011.11.22)		三星ディスプレイ株式会社
(65) 公開番号	特開2012-230347 (P2012-230347A)		S a m s u n g D i s p l a y C o .
(43) 公開日	平成24年11月22日(2012.11.22)		, L t d .
審査請求日	平成26年10月8日(2014.10.8)		大韓民国京畿道龍仁市器興区三星路1
(31) 優先権主張番号	10-2011-0038517	(74) 代理人	110000408
(32) 優先日	平成23年4月25日(2011.4.25)		特許業務法人高橋・林アンドパートナーズ
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 勳
			大韓民国京畿道安山市常▲緑▼区四洞大宇
			プルジオ7次アパートメント701棟16
			04号
		(72) 発明者	申 旗 ▲徹▼
			大韓民国忠▲清▼南道牙山市湯井面鳴岩里
			809番地三星トラパレス304棟230
			4号
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板と、
前記基板上に配置される第1ゲート線及び第2ゲート線と、
前記第1ゲート線及び第2ゲート線と交差されるデータ線と、
前記第1ゲート線及びデータ線と接続され、第1副画素電極を含む第1副画素及び第2副画素電極を含む第2副画素をそれぞれ含む複数の画素と、
前記第1ゲート線と接続され、前記第1副画素の前記第1副画素電極と接続される第1キャパシタの電圧を制御し、前記第2副画素の前記第2副画素電極と接続される第2キャパシタの電圧を制御する第1スイッチング素子と、
前記第2ゲート線と接続され、前記第1キャパシタの電圧を制御し、前記第2副画素電極と接続される前記第2キャパシタの電圧を制御する第2スイッチング素子と、
前記第1ゲート線及び第2ゲート線と分離される第1電圧線及び第2電圧線をと、を含み、
前記第1電圧線は前記第1スイッチング素子及び前記第2スイッチング素子に接続され、
前記第2電圧線は前記第1スイッチング素子及び前記第2スイッチング素子に接続され、
前記第1ゲート線にオン信号が入力された後、オフ信号が入力される時に前記第2ゲート線にオン信号が入力され、

前記第 2 ゲート線にオン信号が入力される時に前記第 1 副画素の第 1 画素電圧と前記第 2 副画素の第 2 画素電圧は昇圧することを特徴とする液晶表示装置。

【請求項 2】

前記第 1 画素電圧と第 2 画素電圧は互いに異なることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 画素電圧は前記第 2 画素電圧より大きいことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 電圧線と前記第 2 電圧線には互いに異なる極性の電圧が印加されることを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 5】

前記第 2 ゲート線がオンになる時、前記第 1 キャパシタの充電容量の変化量によって前記第 1 画素電圧が昇圧し、前記第 2 キャパシタの電圧変化量によって前記第 2 画素電圧が昇圧することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 キャパシタの充電容量は前記第 2 キャパシタの充電容量より大きいことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 キャパシタの電極面積は前記第 2 キャパシタの電極面積より大きいことを特徴とする請求項 6 に記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、現在、最も幅広く用いられている平板表示装置の一つである。液晶表示装置は、画素電極と共通電極など電界生成電極が形成されている二枚の表示板と、その間に挿入されている液晶層からなり、電界生成電極に電圧を印加して液晶層に電界を生成し、これを通じて液晶層の液晶分子の配向を決定して入射光の偏光を制御することにより画像を表示している。

30

【0003】

液晶表示装置は、各画素電極に接続されているスイッチング素子及びスイッチング素子を制御して、画素電極に電圧を印加するためのゲート線とデータ線など多数の信号線を含む。

【0004】

このような液晶表示装置は外部のグラフィック制御部から入力画像信号を受信し、入力画像信号は各画素 P X の輝度情報を含み、各輝度は所定の階調を有している。各画素は所望の輝度情報に対応するデータ電圧の印加を受ける。画素に印加されたデータ電圧は共通電圧との差によって画素電圧として現れ、画素電圧によって各画素は画像信号の階調が示す輝度を表示している。このとき、液晶表示装置が利用可能な画素電圧の範囲は駆動部によって決められている。

40

【0005】

一方、液晶表示装置の駆動部は、多数の集積回路チップの形態で表示パネルに直接装着するか、またはフレキシブル回路膜などに装着して表示パネルに装着するが、このような集積回路チップは、液晶表示装置の製造費用において高い比率を占める。特に、データ電圧を印加するデータ線の数が多くなるほど、液晶表示装置の駆動部の費用が高くなる。

【先行技術文献】

50

【特許文献】

【0006】

【特許文献1】米国特許出願公開第2009/0268112号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、液晶表示装置の側面視認性を向上させ、データ線の数を減らすことによって液晶表示装置の駆動部の費用を低減する液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

10

【0008】

本発明の一実施形態による液晶表示装置は、基板と、基板上に配置される第1ゲート線及び第2ゲート線と、第1ゲート線及び第2ゲート線と交差されるデータ線と、第1ゲート線及びデータ線と接続され、第1副画素電極を含む第1副画素及び第2副画素電極を含む第2副画素をそれぞれ含む複数の画素と、第1ゲート線と接続され、第1副画素の第1副画素電極と接続される第1キャパシタの電圧を制御する第1スイッチング素子と、第2ゲート線と接続され、第1キャパシタの電圧を制御する第2スイッチング素子と、を含むことを特徴とする。

【0009】

第1スイッチング素子は、第2副画素の第2副画素電極と接続する第2キャパシタの電圧を制御し、第2スイッチング素子は、第2副画素電極と接続する第2キャパシタの電圧を制御してもよい。

20

【0010】

第1ゲート線にオン信号が入力された後、オフ信号が入力される時に第2ゲート線にオン信号が入力され、第2ゲート線にオン信号が入力される時に第1副画素の第1画素電圧と第2副画素の第2画素電圧は昇圧してもよい。

【0011】

第1画素電圧と第2画素電圧は互いに異ってもよい。

【0012】

第1画素電圧は第2画素電圧より大きくてもよい。

30

【0013】

第1ゲート線及び第2ゲート線と分離される第1電圧線及び第2電圧線をさらに含み、第1電圧線は第1スイッチング素子に接続され、第2電圧線は第2スイッチング素子に接続してもよい。

【0014】

第1電圧線と第2電圧線には互いに異なる極性の電圧が印加してもよい。

【0015】

第2ゲート線がオンになる時、第1キャパシタの充電容量の変化量によって第1画素電圧が昇圧し、第2キャパシタの電圧変化量によって第2画素電圧が昇圧してもよい。

【0016】

第2キャパシタの充電容量は第1キャパシタの充電容量より大きくてもよい。

40

【0017】

第2キャパシタの電極面積は第1キャパシタの電極面積より大きくてもよい。

【0018】

第1ゲート線及びデータ線と接続され、第1副画素電極と接続される第1画素用スイッチング素子と、第1ゲート線及びデータ線と接続され、第2副画素電極と接続される第2画素用スイッチング素子とをさらに含んでもよい。

【0019】

第1ゲート線と接続され、第2副画素の第2副画素電極と接続される第2キャパシタと、第2キャパシタと接続され、第2キャパシタの電圧を制御する第3スイッチング素子と

50

をさらに含んでもよい。

【 0 0 2 0 】

第 1 ゲート線にオン信号が入力された後、オフ信号が入力される時に第 2 ゲート線にオン信号が入力され、第 2 ゲート線にオン信号が入力される時に第 1 副画素の第 1 画素電圧は昇圧してもよい。

【 0 0 2 1 】

第 1 画素電圧と第 2 副画素の第 2 画素電圧は互いに異なってもよい。

【 0 0 2 2 】

第 1 画素電圧は第 2 画素電圧より大きくてもよい。

【 0 0 2 3 】

第 1 ゲート線及び第 2 ゲート線と分離される第 1 電圧線及び第 2 電圧線をさらに含み、第 1 電圧線は第 1 スイッチング素子に接続され、第 2 電圧線は第 3 スイッチング素子に接続してもよい。

【 0 0 2 4 】

第 1 電圧線と第 2 電圧線には互いに異なる極性の電圧が印加してもよい。

【 0 0 2 5 】

第 2 ゲート線がオンになる時、第 1 キャパシタの充電容量の変化量によって第 1 画素電圧が昇圧してもよい。

【 0 0 2 6 】

第 1 画素電圧と第 2 副画素の第 2 画素電圧は互いに異なってもよい。

【 0 0 2 7 】

第 1 画素電圧は第 2 画素電圧より大きくてもよい。

【 0 0 2 8 】

第 1 ゲート線及びデータ線と接続され、第 1 副画素電極と接続される第 1 画素用スイッチング素子と、第 1 ゲート線及びデータ線と接続され、第 2 副画素電極と接続される第 2 画素用スイッチング素子とをさらに含んでもよい。

【 0 0 2 9 】

第 1 副画素及び第 2 副画素はそれぞれ液晶分子の方向が異なる 4 個のドメインを含んでもよい。

【 発明の効果 】

【 0 0 3 0 】

本発明によれば、液晶表示装置の側面視認性が向上し、データ線の数減らすことによって液晶表示装置の駆動部の費用を低減することができる。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 本発明の一実施形態による液晶表示装置を示すブロック図である。

【 図 2 】 本発明の一実施形態による液晶表示装置の構造と共に一画素を示す等価回路図である。

【 図 3 】 本発明の実施形態による液晶表示装置を示す等価回路図である。

【 図 4 】 図 3 の駆動回路に印加されるゲート信号のタイミングによる電圧変化を説明するための図面である。

【 図 5 】 図 4 の駆動回路を含む液晶表示装置の駆動をシミュレーションしたグラフである。

【 図 6 】 図 3 の駆動回路を含む薄膜トランジスタ表示板の一画素を示す配置図である。

【 図 7 】 図 6 の V I I - V I I 線に沿った断面図である。

【 図 8 】 図 6 の V I I I - V I I I 線に沿った断面図である。

【 図 9 】 図 6 の I X - I X 線に沿った断面図である。

【 図 1 0 】 本発明の他の実施形態による液晶表示装置の駆動回路を示す回路図である。

【 図 1 1 】 図 1 0 の駆動回路によるゲート信号のタイミングによる電圧変化を説明するための図面である。

10

20

30

40

50

【図 1 2】図 1 0 の駆動回路を含む液晶表示装置の駆動をシミュレーションしたグラフである。

【図 1 3】図 1 0 の駆動回路を含む薄膜トランジスタ表示板の一画素を示す配置図である。

【図 1 4】図 1 3 の X I V - X I V 線に沿った断面図である。

【図 1 5】図 1 3 の X V - X V 線に沿った断面図である。

【発明を実施するための形態】

【 0 0 3 2 】

添付した図面を参照して、本発明の実施形態について本発明が属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は種々の異なる形態に実現でき、以下で説明する実施形態に限定されない。

10

【 0 0 3 3 】

図面において、種々の層及び領域を明確に表現するために厚さを拡大して示した。明細書の全体にわたって類似する部分に対しては同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の「上」にあるという時、これは他の部分の「すぐ上」にある場合だけでなく、その中間に他の部分がある場合も含む。一方、ある部分が他の部分の「すぐ上」にあるという時には、中間に他の部分がないことを意味する。

【 0 0 3 4 】

以下、本発明の一実施形態による液晶表示装置について、図 1 及び図 2 を参照して詳細に説明する。

20

【 0 0 3 5 】

図 1 は、本発明の一実施形態による液晶表示装置を示すブロック図である。図 2 は、本発明の一実施形態による液晶表示装置の構造と二つの副画素に対する等価回路を概略的に示す図である。

【 0 0 3 6 】

図 1 を参照すると、本発明の一実施形態による液晶表示装置は、液晶パネルアセンブリ (liquid crystal panel assembly) 3 0 0、ゲート駆動部 (gate driver) 4 0 0、及びデータ駆動部 (data driver) 5 0 0 を含む。

【 0 0 3 7 】

30

図 1 に示したように、液晶パネルアセンブリ 3 0 0 は、複数の信号線 (signal line) $G_1 \sim G_n$ 、 $D_1 \sim D_m$ と、複数の信号線 $G_1 \sim G_n$ 、 $D_1 \sim D_m$ に接続され、ほぼ行列状に配列された複数の画素 (pixel) PX と、を含む。一方、図 2 に示したように、液晶パネルアセンブリ 3 0 0 は、互いに対向する下部表示板 1 0 0 及び上部表示板 2 0 0 と、下部表示板 1 0 0 及び上部表示板 2 0 0 の間に挿入される液晶層 3 と、を含む。

【 0 0 3 8 】

例えば、信号線 $G_1 \sim G_n$ 、 $D_1 \sim D_m$ は下部表示板 1 0 0 に備え、ゲート信号 (「走査信号」 ともいう) を伝達する複数のゲート線 $G_1 \sim G_n$ と、データ電圧を伝達する複数のデータ線 $D_1 \sim D_m$ と、を含む。ゲート線 $G_1 \sim G_n$ はほぼ行方向に延びて互いにほぼ平行し、データ線 $D_1 \sim D_m$ はほぼ列方向に延びて互いにほぼ平行する。

40

【 0 0 3 9 】

各画素 PX 、例えば、 i 番目 ($i = 1, 2, \dots, n$) ゲート線 G_i と j 番目 ($j = 1, 2, \dots, m$) データ線 D_j に接続された画素 PX は一対の副画素を含み、各副画素はそれぞれ第 1 液晶キャパシタ (liquid crystal capacitor) $C1ch$ 及び第 2 液晶キャパシタ $C1cl$ を含む。二つの副画素は、ゲート線 $G_1 \sim G_n$ 、データ線 $D_1 \sim D_m$ 、及び液晶キャパシタ $C1ch$ 、 $C1cl$ と接続されたスイッチング素子 (図示せず) をさらに含む。

【 0 0 4 0 】

例えば、第 1 液晶キャパシタ $C1ch$ 及び第 2 液晶キャパシタ $C1cl$ は、下部表示板

50

100の第1副画素電極191h及び第2副画素電極191lと、上部表示板200の共通電極270を二つの端子とし、第1副画素電極191h及び第2副画素電極191lと共通電極270との間の液晶層3は誘電体として機能する。

【0041】

一对の第1副画素電極191h及び第2副画素電極191lは互いに分離され、一つの画素電極を構成する。共通電極270は上部表示板200の全面に形成され、共通電圧Vcomの印加を受ける。液晶層3は負の誘電率異方性を有し、液晶層3の液晶分子は電界がない状態でその長軸が二つの表示パネルの表面に対して垂直となるように配向される。図2とは異なり、共通電極270を下部表示パネル100に備えてもよく、この場合、画素電極と共通電極270のうちの少なくとも一つを線状または棒状にしてもよい。

10

【0042】

一方、色表示(color display)を実現するために各画素PXが基本色(primary color)のうちの一つを固有に表示するか(空間分割)、または各画素PXが時間によって交互に基本色を表示する(時間分割)ようにして、これら基本色の空間的、時間的な相互作用によって所望の色が認識されるようにする。基本色の例としては赤色、緑色、青色などの三原色が挙げられる。図2は、空間分割の一例として、各画素(PX)が上部表示板200の領域に基本色のうちの一つを示すカラーフィルタ230を備えることを示す。図2とは異なって、カラーフィルタ230は下部表示板100の副画素電極191h、191l上部または下部に形成してもよい。

【0043】

20

上部表示板100、下部表示板200の外側面には偏光子(polarizer)(図示せず)が備えられるが、二つの偏光子の偏光軸は直交してもよい。

【0044】

さらに、図1を参照すると、データ駆動部500は液晶パネルアセンブリ300のデータ線D₁~D_mと接続され、データ電圧をデータ線D₁~D_mに印加する。

【0045】

ゲート駆動部400は液晶パネルアセンブリ300のゲート線G₁~G_nと接続され、スイッチング素子を導通させるゲートオン電圧Vonと、遮断させるゲートオフ電圧Voffとの組み合わせからなるゲート信号をゲート線G₁~G_nに印加する。

【0046】

30

次に、このような画素を含む本発明による一画素の等価回路を参照して、液晶表示装置の駆動方法について具体的に説明する。

【0047】

図3は、本発明の実施形態による液晶表示装置を示す等価回路図である。図4は、図3の駆動回路に印加されるゲート信号のタイミングによる電圧変化を説明するための図である。

【0048】

図3を参照すれば、液晶表示装置は、互いに交差する複数の第1信号線G₁~G_n、第2信号線D₁~D_m、及び第3信号線S1、S2を含む。第1信号線G₁~G_nはゲート信号(「走査信号」ともいい、以下、「ゲート線」という)を伝達し、第2信号線D₁~D_mはデータ電圧(「画像信号」ともいい、以下、「データ線」という)を伝達し、第3信号線S1、S2は一定の電圧を伝達する第1電圧線S1及び第2電圧線S2を含む。

40

【0049】

画素PXは、第1ゲート線及びデータ線と接続される第1画素用スイッチング素子Qp1、第2画素用スイッチング素子Qp2、及びこれらとそれぞれ接続される第1液晶キャパシタC1chと第2液晶キャパシタC1clを含む。

【0050】

第1画素用スイッチング素子Qp1及び第2画素用スイッチング素子Qp2は薄膜トランジスタなどの三端子素子であって、第1画素用スイッチング素子Qp1の制御端子は第1ゲート線G1に接続され、入力端子はデータ線D1に接続され、出力端子は第1液晶キ

50

ャパシタC1chに接続される。そして、第2画素用スイッチング素子Qp2の制御端子は第1ゲート線G1に接続され、入力端子はデータ線D1に接続されており、出力端子は第2液晶キャパシタC1c1に接続される。

【0051】

画素PXは、第1液晶キャパシタC1chと接続される第1キャパシタCst1と、第2液晶キャパシタC1c1と接続される第2キャパシタCst2と、を含む。第1キャパシタCst1は、第1キャパシタCst1の電圧Vcst1を制御するための第1スイッチング素子Q1及び第2スイッチング素子Q2と接続され、第2キャパシタCst2は第2スイッチング素子Q2と接続される。

【0052】

第1スイッチング素子Q1及び第2スイッチング素子Q2は薄膜トランジスタなどの三端子素子であって、第1スイッチング素子Q1の制御端子は第1ゲート線G1に接続され、入力端子は第1電圧線S1に接続される。そして、第2スイッチング素子Q2の制御端子は第2ゲート線G2に接続され、入力端子は第2電圧線S2に接続され、出力電圧は第1キャパシタCst1及び第2キャパシタCst2に接続される。

【0053】

図3及び図4を参照すると、第1ゲート線G1にゲートオンon電圧が印加されると、導通した第1画素用スイッチング素子Qp1及び第2画素用スイッチング素子Qp2を通じてデータ電圧が第1画素電極及び第2画素電極にそれぞれ印加される。第1画素用スイッチング素子Qp1と第2画素用スイッチング素子Qp2は同一のデータ線D1に接続して同一のデータ電圧が伝達される。データ電圧は第1画素及び第2画素が表示しようとする輝度に対応する電圧で、基準電圧Vcomと第1画素電極及び第2画素電極に伝達されるデータ電圧の差がそれぞれ第1液晶キャパシタC1chと第2液晶キャパシタC1c1の充電電圧になる。そして第1液晶キャパシタC1chと第2液晶キャパシタC1c1の充電電圧によって第1副画素PX1と第2副画素PX2の電界値が定められる。本発明の一実施形態では第1ゲート線G1がオンになる間に第1画素用スイッチング素子Qp1と第2画素用スイッチング素子Qp2の入力端に同一のデータ伝達が印加されるので、第1液晶キャパシタC1chと第2液晶キャパシタC1c1の充電電圧は同一になる。

【0054】

そして第1ゲート線G1がオンになる間に導通した第1スイッチング素子Q1を通じて第1電圧線S1に流れる第1電圧Vcst1によって第1キャパシタCst1及び第2キャパシタCst2が充電される。

【0055】

その後、次のゲート線である第2ゲート線G2がオンになると、第1画素用スイッチング素子Qp1と第2画素用スイッチング素子Qp2はオフ(off)状態になるので、第1副画素PX1と第2副画素PX2の第1液晶キャパシタC1ch及び第2液晶キャパシタC1c1はそれ以上充電されない。

【0056】

そして、導通した第2スイッチング素子Q2を通じて第2電圧線S2に流れる第2電圧Vcst2が第1キャパシタCst1及び第2キャパシタCst2に伝達される。第1キャパシタCst1及び第2キャパシタCst2は第1電圧Vcst1と第2電圧Vcst2との差ほど電圧が昇圧して、第1キャパシタCst1と接続される第1液晶キャパシタC1chの電圧及び第2キャパシタCst2と接続される第2液晶キャパシタC1c1の電圧を昇圧させる。従って、ゲート線のオン信号を長くしなくても十分な画素電圧を得ることができる。この時、第1電圧線S1に印加される第1電圧Vcst1と第2電圧線Vcst1と第2電圧Vcst2は、共通電圧Vcomに対して極性が互いに反対である。

【0057】

これについて、図5を参照して具体的に説明する。

【0058】

図5は、図3の駆動回路を含む液晶表示装置の駆動をシミュレーションしたグラフであ

10

20

30

40

50

る。この時、 C_{st1} は 0.063 pF 、 C_{sth} は 0.059 pF 、第2液晶キャパシタ C_{lc1} は 0.796 pF 、第1液晶キャパシタ C_{lch} は 0.359 pF で、 C_{st1}/C_{lc1} は 0.08 であり、 C_{sth}/C_{lch} は 0.16 で入力される。

【0059】

図5に示したように、黄色線で表示される第1ゲート線 G_1 がオンになる間に第1副画素及び第2副画素の電圧が増加（赤色線）するが、所望のデータ電圧（緑色線）まで充電されないことが分かる。第1副画素と第2副画素は同じ値に充電される。

【0060】

以下、第2ゲート線 G_2 がオンになると、第1副画素の電圧が昇圧して所望のデータ電圧まで増加することが分かる。そして、第2副画素の電圧も昇圧するが、上述した通り第1副画素の電圧より小さい値に昇圧する。第1画素の電圧ほど上昇する。この時、第1副画素の電圧に対する第2副画素の電圧比は 0.893 であり、第1液晶キャパシタ C_{lch} の充電率はデータ電圧の 101.5% で所望のデータ電圧を得ることができる。

【0061】

従来は、第1ゲート線 G_1 がオンになる時間が短いことから、第1副画素で必要とする輝度を得るために二行の画素にゲートオン信号を印加して、本発明の実施形態の第1ゲート線 G_1 がオンになる時間の2倍の時間をかけて液晶キャパシタを充電した。このように2倍の時間をかけて液晶キャパシタを充電しても、充電率はデータ電圧の 95.27% 程度で、本発明の実施形態よりも充電率が低い。

【0062】

そして、従来のように二行のゲート線を用いて画素の充電時間を増やせば、二行にそれぞれ異なるデータ電圧を伝達するために行別に異なるデータ線を接続しなければならず、そのためデータ線の数が増加する。

【0063】

しかし、本発明の実施形態では第2スイッチング素子 Q_2 及び電圧線を用いて、隣接する二行に同一のデータ線使用しながらも所望の輝度を得ることができるので、データ線の数減らすことができる。

【0064】

一方、図3で N_1 地点における電圧を V_{h1} とし、 N_2 地点における電圧を V_{h2} とし、 N_3 地点における電圧を V_{l1} とし、 N_4 地点における電圧を V_{l2} とする時、 V_{h1} の電圧は以下の数式1によって求められる。

[数式1]

$$C V_{h2} = C_{lc1} \times V_{h1}$$

$$V_{h1} = (C / C_{lc1}) \times V_{h2}$$

$$V_{h1} = C_{st1} / (C_{st1} + C_{lch}) \times V_{h2}$$

$$V_{h1} = 1 / (1 + C_{lch} / C_{st1}) \times V_{h2} = 1 / (1 + 1 / C_{st1} / C_{lch}) \times V_{h2}$$

従って、第1ゲート線(G_1)がオフになり、第2ゲート線 G_2 がオンになる時、 V_{h1} の昇圧した電圧は以下の数式2によって求められる。

[数式2]

$$\Delta V_{h1} = 1 / (1 + C_{lch} / C_{st1}) \times V_{h2} = 1 / (1 + 1 / C_{st1} / C_{lch}) \times \Delta V_{h2}$$

同様の方法で N_3 及び N_4 の電圧を求めば、以下の数式3の通りである。

[数式3]

$$\Delta V_{l1} = 1 / (1 + C_{lc1} / C_{st2}) \times V_{l2} = 1 / (1 + 1 / C_{st2} / C_{lc1}) \times \Delta V_{l2}$$

【0065】

数式1～3を参照すると、 ΔV_{h1} と ΔV_{l1} は C_{st1} と C_{st2} の値によって変化する。従って、本発明の実施形態では第1キャパシタと第2キャパシタの電極面積を調節することによって、 $\Delta V_{h1} / \Delta V_{l1} > 1$ を得ることができる。

【 0 0 6 6 】

このように ΔV_{h1} と ΔV_{l1} による第1液晶キャパシタと第2液晶キャパシタの電圧を変化させれば、第1画素と第2画素の輝度も変化する。従って、第1キャパシタと第2キャパシタの充電容量を適切に設定すれば、液晶表示装置の側面視認性を向上させることができる。

【 0 0 6 7 】

図6は、図3の駆動回路を含む薄膜トランジスタ表示板の一画素を示す配置図である。図7は、図6のV I I - V I I 線に沿った断面図である。図8は、図6のV I I I - V I I I 線に沿った断面図である。図9は、図6のI X - I X 線に沿った断面図である。

【 0 0 6 8 】

図6～図9を参照すれば、透明なガラスまたはプラスチックなどからなる基板110の上に第1ゲート線G1、第2ゲート線G2、第1電圧線S1、及び第2電圧線S2を含むゲート導電体が形成される。

【 0 0 6 9 】

第1ゲート線G1は、第1ゲート線G1から上側または下側に突出した第1ゲート電極124a、第2ゲート電極124b、及び第3ゲート電極124cを有し、第2ゲート線G2は第4ゲート電極124dを有する。第1ゲート線G1及び第2ゲート線G2は、他の層または外部駆動回路との接続のための広い端部（図示せず）を有する。第1ゲート電極124a及び第2ゲート電極124bは接続される。

【 0 0 7 0 】

第1電圧線S1及び第2電圧線S2は第1ゲート線G1及び第2ゲート線G2と同じ方向に延びており、第1電圧線S1と第2電圧線S2との間に第1ゲート線G1及び第2ゲート線G2が位置する。

【 0 0 7 1 】

ゲート導電体の上にはゲート絶縁膜（gate insulation layer）140が位置する。

【 0 0 7 2 】

ゲート絶縁膜140の上には非晶質シリコンまたは結晶質ケイ素などからなる第1半導体154a、第2半導体154b、第3半導体154c、及び第4半導体154dが位置する。

【 0 0 7 3 】

第1半導体154a、第2半導体154b、第3半導体154c、及び第4半導体154dは、それぞれ第1ゲート電極124a、第2ゲート電極124b、第3ゲート電極124c、及び第4ゲート電極124dとオーバーラップする。第1半導体154a及び第2半導体154bは接続される。

【 0 0 7 4 】

第1半導体154a、第2半導体154b、第3半導体154c、及び第4半導体154dの上にはそれぞれ対を成して対向するオーミックコンタクト部材（ohmic contact）163、165が位置する。

【 0 0 7 5 】

オーミックコンタクト部材163、165は、リンなどのn型不純物が高濃度にドーピングされるn+水素化非晶質シリコンなどの物質、またはシリサイド（silicide）で形成される。

【 0 0 7 6 】

オーミックコンタクト部材163、165及びゲート絶縁膜140の上にはデータ線（D1）、第3ソース電極173c、第4ソース電極173d、第1ドレイン電極（drain electrode）175a～第4ドレイン電極175d、第1金属パターン177a、第2金属パターン177b、及び金属パターン接続部177cを含むデータ導電体が形成される。

【 0 0 7 7 】

データ線(D1)はデータ信号を伝達し、主に縦方向に延びてゲート線G1、G2と交差する。データ線D1は、第1ゲート電極124a及び第2ゲート電極124bに向かって延びた第2ソース電極173bと、第2ソース電極173bと接続される第1ソース電極173aとを有する。第3ソース電極173cと第4ソース電極173dはそれぞれ第3半導体154cと第4半導体154dと重畳する。第1ソース電極173a~第4ソース電極173dはn状または 状、 状または 状に曲がっている。

【0078】

第1ドレイン電極175a~第4ドレイン電極175dは、上、下または左、右方向に延びた棒状部と、棒状部の一端に位置し、棒状部より幅が拡張された拡張部とを含む。棒状部はそれぞれ第1ソース電極173a~第4ソース電極173dによって囲まれる。

10

【0079】

第1金属パターン177aは第1電圧線S1とオーバーラップし、第2金属パターン177bは第2電圧線S2とオーバーラップする。第1金属パターン177a及び第2金属パターン177bは金属パターン接続部177cと接続される。第3ドレイン電極175c及び第4ドレイン電極175dは金属パターン接続部177cと接続される。

【0080】

第1ゲート電極124a、第1半導体154a、第1ソース電極173a、及び第1ドレイン電極175aは第1画素用スイッチング素子Qp1を構成し、第1画素用スイッチング素子Qp1のチャンネル(channel)は第1ソース電極173aと第1ドレイン電極175aの間の第1半導体154aに形成され、第2ゲート電極124b、第2半導体154b、第2ソース電極173b、及び第2ドレイン電極175bは第2画素用スイッチング素子Qp2を構成し、第2画素用スイッチング素子Qp2のチャンネルは第2ソース電極173bと第2ドレイン電極175bの間の第2半導体154bに形成される。

20

【0081】

第3ゲート電極124c、第3半導体154c、第3ソース電極173c、及び第3ドレイン電極175cは第1スイッチング素子Q1を構成し、第1スイッチング素子Q1のチャンネルは第3ソース電極173cと第3ドレイン電極175cの間の第3半導体154cの上に位置し、第4ゲート電極124d、第4半導体154d、第4ソース電極173d、及び第4ドレイン電極175dは第2スイッチング素子Q2を構成し、第2スイッチング素子Q2のチャンネルは第4ソース電極173dと第4ドレイン電極175dの間の第4半導体154dに形成される。

30

【0082】

データ導電体の上には有機絶縁物からなる保護膜180が形成される。

【0083】

保護膜180は、第1ドレイン電極175aを露出する第1コンタクトホール185a、第2ドレイン電極175bを露出する第2コンタクトホール185b、第3ドレイン電極175c及び第1電圧線S1を露出する第3コンタクトホール183a、第4ドレイン電極175d及び第2電圧線S2を露出する第4コンタクトホール183bを含む。

【0084】

第3コンタクトホール183aは、第3ドレイン電極175c及び第1電圧線S1を同時に露出するが、第3ドレイン電極175cと第1電圧線S1をそれぞれ露出するように分離して形成(図示せず)する。第4コンタクトホール183bも第3コンタクトホール183aのように分離して形成する。

40

【0085】

保護膜180の上にはITO(indium tin oxide)またはIZO(indium zinc oxide)などの透明な導電物質やアルミニウム、銀、クロムまたはその合金などの反射性金属で形成できる複数の第1画素電極(pixel electrode)191a、第2画素電極191b、及び接続部材8a、8bが位置する。

【0086】

第1画素電極191aは第1コンタクトホール185aを通じて第1ドレイン電極17

50

5 aと接続され、第1ドレイン電極175 aを通じてデータ信号の伝達を受ける。そして第2画素電極191 bは第2コンタクトホール185 bを通じて第2ドレイン電極175 bと接続され、第2ドレイン電極175 bを通じてデータ信号の伝達を受ける。

【0087】

第1画素電極191 a及び第2画素電極191 bはほぼ四角形に形成され、第1電圧線S1及び第2電圧線S2を中心として反対側に位置し、第2画素電極191 bの面積は第1画素電極191 aの面積のほぼ2倍である。第1画素電極と第2画素電極の面積を異なるようにすることによって第1液晶キャパシタと第2液晶キャパシタの充電容量が変化し、これによって輝度を変化させることができる。従って上述した第1キャパシタと第2キャパシタの充電容量と共に第1画素電極と第2画素電極の面積を適切に合わせれば、液晶表示装置の側面視認性を増加させることができる。

10

【0088】

第1画素電極191 a及び第2画素電極191 bはそれぞれ複数の微細スリットMSを含む。第1画素電極191 a及び第2画素電極191 bはそれぞれ横幹部193及びこれと直交する縦幹部194からなる十字型幹部を含む。そして横幹部193と縦幹部194によって4個の副領域に分けられ、それぞれの領域は複数の微細スリットMSを含む。

【0089】

微細スリットMSは横幹部193及び縦幹部194から傾斜して延びており、それぞれの副領域内の微細スリット(MS)は同じ方向に延びる。微細スリットMSの幅は2.5 μm ~ 5.0 μm であり、隣接する二つの微細スリットMS間の間隔は2.5 μm ~ 5.0 μm である。

20

【0090】

一方、第1画素電極191 aは第1金属パターン177 aとオーバーラップする突出部9 aを有し、第2画素電極191 bは第2金属パターン177 bとオーバーラップする突出部9 bを有する。

【0091】

このように微細スリットを形成すれば、微細スリットの辺は電界をわい曲して、微細スリットの辺に対して垂直である水平成分を作り出し、液晶分子(図示せず)の傾斜方向は水平成分によって決定される方向となる。この時、液晶分子が最初は微細スリットの辺に対して垂直である方向に傾斜しようとする。しかし隣接する微細スリットの辺による電界の水平成分の方向が反対であり、微細スリット間の間隔が狭いため、互いに反対方向に傾斜しようとする液晶分子が共に微細枝部の長さ方向に平行な方向に傾斜するようになる。

30

【0092】

この時、本発明の実施形態では一画素の微細スリットが延びていく長さ方向が4方向あるので、液晶分子が傾斜する方向も4方向になる。このように液晶分子が傾斜する方向を多様にすれば液晶表示装置の基準視野角が大きくなる。

【0093】

図10は、本発明の他の実施形態による液晶表示装置の駆動回路を示す回路図である。図11は、図10の駆動回路によるゲート信号のタイミングによる電圧変化を説明するための図である。

40

【0094】

図10及び図11を参照して、本発明の他の実施形態による液晶表示装置の駆動方法の一例について具体的に説明する。

【0095】

まず、図10及び11を参照すると、第1ゲート線G1にゲートオン電圧が印加されると、導通した第1画素用スイッチング素子Qp1及び第2画素用スイッチング素子Qp2を通じてデータ電圧が第1画素電極及び第2画素電極にそれぞれ印加される。そして導通した第1スイッチング素子Q1を通じて第1電圧線S1に流れる第1電圧が第1キャパシタCst1に印加され、導通した第3スイッチング素子Q3を通じて第2電圧線S2に流れる第2電圧が第2画素電極に印加される。

50

【0096】

第1画素用スイッチング素子 Q_{p1} と第2画素用スイッチング素子に同一のデータ電圧が伝達されるが、第1画素用スイッチング素子 Q_{p1} と第2画素用スイッチング素子との大きさの差によって、第2画素電極に第1画素電極より低い電圧が印加される。

【0097】

そして、第2画素用スイッチング素子と第3スイッチング素子 Q_2 は導通する場合導体として作用して、それぞれ異なる値を有する抵抗とされるので、第2画素用スイッチング素子と第3スイッチング素子 Q_2 の間に電圧が発生して、第2画素用スイッチング素子を通じて第2画素電極に伝達される電圧は、第1画素用スイッチング素子 Q_{p1} を通じて第1画素電極に伝達される電圧より常に低い値が伝達される。

10

【0098】

第1副画素 P_{X1} 及び第2副画素 P_{X2} のデータ電圧と第1電圧線 S_1 に印加される第1電圧は、共通電圧 V_{com} に対して極性が互いに反対であり、第1電圧と第2電圧の極性は互いに反対である。

【0099】

その後、次のゲート線である第2ゲート線 G_2 がオンになると、第1画素用スイッチング素子 Q_{p1} と第2画素用スイッチング素子 Q_{p2} はオフ状態になるので、第1副画素 P_{X1} と第2副画素 P_{X2} の第1液晶キャパシタ C_{1ch} 及び第2液晶キャパシタ C_{1cl} はそれ以上充電されない。

【0100】

20

そして導通した第2スイッチング素子 Q_2 を通じて第2電圧線 S_2 に流れる第2電圧 V_{cst2} が第1キャパシタ C_{st1} に伝達される。第1キャパシタ C_{st1} は第1電圧と第2電圧との差ほど電圧が昇圧して、第1キャパシタ C_{st1} と接続される第1液晶キャパシタ C_{1ch} の電圧を昇圧させる。従って第1副画素の画素電圧が昇圧する。これは図3の駆動回路の第1副画素 P_{X1} の昇圧方法と同一である。

【0101】

図3の実施形態では第1副画素 P_{X1} と第2副画素 P_{X2} の電圧が共に昇圧して全体的な駆動電圧を高めることができるが、図10の実施形態では第1副画素 P_{X1} と第2副画素 P_{X2} の駆動電圧の差を増加させることができる。

【0102】

30

図12は、図6の駆動回路を含む液晶表示装置の駆動をシミュレーションしたグラフである。この時、 C_{st1} は 0.063 pF 、 C_{sth} は 0.059 pF 、 C_{1cl} は 0.796 pF 、 C_{1ch} は 0.359 pF で、 C_{st1}/C_{1cl} は 0.08 であり、 C_{sth}/C_{1ch} は 0.16 にされる。

【0103】

図12に示したように、黄色線で表示される第1ゲート線 G_1 がオンになる間に第1画素の電圧が増加（赤色線）するが、所望のデータ電圧（緑色線）まで充電されないことが分かる。

【0104】

しかし第2ゲート線 G_2 がオンになると、第1副画素 P_{X1} の電圧が昇圧して所望のデータ電圧まで増加することが分かる。第2副画素 P_{X2} の電圧は第1副画素 P_{X1} の電圧より一定の大きさと小さく充電される。

40

【0105】

以下、第2ゲート線 G_2 がオンになると、第1副画素 P_{X1} の電圧が昇圧して所望のデータ電圧まで増加することが分かる。しかし第2副画素 P_{X2} の電圧はそれ以上昇圧しない。従って図3の実施形態とは異なって第1副画素 P_{X1} と第2副画素 P_{X2} の電圧差が増加して、第1副画素 P_{X1} の画素電圧に対する第2副画素 P_{X2} の画素電圧の比は 0.815 である。この時、第1副画素 P_{X1} の電圧充電率は 98.05% で、所望のデータ電圧にほぼ近付いたことが分かる。

【0106】

50

図 1 3 は、図 1 0 の駆動回路を含む薄膜トランジスタ表示板の一画素を示す配置図である。図 1 4 は、図 1 3 の X I V - X I V 線に沿った断面図である。図 1 5 は図 1 3 の X V - X V 線に沿った断面図である。

【 0 1 0 7 】

図 1 3 ~ 図 1 5 を参照すると、透明なガラスまたはプラスチックなどからなる基板 1 1 0 の上に第 1 ゲート線 G 1、第 2 ゲート線 G 2、第 1 電圧線 S 1、及び第 2 電圧線 S 2 を含むゲート導電体が形成される。

【 0 1 0 8 】

第 1 ゲート線 G 1 は、第 1 ゲート線 G 1 から上側または下側に突出した第 1 ゲート電極 1 2 4 a、第 2 ゲート電極 1 2 4 b、第 3 ゲート電極 1 2 4 c、及び第 5 ゲート電極 1 2 4 e を有し、第 2 ゲート線 G 2 は第 4 ゲート電極 1 2 4 d を有する。第 1 ゲート線 G 1 及び第 2 ゲート線 G 2 は他の層または外部駆動回路との接続のための広い端部（図示せず）を有する。第 1 ゲート電極 1 2 4 a 及び第 2 ゲート電極 1 2 4 b は接続される。

10

【 0 1 0 9 】

第 1 電圧線 S 1 及び第 2 電圧線 S 2 は第 1 ゲート線 G 1 及び第 2 ゲート線 G 2 と同一の方向に延びており、第 1 電圧線 S 1 と第 2 電圧線 S 2 の間に第 1 ゲート線 G 1 及び第 2 ゲート線 G 2 が位置する。

【 0 1 1 0 】

ゲート導電体の上にはゲート絶縁膜 1 4 0 が位置する。

【 0 1 1 1 】

20

ゲート絶縁膜 1 4 0 の上には非晶質シリコンまたは結晶質ケイ素などで形成できる第 1 半導体 1 5 4 a、第 2 半導体 1 5 4 b、第 3 半導体 1 5 4 c、第 4 半導体 1 5 4 d、及び第 5 半導体 1 5 4 e が位置する。

【 0 1 1 2 】

第 1 半導体 1 5 4 a、第 2 半導体 1 5 4 b、第 3 半導体 1 5 4 c、第 4 半導体 1 5 4 d、及び第 5 半導体 1 5 4 e は、それぞれ第 1 ゲート電極 1 2 4 a、第 2 ゲート電極 1 2 4 b、第 3 ゲート電極 1 2 4 c、第 4 ゲート電極 1 2 4 d、及び第 5 ゲート電極 1 2 4 e とオーバーラップする。第 1 半導体 1 5 4 a と第 2 半導体 1 5 4 b は接続される。

【 0 1 1 3 】

第 1 半導体 1 5 4 a、第 2 半導体 1 5 4 b、第 3 半導体 1 5 4 c、第 4 半導体 1 5 4 d、及び第 5 半導体 1 5 4 e の上には、それぞれ対を成して対向するオーミックコンタクト部材 1 6 3、1 6 5 が位置する。

30

【 0 1 1 4 】

オーミックコンタクト部材 1 6 3、1 6 5 は、リンなどの n 型不純物が高濃度にドーピングされている n + 水素化非晶質シリコンなどの物質、またはシリサイドで形成される。

【 0 1 1 5 】

オーミックコンタクト部材 1 6 3、1 6 5 及びゲート絶縁膜 1 4 0 の上にはデータ線 D 1、第 3 ソース電極 1 7 3 c、第 4 ソース電極 1 7 4 d、第 5 ソース電極 1 7 4 e、第 1 ドレイン電極 1 7 5 a ~ 第 5 ドレイン電極 1 7 5 e、金属パターン 1 7 7、及び金属パターン接続部 1 7 7 c を含むデータ導電体が形成される。

40

【 0 1 1 6 】

データ線 D 1 はデータ信号を伝達し、主に縦方向に延びてゲート線 G 1、G 2 と交差する。データ線 D 1 は、第 1 ゲート電極 1 2 4 a 及び第 2 ゲート電極 1 2 4 b に向かって延びた第 2 ソース電極 1 7 3 b と、第 2 ソース電極 1 7 3 b と接続されている第 1 ソース電極 1 7 3 a とを有する。第 3 ソース電極 1 7 3 c と第 4 ソース電極 1 7 3 d はそれぞれ第 3 半導体 1 5 4 c と第 4 半導体 1 5 4 d とオーバーラップする。第 1 ソース電極 1 7 3 a ~ 第 5 ソース電極 1 7 3 e は n 状または 状、 状または 状に曲がっている。

【 0 1 1 7 】

第 1 ドレイン電極 1 7 5 a ~ 第 5 ドレイン電極 1 7 5 e は、上、下または左、右方向に延びた棒状部と、棒状部の一端に位置し、棒状部より幅が拡張された拡張部とを含む。棒

50

状部はそれぞれ第1ソース電極173a~第5ソース電極175によって囲まれる。

【0118】

金属パターン177は第1電圧線S1とオーバーラップし、金属パターン接続部177cによって第3ドレイン電極175c及び第4ドレイン電極175dと接続される。

【0119】

第1ゲート電極124a、第1半導体154a、第1ソース電極173a、及び第1ドレイン電極175aは第1画素用スイッチング素子Qp1を構成し、第2ゲート電極124b、第2半導体154b、第2ソース電極173b、及び第2ドレイン電極175bは第2画素用スイッチング素子Qp2を構成する。

【0120】

そして第3ゲート電極124c、第3半導体154c、第3ソース電極173c、及び第3ドレイン電極175cは、第1スイッチング素子Q1を構成し、第4ゲート電極124d、第4半導体154d、第4ソース電極173d、及び第4ドレイン電極175dは第2スイッチング素子Q2を構成し、第5ゲート電極124e、第5半導体154e、第5ソース電極175e、及び第5ドレイン電極175eは第3スイッチング素子Q3を構成する。

【0121】

データ導電体の上には有機絶縁物からなる保護膜180が形成される。

【0122】

保護膜180は、第1ドレイン電極175aを露出する第1コンタクトホール185a、第2ドレイン電極175bを露出する第2コンタクトホール185b、第3ドレイン電極175c及び第1電圧線S1を露出する第3コンタクトホール183a、第4ドレイン電極175d及び第2電圧線S2を露出する第4コンタクトホール183b、第5ドレイン電極175eを露出する第5コンタクトホール183cを含む。

【0123】

保護膜180の上にはITOまたはIZOなどの透明な導電物質やアルミニウム、銀、クロムまたは合金などの反射性金属で形成できる第1画素電極191a、第2画素電極191b、及び接続部材8a、8bが位置する。

【0124】

第1画素電極191aは第1コンタクトホール185aを通じて第1ドレイン電極175aと接続されており、第1ドレイン電極175aを通じてデータ信号の伝達を受ける。第2画素電極191bは、第2コンタクトホール185bを通じて第2ドレイン電極175aと接続されており、第2ドレイン電極175bを通じてデータ信号の伝達を受け、第5コンタクトホール183cを通じて第5ドレイン電極175eと接続されており、第3スイッチング素子(Q3)導通する場合、第5ドレイン電極175eを通じて第2電圧の伝達を受ける。

【0125】

第2画素電極191bの面積は第1画素電極191aの面積のほぼ2倍であり得る。

【0126】

第1画素電極191a及び第2画素電極191bはそれぞれ複数の微細スリットMSを含む。第1画素電極191a及び第2画素電極191bはそれぞれ横幹部193及びこれと直交する縦幹部194からなる十字型幹部を含む。横幹部193と縦幹部194によって4個の副領域に分けられ、それぞれの領域は複数の微細スリットMSを含む。

【0127】

微細スリットMSは横幹部193及び縦幹部194から傾斜して延びており、それぞれの副領域内の微細スリットMSは同じ方向に延びる。微細スリットMSの幅は2.5µm~5.0µmであり、隣接する二つの微細スリットMS間の間隔は2.5µm~5.0µmである。一方、第1画素電極191aは金属パターン177とオーバーラップする突出部9を有する。

【符号の説明】

10

20

30

40

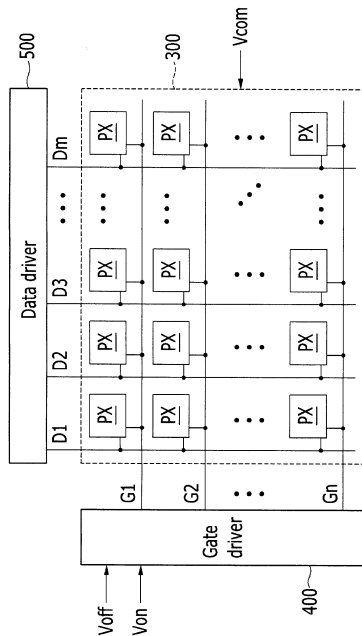
50

【 0 1 2 8 】

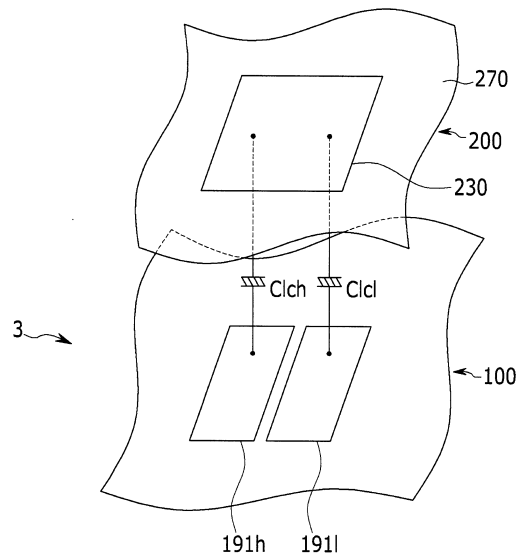
8 a、8 b ... 接続部材、9、9 a、9 b ... 突出部、1 1 0 ... 基板、1 2 4 a ~ 1 2 4 e ... 第1ゲート電極 ~ 第5ゲート電極、1 4 0 ... ゲート絶縁膜、1 5 4 a ~ 1 5 4 e ... 第1半導体 ~ 第5半導体、1 6 3、1 6 5 ... オーミックコンタクト部材、1 7 3 a ~ 1 7 3 e ... 第1ソース電極 ~ 第5ソース電極、1 7 5 a ~ 1 7 5 e ... 第1ドレイン電極 ~ 第5ドレイン電極、1 7 7 ... 金属パターン、1 7 7 a ... 第1金属パターン、1 7 7 b ... 第2金属パターン、1 7 7 c ... 金属パターン接続部、1 8 0 ... 保護膜、1 8 3 a ... 第3コンタクトホール、1 8 3 b ... 第4コンタクトホール、1 8 3 c ... 第5コンタクトホール、1 8 5 a ... 第1コンタクトホール、1 8 5 b ... 第2コンタクトホール、1 9 1 a ... 第1副画素電極、1 9 1 b ... 第2副画素電極、1 9 1 ... 画素電極、G 1、G 2、G n ... ゲート線、D 1、D 2、D m ... データ線、S 1、S 2 ... 電圧線、P X 1 ... 第1副画素、P X 2 ... 第2副画素、P X ... 画素、Q p 1 ... 第1画素用スイッチング素子、Q p 2 ... 第2画素用スイッチング素子、Q 1、Q 2、Q 2 ... 第1 ~ 第3スイッチング素子、C s t 1 ... 第1キャパシタ、C s t 2 ... 第2キャパシタ。

10

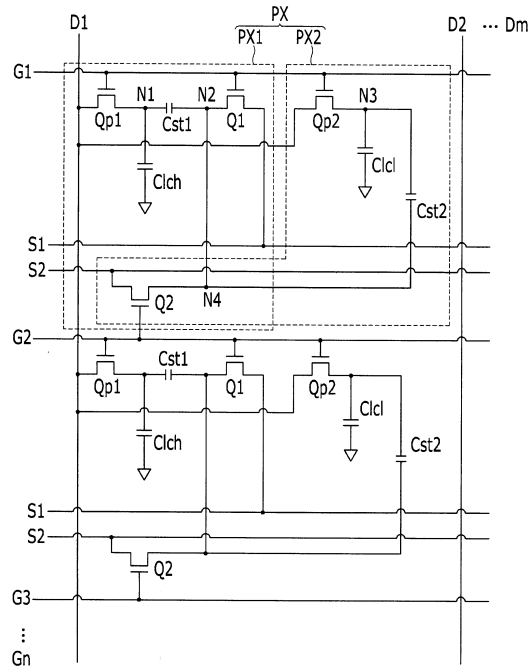
【 図 1 】



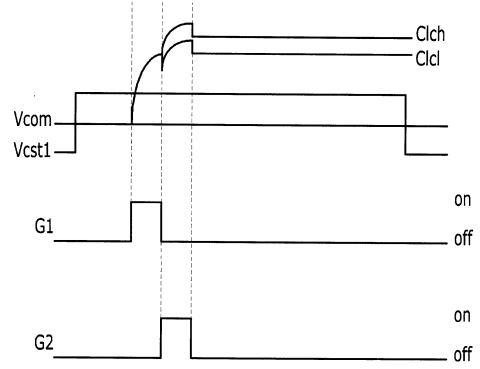
【 図 2 】



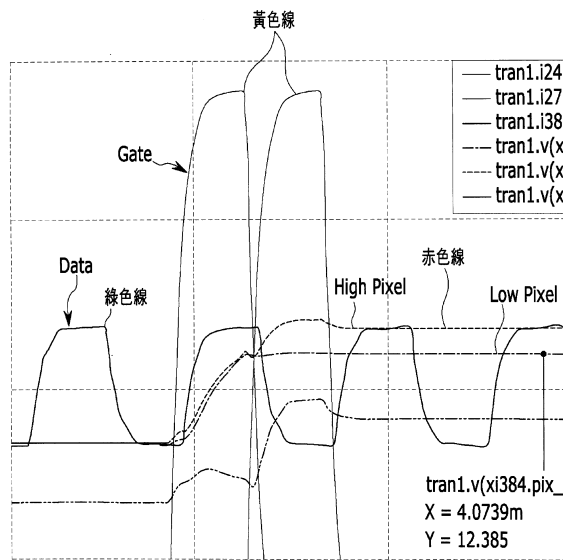
【図 3】



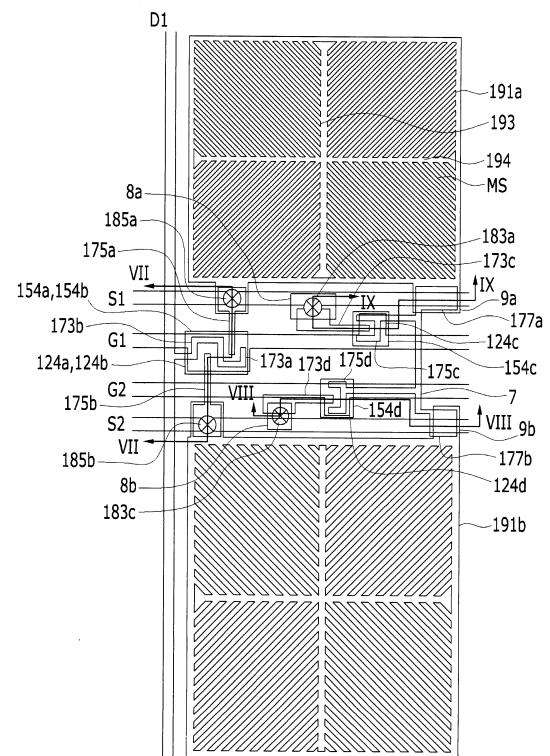
【図 4】



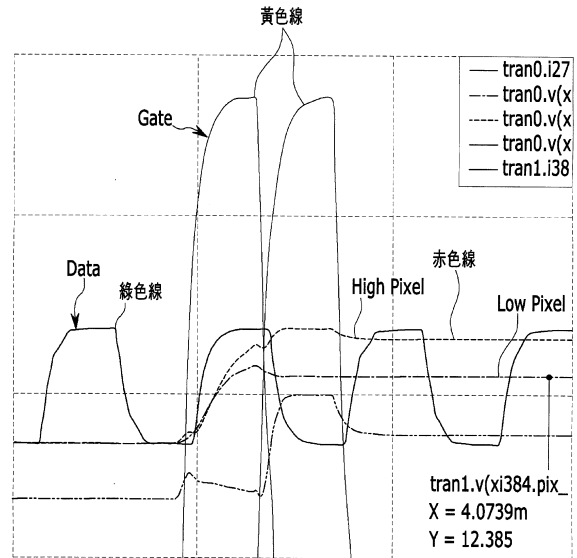
【図 5】



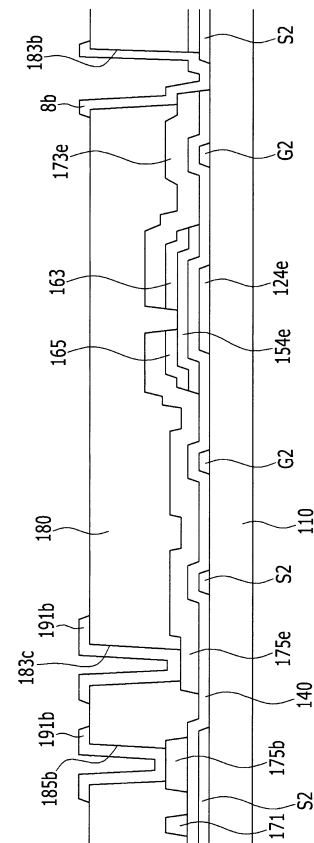
【図 6】



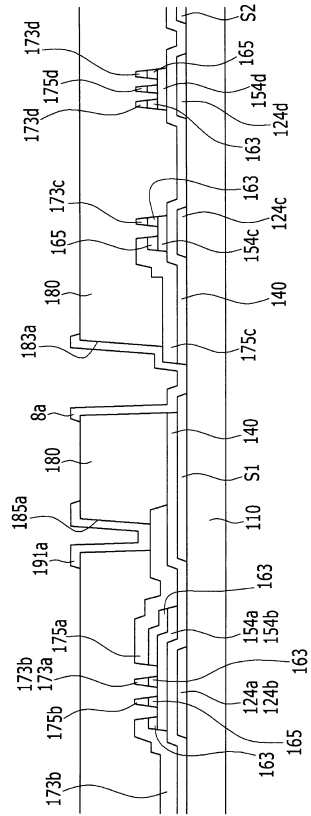
【圖 12】



【 図 1 4 】



【図 15】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 D

(72)発明者 金 壽 ▲槇▼
大韓民国ソウル特別市龍山区葛月洞 7 - 3 2 , ナムサンネオビレッジ B 棟 4 0 1 号
(72)発明者 呉 浩 吉
大韓民国忠 ▲清 ▼南道牙山市湯井面三星クリスタル寄宿舍ガネット棟 8 0 3 号
(72)発明者 鄭 載 勳
大韓民国仁川市富平区富開 2 洞 1 0 1 - 2 2 番地 (5 / 2)

審査官 弓指 洋平

(56)参考文献 特開 2 0 0 9 - 1 2 8 9 0 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP5872860B2	公开(公告)日	2016-03-01
申请号	JP2011254721	申请日	2011-11-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金勳 申旗徹 金壽楨 吳浩吉 鄭載勳		
发明人	金 勳 申 旗 ▲徹▼ 金 壽 ▲楨▼ 吳 浩 吉 鄭 載 勳		
IPC分类号	G02F1/1343 G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G02F1/136213 G02F1/13624 G02F1/136286 G02F1/1368 G09G3/3659 G09G2300/0439 G09G2300/0447 G09G2300/0814 G09G2300/0876 G09G2320/028		
FI分类号	G02F1/1343 G02F1/1368 G09G3/36 G09G3/20.624.B G09G3/20.622.D G09G3/20.624.D		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB06 2H092/JB69 2H092/NA25 2H092/PA06 2H192/AA24 2H192/BA25 2H192/BC26 2H192/CB05 2H192/CB22 2H192/DA43 2H192/GD61 2H192/JA13 5C006/AC22 5C006/AC25 5C006/AF42 5C006/BB16 5C006/BC06 5C006/FA42 5C006/FA51 5C006/FA55 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD23 5C080/DD27 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06		
优先权	1020110038517 2011-04-25 KR		
其他公开文献	JP2012230347A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其驱动方法，其能够通过改善液晶显示装置的侧面可视性和减少数据线的数量来降低液晶显示装置的驱动部分的成本。根据本发明示例性实施例的液晶显示装置包括基板，布置在基板上的第一和第二栅极线，与第一栅极线和第二栅极线交叉的数据多个像素，每个像素包括包括第一子电极的第一子像素和包括第二子像素电极的第二子像素电极，所述多个像素连接到第一栅极线和数据线；第一开关元件，连接到第一栅极线并控制连接到第一子像素的第一子像素电极的第一电容器的电压；第二开关元件，连接到第二栅极线并且被配置为控制第一电容器的电压，还有一个元素。点域

(21) 出願番号	特願2011-254721 (P2011-254721)	(73) 特許権者	512187343
(22) 出願日	平成23年11月22日 (2011.11.22)		三星ディスプレイ株式会社
(65) 公開番号	特開2012-230347 (P2012-230347A)		S a m s u n g D i s p l a y C o .
(43) 公開日	平成24年11月22日 (2012.11.22)		, L t d .
審査請求日	平成26年10月8日 (2014.10.8)		大韓民国京畿道龍仁市器興区三星路1
(31) 優先権主張番号	10-2011-0038517	(74) 代理人	110000408
(32) 優先日	平成23年4月25日 (2011.4.25)		特許業務法人高橋・林アンドパートナーズ
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 勳
			大韓民国京畿道安山市常▲緑▼区四洞大字
			ブルジョア7次アパートメント701棟16
			04号
		(72) 発明者	申 賢 ▲嶺▼
			大韓民国忠▲清▼南道牙山市湯井面鳴岩里
			809番地三星トラパレス304棟230
			4号
			最終頁に続く