

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5801734号
(P5801734)

(45) 発行日 平成27年10月28日 (2015.10.28)

(24) 登録日 平成27年9月4日 (2015.9.4)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 6 1 1 E
G02F 1/133 (2006.01)	G09G 3/20 6 4 1 G
	G09G 3/20 6 2 1 B
	G09G 3/20 6 2 4 B
請求項の数 7 (全 20 頁) 最終頁に続く	

(21) 出願番号	特願2012-45288 (P2012-45288)	(73) 特許権者	502356528
(22) 出願日	平成24年3月1日 (2012.3.1)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-182102 (P2013-182102A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年9月12日 (2013.9.12)	(74) 代理人	100089118
審査請求日	平成26年5月12日 (2014.5.12)		弁理士 酒井 宏明
		(74) 代理人	100118762
			弁理士 高村 順
		(74) 代理人	100092152
			弁理士 服部 毅巖
		(72) 発明者	寺西 康幸
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		審査官	小野 健二
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、及び、電子機器

(57) 【特許請求の範囲】

【請求項 1】

記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第1の電圧または所定の周期で極性が反転する第2の電圧を供給する駆動部と、

少なくとも前記第2の電圧の振幅を調整する調整部と、を備え、

前記コモン電圧は、所定の周期で極性が反転する電圧であり、

前記第1の電圧は、前記コモン電圧と同相の電圧であり、

前記第2の電圧は、前記コモン電圧と逆相の電圧であり、

前記調整部は、前記第1の電圧及び前記第2の電圧の振幅を調整し、前記液晶容量に定常的にかかる直流電圧の2倍の電圧分だけ前記第1の電圧及び前記第2の電圧の正側の電圧値を調整する、液晶表示装置。

【請求項 2】

前記正側の電圧値は、前記第1の電圧及び前記第2の電圧を出力するバッファの電源電圧によって設定される請求項1に記載の液晶表示装置。

【請求項 3】

記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第1の電圧または所定の周期で極性が反転する第2の電圧を供給する駆動部

10

20

と、

少なくとも前記第 2 の電圧の振幅を調整する調整部と、を備え、

前記コモン電圧は、直流電圧であり、

前記第 1 の電圧は、前記コモン電圧と同じ電圧値の直流電圧であり、

前記調整部は、前記液晶容量に定常的にかかる直流電圧の 2 倍の電圧分だけ前記第 2 の電圧の正側の電圧値を調整する、液晶表示装置。

【請求項 4】

前記正側の電圧値は、前記第 2 の電圧を出力するバッファの電源電圧によって設定される請求項 3 に記載の液晶表示装置。

【請求項 5】

記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給する液晶表示装置の駆動に当たって、

少なくとも前記第 2 の電圧の振幅を調整し、

前記コモン電圧は、所定の周期で極性が反転する電圧であり、

前記第 1 の電圧は、前記コモン電圧と同相の電圧であり、

前記第 2 の電圧は、前記コモン電圧と逆相の電圧であり、

前記第 1 の電圧及び前記第 2 の電圧の振幅を調整し、前記液晶容量に定常的にかかる直流電圧の 2 倍の電圧分だけ前記第 1 の電圧及び前記第 2 の電圧の正側の電圧値を調整する、液晶表示装置の駆動方法。

【請求項 6】

記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給する駆動部と、

少なくとも前記第 2 の電圧の振幅を調整する調整部と、を備え、

前記コモン電圧は、所定の周期で極性が反転する電圧であり、

前記第 1 の電圧は、前記コモン電圧と同相の電圧であり、

前記第 2 の電圧は、前記コモン電圧と逆相の電圧であり、

前記調整部は、前記第 1 の電圧及び前記第 2 の電圧の振幅を調整し、前記液晶容量に定常的にかかる直流電圧の 2 倍の電圧分だけ前記第 1 の電圧及び前記第 2 の電圧の正側の電圧値を調整する液晶表示装置を有する電子機器。

【請求項 7】

記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給する駆動部と、

少なくとも前記第 2 の電圧の振幅を調整する調整部と、を備え、

前記調整部は、前記第 1 の電圧及び前記第 2 の電圧の内の少なくとも一方の正側の電圧値を、前記コモン電圧の正側の電圧値より高くなるように、調整する、液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、液晶表示装置、液晶表示装置の駆動方法、及び、電子機器に関する。

【背景技術】

【0002】

液晶表示装置には、記憶機能を持つ画素が配置されて成る液晶表示装置、例えば、画素内にデータを記憶可能なメモリ部を有する、所謂、MIP (Memory In Pixel) 方式の液晶表示装置がある（例えば、特許文献 1 参照）。

10

20

30

40

50

【 0 0 0 3 】

この種の液晶表示装置にあっては、液晶容量の対向電極に画素共通にコモン電圧 V_{COM} を印加する一方、液晶容量の画素電極にはコモン電圧 V_{COM} と同相の電圧 $F R P$ または逆相の電圧 $X F R P$ を適宜印加することになる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 7 - 1 4 7 9 3 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 0 5 】

ところで、液晶表示装置においては、液晶容量に定常的に直流電圧が印加されていると、当該直流電圧に起因してフリッカ（ちらつき）が発生することが知られている。この液晶容量に定常的に印加される直流電圧に起因するフリッカを抑制するために、従来は、コモン電圧 V_{COM} の電圧値を調整する手法などを用いていた。

【 0 0 0 6 】

本開示は、コモン電圧の電圧値を調整する手法などを用いなくても、液晶容量に定常的に印加される直流電圧に起因するフリッカを抑制可能な液晶表示装置、当該液晶表示装置の駆動方法、及び、当該液晶表示装置を有する電子機器を提供することを目的とする。

【 課題を解決するための手段 】

20

【 0 0 0 7 】

上記の目的を達成するための本開示の液晶表示装置は、

記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給する駆動部と、

少なくとも前記第 2 の電圧の振幅を調整する調整部とを備える構成となっている。そして、本開示の液晶表示装置は、各種の電子機器において、その表示部として用いて好適なものである。

【 0 0 0 8 】

30

また、上記の目的を達成するための本開示の液晶表示装置の駆動方法は、

記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給する液晶表示装置の駆動に当たって、

少なくとも前記第 2 の電圧の振幅を調整する構成となっている。

【 0 0 0 9 】

ここで、コモン電圧と同じ第 1 の電圧とは、コモン電圧が所定の周期で極性が反転する電圧であるときはコモン電圧と同相の電圧を言い、コモン電圧が直流電圧であるときはコモン電圧と同じ電圧値の直流電圧を言うものとする。そして、コモン電圧が所定の周期で極性が反転する電圧であるときは、第 1 の電圧及び第 2 の電圧の振幅を調整し、コモン電圧が直流電圧であるときは、第 2 の電圧の振幅を調整するということになる。

40

【 0 0 1 0 】

ここで、コモン電圧が所定の周期で極性が反転する電圧であるときを例に採ると、コモン電圧と同相の第 1 の電圧及び逆相の第 2 の電圧の振幅を調整することで、コモン電圧の電圧値を調整しなくても、液晶容量に定常的に印加される直流電圧を振幅調整分によって補正することができる。そして、第 1 の電圧及び第 2 の電圧の振幅を調整するには、これら電圧を出力するバッファの電源電圧を変更することで容易に対応できる。従って、コモン電圧の電圧値を調整する手法などに比べて、バッファの電源電圧を変更するという極めて簡単な手法にて、液晶容量に定常的に印加される直流電圧に起因するフリッカを抑制で

50

きる。

【発明の効果】

【0011】

本開示によれば、コモン電圧の電圧値を調整する手法などを用いなくても、これら手法に比べて極めて簡単な手法にて、液晶容量に定常的に印加される直流電圧に起因するフリッカを抑制することができる。

【図面の簡単な説明】

【0012】

【図1】図1は、本開示の実施形態に係るアクティブマトリクス型液晶表示装置の構成の概略を示すシステム構成図である。

10

【図2】図2は、MIP方式の画素の回路構成の一例を示すブロック図である。

【図3】図3は、MIP方式の画素の動作説明に供するタイミングチャートである。

【図4】図4は、MIP方式の画素の具体的な回路構成の一例を示す回路図である。

【図5】図5は、面積階調法における画素分割についての説明図である。

【図6】図6は、3分割画素構造における3つの副画素電極と2組の駆動回路との対応関係を示す回路図である。

【図7】図7は、画素面積に2:1の重みを付けることによって2ビットで4階調を表現する面積階調法での階調表現例を示す図である。

【図8】図8は、フリッカ抑制のための参考例1に係る調整部を示す構成図である。

【図9】図9は、フリッカ抑制のための参考例2に係る調整部を示す構成図である。

20

【図10】図10は、フリッカ抑制のための参考例3に係る調整部を示す構成図である。

【図11】図11は、フリッカ抑制のための実施例1に係る調整部を示す構成図である。

【図12】図12は、実施例1の場合のコモン電圧 V_{COM} 、同相の電圧FRP、逆相の電圧XFRP、及び、白表示/黒表示時の画素電位 V_{pix} を示す波形図である。

【図13】図13は、フリッカ抑制のための実施例2に係る調整部を示す構成図である。

【図14】図14は、実施例2の場合のコモン電圧 V_{COM} 、同相の電圧FRP、及び、逆相の電圧XFRPを示す波形図である。

【発明を実施するための形態】

【0013】

以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示は実施形態に限定されるものではなく、実施形態における種々の数値などは例示である。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

30

1. 本開示の液晶表示装置、液晶表示装置の駆動方法、及び、電子機器、全般に関する説明

2. 実施形態に係る液晶表示装置

2-1. システム構成

2-2. MIP方式の画素

2-3. 面積階調法

40

2-4. 液晶容量に定常的にかかる直流電圧に起因するフリッカの問題について

2-5. 実施形態の特徴部分

3. 電子機器

4. 本開示の構成

【0014】

< 1. 本開示の液晶表示装置、液晶表示装置の駆動方法、及び、電子機器、全般に関する説明 >

本開示の液晶表示装置は、記憶機能を持つ画素が配置されて成る液晶表示装置である。この種の液晶表示装置としては、例えば、画素内にデータを記憶可能なメモリ部を有する、所謂、MIP (Memory In Pixel) 方式の液晶表示装置を例示することができる。また、

50

画素にメモリ性液晶を用いることで、画素に記憶機能を持つ液晶表示装置とすることができる。本開示の液晶表示装置は、モノクロ表示対応の液晶表示装置であってもよいし、カラー表示対応の液晶表示装置であってもよい。

【 0 0 1 5 】

画素に記憶機能を有する液晶表示装置は、画素にデータを記憶できることで、モード切替えスイッチによってアナログ表示モードによる表示と、メモリ表示モードによる表示とを実現できる。ここで、「アナログ表示モード」とは、画素の階調をアナログ的に表示する表示モードである。また、「メモリ表示モード」とは、画素に記憶されている 2 値のデータ（論理“ 1 ” / 論理“ 0 ”）に基づいて、画素の階調をデジタル的に表示する表示モードである。

10

【 0 0 1 6 】

記憶機能を持つ画素の駆動に当たっては、液晶容量の対向電極にコモン電圧を供給する一方、液晶容量の画素電極にコモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給することによって駆動が行われることになる。液晶容量は、画素電極と当該画素電極に対向して形成される対向電極との間で画素単位で発生する容量を意味する。

【 0 0 1 7 】

このとき、コモン電圧としては、所定の周期で極性が反転する電圧であってもよいし、直流電圧であってもよい。所定の周期で極性が反転するコモン電圧を用いる駆動法は、所謂、コモン反転（ V_{com} 反転）駆動法である。

20

【 0 0 1 8 】

ここで、コモン電圧が所定の周期で極性が反転する電圧であるときは、コモン電圧と同じ第 1 の電圧として、コモン電圧と同相の電圧を用いることになる。このとき、第 2 の電圧は、コモン電圧と逆相の電圧ということになる。

【 0 0 1 9 】

また、コモン電圧が直流電圧であるときは、コモン電圧と同じ第 1 の電圧として、コモン電圧と同じ電圧値の直流電圧を用いることになる。このとき、第 2 の電圧は、所定の周期で極性が反転する電圧ということになる。

【 0 0 2 0 】

ところで、液晶表示装置においては、液晶容量の対向電極と画素電極との間における電池効果で液晶容量に直流電圧が定常的にかかる。そして、液晶容量に定常的に直流電圧が印加されていると、当該直流電圧に起因してフリッカ（ちらつき）が発生することが知られている。

30

【 0 0 2 1 】

そこで、本開示の液晶表示装置、液晶表示装置の駆動方法、及び、電子機器にあっては、液晶容量に定常的に印加される直流電圧に起因するフリッカを抑制するために、少なくとも第 2 の電圧の振幅を調整する構成を採ることを特徴とする。

【 0 0 2 2 】

ここで、「少なくとも第 2 の電圧」ということは、コモン電圧が所定の周期で極性が反転する電圧であるときは、第 1 の電圧及び第 2 の電圧ということになり、コモン電圧が直流電圧であるときは、第 2 の電圧ということになる。

40

【 0 0 2 3 】

そして、コモン電圧が所定の周期で極性が反転する電圧であるときは、第 1 の電圧及び第 2 の電圧の振幅を調整することになる。また、コモン電圧が直流電圧であるときは、第 2 の電圧をその平均値がコモン電圧に対して正側にずれるように、好ましくは、第 2 の電圧の振幅を調整することになる。

【 0 0 2 4 】

第 1 の電圧及び第 2 の電圧の振幅、または、第 2 の電圧の振幅の調整に当たっては、液晶容量に定常的にかかる直流電圧の 2 倍の電圧分だけ正側の電圧値を調整するようにするのが好ましい。このように、正側の電圧値の調整幅を、液晶容量に定常的にかかる直流電

50

圧の２倍の電圧分とすることで、液晶容量に定常的に印加される直流電圧を振幅調整分によって補正することができる。

【００２５】

第１の電圧及び第２の電圧は、バッファを経て供給される、即ち、バッファから出力される。従って、正側の電圧値の調整に当たっては、バッファの電源電圧によって正側の電圧値を設定するのが好ましい。これによれば、バッファの電源電圧を変更するという極めて簡単な手法にて、液晶容量に定常的に印加される直流電圧に起因するフリッカを抑制できる。

【００２６】

< ２．実施形態に係る液晶表示装置 >

10

続いて、本開示の実施形態に係る液晶表示装置である、アクティブマトリクス型液晶表示装置について説明する。

【００２７】

[２ - １．システム構成]

図１は、本開示の実施形態に係るアクティブマトリクス型液晶表示装置の構成の概略を示すシステム構成図である。液晶表示装置は、少なくとも一方が透明な２枚の基板（図示せず）が所定の間隔をもって対向して配置され、これら２枚の基板間に液晶が封入されたパネル構造となっている。

【００２８】

本実施形態に係る液晶表示装置１０は、液晶容量を含む複数の画素２０が行列状に２次元配列されてなる画素アレイ部３０と、当該画素アレイ部３０の周辺に配置された表示駆動部とを有する構成となっている。表示駆動部は、信号線駆動部４０、制御線駆動部５０、及び、駆動タイミング発生部６０などから成り、例えば、画素アレイ部３０と同じ液晶表示パネル（基板）１１上に集積され、画素アレイ部３０の各画素２０を駆動する。

20

【００２９】

ここで、液晶表示装置１０がカラー表示対応の場合は、１つの画素は複数の副画素（サブピクセル）から構成され、この副画素の各々が画素２０に相当することになる。より具体的には、カラー表示用の液晶表示装置では、１つの画素は、赤色（Ｒ）光の副画素、緑色（Ｇ）光の副画素、青色（Ｂ）光の副画素の３つの副画素から構成される。

【００３０】

30

但し、１つの画素としては、ＲＧＢの３原色の副画素の組み合わせに限られるものではなく、３原色の副画素に更に１色あるいは複数色の副画素を加えて１つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色光の副画素を加えて１つの画素を構成したり、色再現範囲を拡大するために補色光の少なくとも１つの副画素を加えて１つの画素を構成したりすることも可能である。

【００３１】

本実施形態に係る液晶表示装置１０は、画素２０として記憶機能を有する画素、例えば、画素毎にデータを記憶可能なメモリ部を有するＭＩＰ方式の画素を用い、アナログ表示モードによる表示とメモリ表示モードによる表示の両方に対応可能な構成となっている。ＭＩＰ方式の画素を用いる液晶表示装置１０にあっては、画素２０に常に一定電圧がかかることになるために、画素トランジスタの光リーク等による経時的な電圧変動によるシェーディングの問題を解消できる利点がある。

40

【００３２】

図１において、画素アレイ部３０の m 行 n 列の画素配列に対して、列方向に沿って信号線 $31_1 \sim 31_n$ （以下、単に「信号線３１」と記述する場合もある）が画素列毎に配線されている。また、行方向に沿って制御線 $32_1 \sim 32_m$ （以下、単に「制御線３２」と記述する場合もある）が画素行毎に配線されている。ここで、「列方向」とは画素列の画素の配列方向（即ち、垂直方向）を言い、「行方向」とは画素行の画素の配列方向（即ち、水平方向）を言う。

【００３３】

50

信号線 3 1 (3 1₁ ~ 3 1_n) の各一端は、信号線駆動部 4 0 の画素列に対応した各出力端に接続されている。信号線駆動部 4 0 は、任意の階調を反映した信号電位 (アナログ表示モードではアナログ電位、メモリ表示モードでは 2 値電位) を、対応する信号線 3 1 に対して出力するように動作する。また、信号線駆動部 4 0 は、例えばメモリ表示モードの場合でも、画素 2 0 内に保持する信号電位の論理レベルを入れ替える場合、必要な階調を反映した信号電位を対応する信号線 3 1 に対して出力するように動作する。

【 0 0 3 4 】

図 1 では、制御線 3 2₁ ~ 3 2_m について、1 本の配線として示しているが、1 本に限られるものではない。実際には、制御線 3 2₁ ~ 3 2_m は複数本の配線からなる。この制御線 3 2₁ ~ 3 2_m の各一端は、制御線駆動部 5 0 の画素行に対応した各出力端に接続されている。制御線駆動部 5 0 は、例えばアナログ表示モードの場合、信号線駆動部 4 0 から信号線 3 1₁ ~ 3 1_n に出力される、階調を反映した信号電位の画素 2 0 に対する書込み動作の制御を行う。

【 0 0 3 5 】

駆動タイミング発生部 (T G ; タイミングジェネレータ) 6 0 は、信号線駆動部 4 0 及び制御線駆動部 5 0 を駆動するための各種の駆動パルス (タイミング信号) を生成し、これら駆動部 4 0 , 5 0 に供給する。

【 0 0 3 6 】

[2 - 2 . M I P 方式の画素]

続いて、画素 2 0 として用いる M I P 方式の画素について説明する。M I P 方式の画素は、アナログ表示モードによる表示とメモリ表示モードによる表示の両方に対応可能な構成となっている。前にも述べたように、アナログ表示モードとは、画素の階調をアナログ的に表示する表示モードである。また、メモリ表示モードとは、画素内のメモリに記憶されている 2 値情報 (論理 “ 1 ” / “ 0 ”) に基づいて、画素の階調をデジタル的に表示する表示モードである。

【 0 0 3 7 】

メモリ表示モードの場合、メモリ部に保持されている情報を用いるため、階調を反映した信号電位の書込み動作をフレーム周期で実行する必要がない。そのため、メモリ表示モードの場合は、階調を反映した信号電位の書き込み動作をフレーム周期で実行する必要があるアナログ表示モードの場合に比べて消費電力が少なくて済む、換言すれば、表示装置の低消費電力化を図ることができる利点がある。

【 0 0 3 8 】

図 2 は、M I P 方式の画素 2 0 の回路構成の一例を示すブロック図である。また、図 3 に、M I P 方式の画素 2 0 の動作説明に供するタイミングチャートを示す。

【 0 0 3 9 】

画素 2 0 は、液晶容量 2 1 の他、図面の簡略化のために図示を省略するが、例えば薄膜トランジスタ (T F T) から成る画素トランジスタ及び保持容量を有する構成となっている。液晶容量 2 1 は、画素電極とこれに対向して形成される対向電極との間で発生する液晶材料の容量成分を意味している。液晶容量 2 1 の対向電極にはコモン電圧 V_{COM} が全画素共通に印加される。図 3 のタイミングチャートに示すように、コモン電圧 V_{COM} は、所定の周期 (例えば、フレーム周期) で極性が反転する電圧である。

【 0 0 4 0 】

画素 2 0 は更に、3 つのスイッチ素子 2 2 ~ 2 4 及びラッチ部 2 5 を有する S R A M 機能付きの画素構成となっている。スイッチ素子 2 2 は、信号線 3 1 (図 1 の信号線 3 1₁ ~ 3 1_n に相当) に一端が接続されている。そして、図 1 の制御線駆動部 5 0 から制御線 3 2 (図 1 の制御線 3 2₁ ~ 3 2_m に相当) を介して走査信号 ϕV が与えられることによってオン (閉) 状態となり、図 1 の信号線駆動部 4 0 から信号線 3 1 を介して供給されるデータ S I G を取り込む。この場合の制御線 3 2 は走査線ということになる。ラッチ部 2 5 は、互いに逆向きに並列接続されたインバータ 2 5 1 , 2 5 2 によって構成されており、スイッチ素子 2 2 によって取り込まれたデータ S I G に応じた電位を保持 (ラッチ) する

10

20

30

40

50

。

【 0 0 4 1 】

スイッチ素子 2 3 , 2 4 の各一方の端子には、コモン電圧 V_{COM} と同相の電圧 $F R P$ 及び逆相の電圧 $X F R P$ が与えられる。スイッチ素子 2 3 , 2 4 の各他方の端子は共通に接続され、本画素回路の出力ノード N_{out} となる。スイッチ素子 2 3 , 2 4 は、ラッチ部 2 5 の保持電位の極性に依拠していずれか一方がオン状態となる。これにより、対向電極にコモン電圧 V_{COM} が印加されている液晶容量 2 1 の画素電極に対して、コモン電圧 V_{COM} と同相の電圧 $F R P$ または逆相の電圧 $X F R P$ が印加される。

【 0 0 4 2 】

図 3 から明らかなように、ノーマリーブラック（無電圧印加時に黒表示）の液晶パネルの場合、ラッチ部 2 5 の保持電位が負側極性のときは、液晶容量 2 1 の画素電位がコモン電圧 V_{COM} と同相になるため黒表示となる。また、ラッチ部 2 5 の保持電位が正側極性のときは、液晶容量 2 1 の画素電位がコモン電圧 V_{COM} と逆相になるため白表示となる。

【 0 0 4 3 】

上述したことから明らかなように、MIP方式の画素 2 0 にあっては、ラッチ部 2 5 の保持電位の極性に依拠してスイッチ素子 2 3 , 2 4 のいずれか一方がオン状態となることにより、液晶容量 2 1 の画素電極に対して、同相の電圧 $F R P$ または逆相の電圧 $X F R P$ が印加される。これにより、先述したように、画素 2 0 には常に一定電圧が印加されることになるためにシェーディングが発生する懸念はない。

【 0 0 4 4 】

図 4 は、画素 2 0 の具体的な回路構成の一例を示す回路図であり、図中、図 2 と対応する部分には同一符号を付して示している。

【 0 0 4 5 】

図 4 において、スイッチ素子 2 2 は、例えば $N c h M O S$ トランジスタ Q_{n10} から成る。 $N c h M O S$ トランジスタ Q_{n10} は、一方のソース/ドレイン電極が信号線 3 1 に接続され、ゲート電極が制御線（走査線）3 2 に接続されている。

【 0 0 4 6 】

スイッチ素子 2 3 , 2 4 は共に、例えば、 $N c h M O S$ トランジスタ及び $P c h M O S$ トランジスタが並列に接続されてなるトランスファスイッチから成る。具体的には、スイッチ素子 2 3 は、 $N c h M O S$ トランジスタ Q_{n11} 及び $P c h M O S$ トランジスタ Q_{p11} が互いに並列に接続された構成となっている。スイッチ素子 2 4 は、 $N c h M O S$ トランジスタ Q_{n12} 及び $P c h M O S$ トランジスタ Q_{p12} が互いに並列に接続された構成となっている。

【 0 0 4 7 】

スイッチ素子 2 3 , 2 4 は、必ずしも、 $N c h M O S$ トランジスタ及び $P c h M O S$ トランジスタを並列接続して成るトランスファスイッチである必要はない。スイッチ素子 2 3 , 2 4 を、単一導電型の $M O S$ トランジスタ、即ち、 $N c h M O S$ トランジスタあるいは $P c h M O S$ トランジスタを用いて構成することも可能である。スイッチ素子 2 3 , 2 4 の共通接続ノードが、本画素回路の出力ノード N_{out} となる。

【 0 0 4 8 】

インバータ 2 5 1 , 2 5 2 は共に、例えば $C M O S$ インバータから成る。具体的には、インバータ 2 5 1 は、 $N c h M O S$ トランジスタ Q_{n13} 及び $P c h M O S$ トランジスタ Q_{p13} のゲート電極同士及びドレイン電極同士が共通に接続された構成となっている。インバータ 2 5 2 は、 $N c h M O S$ トランジスタ Q_{n14} 及び $P c h M O S$ トランジスタ Q_{p14} のゲート電極同士及びドレイン電極同士が共通に接続された構成となっている。

【 0 0 4 9 】

上記の回路構成を基本とする画素 2 0 が、行方向（水平方向）及び列方向（垂直方向）に展開されて行列状に配置されることになる。この画素 2 0 の行列状配列に対して、画素列毎の信号線 3 1 及び画素行毎の制御線 3 2 に加えて、コモン電圧 V_{COM} と同相、逆相の電圧 $F R P$, $X F R P$ を伝送する配線 3 3 , 3 4 と、正側電源電圧 V_{DD} 、負側電源電圧 V

10

20

30

40

50

ss の電源線35, 36とが画素列毎に配線されている。

【0050】

上述したように、本実施形態に係るアクティブマトリクス型液晶表示装置10は、表示データに応じた電位を保持するラッチ部25を有するSRAM機能付き画素(MIP)20が行列状に配置された構成となっている。尚、本実施形態では、画素20に内蔵するメモリ部としてSRAMを用いる場合を例に挙げたが、SRAMは一例に過ぎず、他の構成のメモリ部、例えば、DRAMを用いる構成であってもよい。

【0051】

このMIP方式の液晶表示装置10は、画素20毎に記憶機能(メモリ部)を持つことで、前にも述べたように、アナログ表示モードによる表示と、メモリ表示モードによる表示とを実現できる。そして、メモリ表示モードの場合、メモリ部に保持されている画素データを用いて表示を行うことから、階調を反映した信号電位の書き込み動作を単発実行するため常時フレーム周期で実行する必要がなく、液晶表示装置10の消費電力の低減を図ることができる、という利点がある。

10

【0052】

また、表示画面を部分的に、即ち、表示画面の一部だけを書き換えたい、というニーズがある。この場合、部分的に画素データを書き換えれば良いことになる。表示画面を部分的に書き換える、即ち、画素データを部分的に書き換えると、書き換えを行わない画素についてはデータを転送する必要がなくなる。従って、データ転送量を減らすことができるため、液晶表示装置10の更なる省電力化を図ることができる、という利点もある。

20

【0053】

[2-3.面積階調法]

ところで、画素内部に記憶機能を有する表示装置、例えば、MIP方式の液晶表示装置にあっては、画素毎に1ビットで2階調しか表現を行うことができない。そのために、MIP方式を採用するに当たっては、階調表現方式として、1つの画素を複数の副画素で構成し、当該複数の副画素の電極の面積の組み合わせによって階調を表示する面積階調法を用いる構成とするのが好ましい。

【0054】

ここで、「面積階調法」とは、面積比を $2^0, 2^1, 2^2, \dots, 2^{N-1}$ 、という具合に重み付けしたN個の副画素電極で 2^N 個の階調を表現する階調表現方式である。この面積階調法は、例えば、画素回路を構成するTFT(Thin Film Transistor: 薄膜トランジスタ)の特性ばらつきによる画質の不均一性を改善する等の目的で採用される。

30

【0055】

具体的には、画素20の表示領域となる画素電極を、面積的に重み付けした複数の画素(副画素)電極に分割する面積階調法を用いる。画素電極としては、透過電極であってもよいし、反射電極であってもよい。そして、ラッチ部25の保持電位によって選択された画素電位を面積的に重み付けした画素電極に通電し、重み付けした面積の組み合わせによって階調表示を行うようにする。

【0056】

ここでは、理解を容易にするために、画素電極(副画素電極)の面積(画素面積)に2:1の重みを付けることによって2ビットで4階調を表現する面積階調法を例に挙げてより具体的に説明するものとする。

40

【0057】

画素面積に2:1の重みを付ける構造としては、図5の(A)に示すように、画素20の画素電極を面積1の副画素電極201と、当該副画素電極201の2倍の面積(面積2)の副画素電極202とに分割する構造が一般的である。しかし、図5の(A)の構造の場合には、1画素の中心(重心)に対する各階調(表示画像)の中心(重心)が揃わない(一致しない)ため、階調表現の点で好ましくない。

【0058】

1画素の中心に対する各階調の中心を揃える構造としては、図5の(B)に示すように

50

、面積 2 の副画素電極 204 の中心部を例えば矩形形状にくり抜き、そのくり抜いた矩形領域の中心部に面積 1 の副画素電極 203 を配置する構造が考えられる。しかし、図 5 の (B) の構造の場合には、副画素電極 203 の両側に位置する、副画素電極 204 の連結部 204_A、204_B の幅が狭いため、副画素電極 204 全体の反射面積が小さくなるとともに、連結部 204_A、204_B の辺りの液晶配向が難しい。

【0059】

上述したように、面積階調で、無電界時に液晶分子が基板に対してほぼ垂直になる VA (Vertical Aligned: 垂直配向) モードにしようとする、液晶分子に対する電圧のかかり方が、電極形状や電極サイズなどによって変わるため、良好に液晶配向させることが難しい。また、副画素電極の面積比が反射率比になるとは限らないので階調設計が難しい。反射率は、副画素電極の面積や液晶配向などによって決まる。図 5 の (A) の構造の場合は、面積比が 1 : 2 であっても電極周辺の長さの比が 1 : 2 とはならない。従って、副画素電極の面積比が反射率比になるとは限らない。

【0060】

このような観点からすると、面積階調法を採用するに当たっては、階調の表現性と反射面積の有効活用を考える上では、図 5 の (C) に示すように、画素電極を例えば同じ面積 (大きさ) の 3 つの副画素電極 205、206_A、206_B に分割する、所謂、3 分割の電極構成にするのが好ましい。

【0061】

この 3 分割の電極構成の場合、中央の副画素電極 205 を挟む上下 2 つの副画素電極 206_A、206_B を組とし、当該組となる 2 つの副画素電極 206_A、206_B を同時に駆動する。このとき、下位ビットには面積 1 の副画素電極 205 を接続し、上位ビットには面積 2 の副画素電極 206_A、206_B を接続する。これにより、2 つの副画素電極 206_A、206_B と中央の副画素電極 205 との間で画素面積に 2 : 1 の重みを付けることができる。また、上位ビットの面積 2 の副画素電極 206_A、206_B を 2 等分して中央の副画素電極 205 を挟んで上下に配置していることで、1 画素の中心 (重心) に対する各階調の中心 (重心) を揃えることができる。

【0062】

ここで、3 つの副画素電極 205、206_A、206_B の各々について駆動回路と電氣的にコンタクトを取るとすると、図 5 の (A)、(B) の構造に比べて金属配線のコンタクト数が増えるため画素サイズが大きくなり、高精細化の阻害要因となる。特に、画素 20 毎にメモリ部を有する MIP 方式の画素構成の場合には、図 4 から明らかなように、1 つの画素 20 内にトランジスタ等の多くの回路構成素子やコンタクト部が存在することになり、レイアウト面積的に余裕がないために、コンタクト部 1 個が画素サイズに大きく影響を及ぼす。

【0063】

コンタクト数を減らすには、1 個の副画素電極 205 を挟むことによって互いの距離が離れた 2 つの副画素電極 206_A、206_B 同士を電氣的に結合する (結線する) 画素構成とすれば良い。そして、図 6 に示すように、1 つの駆動回路 207_A で 1 個の副画素電極 205 を駆動し、他の 1 つの駆動回路 207_B で残りの 2 つの副画素電極 206_A、206_B を同時に駆動するようにする。ここで、駆動回路 207_A、207_B は、図 4 に示した画素回路に相当する。

【0064】

このように、2 つの副画素電極 206_A、206_B を 1 つの駆動回路 207_B によって駆動するようにすることにより、2 つの副画素電極 206_A、206_B を別々の駆動回路によって駆動する構成を採る場合に比べて画素 20 の回路構成を簡略化できる利点がある。また、本例に係る面積階調法では、図 7 に示すように、3 つの副画素が全て消灯状態となる階調 0、真ん中の副画素のみが点灯状態となる階調 1、上下の 2 つの副画素が点灯状態となる階調 2、及び、3 つの副画素が全て点灯状態となる階調 3 の計 4 階調を 2 ビットで表現することになる。

10

20

30

40

50

【 0 0 6 5 】

尚、ここでは、メモリ機能を有する画素として、画素毎にデータを記憶可能なメモリ部を持つMIP方式の画素を用いる場合を例に挙げたが、これは一例に過ぎない。メモリ機能を有する画素としては、MIP方式の画素の他に、例えば、周知のメモリ性液晶を用いる画素を例示することができる。

【 0 0 6 6 】

[2 - 4 . 液晶容量に定常的にかかる直流電圧に起因するフリッカの問題について]

ところで、液晶表示装置においては、前にも述べたように、対向電極と画素電極との間における電池効果で液晶容量に直流電圧が定常的にかかる。そして、液晶容量に定常的に直流電圧が印加されていると、当該直流電圧に起因してフリッカ（ちらつき）が発生することが知られている。この直流電圧に起因するフリッカを発生させないようにするために、従来から、種々の手法を採る調整部が用いられている。この従来の手法について以下に参考例として説明する。

【 0 0 6 7 】

(参考例 1)

図 8 は、フリッカ抑制のための参考例 1 に係る調整部を示す構成図である。図 8 に示すように、参考例 1 に係る調整部 7 0_Aは、液晶表示パネル 1 1 に対して例えばパネル外部に設けられる。そして、コモン電圧 V_{COM} 、当該コモン電圧 V_{COM} と同相の電圧 FRP、及び、逆相の電圧 XFRPは、調整部 7 0_Aの出力段を構成するバッファ 7 1₁、7 1₂、7 1₃から出力され、液晶表示パネル 1 1 に与えられる。

【 0 0 6 8 】

バッファ 7 1₁、7 1₂、7 1₃には、コモン電圧 V_{COM} 、同相の電圧 FRP、及び、逆相の電圧 XFRPの正側の電圧値を決める電源電圧が正電源から与えられている。尚、本例の場合、コモン電圧 V_{COM} 、同相の電圧 FRP、及び、逆相の電圧 XFRPの負側の電圧値は接地（GND）レベルとなっている。バッファ 7 1₁、7 1₂、7 1₃は、入力されるクロックパルスに同期してコモン電圧 V_{COM} 、同相の電圧 FRP、及び、逆相の電圧 XFRPを出力する。

【 0 0 6 9 】

かかる構成の参考例 1 に係る調整部 7 0_Aでは、液晶容量に定常的にかかる直流電圧に起因するフリッカを視聴者が認識しないように、バッファ 7 1₁、7 1₂、7 1₃に入力されるクロックパルスの周波数を上げるようにしている。クロックパルスの周波数を上げるといことは、コモン電圧 V_{COM} 、同相の電圧 FRP、及び、逆相の電圧 XFRPの周波数を上げるといことである。

【 0 0 7 0 】

一例として、コモン電圧 V_{COM} 、同相の電圧 FRP、及び、逆相の電圧 XFRPの周波数を、60 [Hz] から 120 [Hz] に上げるようにする。しかしながら、参考例 1 に係る調整部 7 0_Aの場合のように、コモン電圧 V_{COM} 、同相の電圧 FRP、及び、逆相の電圧 XFRPの周波数を上げて画素の駆動を行うと、周波数が高くなる分だけ消費電力が増加するという問題がある。

【 0 0 7 1 】

(参考例 2)

図 9 は、フリッカ抑制のための参考例 2 に係る調整部を示す構成図である。参考例 2 に係る調整部 7 0_Bでは、コモン電圧 V_{COM} をオフセットさせて正極性及び負極性の実効電圧値を等しくすることで、液晶容量に定常的にかかる直流電圧に起因するフリッカを発生させないようにしている。

【 0 0 7 2 】

具体的には、図 9 に示すように、コモン電圧 V_{COM} 用のバッファ 7 1₁の出力端と液晶表示パネル 1 1 上のコモン電圧 V_{COM} 用の配線との間に容量 7 2 に接続している。また、容量 7 2 の出力端側には、正電源 1 から抵抗 7 3 を介して電源電圧が与えられる。これにより、一例として、バッファ 7 1₁から 0 [V] ~ 3 [V] 程度の振幅で出力されるコモン

10

20

30

40

50

電圧 V_{COM} が、容量 72 の出力端に $-1[V] \sim -2[V]$ 程度の振幅としてオフセットされて出力されることになる。

【0073】

かかる構成の参考例 2 に係る調整部 70_B の場合、容量 72 として、液晶容量の対向電極の容量に比べて大きな容量値（例えば、10 倍以上の容量値）の容量が必要となる。そのため、システム規模が増大するという問題がある。また、容量 72 の電荷が抵抗 73 を経由して放電するため、理想的な波形のコモン電圧 V_{COM} を対向電極に供給できないことになる。

【0074】

（参考例 3）

10

図 10 は、フリッカ抑制のための参考例 3 に係る調整部を示す構成図である。参考例 3 に係る調整部 70_C では、参考例 2 に係る調整部 70_B の場合と同様に、コモン電圧 V_{COM} をオフセットさせて両極性の実効電圧値を等しくすることで、フリッカを発生させないようにしている。

【0075】

具体的には、図 10 に示すように、コモン電圧 V_{COM} 用のバッファ 71₁ に対して、コモン電圧 V_{COM} の正側の電圧値を決める正側電源電圧を正電源 1 から与えるとともに、コモン電圧 V_{COM} の負側の電圧値を決める負側電源電圧を負電源から与えるようにしている。

【0076】

しかしながら、参考例 3 に係る調整部 70_C の場合、コモン電圧 V_{COM} の負側の電圧値を決めるための負電源を別途必要とするため、参考例 1 や参考例 2 に比べて、回路規模の増大及び消費電力の増加を招くという問題がある。

20

【0077】

[2 - 5 . 実施形態の特徴部分]

本実施形態では、参考例 1 の場合のような周波数を上げる手法や、参考例 2 , 3 の場合のようなコモン電圧 V_{COM} をオフセットさせる手法を採るのではなく、少なくとも逆相の電圧 $XFRP$ の振幅を調整するという新規な手法を採ることで、フリッカの抑制を図ることを特徴としている。

【0078】

尚、参考例 1 乃至参考例 3 では、コモン電圧 V_{COM} の極性が反転するコモン反転（ V_{com} 反転）駆動法の場合を例に挙げて説明したが、コモン電圧 V_{COM} としては、所定の周期（例えば、フレーム周期）で極性が反転する電圧であってもよいし、直流電圧であってもよい。

30

【0079】

ここで、コモン電圧 V_{COM} が所定の周期で極性が反転する電圧であるときは、コモン電圧 V_{COM} と同じ第 1 の電圧として、コモン電圧 V_{COM} と同相の電圧 $F R P$ を用いることになる。このとき、第 2 の電圧は、コモン電圧 V_{COM} と逆相の電圧 $X F R P$ ということになる。

【0080】

また、コモン電圧 V_{COM} が直流電圧であるときは、コモン電圧 V_{COM} と同じ第 1 の電圧として、コモン電圧 V_{COM} と同じ電圧値の直流電圧を用いることになる。このとき、第 2 の電圧は、所定の周期で極性が反転する電圧、即ち、コモン電圧 V_{COM} と逆相の電圧 $X F R P$ ということになる。

40

【0081】

ここで、少なくとも逆相の電圧 $X F R P$ の振幅を調整する場合における、「少なくとも逆相の電圧 $X F R P$ 」ということは、コモン反転（ V_{com} 反転）駆動の場合には、同相の電圧 $F X P$ 及び逆相の電圧 $X F R P$ の振幅を調整するということである。また、コモン電圧 V_{com} が直流電圧である場合は、逆相の電圧 $X F R P$ の振幅を調整するということである。

【0082】

50

以下、フリッカ抑制のための本実施形態の具体的な実施例について、コモン電圧 V_{com} が所定の周期（例えば、フレーム周期）で極性が反転するコモン反転駆動の場合を実施例 1、コモン電圧 V_{com} が直流電圧である場合を実施例 2 として説明する。

【0083】

（実施例 1）

図 11 は、フリッカ抑制のための実施例 1 に係る調整部を示す構成図である。図 11 に示すように、実施例 1 に係る調整部 80_A は、液晶表示パネル 11 に対して例えばパネル外部に設けられる。そして、コモン電圧 V_{COM} 、当該コモン電圧 V_{COM} と同相の電圧 $F R P$ 、及び、逆相の電圧 $X F R P$ は、調整部 80_A の出力段を構成するバッファ 81₁、81₂、81₃ から出力され、液晶表示パネル 11 に与えられる。

10

【0084】

バッファ 81₁ には、コモン電圧 V_{COM} の正側の電圧値を決める電源電圧が正電源 1 から与えられている。また、バッファ 81₂、81₃ には、コモン電圧 V_{COM} と同相の電圧 $F R P$ 、及び、逆相の電圧 $X F R P$ の正側の電圧値を決める電源電圧が正電源 2 から与えられている。尚、本例の場合、コモン電圧 V_{COM} 、同相の電圧 $F R P$ 、及び、逆相の電圧 $X F R P$ の負側の電圧値は接地レベルとなっている。

【0085】

バッファ 81₁、81₂、81₃ は、入力されるクロックパルスに同期してコモン電圧 V_{COM} 、同相の電圧 $F R P$ 、及び、逆相の電圧 $X F R P$ を出力する。図 12 に、コモン電圧 V_{COM} 、同相の電圧 $F R P$ 、及び、逆相の電圧 $X F R P$ の波形を、更に、白表示 / 黒表示時に画素に印加される画素電位 V_{pix} (white, black) の波形を示す。

20

【0086】

図 12 の波形図に示すように、実施例 1 に係る調整部 80_A では、同相の電圧 $F R P$ 及び逆相の電圧 $X F R P$ の振幅を大きくする方向に調整する、即ち、正側の電圧値を高くする方向に調整する。ここで、コモン電圧 V_{COM} の正側の電圧値を V_{LC} とし、液晶容量に定常的にかかる直流電圧を ΔV とするとき、同相の電圧 $F R P$ 及び逆相の電圧 $X F R P$ の正側の電圧値を電圧値 V_{LC} よりも $\Delta V \times 2$ だけ高くするように振幅調整を行うのが好ましい。同相の電圧 $F R P$ 及び逆相の電圧 $X F R P$ の正側の電圧値は、バッファ 81₂、81₃ の正側の電源電圧、即ち、正電源 2 の電源電圧によって設定することができる。

【0087】

30

このように、同相の電圧 $F R P$ 及び逆相の電圧 $X F R P$ の正側の電圧値の調整幅を、液晶容量に定常的にかかる直流電圧の 2 倍の電圧 $\Delta V \times 2$ とすることで、図 12 の波形図に示すように、コモン電圧 V_{COM} と画素電位 V_{pix} との差（図中、矢印）が正側と負画側で同じになる。これにより、液晶容量には正極性、負極性共に同じ電位が印加されることになるため、液晶容量に定常的に印加される直流電圧を振幅調整分によって補正することができる。

【0088】

すなわち、実施例 1 に係る調整部 80_A によれば、周波数を上げたり、コモン電圧 V_{COM} をオフセットさせたりしなくても、バッファ 81₂、81₃ の電源電圧を変更するという極めて簡単な手法にて、液晶容量に定常的にかかる直流電圧に起因するフリッカの発生を抑制することができる。

40

【0089】

尚、例えばノーマリーホワイト液晶では、白表示時（同相の電圧 $E R P$ の選択時）には液晶容量に印加される電圧は 0 [V] であるのが理想的である。一方、実施例 1 に係る調整部 80_A を用いると、白表示時に 1 [V] よりも非常に小さい電圧が液晶容量に印加されることになる。

【0090】

しかし、液晶の特性上、1 [V] 程度の電圧が印加されても白表示の状態から黒表示の状態に遷移しないので、液晶容量に多少電圧がかかったとしても、光学特性に悪影響が及ぶことはない。また、液晶容量に多少電圧がかかることによる消費電力の増加も微少であ

50

るため問題となることはない。

【 0 0 9 1 】

(実施例 2)

図 1 3 は、フリッカ抑制のための実施例 2 に係る調整部を示す構成図である。図 1 3 に示すように、コモン電圧 V_{COM} 及び当該コモン電圧 V_{COM} と同相の電圧 $F R P$ は直流電圧 (本例では、接地レベル) となっている。これに対して、第 2 の電圧である逆相の電圧 $X F R P$ は、所定の周期 (例えば、フレーム周期) で極性が反転する電圧となっている。図 1 4 に、コモン電圧 V_{COM} 、同相の電圧 $F R P$ 、及び、逆相の電圧 $X F R P$ の波形を示す。

【 0 0 9 2 】

図 1 4 の波形図に示すように、実施例 2 に係る調整部 8 0 _B では、逆相の電圧 $X F R P$ をその平均値がコモン電圧 V_{COM} (= 電圧 $F R P$) に対して正側にずれるように、好ましくは、逆相の電圧 $X F R P$ の振幅を調整することになる。このとき、逆相の電圧 $X F R P$ の正側の電圧値を電圧値 $V L C$ よりも $2 \times \Delta V$ だけ高くするように振幅調整を行うのが好ましい。逆相の電圧 $X F R P$ の正側の電圧値は、バッファ 8 1 ₃ の正側の電源電圧、即ち、正電源 2 の電源電圧によって設定することができる。

【 0 0 9 3 】

すなわち、実施例 2 に係る調整部 8 0 _B によれば、周波数を上げたり、コモン電圧 V_{COM} をオフセットさせたりしなくても、バッファ 8 1 ₃ の電源電圧を変更するという極めて簡単な手法にて、液晶容量に定常にかかる直流電圧に起因するフリッカの発生を抑制することができる。尚、本例では、逆相の電圧 $X F R P$ の正側の電圧値を調整するとしたが、逆相の電圧 $X F R P$ の波形全体を $\Delta V \times 2$ だけシフトするようにしても、同様の作用、効果を得ることができる。

【 0 0 9 4 】

< 3 . 電子機器 >

以上説明した本開示の液晶表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示部 (表示装置) として用いることが可能である。

【 0 0 9 5 】

先述した実施形態の説明から明らかなように、本開示の液晶表示装置は、液晶容量に定常にかかる直流電圧に起因するフリッカの発生を抑制することができる、という特徴を持っている。従って、あらゆる分野の電子機器において、その表示部として本開示の液晶表示装置を用いることで、フリッカ (ちらつき) のない画像表示を実現できる。

【 0 0 9 6 】

本開示の液晶表示装置を表示部に用いる電子機器としては、例えば、デジタルカメラ、ビデオカメラ、ゲーム機器、ノート型パーソナルコンピュータなどを例示することができる。特に、本開示の液晶表示装置は、電子書籍機器や電子腕時計等の携帯情報機器や、携帯電話機や P D A (Personal Digital Assistant) 等の携帯通信機器などの電子機器において、その表示部として用いて好適なものである。

【 0 0 9 7 】

< 4 . 本開示の構成 >

尚、本開示は以下のような構成を採ることができる。

(1) 記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給する駆動部と、

少なくとも前記第 2 の電圧の振幅を調整する調整部とを備える液晶表示装置。

(2) 前記コモン電圧は、所定の周期で極性が反転する電圧であり、

前記第 1 の電圧は、前記コモン電圧と同相の電圧であり、

前記第 2 の電圧は、前記コモン電圧と逆相の電圧である上記 (1) に記載の液晶表示装置。

(3) 前記調整部は、前記第 1 の電圧及び前記第 2 の電圧の振幅を調整する上記 (2) に記載の液晶表示装置。

(4) 前記調整部は、前記液晶容量に定常的にかかる直流電圧の 2 倍の電圧分だけ前記第 1 の電圧及び前記第 2 の電圧の正側の電圧値を調整する上記 (3) に記載の液晶表示装置。

(5) 前記正側の電圧値は、前記第 1 の電圧及び前記第 2 の電圧を出力するバッファの電源電圧によって設定される上記 (4) に記載の液晶表示装置。

(6) 前記コモン電圧は、直流電圧であり、

前記第 1 の電圧は、前記コモン電圧と同じ電圧値の直流電圧である上記 (1) に記載の液晶表示装置。

10

(7) 前記第 2 の電圧は、その平均値が前記コモン電圧に対して正側にずれている上記 (6) に記載の表示装置。

(8) 前記調整部は、前記液晶容量に定常的にかかる直流電圧の 2 倍の電圧分だけ前記第 2 の電圧の正側の電圧値を調整する上記 (6) または上記 (7) に記載の液晶表示装置。

(9) 前記正側の電圧値は、前記第 2 の電圧を出力するバッファの電源電圧によって設定される上記 (8) に記載の液晶表示装置。

(10) 記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給する液晶表示装置の駆動に当たって、

20

少なくとも前記第 2 の電圧の振幅を調整する液晶表示装置の駆動方法。

(11) 記憶機能を有する画素が配置されて成り、

液晶容量の対向電極にコモン電圧を供給する一方、前記液晶容量の画素電極に前記コモン電圧と同じ第 1 の電圧または所定の周期で極性が反転する第 2 の電圧を供給する駆動部と、

少なくとも前記第 2 の電圧の振幅を調整する調整部とを備える液晶表示装置を有する電子機器。

【符号の説明】

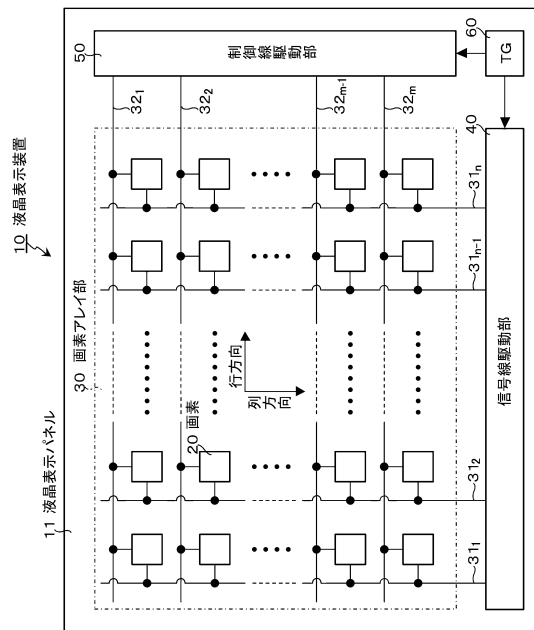
【 0 0 9 8 】

1 0 . . . 液晶表示装置、1 1 . . . 液晶表示パネル、2 0 . . . 画素、2 1 . . . 液晶容量、2 2 ~ 2 4 . . . スイッチ素子、2 5 . . . ラッチ部、3 0 . . . 画素アレイ部、4 0 . . . 信号線駆動部、5 0 . . . 制御線駆動部、6 0 . . . 駆動タイミング発生部、7 0_A . . . 参考例 1 に係る調整部、7 0_B . . . 参考例 2 に係る調整部、7 0_C . . . 参考例 3 に係る調整部、7 1₁ , 7 1₂ , 7 1₃ . . . バッファ、8 0_A . . . 実施例 1 に係る調整部、8 0_B . . . 実施例 2 に係る調整部、8 1₁ , 8 1₂ , 8 1₃ . . . バッファ

30

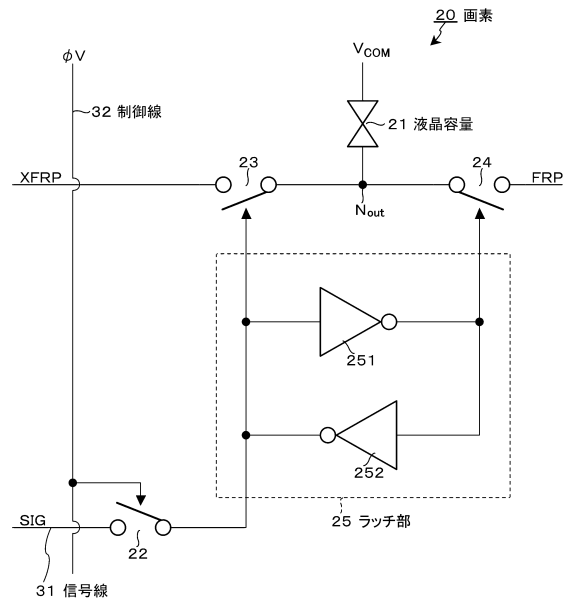
【図 1】

【図1】



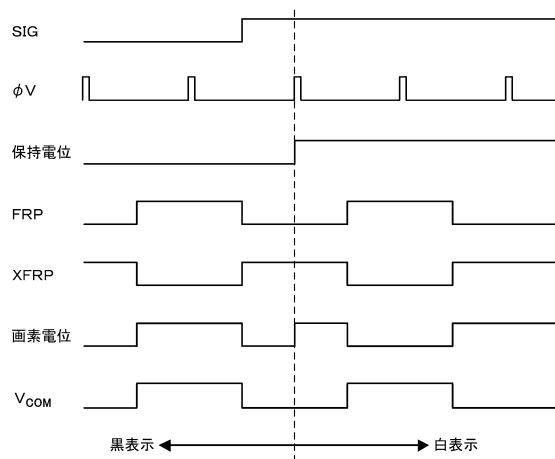
【図 2】

【図2】



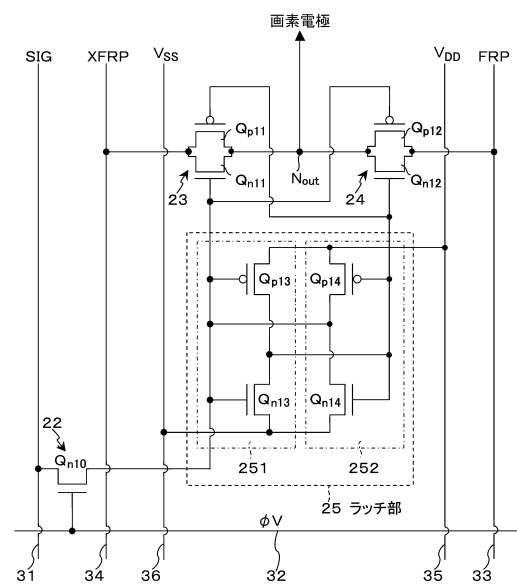
【図 3】

【図3】



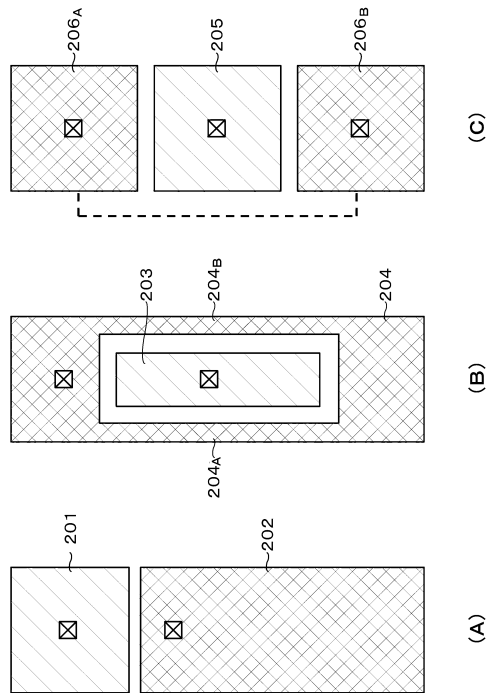
【図 4】

【図4】



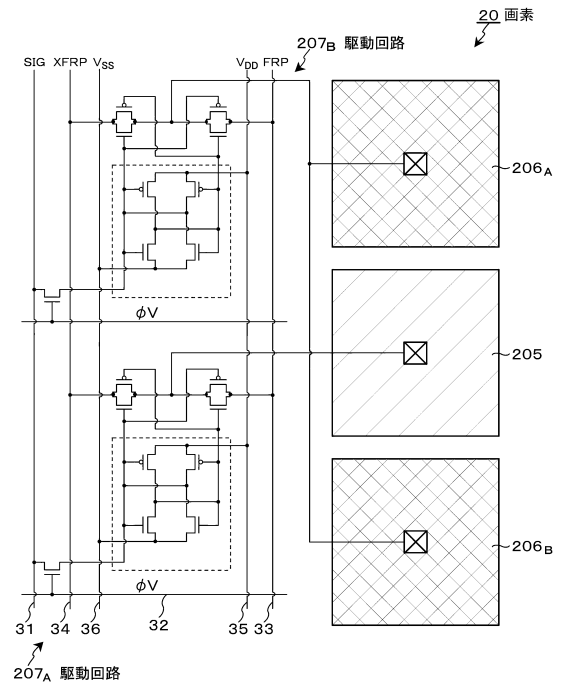
【図 5】

【図5】



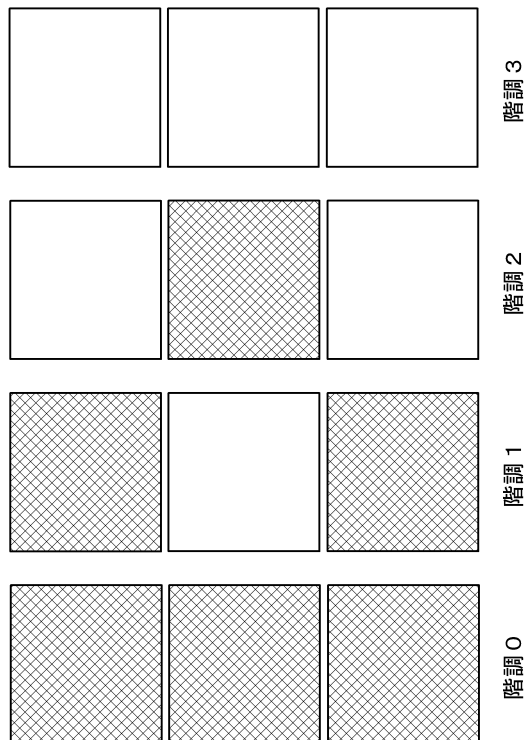
【図 6】

【図6】



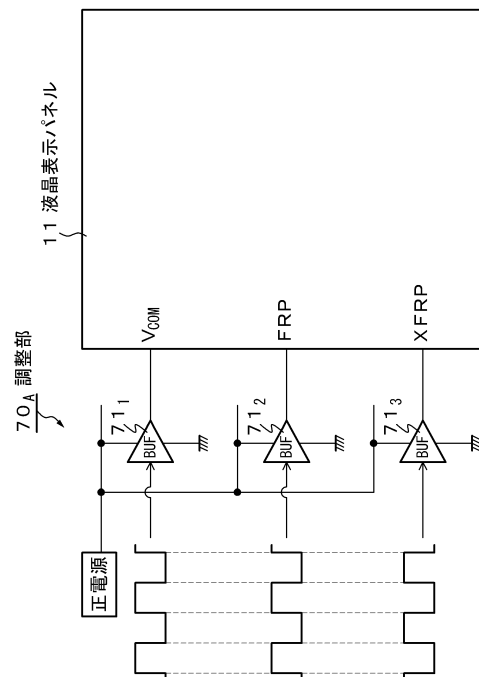
【図 7】

【図 7】



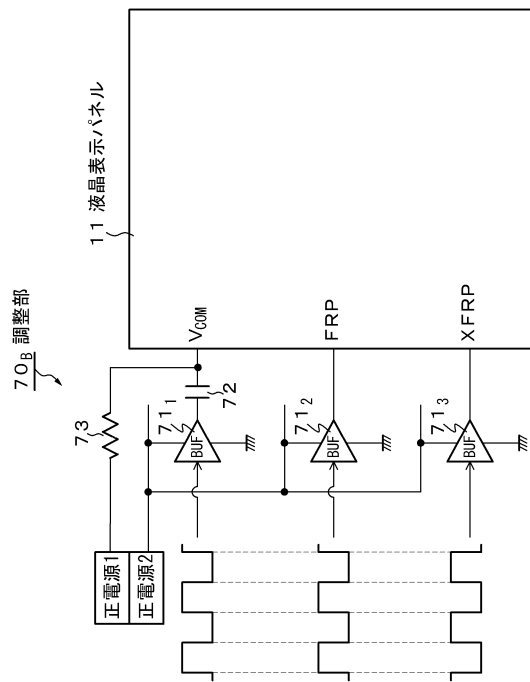
【図 8】

【図 8】



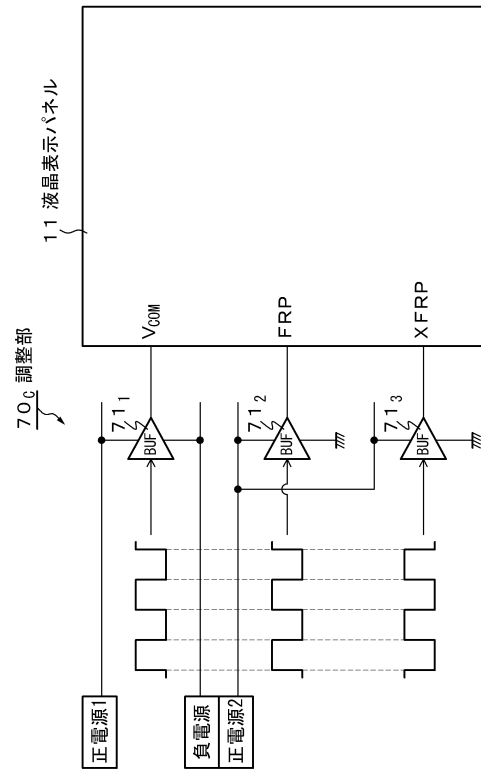
【図 9】

【図 9】



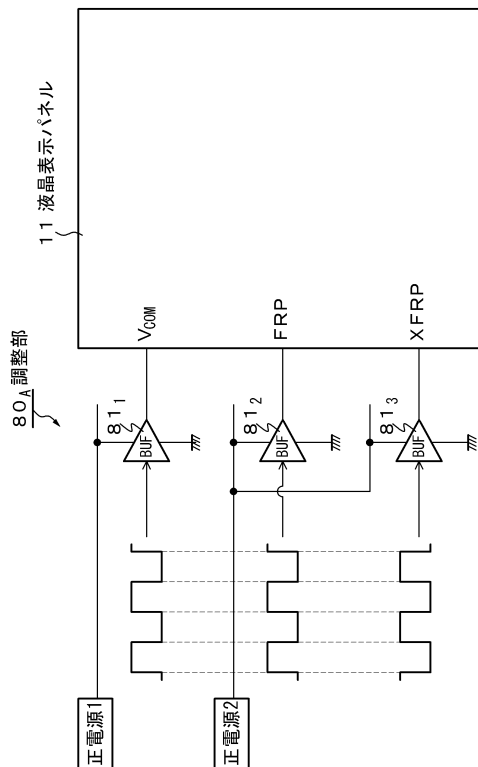
【図 10】

【図 10】



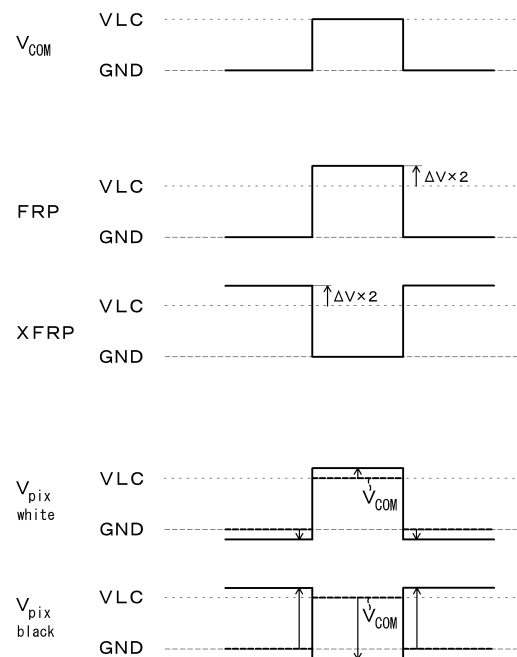
【図 11】

【図 11】



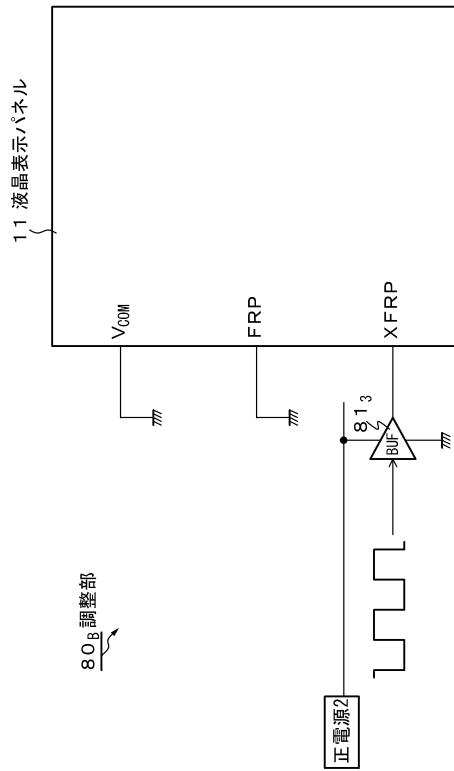
【図 12】

【図 12】



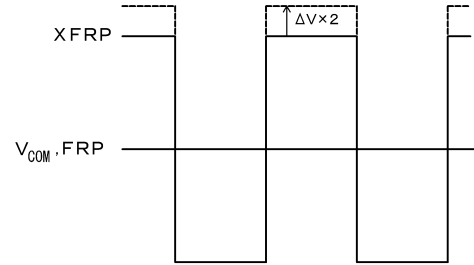
【図 13】

【図 13】



【図 14】

【図 14】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 4 D
	G 0 9 G	3/20	6 1 2 E
	G 0 9 G	3/20	6 7 0 K
	G 0 2 F	1/133	5 5 0

(56)参考文献 特開2007-199441(JP,A)
特開2004-004664(JP,A)
特開2008-197349(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0 - 3 / 3 8
G 0 2 F	1 / 1 3 3

专利名称(译)	液晶显示装置，液晶显示装置的驱动方法和电子设备		
公开(公告)号	JP5801734B2	公开(公告)日	2015-10-28
申请号	JP2012045288	申请日	2012-03-01
[标]申请(专利权)人(译)	日本显示器西股份有限公司		
申请(专利权)人(译)	有限公司日本西显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	寺西康幸		
发明人	寺西 康幸		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G06T1/60 G09G3/2018 G09G3/2074 G09G3/3607 G09G3/3614 G09G3/3696 G09G5/18 G09G2300/0426 G09G2300/0452 G09G2300/0857 G09G2310/0291 G09G2310/06 G09G2320/0204 G09G2320/0247 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.641.G G09G3/20.621.B G09G3/20.624.B G09G3/20.624.D G09G3/20.612.E G09G3/20.670.K G02F1/133.550 G09G3/20.612.F G09G3/20.624.C G09G3/20.641.C		
F-TERM分类号	2H193/ZA04 2H193/ZA19 2H193/ZA20 2H193/ZB09 2H193/ZD23 2H193/ZD24 2H193/ZD30 2H193/ZH44 2H193/ZH53 2H193/ZP03 5C006/AA12 5C006/AA16 5C006/AA17 5C006/AA22 5C006/AC25 5C006/AC26 5C006/BA11 5C006/BB16 5C006/BC06 5C006/FA23 5C006/FA25 5C006/FA36 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	酒井宏明 高村秩序		
审查员(译)	小野贤二		
其他公开文献	JP2013182102A		
外部链接	Espacenet		

摘要(译)	液晶显示装置包括：像素阵列，每个像素具有存储功能;驱动部分，向液晶电容器的对电极提供公共电压;以及将第一电压和第二电压中的一个提供给像素电极。液晶电容器，第一电压与公共电压相同，第二电压每隔预定时间反转极性，以及调节部分，其调节至少第二电压的幅度。		
	(21) 出願番号 特願2012-45288 (P2012-45288) (22) 出願日 平成24年3月1日 (2012.3.1) (65) 公開番号 特開2013-182102 (P2013-182102A) (43) 公開日 平成25年9月12日 (2013.9.12) 審査請求日 平成26年5月12日 (2014.5.12)	(73) 特許権者 502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号 (74) 代理人 100089118 弁理士 酒井 宏明 (74) 代理人 100118762 弁理士 高村 順 (74) 代理人 100092152 弁理士 服部 毅敏 (72) 発明者 寺西 康幸 東京都港区港南1丁目7番1号 ソニー株式会社内 審査官 小野 健二	最終頁に続く