

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5733154号
(P5733154)

(45) 発行日 平成27年6月10日(2015.6.10)

(24) 登録日 平成27年4月24日(2015.4.24)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)

G02F 1/133 550

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 641E

G02F 1/1368 (2006.01)

G09G 3/20 624B

G02F 1/1343 (2006.01)

G02F 1/1368

請求項の数 2 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2011-235811 (P2011-235811)
 (22) 出願日 平成23年10月27日(2011.10.27)
 (65) 公開番号 特開2013-92714 (P2013-92714A)
 (43) 公開日 平成25年5月16日(2013.5.16)
 審査請求日 平成26年2月28日(2014.2.28)

(73) 特許権者 308036402
 株式会社 JVCケンウッド
 神奈川県横浜市神奈川区守屋町3丁目12番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 岩佐 隆行
 神奈川県横浜市神奈川区守屋町3丁目12番地

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

映像信号の各フレームを前記映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、前記列データ線を介してサンプリングする第1のスイッチング手段と、

前記第1のスイッチング手段と共にスタティック・ランダム・アクセス・メモリを構成しており、前記第1のスイッチング手段によりサンプリングされた前記サブフレームデータを記憶する第1の信号保持手段と、

前記第1の信号保持手段に記憶された前記サブフレームデータを出力させる第2のスイッチング手段と、

前記第2のスイッチング手段と共にダイナミック・ランダム・アクセス・メモリを構成しており、前記第2のスイッチング手段を通して供給される前記第1の信号保持手段に記憶された前記サブフレームデータで記憶内容が書き換えられ、出力データを前記画素電極に印加する第2の信号保持手段と

を備え、

前記第1のスイッチング手段は、1つの第1のトランジスタにより構成されると共に、1本の前記列データ線から前記サブフレームデータを書き込むように構成されており、前

10

20

記第 1 の信号保持手段は互いの出力端子が他方の入力端子に接続された第 1 及び第 2 のインバータから構成されており、

前記第 1 及び第 2 のインバータのうち、前記第 1 のトランジスタからみて入力側の前記第 1 のインバータを構成する第 2 のトランジスタの駆動力が、前記第 1 のトランジスタからみて出力側の前記第 2 のインバータを構成する第 3 のトランジスタの駆動力よりも大に設定され、かつ、前記第 1 のトランジスタの駆動力は前記第 2 のインバータを構成する第 3 のトランジスタの駆動力よりも大に設定されており、

画像表示部を構成する前記複数の画素のうち、行単位の画素毎に前記サブフレームデータを前記第 1 の信号保持手段に書き込むことを繰り返して前記複数の画素の全てに書き込んだ後、トリガパルスにより前記複数の画素全ての前記第 2 のスイッチング手段をオンにして、前記第 1 の信号保持手段に記憶された前記サブフレームデータにより前記複数の画素の前記第 2 の信号保持手段の記憶内容を書き換える動作をサブフレーム毎に行う画素制御手段を有することを特徴とする液晶表示装置。

10

【請求項 2】

前記第 2 のスイッチング手段は、互いに逆極性の 2 つの前記トリガパルスによりスイッチング制御されるトランسمッションゲートにより構成されており、前記第 2 のスイッチング手段はオンして前記容量に電荷を充電した後オフにして、前記サブフレーム期間、前記容量に蓄積した電荷によって前記画素電極に電圧を印加することを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に複数ビットで表わされる階調レベルに応じて、複数のサブフレームの組み合わせによって階調表示を行う液晶表示装置に関する。

【背景技術】

【0002】

従来より、液晶表示装置における中間調表示方式の 1 つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には 1 画像の表示単位である 1 フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせで画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。

30

【0003】

このサブフレーム駆動方式の液晶表示装置において、各画素が、マスターラッチ及びスレーブラッチと、液晶表示素子と、第 1 ～ 第 3 の計 3 つのスイッチングトランジスタとから構成されるものが知られている（例えば、特許文献 1 参照）。この画素では、マスターラッチは 2 つの入力端子のうち一方の入力端子に 1 ビットの第 1 のデータが第 1 のスイッチングトランジスタを通して印加されると共に、他方の入力端子に第 1 のデータとは相補的な関係にある第 2 のデータが第 2 のスイッチングトランジスタを通して印加され、行走査線を介して印加される行選択信号によりその画素が選択されたときに、上記の第 1 及び第 2 のスイッチングトランジスタをオン状態として第 1 のデータを書き込む。例えば、第 1 のデータが論理値「1」で、第 2 のデータが論理値「0」のとき、その画素が表示を行う。

40

【0004】

全ての画素に対して上記と同様の動作により各データの書き込み後、そのサブフレーム期間内で全画素の第 3 のスイッチングトランジスタをオン状態としてマスターラッチに書き込んだデータを同時に読み出してスレーブラッチへ読み出しスレーブラッチから液晶表示素子の画素電極にそのスレーブラッチでラッチしたデータを印加する。以下、各サブフレーム毎に上記の動作を繰り返し、1 フレーム期間内の全てのサブフレームの組み合わせによって所望の階調表示を行う。

50

【 0 0 0 5 】

すなわち、サブフレーム駆動方式の液晶表示装置においては、1フレーム期間内の全てのサブフレームは、その表示期間が同一又は異なる所定の期間に予め割り当てられており、各画素において最大階調表示時は全てのサブフレームにおいて表示を行い、最小階調表示時は全てのサブフレームにおいて非表示とし、それ以外の階調の場合は表示する階調に応じて表示するサブフレームを選択する。この従来の液晶表示装置は、入力されるデータが階調を示すデジタルデータであり、2段ラッチ構成のデジタル駆動方式でもある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

10

【 特許文献 1 】 特表 2 0 0 1 - 5 2 3 8 4 7 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、上記の従来の液晶表示装置では、各画素内の2つのラッチはそれぞれ、スタティック・ランダム・アクセス・メモリ (S R A M) で構成されるため、トランジスタ数が多くなり、画素小型化が困難である。また、上記の2つのラッチを S R A M で構成した場合において、安定した動作ができる S R A M とスイッチングトランジスタとの具体的回路構成については、上記の特許文献 1 には開示されていない。

【 0 0 0 8 】

20

本発明は以上の点に鑑みなされたもので、画素内に2つの S R A M を用いた画素に比べて画素小型化を可能にした液晶表示装置を提供することを目的とする。

【 0 0 0 9 】

また、本発明の他の目的は、各画素内に2つの S R A M を用意した構成においても安定な動作を行い得る画素を備える液晶表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 0 】

上記目的を達成するため、第 1 の発明の液晶表示装置は、複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、映像信号の各フレームを映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、列データ線を介してサンプリングする第1のスイッチング手段と、第1のスイッチング手段と共にスタティック・ランダム・アクセス・メモリを構成しており、第1のスイッチング手段によりサンプリングされたサブフレームデータを記憶する第1の信号保持手段と、第1の信号保持手段に記憶されたサブフレームデータを出力させる第2のスイッチング手段と、第2のスイッチング手段と共にダイナミック・ランダム・アクセス・メモリを構成しており、第2のスイッチング手段を通して供給される第1の信号保持手段に記憶されたサブフレームデータで記憶内容が書き換えられ、出力データを画素電極に印加する第2の信号保持手段とを備え、第1のスイッチング手段は、1つの第1のトランジスタにより構成されると共に、1本の列データ線からサブフレームデータを書き込むように構成されており、第1の信号保持手段は互いの出力端子が他方の入力端子に接続された第1及び第2のインバータから構成されており、第1及び第2のインバータのうち、第1のトランジスタからみて入力側の第1のインバータを構成する第2のトランジスタの駆動力が、第1のトランジスタからみて出力側の第2のインバータを構成する第3のトランジスタの駆動力よりも大に設定され、かつ、第1のトランジスタの駆動力は第2のインバータを構成する第3のトランジスタの駆動力よりも大に設定されており、画像表示部を構成する複数の画素のうち、行単位の画素毎にサブフレームデータを第1の信号保持手段に書き込むことを繰り返して複数の画素の全てに書き込んだ後、トリガパルスにより複数の画素全ての第2のスイッチング手段をオンにして、第1の信号保持手段に記憶されたサブフレームデータにより複数の画素の第2の信号保持手段の記憶内容

30

40

50

を書き換える動作をサブフレーム毎に行う画素制御手段を有することを特徴とする。

【 0 0 1 1 】

また、上記目的を達成するため、第 2 の発明の液晶表示装置は、第 2 の信号保持手段は容量により構成されており、第 2 のスイッチング手段は、互いに逆極性の 2 つのトリガパルスによりスイッチング制御されるトランスマッションゲートにより構成されており、第 2 のスイッチング手段はオンして前記容量に電荷を充電した後オフにして、サブフレーム期間、容量に蓄積した電荷によって画素電極に電圧を印加することを特徴とする。

【発明の効果】

【 0 0 1 6 】

10

本発明によれば、画素内に 2 つの S R A M を用いた従来の液晶表示装置に比べて画素の小型化を可能にできる。また、本発明によれば、画素内に 2 つの S R A M を用意した場合においても従来の液晶表示装置に比べて安定な動作を行うことができる。

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】本発明の液晶表示装置の一実施の形態の全体構成図である。

【図 2】本発明の要部である画素の第 1 の実施の形態の回路図である。

【図 3】インバータの一例の回路図である。

【図 4】図 2 に示す一画素の一例の断面構造図である。

【図 5】本発明の液晶表示装置における画素の動作説明用タイミングチャートである。

20

【図 6】液晶表示装置の液晶の飽和電圧および液晶の閾値電圧を、2 値重みつきパルス幅変調データとして多重化する説明図である。

【図 7】本発明の要部である画素の第 2 の実施の形態の回路図である。

【図 8】図 7 の 2 つの S R A M を構成する各インバータ間の駆動力の大小関係を説明する図である。

【図 9】本発明の要部である画素の第 3 の実施の形態の回路図である。

【発明を実施するための形態】

【 0 0 1 8 】

以下、図面を用いて本発明の実施形態について説明する。

【 0 0 1 9 】

30

図 1 は、本発明になる液晶表示装置の一実施の形態のブロック図を示す。同図において、本実施の形態の液晶表示装置 1 0 は、複数の画素 1 2 が規則的に配置された画像表示部 1 1 と、タイミングジェネレータ 1 3 と、垂直シフトレジスタ 1 4 と、データラッチ回路 1 5 と、水平ドライバ 1 6 とから構成される。更に、水平ドライバ 1 6 は、水平シフトレジスタ 1 6 1 と、ラッチ回路 1 6 2 と、レベルシフタ / 画素ドライバ 1 6 3 とから構成される。

【 0 0 2 0 】

画像表示部 1 1 は、垂直シフトレジスタ 1 4 に一端が接続されて行方向（X 方向）に延在する m 本（m は 2 以上の自然数）の行走査線 g 1 ~ g m と、レベルシフタ / 画素ドライバ 1 6 3 に一端が接続されて列方向（Y 方向）に延在する n 本（n は 2 以上の自然数）の列データ線 d 1 ~ d n とが交差する各交差部に設けられ、二次元マトリクス状に配置された、全部で m × n 個の画素 1 2 を有する。本発明は画素 1 2 の回路構成に特徴があり、その各実施の形態については後述する。画像表示部 1 1 内の全ての画素 1 2 は、一端がタイミングジェネレータ 1 3 に接続されたトリガ線 trig に共通接続されている。

40

【 0 0 2 1 】

なお、図 1 では列データ線は n 本の列データ線 d 1 ~ d n を示しているが、正転データ用列データ線 d j と反転データ用列データ線 d b j とを一組とする、全部で n 組の列データ線を使用する場合もある。正転データ用列データ線 d j が伝送する正転データと、反転データ用列データ線 d b j が伝送する反転データとは、常に逆論理値の関係（相補的な関係）にある 1 ビットのデータである。また、トリガ線 trig も図 1 では 1 本のみ示しているが、正

50

転トリガパルス用トリガ線trigと反転トリガパルス用トリガ線trigbとからなる2本のトリガ線を使用する場合もある。正転トリガパルス用トリガ線trigが伝送する正転トリガパルスと、反転トリガパルス用トリガ線trigbが伝送する反転トリガパルスとは、常に逆論理値の関係(相補的な関係)にある。

【0022】

タイミングジェネレータ13は、上位装置20から垂直同期信号Vst、水平同期信号Hst、基本クロックCLKといった外部信号を入力信号として受け、これらの外部信号に基づいて、交流化信号FR、VスタートパルスVST、HスタートパルスHST、クロック信号VCK及びHCK、ラッチパルスLT、トリガパルスTRIなどの各種の内部信号を生成する。

10

【0023】

上記の内部信号のうち、交流化信号FRは、1サブフレーム毎に極性反転する信号であり、画像表示部11を構成する画素12内の液晶表示素子の共通電極に、後述する共通電極電圧Vcomとして供給される。スタートパルスVSTは、後述する各サブフレームの開始タイミングに出力されるパルス信号であり、このスタートパルスVSTによって、サブフレームの切替わりが制御される。スタートパルスHSTは、水平シフトレジスタ161に入力する開始タイミングに出力されるパルス信号である。クロック信号VCKは、垂直シフトレジスタ14における1水平走査期間(1H)を規定するシフトクロックであり、VCKのタイミングで垂直シフトレジスタ14がシフト動作を行う。クロック信号HCKは、水平シフトレジスタ161におけるシフトクロックであり、32ビット幅でデータをシフトしていくための信号である。

20

【0024】

ラッチパルスLTは、水平シフトレジスタ161が水平方向の1行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。トリガパルスTRIは、トリガ線trigを通して画像表示部11内の全画素12に供給されるパルス信号である。このトリガパルスTRIは、サブフレーム期間内で画像表示部11内の各画素12内の第1の信号保持手段に順次データを書き込み終わった直後に出力され、そのサブフレーム期間内で画像表示部11内の全画素12の第1の信号保持手段のデータを同じ画素内の第2の信号保持手段に一度に転送する。

30

【0025】

垂直シフトレジスタ14は、それぞれのサブフレームの最初に供給されるVスタートパルスVSTを、クロック信号VCKに従って転送し、行走査線g1~gmに対して行走査信号を1H単位で順次排他的に供給する。これにより、画像表示部11において最も上にある行走査線g1から最も下にある行走査線gmに向って、行走査線が1本ずつ順次1H単位で選択されていく。

【0026】

データラッチ回路15は、図示しない外部回路から供給される1サブフレーム毎に分割された32ビット幅のデータを、上位装置20からの基本信号CLKに基づいてラッチした後、基本信号CLKに同期して水平シフトレジスタ161へ出力する。ここで、映像信号の1フレームを、その映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームに分割してサブフレームの組み合わせによって階調表示を行う本実施の形態では、上記の外部回路は映像信号の各画素毎の階調を示す階調データを、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の1ビットのサブフレームデータに変換する。そして、上記外部回路は、更に同じサブフレームにおける32画素分の上記サブフレームデータをまとめて上記32ビット幅のデータとしてデータラッチ回路15に供給している。

40

【0027】

水平シフトレジスタ161は、1ビットシリアルデータの処理系でみた場合、タイミングジェネレータ13から1Hの最初に供給されるHスタートパルスHSTによりシフトを開始し、データラッチ回路15から供給される32ビット幅のデータをクロック信号HC

50

Kに同期してシフトする。ラッチ回路162は、水平シフトレジスタ161が画像表示部11の1行分の画素数nと同じnビット分のデータをシフトし終わった時点でタイミングジェネレータ13から供給されるラッチパルスLTに従って、水平シフトレジスタ161から並列に供給されるnビット分のデータ(すなわち、同じ行のn画素分のサブフレームデータ)をラッチし、レベルシフタ/画素ドライバ163のレベルシフタへ出力する。ラッチ回路162へのデータ転送が終了すると、タイミングジェネレータ13からHスタートパルスが再び出力され、水平シフトレジスタ161はクロック信号HCKに従ってデータラッチ回路15からの32ビット幅のデータのシフトを再開する。

【0028】

レベルシフタ/画素ドライバ163のレベルシフタは、ラッチ回路162によりラッチされて供給される1行のn画素に対応したn個のサブフレームデータの信号レベルを液晶駆動電圧までレベルシフトする。レベルシフタ/画素ドライバ163の画素ドライバは、レベルシフト後の1行のn画素に対応したn個のサブフレームデータをn本のデータ線d1~dnに並列に出力する。

【0029】

水平ドライバ16を構成する水平シフトレジスタ161、ラッチ回路162及びレベルシフタ/画素ドライバ163は、1H内において今回データを書き込む画素行に対するデータの出力と、次の1H内でデータを書き込む画素行に関するデータのシフトとを並行して行う。ある水平走査期間において、ラッチされた1行分のn個のサブフレームデータが、データ信号としてそれぞれn本のデータ線d1~dnに並列に、かつ、一斉に出力される。

【0030】

画像表示部11を構成する複数の画素12のうち、垂直シフトレジスタ14からの行走査信号により選択された1行のn個の画素12は、レベルシフタ/画素ドライバ163から一斉に出力された1行分のn個のサブフレームデータをn本のデータ線d1~dnを介してサンプリングして各画素12内の後述する第1の信号保持手段に書き込む。

【0031】

次に、本発明の液晶表示装置の要部の画素12の各実施の形態について詳細に説明する。

【0032】

図2は、本発明の要部である画素の第1の実施の形態の回路図を示す。同図において、本実施の形態の画素12Aは、図1中の任意の1本の列データ線dと任意の1本の行走査線gとの交差部に設けられた画素で、第1のスイッチング手段を構成するスイッチSW11と第1の信号保持手段(SM)121とから構成されるスタティック・ランダム・アクセス・メモリ(SRAM)201と、第2のスイッチング手段を構成するスイッチSW12と第2の信号保持手段(DM)122とから構成されるダイナミック・ランダム・アクセス・メモリ(DRAM)202と、液晶表示素子LCとより構成されている。液晶表示素子LCは、離間対向配置された反射電極PEと共通電極CEとの間の空間に、液晶LCMが充填封入された公知の構造である。

【0033】

スイッチSW11は、ゲートが行走査線gに接続され、ドレインが列データ線dに接続され、ソースがSM121の入力端子に接続されているNチャネルMOS型トランジスタ(以下、NMOSトランジスタという)により構成されている。SM121は、一方の出力端子が他方の入力端子に接続された2つのインバータINV11及びINV12からなる自己保持型メモリである。インバータINV11は、その入力端子がインバータINV12の出力端子とSW11を構成するNMOSトランジスタのソースとに接続されている。インバータINV12は、その入力端子がスイッチSW12とインバータINV11の出力端子とに接続されている。インバータINV11及びINV12は、いずれも図3に示すような、互いのゲート同士及びドレイン同士が接続された、PチャネルMOS型トランジスタ(以下、PMOSトランジスタという)PTr及びNMOSトランジスタNTr

10

20

30

40

50

とからなる公知のCMOSインバータの構成であるが、それぞれの駆動力が異なる。

【0034】

すなわち、スイッチSW11から見てSM121を構成している入力側のインバータINV11内のトランジスタは、スイッチSW11から見てSM121を構成している出力側のインバータINV12内のトランジスタと比較して、駆動力の大きいトランジスタを用いている。さらにスイッチSW11を構成しているNMOSTランジスタの駆動力は、インバータINV12を構成しているNMOSTランジスタの駆動力よりも大きいトランジスタで構成されている。

【0035】

これは、SM121のデータを書き換える場合、特にSM121のスイッチSW11の入力側の電圧aが“L”レベルで、列データ線dを介して送られてくるデータが“H”レベルの場合、インバータINV11が反転する入力電圧よりも電圧aを高くする必要があるからである。“H”レベルのときの電圧aはインバータINV12を構成するNMOSTランジスタの電流とスイッチSW11を構成するNMOSTランジスタの電流との比によって決まる。このとき、スイッチSW11はNMOSTランジスタであるため、スイッチSW11がオンのときは列データ線dを介して送られてくる電源のVDD側の電圧はトランジスタの閾値電圧VthによりSM121に入力されず、“H”レベルの電圧はVDDからVth分低い電圧になる。しかもこの電圧ではトランジスタのVth近辺で駆動することになるため、電流が殆ど流れなくなる。つまり、スイッチSW11を導通する電圧aが高くなるほど、スイッチSW11で流す電流は少なくなる。

【0036】

つまり、電圧aが“H”レベルのときにインバータINV11の入力側のトランジスタが反転する電圧以上に達するためには、スイッチSW11に流れる電流が、出力側のインバータINV12のトランジスタを構成するNMOSTランジスタを流れる電流よりも大きい必要がある。従って、スイッチSW11を構成しているNMOSTランジスタの駆動力はインバータINV12を構成しているNMOSTランジスタの駆動力よりも大きく構成するため、これを考慮してスイッチSW11を構成しているNMOSTランジスタのトランジスタサイズと、インバータINV12を構成しているNMOSTランジスタのトランジスタサイズとを決める必要がある。

【0037】

スイッチSW12は、互いのドレイン同士が接続され、かつ、互いのソース同士が接続されたNMOSTランジスタTr1とPMOSTランジスタTr2とからなる公知のトランスミッションゲートの構成とされている。NMOSTランジスタTr1のゲートは正転トリガパルス用トリガ線trigに接続され、PMOSTランジスタTr2のゲートは反転トリガパルス用トリガ線trigbに接続されている。

【0038】

また、スイッチSW12は一方の端子がSM121に接続され、他方の端子がDM122と液晶表示素子LCの反射電極PEとにそれぞれ接続されている。従って、スイッチSW12はトリガ線trigを介して供給される正転トリガパルスが“H”レベル（このときは、トリガ線trigbを介して供給される反転トリガパルスは“L”レベル）のときはオンとされ、SM121の記憶データを読み出してDM122及び反射電極PEへ転送する。また、スイッチSW12はトリガ線trigを介して供給される正転トリガパルスが“L”レベル（このときは、トリガ線trigbを介して供給される反転トリガパルスは“H”レベル）のときはオフとされ、SM121の記憶データの読み出しは行わない。

【0039】

スイッチSW12はNMOSTランジスタTr1とPMOSTランジスタTr2とからなる公知のトランスミッションゲートの構成とされているため、GNDからVDDまでの範囲の電圧をオン、オフすることができる。つまり、NMOSTランジスタTr1とPMOSTランジスタTr2の各ゲートに印加される信号がGND側の電位（“L”レベル）のときは、PMOSTランジスタTr2が導通することができない代わりに、NMOSTランジスタ

10

20

30

40

50

Tr1が低抵抗で導通することができる。一方、ゲート入力信号がVDD側の電位(“H”レベル)のときはNMOSトランジスタTr1が導通することができない代わりに、PMOSトランジスタTr2が低抵抗で導通することができる。従って、トリガ線trigを介して供給される正転トリガパルスと、トリガ線trigbを介して供給される反転トリガパルスとにより、スイッチSW12を構成するトランスミッションゲートをオン/オフ制御することによって、GNDからVDDまでの電圧範囲を低抵抗、高抵抗でスイッチングすることができる。

【0040】

DM122は、容量C1により構成されている。ここで、SM121の記憶データとDM122の保持データとが異なっていた場合、スイッチSW12がオンとされ、SM121の記憶データがDM122へ転送されたときには、DM122の保持データをSM121の記憶データで置き換える必要がある。

10

【0041】

DM122を構成する容量C1の保持データが書き換わる場合、その保持データは充電、または放電によって変化し、また容量C1の充放電はインバータINV11の出力信号によって駆動される。容量C1の保持データを充電によって“L”レベルから“H”レベルに書き換える場合、インバータINV11の出力信号は“H”であり、このときINV11を構成するPMOSトランジスタ(図3のPTr)がオン、NMOSトランジスタ(図3のNTr)がオフするため、インバータINV11のPMOSトランジスタのソースに接続されている電源電圧VDDによって容量C1が充電される。一方、容量C1の保持データを放電によって“H”レベルから“L”レベルに書き換える場合、インバータINV11の出力信号は“L”レベルであり、このときインバータINV11を構成するNMOSトランジスタ(図3のNTr)がオン、PMOSトランジスタ(図3のPTr)がオフするため、容量C1の蓄積電荷がインバータINV11のNMOSトランジスタ(図3のNTr)を通してGNDへ放電される。スイッチSW12は、上述したトランスミッションゲートを用いたアナログスイッチの構成であるため、上記の容量C1の高速な充放電が可能になる。

20

【0042】

更に、本実施の形態ではインバータINV11の駆動力は、インバータINV12の駆動力よりも大きく設定されているため、DM122を構成する容量C1を高速に充放電駆動することが可能である。また、スイッチSW12をオンにすると、容量C1に蓄えられた電荷はインバータINV12の入力ゲートにも影響を与えるが、インバータINV12に対してインバータINV11の駆動力を大きく設定していることにより、インバータINV12のデータ入力反転よりもインバータINV11による容量C1の充放電が優先され、SM121の記憶データを書き換えてしまうことはない。

30

【0043】

なお、SRAM201とDRAM202をそれぞれ容量とスイッチとからなる2段のDRAM構成とすることも考えられるが、この場合、SM121の代わりに用いられる容量とDMを構成する容量とを導通させた場合、電荷の中和が発生してGND、VDD電圧の振幅はとれなくなる。これに対し、図2に示した画素12Aによれば、GND、VDD電圧の振幅で1ビットデータをSM121からDM122へ転送することができ、同じ電源電圧で駆動した場合、液晶表示素子LCの印加電圧を高く設定することができるようになり、ダイナミックレンジを大きく取ることが可能になる。

40

【0044】

また、SRAM201を容量とスイッチとからなる構成に変更し、DRAM202をSRAMに変更することも考えられるが、この場合は図2の本実施の形態の画素12Aと比較して動作が不安定という問題がある。すなわち、上記構成の場合SM121の代わりに用いられる容量に蓄えた電荷によってDM122の代わりに用いられるSRAMの記憶データを書き換える必要があるが、通常は容量の電荷保持能力よりもSRAMによるメモリのデータ保持能力が強いため、DM122の代わりに用いられるSRAMの記憶データに

50

よって前段のSM121の代わりに用いられる容量の電荷を書き換えてしまう、という不具合が生じる可能性がある。更に、この場合、SM121の代わりに用いられる容量が後段SRAMデータによって書き換わらないようにすると、容量を大きく取る必要があるため、画素ピッチが増大し、画素小型化に向かないという課題がある。

【0045】

図2に示した本実施の形態の画素12Aによれば、上記のように、液晶表示素子LCの印加電圧を高く設定することができ、ダイナミックレンジを大きく取ることが可能になるという効果だけではなく、画素の小型化が可能であるという大なる効果が得られる。この画素の小型化は、図2に示したようにインバータINV11及びINV12が各2個のトランジスタから構成されるので、計7個のトランジスタと1つの容量C1とから構成され、従来の画素よりも少ない数の構成素子により画素を構成できるからという理由に加えて、以下に説明するように、SM121とDM122と反射電極PEとを、素子の高さ方向に有効に配置することができるという理由による。

【0046】

図4は、本発明になる液晶表示装置の要部の画素の一実施の形態の断面構成図を示す。図2に示した容量C1には、配線間で容量を形成するMIM(Metal - Insulator - Metal)容量や、基板-ポリシリコン間で容量を形成するDiffusion容量、2層ポリシリコン間で容量を形成するPIP(Poly - Insulator - Poly)容量などを用いることができる。図4は、このうちMIMにより容量C1を構成した場合の液晶表示装置の断面構成図を示す。

【0047】

図4において、シリコン基板100に形成されたNウェル101上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV11のPMOSTランジスタPTr11と、スイッチSW12のPMOSTランジスタTr2とが形成されている。また、シリコン基板100に形成されたPウェル102上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV12のNMOSTランジスタNTr12と、スイッチSW12のNMOSTランジスタTr1とが形成されている。なお、図4にはインバータINV11を構成するNMOSTランジスタとインバータINV12を構成するPMOSTランジスタとは図示されていない。

【0048】

また、上記の各トランジスタPTr11、Tr2、Tr1、NTr12の上方には、層間絶縁膜105をメタル間に介在させて第1メタル106、第2メタル108、第3メタル110、電極112、第4メタル114、第5メタル116が積層されている。第5メタル116は画素毎に形成される反射電極PEを構成している。スイッチSW12を構成するNMOSTランジスタTr1及びPMOSTランジスタTr2の各ソースを構成する各拡散層は、コンタクト118により第1メタル106にそれぞれ電氣的に接続され、更に、スルーホール119a、119b、119c、119eを通して第2メタル108、第3メタル110、第4メタル114、第5メタル116に電氣的に接続されている。すなわち、スイッチSW12を構成するNMOSTランジスタTr1及びPMOSTランジスタTr2の各ソースは、反射電極PEに電氣的に接続されている。

【0049】

更に、反射電極PE(第5メタル116)上には保護膜としてパッシベーション膜(PSV)117が形成され、透明電極である共通電極CEに離間対向配置されている。それら画素電極PEと共通電極CEとの間に液晶LCMが充填封止されて、液晶表示素子LCを構成している。

【0050】

ここで、第3メタル110上には層間絶縁膜105を介して電極112が形成されている。この電極112は、第3メタル110及び第3メタル110との間の層間絶縁膜105と共に容量C1を構成している。MIMにより容量C1を構成すると、SM121とスイッチSW11、スイッチSW12はトランジスタと第1メタル106及び第2メタル108の1,2層配線、DM122はトランジスタ上部の第3メタル110を利用したMI

10

20

30

40

50

M配線にて形成することが可能になる。電極112は、スルーホール119dを介して第4メタルに電氣的に接続され、更に第4メタル114はスルーホール119eを介して反射電極PEに電氣的に接続されているため、容量C1は反射電極PEに電氣的に接続されている。

【0051】

図示しない光源からの光は、共通電極CE及び液晶LCMを透過して反射電極PE（第5メタル116）に入射して反射され、元の入射経路を逆進して共通電極CEを通して出射される。

【0052】

本実施の形態によれば、図4に示すように、5層配線である第5メタル116を反射電極PEに割り当てることにより、SM121とDM122、反射電極PEを高さ方向に有効に配置することが可能になり、画素小型化が実現できる。これにより、例えば3μm以下のピッチの画素を電源電圧3.3Vのトランジスタで構成できる。この3μmピッチの画素では対角の長さ0.55インチの横方向4000画素、縦方向2000画素の液晶表示パネルを実現できる。

【0053】

次に、本実施の形態の画素12Aを用いた図1の液晶表示装置10の動作について、図5のタイミングチャートを併せ参照して説明する。

【0054】

前述したように、図1の液晶表示装置10において、垂直シフトレジスタ14からの行走査信号により行走査線g1から行走査線gmに向って、行走査線が1本ずつ順次1H単位で選択されていくため、画像表示部11を構成する複数の画素12（12A）は、選択された行走査線に共通に接続された1行のn個の画素単位でデータの書き込みが行われる。そして、画像表示部11を構成する複数の画素12（12A）の全てに書き込みが終わった後、トリガパルスに基づいて全画素一斉に読み出しが行われる。

【0055】

図5（A）は、水平ドライバ16から列データ線d（d1～dn）に出力される1ビットのサブフレームデータの一画素の書き込み期間及び読み出し期間を模式的に示す。左下がりの斜線が書き込み期間を示す。なお、図5（A）中、B0b、B1b、B2bはビットB0、B1、B2のデータの反転データであることを示す。また、図5（B）は、タイミングジェネレータ13から正転トリガパルス用トリガ線trigに出力されるトリガパルスを示す。このトリガパルスは1サブフレーム毎に出力される。なお、反転トリガパルス用トリガ線trigbに出力される反転トリガパルスは正転トリガパルスと常に逆論理値であるのでその図示は省略してある。

【0056】

まず、画素12Aは行走査信号により選択されると、スイッチSW11がオンとされ、その時列データ線dに出力される図5（A）のビットB0の正転サブフレームデータがスイッチSW11によりサンプリングされて画素12AのSM121に書き込まれる。以下、同様にして、画像表示部11を構成する全ての画素12AのSM121にビットB0のサブフレームデータの書き込みが行われ、その書き込み動作が終了した後の図5に示す時刻T1で、図5（B）に示すように“H”レベルの正転トリガパルスが画像表示部11を構成する全ての画素12Aに同時に供給される。

【0057】

これにより、全ての画素12AのスイッチSW12がオンとされるため、SM121に記憶されているビットB0の正転サブフレームデータがスイッチSW12を通してDM122を構成する容量C1に一斉に転送されて保持されると共に、反射電極PEに印加される。この容量C1によるビットB0の正転サブフレームデータの保持期間は、時刻T1から図5（B）に示すように次の“H”レベルの正転トリガパルスが入力される時刻T2までの1サブフレーム期間である。図5（C）は、反射電極PEに印加されるサブフレームデータのビットを模式的に示す。

【 0 0 5 8 】

ここで、サブフレームデータのビット値が「 1」、すなわち“ H ”レベルのときには反射電極 P E には電源電圧 V D D (ここでは 3.3 V) が印加され、ビット値が「 0」、すなわち“ L ”レベルのときには反射電極 P E には 0 V が印加される。一方、液晶表示素子 L C の共通電極 C E には、G N D、V D D に制限されることなく、自由な電圧が共通電極電圧 V com として印加できるようになっており、“ H ”レベルの正転トリガパルスが入力される時と同時タイミングで規定の電圧に切り替わるようにされている。ここでは、共通電極電圧 V com は、正転サブフレームデータが反射電極 P E に印加されるサブフレーム期間は、図 5 (D) に示すように 0 V よりも液晶の閾値電圧 V tt だけ低い電圧に設定される。

10

【 0 0 5 9 】

液晶表示素子 L C は、反射電極 P E の印加電圧と共通電極電圧 V com との差電圧の絶対値である液晶 L C M の印加電圧に応じた階調表示を行う。従って、ビット B 0 の正転サブフレームデータが反射電極 P E に印加される時刻 T 1 ~ T 2 の 1 サブフレーム期間では、液晶 L C M の印加電圧は、図 5 (E) に示すように、サブフレームデータのビット値が「 1」のときは $3.3\text{ V} + V_{tt}$ ($= 3.3\text{ V} - (-V_{tt})$) となり、サブフレームデータのビット値が「 0」のときは $+V_{tt}$ ($= 0\text{ V} - (-V_{tt})$) となる。

【 0 0 6 0 】

図 6 は、液晶の印加電圧 (R M S 電圧) と液晶のグレースケール値との関係を示す。図 6 に示すように、グレースケール値曲線は黒のグレースケール値が液晶の閾値電圧 V tt の R M S 電圧に対応し、白のグレースケール値が液晶の飽和電圧 V sat ($= 3.3\text{ V} + V_{tt}$) の R M S 電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。従って、液晶表示素子 L C は上記のように液晶 L C M の印加電圧が ($3.3\text{ V} + V_{tt}$) のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

20

【 0 0 6 1 】

続いて、上記のビット B 0 の正転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 0 b で示すようにビット B 0 の反転サブフレームデータの画素 1 2 A の S M 1 2 1 への書き込みが順番に開始される。そして、画像表示部 1 1 の全画素 1 2 A の S M 1 2 1 にビット B 0 の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 2 で図 5 (B) に示すように“ H ”レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素 1 2 A に同時に供給される。

30

【 0 0 6 2 】

これにより、全ての画素 1 2 A のスイッチ S W 1 2 がオンとされるため、S M 1 2 1 に記憶されているビット B 0 の反転サブフレームデータがスイッチ S W 1 2 を通して D M 1 2 2 を構成する容量 C 1 に転送されて保持されると共に、反射電極 P E に印加される。この容量 C 1 によるビット B 0 の反転サブフレームデータの保持期間は、時刻 T 2 から図 5 (B) に示すように次の“ H ”レベルの正転トリガパルスが入力される時刻 T 3 までの 1 サブフレーム期間である。ここで、ビット B 0 の反転サブフレームデータはビット B 0 の正転サブフレームデータと常に逆論理値の関係にあるため、ビット B 0 の正転サブフレームデータが「 1」のときは「 0」、ビット B 0 の正転サブフレームデータが「 0」のときは「 1」である。

40

【 0 0 6 3 】

一方、共通電極電圧 V com は、反転サブフレームデータが反射電極 P E に印加されるサブフレーム期間は、図 5 (D) に示すように 3.3 V よりも液晶の閾値電圧 V tt だけ高い電圧に設定される。従って、ビット B 0 の反転サブフレームデータが反射電極 P E に印加される時刻 T 2 ~ T 3 の 1 サブフレーム期間では、液晶 L C M の印加電圧は、サブフレームデータのビット値が「 1」のときは $-V_{tt}$ ($= 3.3\text{ V} - (3.3\text{ V} + V_{tt})$) となり、サブフレームデータのビット値が「 0」のときは $-3.3\text{ V} - V_{tt}$ ($= 0\text{ V} - (3.3\text{ V} + V_{tt})$) となる。

【 0 0 6 4 】

50

従って、ビットB 0の正転サブフレームデータのビット値が「1」であった時は続いて入力されるビットB 0の反転サブフレームデータのビット値が「0」であるため、液晶LCMの印加電圧は、 $-(3.3V + V_{tt})$ となり、液晶LCMに印加される電位の方向はビットB 0の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素12AはビットB 0の正転サブフレームデータ表示時と同じ白を表示する。同様に、ビットB 0の正転サブフレームデータのビット値が「0」であった時は続いて入力されるビットB 0の反転サブフレームデータのビット値が「1」であるため、液晶LCMの印加電圧は、 $-V_{tt}$ となり、液晶LCMに印加される電位の方向はビットB 0の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素12Aは黒を表示する。

【0065】

10

従って、画素12Aは図5(E)に示すように、時刻T1～時刻T3までの2サブフレーム期間は、ビットB 0とビットB 0の相補ビットB 0bとで同じ階調を表示すると共に、液晶LCMの電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶LCMの焼き付きを防止することができる。

【0066】

続いて、上記の相補ビットB 0bの反転サブフレームデータを表示しているサブフレーム期間内において、図5(A)にB1で示すようにビットB 1の正転サブフレームデータの画素12AのSM121への書き込みが順番に開始される。そして、画像表示部11の全画素12AのSM121にビットB 1の正転サブフレームデータが書き込まれ、その書き込み終了後の時刻T3で図5(B)に示すように“H”レベルの正転トリガパルスが画像表示部11を構成する全ての画素12Aに同時に供給される。

20

【0067】

これにより、全ての画素12AのスイッチSW12がオンとされるため、SM121に記憶されているビットB 1の正転サブフレームデータがスイッチSW12を通してDM122を構成する容量C1に転送されて保持されると共に、反射電極PEに印加される。この容量C1によるビットB 1の正転サブフレームデータの保持期間は、時刻T3から図5(B)に示すように次の“H”レベルの正転トリガパルスが入力される時刻T4までの1サブフレーム期間である。

【0068】

一方、共通電極電圧Vcomは、正転サブフレームデータが反射電極PEに印加されるサブフレーム期間は、図5(D)に示すように0Vよりも液晶の閾値電圧V_{th}だけ低い電圧に設定される。従って、ビットB 1の正転サブフレームデータが反射電極PEに印加される時刻T3～T4の1サブフレーム期間では、液晶LCMの印加電圧は、図5(E)に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{th}$ ($= 3.3V - (-V_{th})$)となり、サブフレームデータのビット値が「0」のときは $+V_{th}$ ($= 0V - (-V_{th})$)となる。

30

【0069】

続いて、上記のビットB 1の正転サブフレームデータを表示しているサブフレーム期間内において、図5(A)にB1bで示すようにビットB 1の反転サブフレームデータの画素12AのSM121への書き込みが順番に開始される。そして、画像表示部11の全画素12AのSM121にビットB 1の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻T4で図5(B)に示すように“H”レベルの正転トリガパルスが画像表示部11を構成する全ての画素12Aに同時に供給される。

40

【0070】

これにより、全ての画素12AのスイッチSW12がオンとされるため、SM121に記憶されているビットB 1の反転サブフレームデータがスイッチSW12を通してDM122を構成する容量C1に転送されて保持されると共に、反射電極PEに印加される。この容量C1によるビットB 0の反転サブフレームデータの保持期間は、時刻T4から図5(B)に示すように次の“H”レベルの正転トリガパルスが入力される時刻T5までの1サブフレーム期間である。ここで、ビットB 1の反転サブフレームデータはビットB 1の

50

正転サブフレームデータと常に逆論理値の関係にある。

【 0 0 7 1 】

一方、共通電極電圧 V_{com} は、反転サブフレームデータが反射電極 P_E に印加されるサブフレーム期間は、図 5 (D) に示すように $3.3 V$ よりも液晶の閾値電圧 V_{th} だけ高い電圧に設定される。従って、ビット B_1 の反転サブフレームデータが反射電極 P_E に印加される時刻 $T_4 \sim T_5$ の 1 サブフレーム期間では、液晶 LCM の印加電圧は、サブフレームデータのビット値が「 1 」のときは $-V_{th} (= 3.3 V - (3.3 V + V_{th}))$ となり、サブフレームデータのビット値が「 0 」のときは $-3.3 V - V_{th} (= 0 V - (3.3 V + V_{th}))$ となる。

【 0 0 7 2 】

これにより、画素 1 2 A は図 5 (E) に示すように、時刻 $T_3 \sim$ 時刻 T_5 までの 2 サブフレーム期間はビット B_1 とビット B_1 の相補ビット $B_1 b$ とで同じ階調を表示すると共に、液晶 LCM の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 LCM の焼き付きを防止することができる。以下、上記と同様の動作が繰り返され、本実施の形態の画素 1 2 A を有する液晶表示装置によれば、複数のサブフレームの組み合わせによって階調表示を行うことができる。

【 0 0 7 3 】

なお、ビット B_0 と相補ビット $B_0 b$ の各表示期間は同じ第 1 のサブフレーム期間であり、また、ビット B_1 と相補ビット $B_1 b$ の各表示期間も同じ第 2 のサブフレーム期間であるが、第 1 のサブフレーム期間と第 2 のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第 2 のサブフレーム期間は第 1 のサブフレーム期間の 2 倍に設定されている。また、図 5 (E) に示すように、ビット B_2 と相補ビット $B_2 b$ の各表示期間である第 3 のサブフレーム期間は、第 2 のサブフレーム期間の 2 倍に設定されている。他のサブフレーム期間についても同様であり、システムに従って各サブフレーム期間の長さが所定の長さに決められ、またサブフレーム数も任意の数に決定される。

【 0 0 7 4 】

次に、本発明の要部の画素の他の実施の形態について説明する。

【 0 0 7 5 】

第 1 の実施の形態の画素 1 2 A は、列データ線 d を介して供給されるサブフレームデータをサンプリングして記憶する第 1 の信号保持手段を $SRAM_{201}$ で構成する SM_{121} とし、第 1 の信号保持手段から供給されるサブフレームデータを所定期間保持して反射電極に印加する第 2 の信号保持手段を $DRAM_{202}$ で構成する DM_{122} とすることで、画素の小型化等を実現した。これに対し、以下説明する画素の第 2 及び第 3 の実施の形態は、第 1 及び第 2 の信号保持手段を前記特許文献 1 に記載の画素と同様に、いずれも $SRAM$ としたものである。ただし、本発明の要部の画素の第 2 及び第 3 の実施の形態では、 $SRAM$ を所定の構成とすることで特許文献 1 に記載の画素に比べて動作の安定化を実現している。

【 0 0 7 6 】

図 7 は、本発明になる液晶表示装置の要部である画素の第 2 の実施の形態の回路図を示す。同図中、図 2 と同一構成部分には同一符号を付し、その説明を省略する。図 7 において、第 2 の実施の形態の画素 1 2 B は、図 1 中のレベルシフト / 画素ドライバ 1 6 3 に一端が接続されて列方向 (Y 方向) に延在する正転データ用列データ線 d_j と反転データ用列データ線 d_{bj} とを一組とする、全部で n 組の列データ線のうちの、任意の一組の正転データ用列データ線 d 及び反転データ用列データ線 $d b$ と、垂直シフトレジスタ 1 4 に一端が接続されて行方向 (X 方向) に延在する任意の 1 本の行走査線 g との交差部に設けられた画素で、第 1 のスタティック・ランダム・アクセス・メモリ ($SRAM$) 2 1 1 と、第 2 のスタティック・ランダム・アクセス・メモリ ($SRAM$) 2 1 2 と、液晶表示素子 LC とより構成されている。第 1 の $SRAM_{211}$ は、第 1 及び第 2 のスイッチング手段を構成するスイッチ SW_{21a} 及び SW_{21b} と、第 1 の信号保持手段 (SM) 1 2 3 とより構成される。また、第 2 の $SRAM_{212}$ は、第 3 及び第 4 のスイッチング手段を構成

10

20

30

40

50

するスイッチSW22a及びSW22bと、第2の信号保持手段(SM)124とより構成される。

【0077】

スイッチSW21aは、ゲートが行走査線gに接続され、ドレインが列データ線dに接続され、ソースがSM123の一方の入力端子に接続されているNMOSトランジスタにより構成されている。スイッチSW21bは、ゲートが行走査線gに接続され、ドレインが列データ線dbに接続され、ソースがSM123の他方の入力端子に接続されているNMOSトランジスタにより構成されている。

【0078】

SM123は、一方の出力端子が他方の入力端子に接続された2つのインバータINV21及びINV22からなる自己保持型メモリである。インバータINV21は、その入力端子がインバータINV22の出力端子とSW21aを構成するNMOSトランジスタのソースとスイッチSW22aとに接続されている。インバータINV22は、その入力端子がインバータINV21の出力端子とSW21bを構成するNMOSトランジスタのソースとスイッチSW22bとに接続されている。インバータINV21及びINV22は、いずれも図3に示すような公知のCMOSインバータの構成である。

10

【0079】

また、スイッチSW22aは、ゲートがトリガ線trigに接続され、ドレインがSM123とスイッチSW21aとの接続点に接続され、ソースがSM124の一方の入力端子に接続されているNMOSトランジスタにより構成されている。スイッチSW22bは、ゲートがトリガ線trigに接続され、ドレインがSM123とスイッチSW21bとの接続点に接続され、ソースがSM124の他方の入力端子に接続されているNMOSトランジスタにより構成されている。

20

【0080】

また、SM124は、一方の出力端子が他方の入力端子に接続された2つのインバータINV23及びINV24からなる自己保持型メモリである。インバータINV23は、その入力端子がインバータINV24の出力端子とSW22aを構成するNMOSトランジスタのソースと反射電極PEとに接続されている。インバータINV24は、その入力端子がインバータINV23の出力端子とSW22bを構成するNMOSトランジスタのソースとに接続されている。インバータINV23及びINV24は、インバータINV21及びINV22と同様にいずれも図3に示すような公知のCMOSインバータの構成である。

30

【0081】

本実施の形態の画素12Bは、図5のタイミングチャートと共に説明した動作と同様の動作を行う。画素12Bは行走査信号により選択されると、スイッチSW21a及びSW21bがオンとされる。スイッチSW21a及びSW21bには列データ線dと列データ線dbを介して互いに逆論理値の1ビットの正転サブフレームデータと1ビットの反転サブフレームデータとが供給されている。ここで、スイッチSW21a及びSW21bはNMOSトランジスタで構成されており、正転サブフレームデータ及び反転サブフレームデータがVDD側の電圧(“H”)のときには、NMOSトランジスタの閾値電圧Vthにより入力されず、VDDからVth分低い電圧しか入力されない。しかも、この電圧では電流が殆ど流れなくなる。このため、スイッチSW21a又はSW21bによりサンプリングされたGND電位(“L”)になる正転サブフレームデータ又は反転サブフレームデータが、SM123に書き込まれる。

40

【0082】

SM124へのデータ書き込みは、トリガ線trigを介して供給されるトリガパルスにより制御されるスイッチSW22a及びSW22bにより行われる。SM123とスイッチSW21aとの接続点から配線mを介してスイッチSW22aに供給されるデータと、SM123とスイッチSW21bとの接続点から配線mbを介してスイッチSW22bに供給されるデータとは、互いに逆論理値の関係にある。スイッチSW22a及びSW22b

50

は、NMOSトランジスタで構成されており、VDD側の電圧(“H”レベル)はNMOSトランジスタの V_{th} により入力されず、VDDから V_{th} 分低い電圧しか入力さない。しかもこの電圧ではNMOSトランジスタの V_{th} 近辺で駆動することになるため、電流が殆ど流れなくなる。このため、GND電位(“L”レベル)になる配線m又は配線mbのデータがSM124に書き込まれる。

【0083】

ここで、画像表示部11を構成する全ての画素12BのSM123にサブフレームデータが書き込まれた直後に、トリガ線trigを介して“H”レベルのトリガパルスが入力されたとき、SM124のデータをSM123の記憶データに書き換える必要がある。つまり、SM124に記憶されているデータでSM123のデータが書き換わってはならない。このため、SM124を構成するインバータの駆動力は、SM123を構成するインバータの駆動力よりも小さくする必要がある。つまり、SM123とSM124の記憶データが異なっていた場合、“H”レベルのトリガパルスが入力された時にインバータINV21の出力データとインバータINV23の出力データとが衝突することになり、インバータINV21の出力データがインバータINV24のデータを確実に書き換えるように、インバータINV21の駆動力はインバータINV23の駆動力よりも大きくする必要がある。また、インバータINV22とインバータINV24との関係では、インバータINV22の出力データがインバータINV23のデータを確実に書き換えるように、インバータINV22の駆動力はインバータINV24の駆動力よりも大きくする必要がある。

【0084】

このことについて図8を用いて更に説明する。インバータINV21とインバータINV23の関係を簡単に説明すると、配線mbにおけるSM123の出力データが“H”レベルの場合、インバータINV21を構成するPMOSトランジスタPTr21がオンしている状態である。それに対し、SM124の配線mb側の出力データが既に“L”レベルであった場合、インバータINV23を構成するNMOSトランジスタNTr23がオンしている状態である。

【0085】

このときトリガパルス線trigの“H”レベルのトリガパルスによりスイッチSW22bを構成するNMOSトランジスタがオンし、インバータINV21とインバータINV23の出力同士が導通した場合、電流はインバータINV21のPMOSトランジスタPTr21とインバータINV23のNMOSトランジスタNTr23を通してVDDからGNDで流れる。このとき配線mbの電圧はPMOSトランジスタPTr21とNMOSトランジスタNTr23のオン抵抗の比によって決まる。

【0086】

逆に、配線mbにおけるSM123の出力データが“L”レベルで、SM124の配線mb側の出力データが既に“H”レベルであった場合、スイッチSW22bを構成するNMOSトランジスタがトリガパルス線trigの“H”レベルのトリガパルスによりオンし、インバータINV21とインバータINV23の出力同士が導通した場合、電流はインバータINV23のPMOSトランジスタPTr23とインバータINV21のNMOSトランジスタNTr21を通してVDDからGNDで流れる。このとき配線mbの電圧はPMOSトランジスタPTr23とNMOSトランジスタNTr21のオン抵抗の比によって決まる。

【0087】

また、配線mbには図示しないインバータINV24の入力ゲートが接続されており、インバータINV24は配線mbの電圧レベルの入力によって出力データが“L”レベルか“H”レベルに確定される。つまり、SM124の出力データは配線mbの電圧レベルによって決定されるため、SM123の出力データによってSM124のデータを書き換えるためには、インバータINV21、インバータINV22のトランジスタのオン抵抗がインバータINV23、インバータINV24のトランジスタのオン抵抗よりも低い必

10

20

30

40

50

要がある。インバータINV21、インバータINV22のトランジスタのオン抵抗が低いことにより、SM123の出力データはSM124のデータレベルによらず、確実にSM124のデータを書き換えることができる。

【0088】

オン抵抗が低いトランジスタを使用するということは、駆動力が高いトランジスタを使用するということで実現でき、ゲート長を小さくしたり、ゲート幅を大きくしたりすることで実現できる。

【0089】

全画素12BのSM124にSM123に記憶されていた1ビットのデータが一斉に書き込まれると、トリガパルス線trigのトリガパルスが“L”レベルとなり、スイッチSW22a及びSW22bがそれぞれオフとなる。このため、SM124は書き込んだ1ビットのデータを保持し、任意の時間（ここでは、1サブフレーム期間）、反射電極PEの電位を上記保持データに応じた電位に固定することができる。

【0090】

SM124に書き込まれるデータは、図5（C）に示した1サブフレーム毎に切り替わる正転データと反転データであり、一方、共通電極電位Vcomも図5（D）に示したように、上記の書き込みと同期して1サブフレーム毎に所定電位に交互に切り替わるため、本実施の形態の画素12Bを用いた液晶表示装置によれば、第1の実施の形態の画素12Aを用いた液晶表示装置と同様に、サブフレーム毎に反転する交流駆動が行われるため、液晶LCMの焼き付きを防止した表示を行うことができる。更に、本実施の形態の画素12Bを用いた液晶表示装置によれば、SM123を構成するインバータINV21及びINV22と、SM124を構成するインバータINV23及びINV24の各駆動力と、スイッチSW21a、SW21b、SW22a及びSW22bを構成する各トランジスタの駆動力をそれぞれ所定の関係に設定したため、安定でかつ正確な階調表示ができる。

【0091】

なお、スイッチSW21a、21b、22a及び22bはPMOSTランジスタにより構成してもよく、その場合は上記の説明とは逆極性として考えればよい。詳細は割愛する。

【0092】

次に、本発明になる液晶表示装置の要部の画素の第3の実施の形態について説明する。図9は、本発明になる液晶表示装置の要部である画素の第3の実施の形態の回路図を示す。同図中、図7と同一構成部分には同一符号を付し、その説明を省略する。

【0093】

図9において、第3の実施の形態の画素12Cは、図1中のレベルシフタ/画素ドライバ163に一端が接続されて列方向（Y方向）に延在する列データ線d1～dnのうちの、任意の1本の列データ線dと、垂直シフトレジスタ14に一端が接続されて行方向（X方向）に延在する任意の1本の行走査線gとの交差部に設けられた画素で、第1のスタティック・ランダム・アクセス・メモリ（SRAM）213と、第2のスタティック・ランダム・アクセス・メモリ（SRAM）214と、液晶表示素子LCとより構成されている。第1のSRAM213は、第1のスイッチング手段を構成するスイッチSW31と、第1の信号保持手段（SM）125とより構成される。また、第2のSRAM214は、第2のスイッチング手段を構成するスイッチSW32と、第2の信号保持手段（SM）126とより構成される。本実施の形態の画素12Cは、前記画素12Bと同様にSRAM2段で構成しているが、SRAM213内のSM125、SRAM214内のSM126への書き込みはそれぞれ1スイッチSW31、SW32で行う点に特徴がある。

【0094】

スイッチSW31は、ゲートが行走査線gに接続され、ドレインが列データ線dに接続され、ソースがSM125の一方の入力端子に接続されているNMOSTランジスタにより構成されている。SM125は、一方の出力端子が他方の入力端子に接続された2つのインバータINV31及びINV32からなる自己保持型メモリである。インバータIN

V 3 1 は、その入力端子がインバータ I N V 3 2 の出力端子と S W 3 1 を構成する N M O S トランジスタのソースに接続されている。インバータ I N V 3 2 は、その入力端子がインバータ I N V 3 1 の出力端子と S W 3 2 を構成する N M O S トランジスタのドレインとに接続されている。インバータ I N V 3 1 及び I N V 3 2 は、いずれも図 3 に示すような公知の C M O S インバータの構成である。

【 0 0 9 5 】

また、スイッチ S W 3 2 は、ゲートがトリガ線 trig に接続され、ドレインが S M 1 2 5 の出力端子に接続され、ソースが S M 1 2 6 の入力端子に接続されている N M O S トランジスタにより構成されている。また、S M 1 2 6 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ I N V 3 3 及び I N V 3 4 からなる自己保持型メモリである。インバータ I N V 3 3 は、その入力端子がインバータ I N V 3 4 の出力端子と反射電極 P E とに接続されている。インバータ I N V 3 4 は、その入力端子がインバータ I N V 3 3 の出力端子と S W 3 2 を構成する N M O S トランジスタのソースとに接続されている。インバータ I N V 3 3 及び I N V 3 4 は、インバータ I N V 3 1 及び I N V 3 2 と同様にいずれも図 3 に示すような公知の C M O S インバータの構成である。

【 0 0 9 6 】

本実施の形態の画素 1 2 C は、図 5 のタイミングチャートと共に説明した動作と同様の動作を行う。画素 1 2 C は行走査信号により選択されると、スイッチ S W 3 1 がオンとされ、その時列データ線 d に出力される正転サブフレームデータが、スイッチ S W 3 1 によりサンプリングされて画素 1 2 C の S M 1 2 5 に書き込まれる。以下、同様にして、画像表示部 1 1 を構成する全ての画素 1 2 C の S M 1 2 5 に正転サブフレームデータの書き込みが行われ、その書き込み動作が終了した後に “ H ” レベルのトリガパルスが画像表示部 1 1 を構成する全ての画素 1 2 C に同時に供給される。これにより、全ての画素 1 2 C のスイッチ S W 3 2 がオンとされるため、S M 1 2 5 に記憶されている正転サブフレームデータがスイッチ S W 3 2 を通して D R A M 1 2 6 に一斉に転送されて保持されると共に、反射電極 P E に印加される。S M 1 2 6 の正転サブフレームデータの保持期間は、次の “ H ” のトリガパルスがトリガ線 trig に入力されるまでの 1 サブフレーム期間である。

【 0 0 9 7 】

続いて、画像表示部 1 1 内の各画素 1 2 C は上記と同様にして行走査信号により行単位で選択されて、各画素毎に直前の正転サブフレームデータと逆論理値の反転サブフレームデータが S M 1 2 5 に書き込まれる。画像表示部 1 1 を構成する全ての画素 1 2 C の S M 1 2 5 への反転サブフレームデータの書き込みが終了すると、“ H ” レベルのトリガパルスが画像表示部 1 1 を構成する全ての画素 1 2 C に同時に供給される。これにより、全ての画素 1 2 C のスイッチ S W 3 2 がオンとされるため、S M 1 2 5 に記憶されている反転サブフレームデータがスイッチ S W 3 2 を通して D R A M 1 2 6 に一斉に転送されて保持されると共に、反射電極 P E に印加される。S M 1 2 6 の反転サブフレームデータの保持期間は、次の “ H ” のトリガパルスがトリガ線 trig に入力されるまでの 1 サブフレーム期間である。

【 0 0 9 8 】

S M 1 2 5 へのデータ書き込みは、上記のように 1 個のスイッチ S W 3 1 からの入力で行われる。この場合、スイッチ S W 3 1 から見て S M 1 2 5 を構成している入力側のインバータ I N V 3 1 内のトランジスタは、スイッチ S W 3 1 から見て S M 1 2 5 を構成している出力側のインバータ I N V 3 2 内のトランジスタに比較して、駆動力の大きいトランジスタを用いている。さらにスイッチ S W 3 1 を構成している N M O S トランジスタの駆動力は、インバータ I N V 3 2 を構成している N M O S トランジスタの駆動力よりも大きいトランジスタで構成されている。これは、前述した画素 1 2 A のインバータ I N V 1 2 1 及び I N V 1 2 2 とスイッチ S W 1 1 との駆動力の関係と同様の理由によるので、その説明は省略する。

【 0 0 9 9 】

また、S M 1 2 6 へのデータ書き込みは 1 個のスイッチ S W 3 2 を通して行われる。こ

10

20

30

40

50

の場合、スイッチSW32から見てSM126を構成している入力側のインバータINV33内のトランジスタは、駆動力が大きいトランジスタを用い、スイッチSW32から見てSM126を構成している出力側のインバータINV34内のトランジスタは、駆動力の小さいトランジスタを用いている。

【0100】

こうすることによって、トリガパルスが“H”レベルとなってスイッチSW32がオンした場合において、SM125とSM126の記憶データが異なる場合、インバータINV31の出力データとインバータINV34の出力データとが衝突することになるが、インバータINV31の駆動力はインバータINV34の駆動力よりも大きいため、SM125のデータがSM126のデータに書き換わることなく、SM126のデータがSM125のデータに書き換えることができる。

10

【0101】

更に、スイッチSW32を構成しているNMOSTランジスタの駆動力は、インバータINV34を構成しているNMOSTランジスタの駆動力よりも大きいトランジスタで構成されている。これは、SM126のデータを書き換える場合、特にSM126のスイッチSW32側の入力側電圧bが“L”レベルで、SM125のデータが“H”レベルの場合、インバータINV33が反転する閾値電圧よりも電圧bを高くする必要があるからである。

【0102】

すなわち、電圧bはインバータINV34を構成するNMOSTランジスタの電流とスイッチSW32の電流との比によって決まる。このとき、スイッチSW32はNMOSTランジスタであるため、VDD側の電圧はNMOSTランジスタの閾値Vthにより入力されず、“H”レベルの電圧はVDDからVth分低い電圧になる。しかも、この電圧ではNMOSTランジスタのVth近辺で駆動することになるため、電流が殆ど流れなくなる。つまり、入力スイッチSW32を導通する電圧bが高くなるほど、スイッチSW32で流す電流は少なくなる。つまり、電圧bがSM126の入力側インバータINV33が“H”レベルに反転する閾値電圧以上に達するためには、スイッチSW32に流れる電流が、インバータINV34を構成するNMOSTランジスタを流れる電流より大きい必要がある。この駆動力の比を考慮して、スイッチSW32のトランジスタサイズと、インバータINV34を構成するNMOSTランジスタのトランジスタサイズを決める必要がある。

20

30

【0103】

全画素12CのSM126にSM125に記憶されていた1ビットのデータが一斉に書き込まれると、トリガパルス線trigのトリガパルスが“L”レベルとなり、スイッチSW23がオフとなる。このため、SM126は書き込んだ1ビットのデータを保持し、任意の時間（ここでは、1サブフレーム期間）、反射電極PEの電位を上記保持データに応じた電位に固定することができる。

【0104】

SM126に書き込まれるデータは、図5(C)に示した1サブフレーム毎に切り替わる正転データと反転データであり、一方、共通電極電位Vcomも図5(D)に示したように、上記の書き込みと同期して1サブフレーム毎に所定電位に交互に切り替わるため、本実施の形態の画素12Cを用いた液晶表示装置によれば、上記の各実施の形態の画素12A又は12Bを用いた液晶表示装置と同様に、サブフレーム毎に反転する交流駆動が行われるため、液晶LCMの焼き付きを防止した表示を行うことができる。更に、本実施の形態の画素12Cを用いた液晶表示装置によれば、SM125を構成するインバータINV31及びINV32と、SM126を構成するインバータINV33及びINV34の各駆動力と、スイッチSW31及びSW32を構成する各トランジスタの駆動力をそれぞれ所定の関係に設定したため、安定でかつ正確な階調表示ができる。

40

【0105】

なお、スイッチSW31及び32はPMOSTランジスタにより構成してもよく、その場合は上記の説明とは逆極性として考えればよい。詳細は割愛する。

50

【 0 1 0 6 】

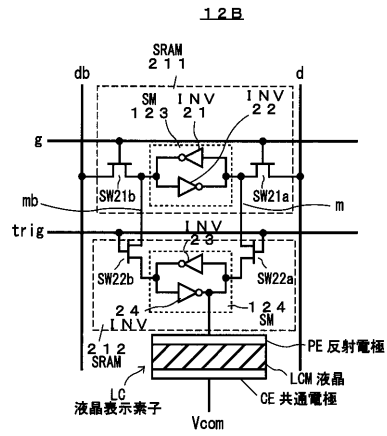
なお、本発明は以上の実施の形態に限定されるものではなく、例えば画素電極は反射電極 P E として説明したが、透過電極であってもよい。

【 符号の説明 】

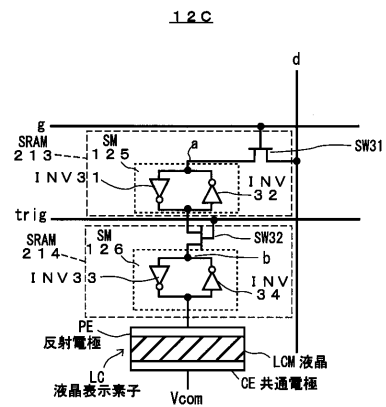
【 0 1 0 7 】

1 0	液晶表示装置	
1 1	画像表示部	
1 2、1 2 A、1 2 B、1 2 C	画素	
1 3	タイミングジェネレータ	
1 4	垂直シフトレジスタ	10
1 5	データラッチ回路	
1 6	水平ドライバ	
1 1 2	容量 C 1 用電極	
1 2 1、1 2 3、1 2 5	第 1 の信号保持手段 (S M)	
1 2 2	第 2 の信号保持手段 (D M)	
1 2 4、1 2 6	第 2 の信号保持手段 (S M)	
2 0 1、2 1 1 ~ 2 1 4	スタティック・ランダム・アクセス・メモリ (S R A M)	
2 0 2	ダイナミック・ランダム・アクセス・メモリ (D R A M)	
1 6 1	水平シフトレジスタ	
1 6 2	ラッチ回路	20
1 6 3	レベルシフタ / 画素ドライバ	
d 1 ~ d n	列データ線	
g 1 ~ g m	行走査線	
trig	トリガ線	
trig b	反転トリガパルス用トリガ線	
L C	液晶表示素子	
L C M	液晶	
P E	反射電極	
C E	共通電極	
C 1	容量	30
I N V 1 1、I N V 1 2、I N V 2 1、I N V 2 2、I N V 3 1、I N V 3 2	インバータ	
T r 1、N T r、N T r 1 2、N T r 2 1、N T r 2 3	Nチャネル M O S 型トランジスタ (N M O S トランジスタ)	
T r 2、P T r、P T r 1 1、P T r 2 1、P T r 2 3	Pチャネル M O S 型トランジスタ (P M O S トランジスタ)	

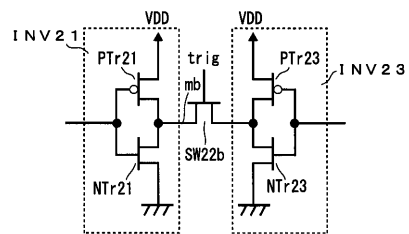
【図 7】



【図 9】



【図 8】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/1343

(56)参考文献 特開平 1 1 - 1 3 4 8 6 5 (J P , A)
特開 2 0 0 1 - 2 0 1 6 9 8 (J P , A)
特開 2 0 0 3 - 1 5 7 0 6 0 (J P , A)
特開 2 0 0 8 - 1 9 7 6 4 7 (J P , A)
特開平 0 9 - 2 1 2 1 4 0 (J P , A)
特開平 0 7 - 2 5 3 7 6 4 (J P , A)
特開平 1 1 - 0 8 4 4 1 9 (J P , A)
特開 2 0 0 1 - 3 0 6 0 3 8 (J P , A)
特開平 1 0 - 2 2 8 0 0 9 (J P , A)
特開 2 0 0 4 - 3 0 9 6 6 9 (J P , A)
特開 2 0 0 9 - 0 9 8 2 3 4 (J P , A)
特表 2 0 0 1 - 5 2 3 8 4 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 3
G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP5733154B2	公开(公告)日	2015-06-10
申请号	JP2011235811	申请日	2011-10-27
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
当前申请(专利权)人(译)	JVC建伍公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G02F1/133 G09G3/36 G09G3/20 G02F1/1368 G02F1/1343		
CPC分类号	G09G5/399 G02F1/1339 G02F1/136213 G02F1/13624 G02F1/136286 G02F1/1368 G09G3/2022 G09G3/3648 G09G3/3659 G09G2300/0814 G09G2300/0857 G09G2300/0861 G09G2310/0286 G09G2310/08 G09G2320/0271		
FI分类号	G02F1/133.550 G09G3/36 G09G3/20.641.E G09G3/20.624.B G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA17 2H092/JA24 2H092/JA46 2H092/JB07 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB41 2H092/JB42 2H092/JB46 2H092/NA25 2H192/AA24 2H192/BC34 2H192/BC35 2H192/BC72 2H192/CB02 2H192/CB12 2H192/CB23 2H192/DA81 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB07 2H193/ZC25 2H193/ZD21 2H193/ZF12 2H193/ZF21 2H193/ZF31 2H193/ZF33 2H193/ZF59 2H193/ZP03 2H193/ZP20 5C006/AA14 5C006/AC25 5C006/AC26 5C006/AC28 5C006/AF43 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BC12 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF46 5C006/FA43 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD22 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
审查员(译)	福村 拓		
其他公开文献	JP2013092714A5 JP2013092714A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够具有比像素更小的像素的液晶显示装置，包括每个像素中的两个SRAM，并且即使在每个像素中使用两个SRAM也能够稳定地操作。溶剂：在像素12A中，要输出到的数据通过开关SW11对数据线d进行采样并将其写入SRAM 121中。将数据写入构成图像显示部分11的所有像素12A中的SRAM 121中。然后，触发脉冲接通所有的开关SW 12。像素12A和SRAM 121中的数据同时传输到构成DRAM 122的电容C1并由其保持，并施加到反射电极PE。由于像素12A包括七个晶体管和一个电容C1，因此像素可以由少量组件构成。另外，通过在元件的高度方向上有效地布置SRAM 121，DRAM 122和反射电极PE来缩小像素尺寸。

