

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5337856号
(P5337856)

(45) 発行日 平成25年11月6日(2013.11.6)

(24) 登録日 平成25年8月9日(2013.8.9)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1345 (2006.01)

G O 2 F 1/1345

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 5 0

G O 9 G 3/36 (2006.01)

G O 9 G 3/36

請求項の数 4 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2011-228144 (P2011-228144)
 (22) 出願日 平成23年10月17日(2011.10.17)
 (62) 分割の表示 特願2005-378506 (P2005-378506)
 の分割
 原出願日 平成17年12月28日(2005.12.28)
 (65) 公開番号 特開2012-73617 (P2012-73617A)
 (43) 公開日 平成24年4月12日(2012.4.12)
 審査請求日 平成23年10月28日(2011.10.28)

(73) 特許権者 507058373
 ティービーオー、ホンコン、ホールディング、リミテッド
 TPO HONG KONG HOLDING LIMITED
 中華人民共和国、ホンコン、シャティン、サイエンス、パーク、イースト、アベニュー、5、フィリップス、エレクトロニクス、ビルディング、フロアー、2
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100103263
 弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその制御方法

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配設され、それぞれ液晶素子を有する画素アレイと、
 前記画素アレイの行単位に設けられ、対となる 2 行間に設けられたゲート線と、
 前記画素アレイの列単位に設けられ、列ごとに反対極性の電圧を供給する複数のソース線と、

前記対となる 2 行間に設けられ、画素の両側のソース線のいずれかを選択する信号を供給する左右選択線と、

直列に接続され、ゲートが前記左右選択線に接続された第 1 の n チャネルトランジスタおよび p チャネルトランジスタ、およびこれらの接続点と液晶素子間に接続され、ゲートが液晶素子に対応するゲート線に接続された第 2 の n チャネルトランジスタとを備え

前記直列接続された n チャネルトランジスタと p チャネルトランジスタは隣接する列の反対導電型トランジスタと直列接続され、これらの接続点とこれら隣接列間に存在するソース線との間に対応する行のゲート線にゲートが接続された n チャネルトランジスタを備えたアクティブマトリクス表示装置。

【請求項 2】

前記ゲート線は水平走査期間ごとに隣接行に活性状態が移動し、前記左右選択線の状態は列走査期間ごとに交番するように制御されるものであることを特徴とする請求項 1 に記載のアクティブマトリクス表示装置。

【請求項 3】

10

20

マトリクス状に配設され、それぞれ液晶素子を有する画素アレイと、
前記画素アレイ全体に設けられた対向電極と、
前記画素アレイの行単位に設けられ、対となる２行間に設けられたゲート線と、
前記画素アレイの列単位に設けられ、列ごとに反対極性の電圧を供給する複数のソース線と、

前記対となる２行間に設けられ、画素の両側のソース線のいずれかを選択する信号を供給する左右選択線と、

直列に接続され、ゲートが前記左右選択線に接続された第１のｎチャネルトランジスタおよびｐチャネルトランジスタ、およびこれらの接続点と液晶素子間に接続され、ゲートが液晶素子に対応するゲート線に接続された第２のｎチャネルトランジスタと、

前記第２のｎチャネルトランジスタと前記液晶表示素子との接続点と前記対向電極間に設けられた補助容量とを備え、

前記直列接続されたｎチャネルトランジスタとｐチャネルトランジスタは隣接する列の反対導電型トランジスタと直列接続され、これらの接続点とこれら隣接列間に存在するソース線との間に対応する行のゲート線にゲートが接続されたｎチャネルトランジスタを備えたアクティブマトリクス表示装置。

【請求項４】

前記ゲート線は水平走査期間ごとに隣接行に活性状態が移動し、前記左右選択線の状態は列走査期間ごとに交番するように制御されるものであることを特徴とする請求項３に記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は液晶表示装置およびその制御方法に関するものである。

【背景技術】

【０００２】

液晶表示装置で表示される画像はフレーム単位で表示が行われる。この場合、フレーム単位で各画素に対しては表示画像の明度や色合いに応じて画素電極と対向電極間で電圧が印加されるが、表示品質を向上させるため、フレーム毎に電圧を反転させる交流駆動制御が行われる。

【０００３】

この交流駆動制御については、従来種々のものが提案されており、フレーム全体の極性をフレーム毎に反転させるフレーム間交流、行または列ごとに反転させる行間交流または列間交流、千鳥配列状の単位で反転させる行列間交流などがある。

【０００４】

一般に書き込み特性は反対極性の場合に必ずしも同じではなく、しかも局所的に書き込み特性にばらつきがある。このため、反転前後のレベルの非対称性が生じてフリッカを発生させるが、行列間交流の場合には、レベル非対称箇所が空間的にばらつくため、フリッカが生じにくく、全体の画質は比較的良好となる。一方、フレーム間交流の場合には、レベル不一致箇所傾向がフレーム全体に現れるため、フリッカが生じやすく、全体の画質に悪影響を与えやすい。行間交流、列間交流の場合にはこれらの中間の画質となる。

【０００５】

一方、フレーム間交流では全画素をフレームごとに同時に反転させれば良いため、その制御がきわめて容易であるのに対し、行列間交流では千鳥状に画素を反転させなければならず、制御は複雑となる。

【０００６】

このことから、同じ画質ならばフリッカが生じにくい方式では制御のためのクロック周波数を下げることができ、低消費電力化を図ることができる。

【０００７】

このため、ドット反転と同様の効果を簡単な制御で行うことが提案されている。

【 0 0 0 8 】

このような例としては特許文献 1（特開 2 0 0 0 - 2 6 7 6 3 4 号公報）に開示されたものがあり、この特許文献 1 には、行選択を行うゲート配線を、列ごとに 2 行間で交互に配線しているものが開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 特開 2 0 0 0 - 2 6 7 6 3 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 1 0 】

しかしながら、特許文献 1 に記載のものは、行選択制御は通常と同様に容易であり、ドット反転と同様の画質を得ることはできるが、ゲート配線を 1 列ごとに 2 行間で蛇行させなければならず、製造上の困難性があるとともに不要な寄生容量が発生しやすいという問題がある。

【 0 0 1 1 】

本発明は、このような従来の問題を解決するためになされたもので、行間あるいは列間反転と同様の制御を行いながら、ドット反転の画質が得られ、かつ製造も容易で、消費電力を低減することのできる液晶表示装置およびその制御方法を提供することを目的とする。

20

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明の第 1 の態様によれば、
マトリクス状に配設され、それぞれ液晶素子を有する画素アレイと、
前記画素アレイの行単位に設けられ、対となる 2 行間に設けられたゲート線と、
前記画素アレイの列単位に設けられ、列ごとに反対極性の電圧を供給する複数のソース線と、

前記対となる 2 行間に設けられ、画素の両側のソース線のいずれかを選択する信号を供給する左右選択線と、

直列に接続され、ゲートが前記左右選択線に接続された第 1 の n チャネルトランジスタおよび p チャネルトランジスタ、およびこれらの接続点と液晶素子間に接続され、ゲートが液晶素子に対応するゲート線に接続された第 2 の n チャネルトランジスタとを備えたアクティブマトリクス型液晶表示装置が提供される。

30

【 0 0 1 3 】

本発明の第 2 の態様によれば、
マトリクス状に配設され、それぞれ液晶素子を有する画素アレイと、
前記画素アレイ全体に設けられた対向電極と、
前記画素アレイの複数の行単位に設けられたゲート線と、
前記画素アレイの複数の列単位に設けられたソース線と、
前記ゲート線にゲートが接続され、前記ゲート線が活性化されたときは前記ソース線のうちの選択されたものから対応する前記液晶素子を電圧を印加する薄膜トランジスタ回路と、

40

前記トランジスタと前記液晶素子との接続点と前記対向電極間に設けられた補助容量と、を備え、

前記薄膜トランジスタ回路は、各画素について対応するソース線と液晶素子間に複数のトランジスタを直列接続して構成されたことを特徴とするアクティブマトリクス型液晶表示装置が提供される。

【 0 0 1 4 】

本発明の第 3 の態様によれば、
マトリクス状に配設され、それぞれ液晶素子を有する画素アレイと、

50

前記画素アレイ全体に設けられた対向電極と、
前記画素アレイの行単位に設けられ、対となる２行間に設けられたゲート線と、
前記画素アレイの列単位に設けられ、列ごとに反対極性の電圧を供給する複数のソース線と、

前記対となる２行間に設けられ、画素の両側のソース線のいずれかを選択する信号を供給する左右選択線と、

直列に接続され、ゲートが前記左右選択線に接続された第１のｎチャネルトランジスタおよびｐチャネルトランジスタ、およびこれらの接続点と液晶素子間に接続され、ゲートが液晶素子に対応するゲート線に接続された第２のｎチャネルトランジスタと、

前記第２のｎチャネルトランジスタと前記液晶表示素子との接続点と前記対向電極間に設けられた補助容量とを備えたアクティブマトリクス型液晶表示装置が提供される。

10

【００１５】

本発明の第４の態様によれば、

マトリクス状に配設され、それぞれ液晶素子を有する画素アレイと、

前記画素アレイの複数の行単位に設けられたゲート線と、

前記画素アレイの複数の列単位に設けられたソース線と、

前記ゲート線にゲートが接続され、前記ゲート線が活性化されたときは前記ソース線のうちの選択されたものから対応する前記液晶素子を電圧を印加する薄膜トランジスタ回路と、

前記薄膜トランジスタ回路と前記液晶表示素子の接続ノードに接続された補助容量と、この補助容量に接続された対向電極とを備え、

20

前記対向電極は、前記液晶素子の書き込み中に前記補助容量により多くの電荷が蓄積され、前記書き込み終了後に前記液晶表示素子の接続ノードの電位の絶対値を増加させるようにその電位が変動されるものであることを特徴とするアクティブマトリクス型表示装置が提供される。

【発明の効果】

【００１６】

本発明の第１の態様では、ゲート線を液晶表示素子に接続するトランジスタを各画素について複数とし、これを選択的に制御することにより、行間交流制御により行列間交流制御と同じ画質を得ることが可能となり、また、同じ画質ならばクロック周波数を低下させることができるため、消費電力を低下させることができる。

30

【００１７】

本発明の第２及び第３の態様では、ソース線の極性を列ごとに交番させておき、複数のトランジスタから成るトランジスタ回路中でゲート線により駆動されるトランジスタを適宜選択することにより、列間交流制御により行列間制御と同じ画質を得ることが可能となり、また、同じ画質ならばクロック周波数を低下させることができるため、消費電力を低下させることができる。

【００１８】

本発明の第４の態様では、薄膜トランジスタ回路と液晶表示素子の接続ノードに接続された補助容量をその対向電極の電位を変動させることにより、液晶素子の書き込み中に補助容量により多くの電荷が蓄積され、書き込み終了後に液晶表示素子の接続ノードの電位の絶対値を増加させるようにその電位を変動させるため、より低い電圧で液晶の書き込みが可能となって消費電力を低下させることができる。

40

【図面の簡単な説明】

【００１９】

【図１】本発明の第１の実施の形態にかかる液晶表示装置の画素部内の制御回路の構成を示す回路図である。

【図２】図１におけるソース線およびゲート線に印加される電圧波形を示す波形図である。

【図３】図２の垂直走査期間後におけるソース線およびゲート線に印加される電圧波形を

50

示す波形図である。

【図４】図１の構成の変形例を示す回路図である。

【図５】図１の構成のさらなる変形例を示す回路図である。

【図６】本発明の第２の実施の形態にかかる液晶表示装置の画素部内の制御回路の構成を示す回路図である。

【図７】図６における左右選択線およびゲート線に印加される電圧波形を示す波形図である。

【図８】図７の垂直走査期間後における左右選択線およびゲート線に印加される電圧波形を示す波形図である。

【図９】図６の構成の変形例を示す回路図である。

10

【図１０】本発明の第３の実施の形態にかかる液晶表示装置の画素部内の制御回路の構成を示す回路図である。

【図１１】図１０におけるゲート線、対向電極、液晶接続ノードにおける電圧変化を示す波形図である。

【図１２】本発明の第４の実施の形態にかかる液晶表示装置の画素部内の制御回路の構成を示す回路図である。

【図１３】対向電極の電位操作により補助容量の充放電を活用する本発明にかかる液晶表示装置の行間交流制御を行う実施例を説明する回路図である。

【図１４】図１３における動作を説明する波形図である。

【図１５】列間交流制御を行う他の実施例を説明する回路図である。

20

【図１６】図１５における動作を説明する波形図である。

【図１７】行列間交流制御を行う他の実施例を説明する回路図である。

【図１８】図１７における動作を説明する波形図である。

【発明を実施するための形態】

【００２０】

以下、図面を参照しながら、本発明の実施の形態のいくつかを詳細に説明する。

【００２１】

図１は本発明の第１の実施の形態にかかる液晶表示装置における画素部内の制御回路の構成を示す回路図である。

【００２２】

30

図１には、４行３列分の制御回路が示され、隣接する２行の間には２本１組のゲート線 $G a N$ と $G b N$ の組および次の $G a N + 1$ と $G b N + 1$ の組が示されている。ここでは、左上の２行２列分の構成につき説明する。

【００２３】

液晶 1_{MN} は n チャネルトランジスタ 3_{MN} およびこれに直列に接続された n チャネルトランジスタ 5_{MN} を介してソース線 $S M$ に接続されており、トランジスタ 3_{MN} のゲートはゲート線 $G a N$ に、トランジスタ 5_{MN} のゲートはゲート線 $G b N$ に接続されている。

【００２４】

次の行の液晶 2_{MN} には n チャネルトランジスタ 4_{MN} およびこれに直列に接続された p チャネルトランジスタ 6_{MN} を介してソース線 $S M$ に接続されており、トランジスタ 4_{MN} のゲートはゲート線 $G a N$ に、トランジスタ 6_{MN} のゲートはゲート線 $G b N$ に接続されている。

40

【００２５】

次の列では、液晶 $1_{(M+1)N}$ は n チャネルトランジスタ $3_{(M+1)N}$ およびこれに直列に接続された p チャネルトランジスタ 5_{MN} を介してソース線 $S M + 1$ に接続されており、トランジスタ $3_{(M+1)N}$ のゲートはゲート線 $G a N$ に、トランジスタ $5_{(M+1)N}$ のゲートはゲート線 $G b N$ に接続されている。

【００２６】

次の行の液晶 $2_{(M+1)N}$ には n チャネルトランジスタ $4_{(M+1)N}$ およびこれに

50

直列に接続された n チャンネルトランジスタ $6_{(M+1)N}$ を介してソース線 S_{M+1} に接続されており、トランジスタ 4_{MN} のゲートはゲート線 G_{aN} に、トランジスタ 6_{MN} のゲートはゲート線 G_{bN} に接続されている。

【0027】

従来の液晶表示装置では、製法上の制約から、 p チャンネルトランジスタが用いられることはなかったが、近年低温ポリシリコン技術が用いられるようになった結果、 p チャンネルトランジスタの形成が可能になったものである。

【0028】

図2および図3はこのような回路においてソース線およびゲート線に印加される電圧波形を示す波形図であり、図3は図2の一垂直走査期間（フィールド期間）後の電圧波形を示す。

10

【0029】

図2および図3に示されるように、ソース電位は一水平走査期間ごとに交番する。まず、図2に示すように、ゲート線 G_{aN} と G_{bN} が共にハイのときは n チャンネルトランジスタ 3_{MN} およびこれに直列に接続された n チャンネルトランジスタ 5_{MN} が導通するため液晶 1_{MN} に正のソース電圧が印加される。このとき隣接列では次の行の液晶 $2_{(M+1)N}$ に正のソース電圧が印加される。

【0030】

次の水平走査期間では、ゲート線 G_{aN} はハイ、ゲート線 G_{bN} はロウとなるため、 n チャンネルトランジスタ 5_{MN} が遮断される一方で p チャンネルトランジスタ 6_{MN} が導通し、液晶 2_{MN} には負のソース電圧が印加される。隣接列では、前の行の液晶 $1_{(M+1)N}$ に負のソース電圧が印加される。

20

【0031】

次の水平走査期間では駆動されるゲート線が次の $G_{a(N+1)}$ と $G_{b(N+1)}$ の組に移行し、以下順次すべてのゲート線で同様の動作が繰り返される。したがって、正のソース電圧が印加される液晶と負のソース電圧が印加される液晶はそれぞれ千鳥配置となる。

【0032】

図3に示す次の垂直走査期間では、ゲート線 G_{b} の電位が反転される。この結果、各液晶に印加される電圧極性は図2の場合とは全く反対になる。

【0033】

30

このように、各画素内で液晶とゲート配線間に2つのトランジスタを直列に配設し、隣接行および列については一方を2つとも n チャンネル、他方を2つのうち一つを p チャンネルとすることにより、複雑なゲート配線や、特殊な液晶の接続を必要とすることなく、行列間交流型の液晶駆動を行うことができる。

【0034】

図4は、図1に示した構成の変形例を示すもので、ゲート線と液晶の間に3つの直列接続されたトランジスタを設けた構成を採用する。すなわち、図1に示した構成に加えて、 n チャンネルトランジスタ 5_{MN} とソース線 S_M との間に n チャンネルトランジスタ 7_{MN} が接続され、 p チャンネルトランジスタ 6_{MN} とソース線 S_M との間に n チャンネルトランジスタ 8_{MN} が接続されている。追加された n チャンネルトランジスタ 7_{MN} および 8_{MN} のゲートは、トランジスタ 3_{MN} およびトランジスタ 4_{MN} のゲートと同様にゲート線 G_{aN} に接続されている。このような構成は隣接列でも同様となっている。

40

【0035】

図4に示した構成では、 p チャンネルトランジスタは安定に形成可能な2つの n チャンネルトランジスタの間に介在するため、誤動作が少ない。

【0036】

図5は図4で追加した2つのトランジスタを1つのトランジスタで兼用させたもので、図4における n チャンネルトランジスタ 7_{MN} は省略され、トランジスタ 5_{MN} もトランジスタ 8_{MN} に直列接続されている。

【0037】

50

この実施例では、図 4 の場合よりもトランジスタの数が一つ少ないにもかかわらず安定動作を期待できる。

【 0 0 3 8 】

以上の実施例は行間交流を例にとって説明したが、列間交流の場合にも可能である。図 6 は列間交流を実現する構成の一例を示す回路図であり、ここでは $(n \sim n + 3)$ 行 $(m \sim m + 2)$ 列の構成が示されているが、特に $(n \sim n + 1)$ 行 $(m \sim m + 1)$ 列について詳細に説明する。

【 0 0 3 9 】

まず m 列 n 行について見ると、ソース線 S_m と次列のソース線 S_{m+1} の間に n チャンネルトランジスタ 12_{mn} および p チャンネルトランジスタ 14_{mn} が直列接続され、これらのゲートは左右選択線 L/R に接続されている。トランジスタ 12_{mn} とトランジスタ 14_{mn} との接続ノードと液晶 11_{mn} 間には n チャンネルトランジスタ 13_{mn} が接続され、そのゲートはゲート線 G_n に接続されている。

10

【 0 0 4 0 】

同じ列の次の行では、ソース線 S_m と次列のソース線 S_{m+1} の間に p チャンネルトランジスタ $12_{m(n+1)}$ および p チャンネルトランジスタ $14_{m(n+1)}$ が直列接続され、これらのゲートは左右選択線 L/R に接続されている。トランジスタ $12_{m(n+1)}$ とトランジスタ $14_{m(n+1)}$ との接続ノードと液晶 $11_{m(n+1)}$ 間には n チャンネルトランジスタ $13_{m(n+1)}$ が接続され、そのゲートはゲート線 G_{n+1} に接続されている。

20

【 0 0 4 1 】

隣接する $m+1$ 列については n 行では、ソース線 S_{m+1} と次列のソース線 S_{m+2} の間に n チャンネルトランジスタ $12_{(m+1)n}$ および p チャンネルトランジスタ $14_{(m+1)n}$ が直列接続され、これらのゲートは左右選択線 L/R に接続されている。トランジスタ $12_{(m+1)n}$ とトランジスタ $14_{(m+1)n}$ との接続ノードと液晶 $11_{(m+1)n}$ 間には n チャンネルトランジスタ $13_{(m+1)n}$ が接続され、そのゲートはゲート線 G_n に接続されている。

【 0 0 4 2 】

同じ列の次の行では、ソース線 S_{m+1} と次列のソース線 S_{m+2} の間に p チャンネルトランジスタ $12_{(m+1)(n+1)}$ および n チャンネルトランジスタ $14_{(m+1)(n+1)}$ が直列接続され、これらのゲートは左右選択線 L/R に接続されている。トランジスタ $12_{(m+1)(n+1)}$ とトランジスタ $14_{(m+1)(n+1)}$ との接続ノードと液晶 $11_{(m+1)(n+1)}$ 間には n チャンネルトランジスタ $13_{(m+1)(n+1)}$ が接続され、そのゲートはゲート線 G_{n+1} に接続されている。

30

【 0 0 4 3 】

次にこの回路の制御につき、図 7 および図 8 を参照して説明する。図 7 はある垂直走査期間、図 8 はその次の垂直走査期間における、左右選択線とゲート線に印加される波形を示す。

【 0 0 4 4 】

左右選択線 L/R は液晶に印加されるソース電圧を液晶の左右いずれのソース線から供給を受けるかを決定する信号を供給する。すでに説明したように、2 つのソース線間に直列接続された n チャンネルトランジスタと p チャンネルトランジスタは行毎に反対位置に配置される。

40

【 0 0 4 5 】

図 7 に示すように、 L/R 線がハイであるときには、 n 行ではトランジスタ 12 がオンとなって左側のソース線と接続されるのに対し、 $n+1$ 行ではトランジスタ 14 がオンとなって右側のソース線と接続される。

【 0 0 4 6 】

左側のソース線 S_m には常に正のソース電位が、右側のソース線 S_{m+1} には常に負のソース電位が与えられたため、液晶 11_{mn} にはゲート線 G_n がハイのときに正のソース電

50

位が印加され、液晶 $1\ 1\ m\ (n + 1)$ にはゲート線 $G\ n + 1$ がハイのときに負のソース電位が印加される。

【 0 0 4 7 】

隣接列について見ると、同様に左側のソース線から電位を供給されるため、液晶 $1\ 1\ m\ (m + 1)\ n$ には負のソース電位が印加され、液晶 $1\ 1\ (m + 1)\ (n + 1)$ には正のソース電位が印加される。

【 0 0 4 8 】

このように水平走査期間の経過とともに、正電位と負電位の液晶が千鳥状に分布することになる。

【 0 0 4 9 】

次に、図 8 に示すように、左右選択線 L / R をロウにすると、 p チャネルトランジスタがオンとなるため、各液晶で接続されるソース線が図 7 の場合とは左右逆になり、液晶に印加される電位の極性は反転する。

【 0 0 5 0 】

このようにして、行間交流の場合と同様に、複雑なゲート配線や、特殊な液晶の接続を必要とすることなく、行列間交流型の液晶駆動を行うことが可能となる。

【 0 0 5 1 】

図 9 は図 6 に示した実施例の変形例であり、基本構成は図トランジスタ $1\ 2$ および $1\ 4$ をソース線に接続せずに共通接続し、その共通接続点とソース線との間に n チャネルトランジスタ $1\ 5$ を接続し、そのゲートをゲート線に接続したものであり、トランジスタ $1\ 5$ 、 $1\ 2$ 、 $1\ 3$ あるいは $1\ 5$ 、 $1\ 4$ 、 $1\ 3$ の 3 つのトランジスタを介する経路で液晶に電圧が印加される。

【 0 0 5 2 】

この実施例では図 6 に示した回路と比べてより誤動作が少なく、リーク電流を減少できることから消費電力をさらに減少させることができる。

【 0 0 5 3 】

図 10 は図 1 に示した実施態様の更なる変形例を示すもので、図 1 において説明した基本の 4 つの画素について示しており、同じ構成要素には同じ参照符号を付けて詳細な説明を省略する。

【 0 0 5 4 】

この実施の形態では、左上の画素では、 n チャネルトランジスタ $3\ M\ N$ と液晶の接続点に接続された補助容量 $9\ M\ N$ が積極的に利用され、この補助容量の他方側は対向電極 $C\ N$ に接続されている。隣接列においても同様に補助容量 $9\ (M + 1)\ N$ は対向電極 $C\ N$ に接続されている。

【 0 0 5 5 】

また、隣接行においても、同様に補助容量 $1\ 0\ M\ N$ および $1\ 0\ (M + 1)\ N$ の他方側も対向電極 $C\ N$ に接続されている。

【 0 0 5 6 】

また、この実施の形態でも図 1 の場合と同様に、ソース線には水平走査期間ごとに反転した電位が与えられる。

【 0 0 5 7 】

図 11 を参照して、図 10 の構成における動作を説明する。

ゲート線 $G\ a$ および $G\ b$ が共にハイである期間に対向電極 $C\ N$ は一旦負側に引き下げられる。液晶と補助容量の接続ノードを P で表すと、最初の水平走査期間に $P\ 1$ ノードにはソース線 $S\ M$ より電圧が供給され、液晶 $1\ M\ N$ への書き込みが行われると共に、補助容量 $9\ M\ N$ も充電される。

【 0 0 5 8 】

次の水平走査期間ではゲート線 $G\ b\ N$ がロウとなることにより、補助容量 $9\ M\ N$ に蓄積された電荷が液晶 $1\ M\ N$ に供給され、 $P\ 1$ ノードの電位はさらに上昇する。この現象はキックバックと称される。一方、隣接列の画素では、ゲート線 $G\ b\ N$ がロウとなって p チャ

10

20

30

40

50

ネルトランジスタ $5_{(M+1)N}$ がオンとなってソース線 G_{bN} より負の電圧が供給され、液晶 $1_{(M+1)N}$ への書き込みが行われるとともに補助容量 $9_{(M+1)N}$ が負側に充電される。

【0059】

この水平走査期間の終了時点で対向電極 C_N の電位はゼロとなるため、 P_1 ノードの電位はピーク値から少し低下したレベルで安定し、 P_2 ノードの電位は書き込み開始時よりもさらに低下したレベルで安定する。このような動作はいわゆる容量性駆動である。

【0060】

垂直走査期間の終了時には P_1 と P_2 は全く逆の動作を行うことになるが、図 11 から明らかなように、正側と負側の書き込み開始時の電圧差に比べて安定時の電圧差が大きく、よりコントラストの高い高品位の画質が得られるとともに、同じ画質ならば、ソース線に供給する電圧の絶対値を下げることができ、低消費電力化も実現できる。

【0061】

なお、この実施の形態においては、容量性駆動を隣接部分で共通に行う点に特徴がある。

【0062】

図 12 は図 6 で説明した実施例の変形例で、図 6 と同じ構成要素には同じ参照番号を付してその説明を省略する。

【0063】

図 6 の構成と異なるところは、ゲート線のレベルに応じてスイッチングされ、左右のソース線のいずれかの電圧を液晶に印加するトランジスタ 1_3 と液晶の接続ノードに一端が接続された補助容量 1_6 を有していることと、ゲート線が設けられている行間部分の次の行間部分に 2 本の対向電極が配設されており、この対向電極に補助容量が接続されている点である。

【0064】

具体的には、 n 行と $n+1$ 行の間にはこれらに対応した 2 本の対向電極 C_n および C_{n+1} が配設されており、対向電極 C_n には補助容量 1_6mn と $1_6m(n+1)$ とが接続され、対向電極 C_{n+1} には補助容量 $(1_6m+1)n$ と $1_6(m+1)(n+1)$ とが接続されている点である。

【0065】

この構成の動作は基本的に図 6 の場合と同様で、容量性駆動を組み合わせることによって、さらに低電力消費での列間交流制御で行列間交流制御の場合と同様の画質を得ることができる。

【0066】

以上説明したような容量性駆動を隣接部分で共通に行うことは、図 1 あるいは図 6 に示した特殊な制御で行列間交流を実現した構成のみでなく、従来通常に行われている行間交流、列間交流、行列間交流の各制御に適用しても消費電力を減少させることが可能となる。

【0067】

図 13 は通常の行間交流制御の場合に適用した実施例を示す回路図である。基本となる 4 つの画素についてのみ説明すると、液晶素子 2_1mn はゲートがゲート線 G_N に接続された n チャネルトランジスタ 2_2mn を介してソース線 S_n されており、トランジスタ 2_2 と液晶素子 2_1 の接続ノードには補助容量 2_3mn が接続され、他端は対向電極 C_N に接続されており、この接続関係はこれに隣接する他の 3 画素でも同じ構成となっている。

【0068】

この実施例では行間交流を行う構成となっており、 n 行の液晶素子がすべて正側に駆動されるとき、 $n+1$ 行の液晶表示素子はすべて負側に駆動される。そして、2 つの行で共通に補助電極に接続された対向電極に対して特殊な駆動を行っている。

【0069】

図 14 はこのような対向電極に対する駆動の様子を示すもので、最初の水平走査期間の

10

20

30

40

50

間、 n 行の液晶素子を正側に駆動するために n 行のトランジスタを導通するようにゲート線 G_N にハイ電圧が供給され、対向電極 C_N では基準レベルよりも引き下げておく。これにより P_1 ノードのレベルが上昇して液晶素子への書き込みが行われると共に補助容量 $23MN$ が充電される。この期間、 $N+1$ 行ではノード P_2 のレベルが低下する。

【0070】

次の水平走査期間では、ゲート線 G_{N+1} にハイ電圧が供給されるが、対向電極 C_N のレベルも正側に反転させる。これにより、 P_1 ノードの電位はさらに上昇すると共に、 P_2 ノードの電位は負側の書き込み電位となり、補助容量 $23M(N+1)$ も負側に充電される。このため、ゲート線 G_{N+1} が基準電位に戻ったときに補助容量 $23M(N+1)$ は P_2 電位をさらに低下させる。

10

【0071】

垂直走査期間経過後ゲート線 G_N 、 G_{N+1} には先に説明したのと同様なハイレベル信号が現れるが、今度は P_2 が正側、 P_1 が負側に駆動される。

【0072】

このように対向電極の電位をゲート線の選択に同期させて振らせることにより、補助容量の充電を利用して液晶駆動ノードの電位を大きく変化させることができ、逆に同じ振幅ならば全体の電位を低下させて消費電力を低下させることができる。

【0073】

図15は列間交流制御に適用した実施例を説明する回路図である。図13の場合との違いは、2行1列ごとに対向電極の制御が分割されている点である。すなわち、図15に示すように、 m 列の n 行および $n+1$ 行の画素部の補助容量 $23mn$ と $23m(n+1)$ は対向電極 C_N に接続され、 $m+1$ 列の n 行および $n+1$ 行の画素部の補助容量 $23(m+1)n$ と $23(m+1)(n+1)$ は対向電極 C_{N+1} に接続されている。

20

【0074】

この構成の動作は図16で説明されており、ゲート線 G_N をハイにすることによりノード P_1 のレベルを上昇させると共にノード P_2 のレベルを低下させることによってそれぞれ液晶素子への書き込みを行い、次の水平走査期間ではゲート線 G_{N+1} をハイにすることによりノード P_3 のレベルを上昇させると共にノード P_4 のレベルを低下させてそれぞれ液晶素子の書き込みを行う。

【0075】

30

この時点で対向電極 C_N の電位を上昇させ、対向電極 C_{N+1} の電位を低下させることにより、すでにハイレベルにあるノード P_1 および P_3 の電位はさらに上昇し、すでにローレベルにあるノード P_2 および P_4 の電位はさらに低下する。

【0076】

垂直走査期間経過後ゲート線 G_N G_{N+1} にハイレベルを与えることにより、列単位で正負を交換する列間交流が実現できる。

【0077】

図17は行列間交流制御に適用した実施例を説明する回路図である。この構成自体は図15と全く同じであるので、詳細な説明は省略する。

【0078】

40

図18はその動作を示す波形図であり、図16の列間交流の場合との相違は、ゲート線の活性化に同期させて対向電極の極性を正負間で交換している点である。これによる液晶素子接続ノードの電位変化は図11で説明したのと全く同じである。

【0079】

以上のように、液晶素子とその選択トランジスタの接続ノードに接続された補助容量を対向電極の電圧制御により充放電させることにより、より低い動作電圧で確実な液晶への書き込みが可能になる。

【0080】

以上の説明した各実施例は限定的なものではなく、本発明の精神を逸脱することなく、当業者が想到できるあらゆる変形例にも適用できるものである。

50

【符号の説明】

【 0 0 8 1 】

1、2、11、21 液晶素子

3、4、5、6、7、8、12、13、14、15、22 トランジスタ

9、16、23 補助容量

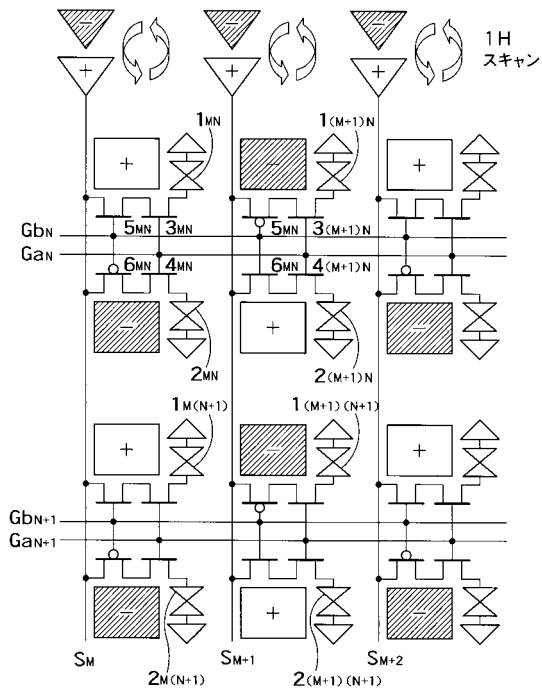
C 対向電極

Ga、Gb ゲート線

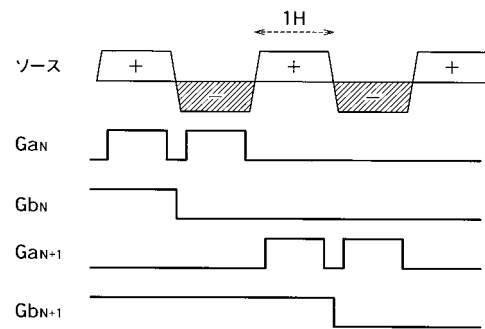
L/R 左右選択線

S ソース線

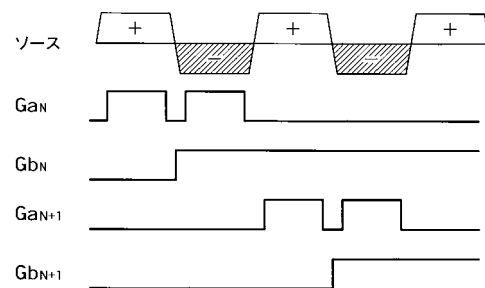
【図 1】



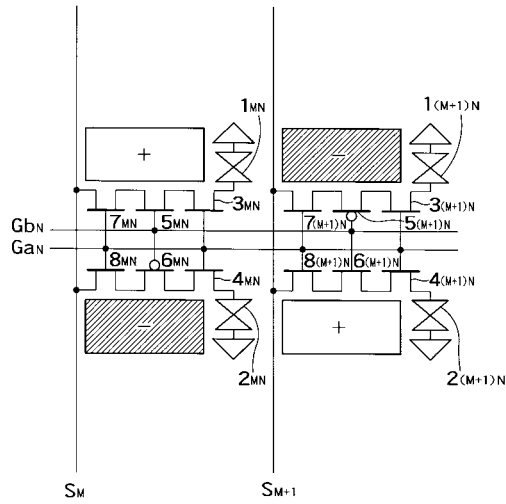
【図 2】



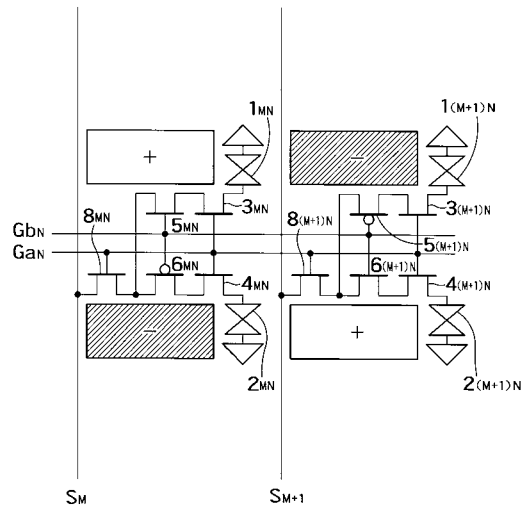
【図 3】



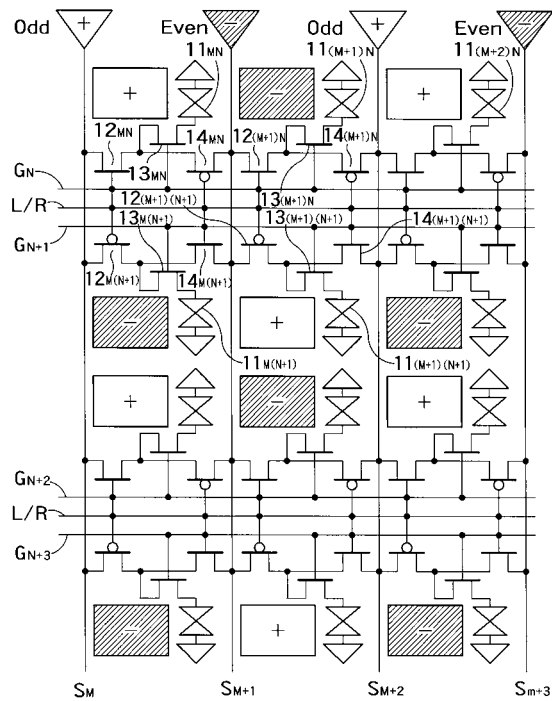
【図 4】



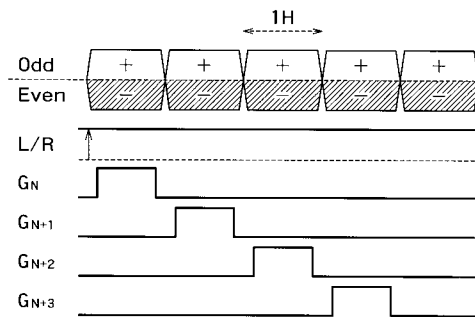
【図 5】



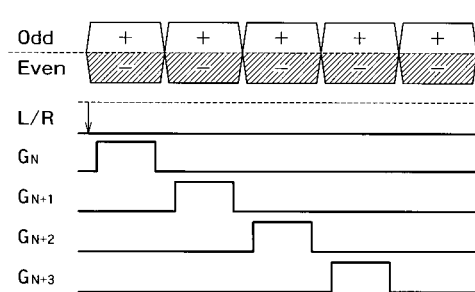
【図 6】



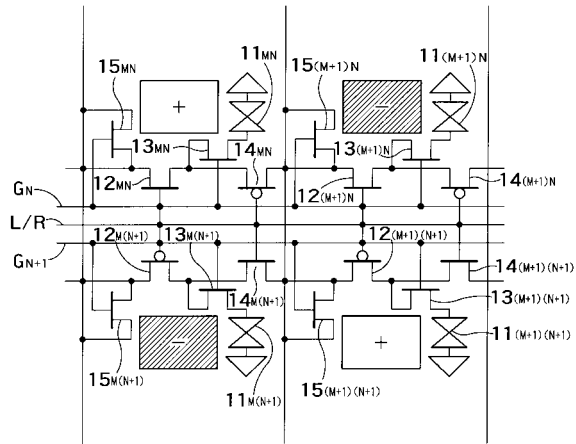
【図 7】



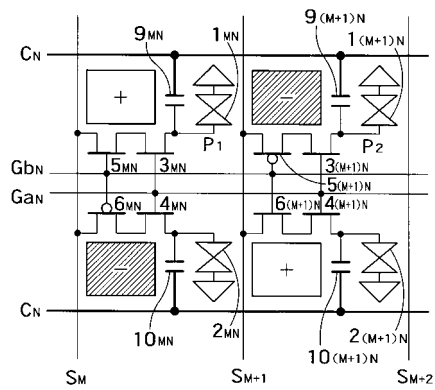
【図 8】



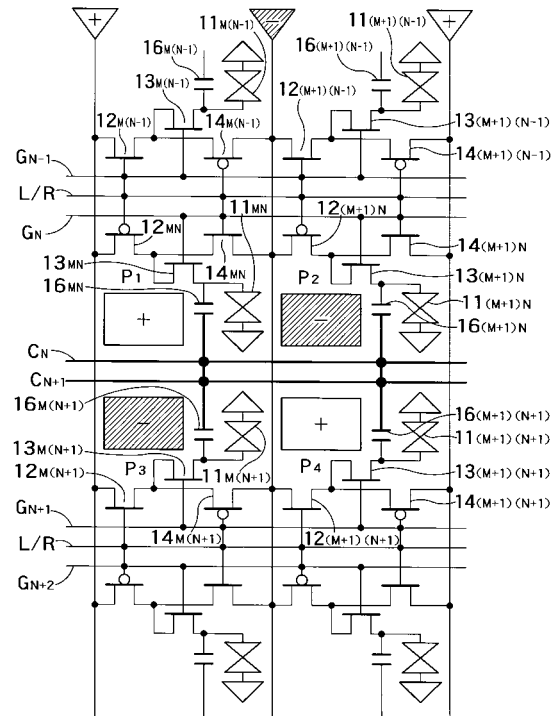
【図 9】



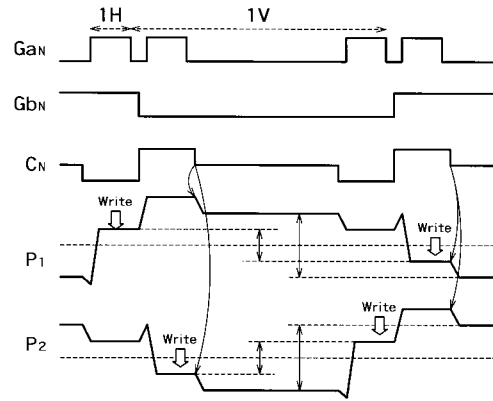
【図 10】



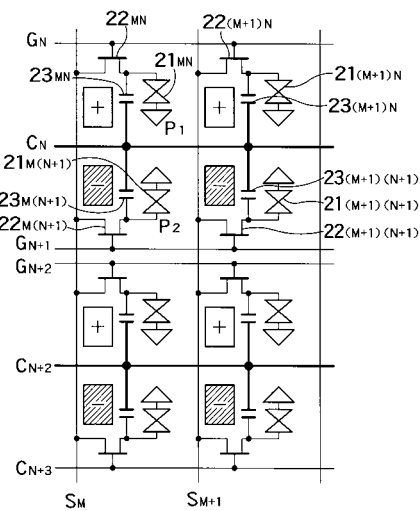
【図 12】



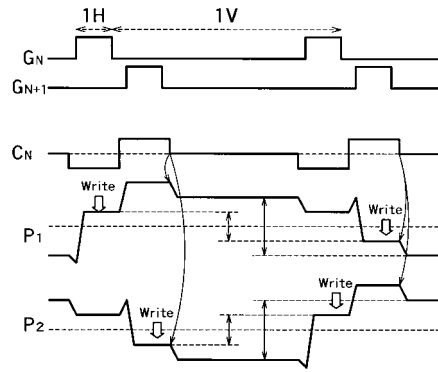
【図 11】



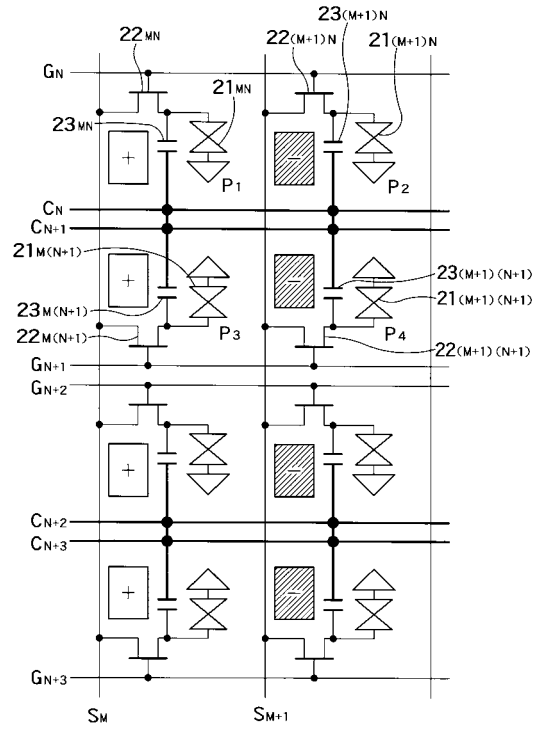
【図 13】



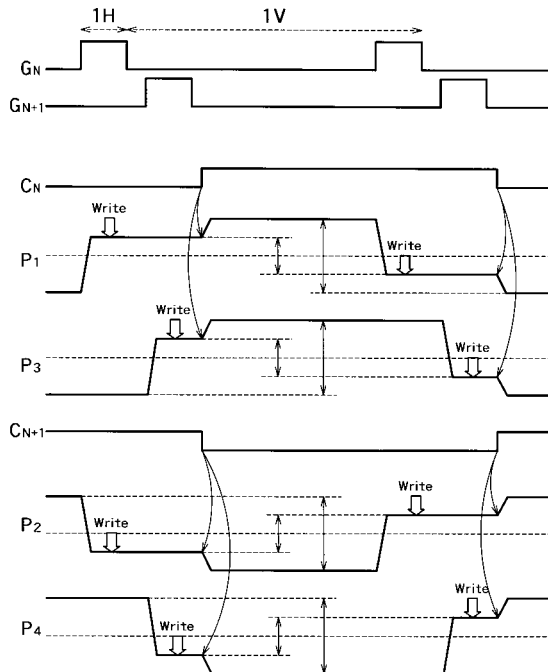
【図 14】



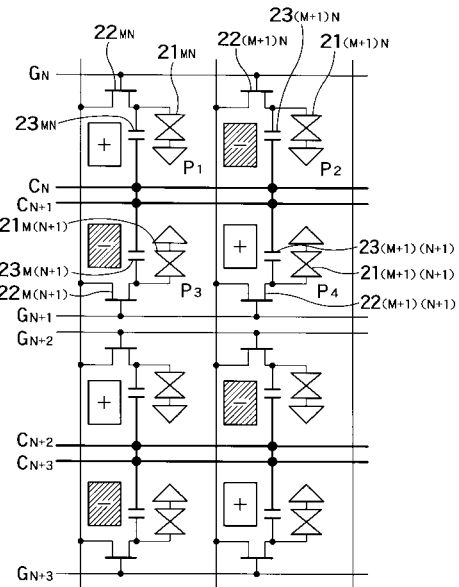
【図 15】



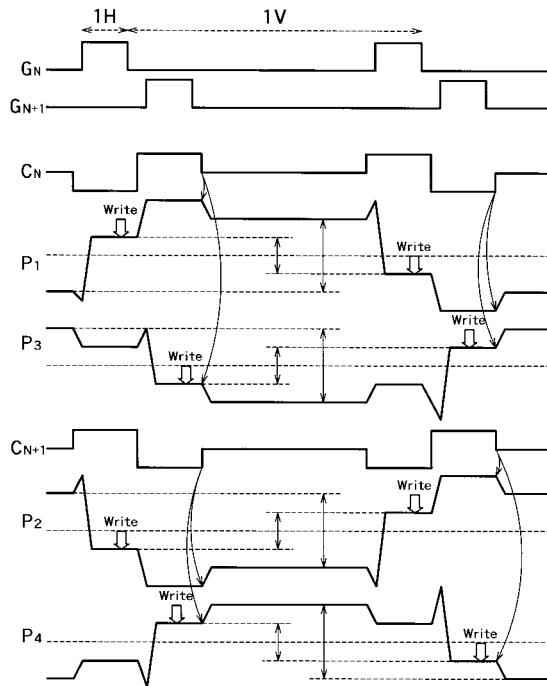
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.			F I		
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/20	6 2 4 B
G 0 9 F	9/30	(2006.01)	G 0 9 G	3/20	6 2 1 B
			G 0 9 G	3/20	6 2 1 M
			G 0 9 G	3/20	6 2 2 D
			G 0 9 G	3/20	6 2 4 E
			G 0 9 G	3/20	6 1 1 H
			G 0 9 G	3/20	6 1 1 E
			G 0 9 G	3/20	6 1 1 A
			G 0 9 G	3/20	6 1 1 J
			G 0 9 F	9/30	3 3 8

(74)代理人 100107582

弁理士 関根 毅

(74)代理人 100118843

弁理士 赤岡 明

(74)代理人 100088889

弁理士 橋谷 英俊

(72)発明者 橋 本 和 幸

東京都港区港南2丁目13番37号 フィリップスビル 株式会社フィリップスエレクトロニクス
ジャパン内

審査官 右田 昌士

(56)参考文献 特開2003-228342(JP,A)
 特開2001-194646(JP,A)
 特開2003-255912(JP,A)
 特開平06-317807(JP,A)
 特表平11-501413(JP,A)
 特開2000-356785(JP,A)
 特開2004-233526(JP,A)
 特開2002-023709(JP,A)
 特開昭61-020091(JP,A)
 特開2000-275609(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 6 8
 G 0 2 F 1 / 1 3 3
 G 0 2 F 1 / 1 3 4 3
 G 0 2 F 1 / 1 3 4 5
 G 0 9 F 9 / 3 0
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 6

专利名称(译)	液晶显示装置及其控制方法		
公开(公告)号	JP5337856B2	公开(公告)日	2013-11-06
申请号	JP2011228144	申请日	2011-10-17
[标]申请(专利权)人(译)	统宝香港控股有限公司		
申请(专利权)人(译)	三通小便哦，香港控股有限公司		
当前申请(专利权)人(译)	三通小便哦，香港控股有限公司		
[标]发明人	橋本和幸		
发明人	橋 本 和 幸		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/133 G09G3/36 G09G3/20 G09F9/30		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.621.M G09G3/20.622.D G09G3/20.624.E G09G3/20.611.H G09G3/20.611.E G09G3/20.611.A G09G3/20.611.J G09F9/30.338		
F-TERM分类号	2H092/GA20 2H092/GA26 2H092/JA24 2H092/JA28 2H092/JB13 2H092/JB23 2H092/JB44 2H092/JB46 2H092/JB69 2H092/KA04 2H092/NA23 2H092/NA26 2H092/NA27 2H092/PA06 2H192/AA24 2H192/CB13 2H192/CB24 2H192/CC24 2H192/DA42 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZA20 2H193/ZB02 2H193/ZB03 2H193/ZB14 2H193/ZC04 2H193/ZC16 2H193/ZC20 2H193/ZC25 2H193/ZD23 2H193/ZF22 2H193/ZF31 2H193/ZP03 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AC24 5C006/AC25 5C006/AC27 5C006/AF42 5C006/AF43 5C006/AF50 5C006/AF51 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC22 5C006/BF24 5C006/EB04 5C006/FA16 5C006/FA20 5C006/FA23 5C006/FA36 5C006/FA37 5C006/FA46 5C006/FA48 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD09 5C080/DD26 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C094/AA02 5C094/AA22 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5C094/FB12 5C094/FB14 5C094/GA10		
代理人(译)	川崎靖		
其他公开文献	JP2012073617A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有低功耗和高图像质量的有源矩阵型液晶显示装置。解决方案：一种液晶显示装置，包括：分别具有液晶元件（1,2,11）的像素阵列；门线（G）；源线（S）；薄膜晶体管电路（3至8,12至15），其中栅极连接到栅极线，并且当栅极线被激活时，电压从源极线中的所选择的源极线施加到相应的液晶元件。并且，通过在对应于每个像素的源极线与液晶元件之间串联连接两个或更多个晶体管来配置薄膜晶体管电路。通过根据像素位置包括p沟道晶体管，通过控制行之间的交流电流或列之间的交流电流来获得与行和列之间的交流电流相同的操作。

【 図 1 】

