

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5322356号
(P5322356)

(45) 発行日 平成25年10月23日(2013.10.23)

(24) 登録日 平成25年7月26日(2013.7.26)

(51) Int.Cl.	F I
GO2F 1/133 (2006.01)	GO2F 1/133 535
GO2F 1/13357 (2006.01)	GO2F 1/13357
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO9G 3/36 (2006.01)	GO9G 3/36
GO9G 3/20 (2006.01)	GO9G 3/20 624B
請求項の数 7 (全 24 頁) 最終頁に続く	

(21) 出願番号	特願2012-78505 (P2012-78505)	(73) 特許権者	000153878
(22) 出願日	平成24年3月30日(2012.3.30)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2007-103396 (P2007-103396) の分割		神奈川県厚木市長谷398番地
原出願日	平成19年4月11日(2007.4.11)	(72) 発明者	木村 肇
(65) 公開番号	特開2012-212140 (P2012-212140A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成24年11月1日(2012.11.1)		半導体エネルギー研究所内
審査請求日	平成24年3月30日(2012.3.30)	(72) 発明者	吉田 泰則
(31) 優先権主張番号	特願2006-112533 (P2006-112533)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成18年4月14日(2006.4.14)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	穴戸 英明
前置審査			神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	梅崎 敦司
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 表示装置、電子機器、テレビジョン装置

(57) 【特許請求の範囲】

【請求項1】

第1の画素と、第2の画素と、第3の画素と、を有する表示装置であって、
 前記第1の画素は、赤色の発光ダイオードと、前記赤色の発光ダイオード上の第1のカラーフィルタと、を有し、
 前記第2の画素は、緑色の発光ダイオードと、前記緑色の発光ダイオード上の第2のカラーフィルタと、を有し、
 前記第3の画素は、青色の発光ダイオードと、前記青色の発光ダイオード上の第3のカラーフィルタと、を有し、
 前記赤色の発光ダイオードは、第1の電極と、第2の電極と、を有し、
 前記緑色の発光ダイオードは、第3の電極と、第4の電極と、を有し、
 前記青色の発光ダイオードは、第5の電極と、第6の電極と、を有し、
 第1の異方性導電粒子は、第1の配線上に設けられ、
 第2の異方性導電粒子は、第7の電極上に設けられ、
 第3の異方性導電粒子は、第2の配線上に設けられ、
 第4の異方性導電粒子は、第8の電極上に設けられ、
 第5の異方性導電粒子は、第3の配線上に設けられ、
 第6の異方性導電粒子は、第9の電極上に設けられ、
 前記第1の電極は、前記第1の異方性導電粒子上に設けられ、
 前記第2の電極は、前記第2の異方性導電粒子上に設けられ、

10

20

前記第 3 の電極は、前記第 3 の異方性導電粒子上に設けられ、
前記第 4 の電極は、前記第 4 の異方性導電粒子上に設けられ、
前記第 5 の電極は、前記第 5 の異方性導電粒子上に設けられ、
前記第 6 の電極は、前記第 6 の異方性導電粒子上に設けられていることを特徴とする表示装置。

【請求項 2】

第 1 の画素と、第 2 の画素と、第 3 の画素と、を有する表示装置であって、
前記第 1 の画素は、赤色の発光ダイオードと、前記赤色の発光ダイオード上の第 1 のカラーフィルタと、を有し、
前記第 2 の画素は、緑色の発光ダイオードと、前記緑色の発光ダイオード上の第 2 のカラーフィルタと、を有し、
前記第 3 の画素は、青色の発光ダイオードと、前記青色の発光ダイオード上の第 3 のカラーフィルタと、を有し、
前記赤色の発光ダイオードは、第 1 の電極と、第 2 の電極と、を有し、
前記緑色の発光ダイオードは、第 3 の電極と、第 4 の電極と、を有し、
前記青色の発光ダイオードは、第 5 の電極と、第 6 の電極と、を有し、
前記第 1 の電極は、第 1 の異方性導電粒子を介して第 1 の配線と電氣的に接続され、
前記第 2 の電極は、第 2 の異方性導電粒子を介して第 7 の電極と電氣的に接続され、
前記第 3 の電極は、第 3 の異方性導電粒子を介して第 2 の配線と電氣的に接続され、
前記第 4 の電極は、第 4 の異方性導電粒子を介して第 8 の電極と電氣的に接続され、
前記第 5 の電極は、第 5 の異方性導電粒子を介して第 3 の配線と電氣的に接続され、
前記第 6 の電極は、第 6 の異方性導電粒子を介して第 9 の電極と電氣的に接続されていることを特徴とする表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、
前記赤色の発光ダイオード、前記緑色の発光ダイオード又は前記青色の発光ダイオードの上且つ前記赤色の発光ダイオード、前記緑色の発光ダイオード又は前記青色の発光ダイオードの下に設けられた絶縁層を有することを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
遮光層を有し、
前記遮光層は、前記赤色の発光ダイオード、前記緑色の発光ダイオード及び前記青色の発光ダイオードと重ならないことを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項に記載の表示装置を有する電子機器。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項に記載の表示装置と、操作キーと、を有する電子機器。

【請求項 7】

請求項 1 乃至請求項 4 のいずれか一項に記載の表示装置を有するテレビジョン装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に液晶を用いて構成される画素とバックライトの構造に関する。

【背景技術】

【0002】

液晶表示装置は、一対の基板間に液晶を挟んだ液晶パネルと、該液晶パネルの背面にバックライトと呼ばれる照明器具を組み合わせて構成されている。液晶パネルは、単純マトリクス方式、薄膜トランジスタ (TFT) を用いたアクティブマトリクス方式の構成が知ら

10

20

30

40

50

れている（例えば、特許文献１を参照）。いずれにしても液晶を挟む電極に印加する電圧を制御して、液晶パネル全面を照明するバックライトの透過光量を調節して画像を表示している。従って、例えば全黒表示の場合でも、バックライトは常時点灯をしており電力を消費し続けるものであった。

【０００３】

それに対し、バックライトに発光ダイオード（ＬＥＤ）を用いるものが提供されている。ＬＥＤは長寿命で、直流低電圧電源で直接駆動できるためインバータが不要であること、また消費電力が少ない等の利点がある。このバックライトは、ＬＥＤの設置位置として直下型とサイドライト型が知られている。直下型は液晶パネルの直下にＬＥＤが配置されており、拡散板等で面が一様に発光するようにしている。また、サイドライト型ではＬＥＤをパネルの側面から発光させ、導光板や拡散板を介して液晶パネルに光を供給しており、直下型と比較して薄型化できる利点がある。

10

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開平９－９０４０４号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

従来の液晶を用いた透過型の表示装置では、液晶背面がバックライトからの光で一様に発光している。そのため、黒を表示しようとしても液晶素子から光が漏れてしまい、完全な黒表現ができずコントラストの悪化につながっている。

20

【０００６】

そこで本発明は、黒を表示しようとしても液晶素子から光が漏れてしまうという課題を克服し、コントラストを向上する表示装置を提供することを目的とする。

【課題を解決するための手段】

【０００７】

本発明は黒の階調を表示するとき、発光素子を消灯することによって、上記課題を解決する。また本発明では、画素ごとに発光素子を設け、表示を行う階調に応じて個別に発光素子の点灯、非点灯を制御する機能も画素回路に設けることによって上記課題を解決する。

30

【０００８】

本発明は、画素に液晶素子と重畳して発光素子が設けられ、発光素子の発光が液晶素子を通過する表示装置である。この表示装置は、アナログ信号に基づく電位が印加されるデータ線に液晶素子が電気的に接続され、データ線の電位と基準電位を比較するコンパレータを有し、発光素子はコンパレータと電気的に接続している。

【０００９】

本発明で提案する表示装置では、正の値及び負の値に変化するアナログ値のデータ信号によって液晶素子を駆動する場合について考える。従来、階調を表現する場合には、液晶素子の特性に合わせて設定したアナログの電位をデータ電位として書き込む駆動方法がある。液晶素子は、画素電極と対向電極間の電位差によって透過光を制御するので、電圧をかける方向は特に関係ない。このため液晶の寿命の問題などから、従来はデータ信号の電圧値を正負に反転させて入力する方法がとられてきた。このとき、同一の階調表示を行うデータ電位は正、負のそれぞれに存在することになる。

40

【００１０】

また、本発明は、上記表示装置を表示部に含むことを特徴とする電子機器である。

【００１１】

なお、本発明において、接続されているとは、電気的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、別の素子やスイッチなど）が配置されていてもよ

50

い。

【0012】

なお、画素に配置するのは、特定の発光素子に限定されない。画素に配置する発光素子の例としては、EL素子（エレクトロルミネッセンス（Electro Luminescence：EL））やフィールドエミッションディスプレイ（FED）で用いる素子、FEDの一種であるSED（Surface-conduction Electron-emitter Display）、プラズマディスプレイパネル（PDP）、圧電セラミックディスプレイなど、どのような発光素子でもよい。

【0013】

なお、トランジスタはその構造上、ソースとドレインの区別が困難である。さらに、回路の動作によっては、電位の高低が入れ替わる場合もある。したがって、本明細書中では、ソースとドレインは特に特定せず、第1端子、第2端子と記述する。例えば、第1端子がソースである場合には、第2端子とはドレインを指し、あるいは第1端子がドレインである場合には、第2端子とはソースを指すものとする。

【0014】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI（Silicon on insulator）基板、ガラス基板などに配置することが出来る。

【0015】

本発明において、コンパレータにはオペアンプまたはチョッパインバータ回路など、コンパレータとしての機能を実現できる回路であれば、用いることができる。

【発明の効果】

【0016】

本発明は、液晶を用いた表示装置で黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。また本発明は、画素ごとにバックライトをそれぞれ配置し、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。さらに、点灯する必要がない部分のバックライトを個別に消灯することができるので、省電力化にも有効である。

【0017】

従来の液晶表示装置では複数の画素に対して、同一のバックライトを発光源として使用しているため、黒表示をするためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合が発生してしまう。それに対し本発明は、各画素に対応してバックライトを設けることにより、黒の階調を表現するときに、バックライトとなる発光素子を消灯することができ、液晶素子の光漏れによるコントラストの低下を防ぐことができる。

【図面の簡単な説明】

【0018】

【図1】本発明において発光素子の点灯する範囲とデータ電位の関係を示す図。

【図2】本発明の表示装置の画素回路の概略を示した回路図。

【図3】本発明の表示装置の画素回路を示した回路図。

【図4】本発明の表示装置の画素回路にあるコンパレータの動作を示した回路図。

【図5】本発明の画素の設定動作のタイミングチャート示す図。

【図6】本発明の表示装置の画素回路の概略を示した回路図。

【図7】本発明の表示装置の画素回路を示した回路図。

10

20

30

40

50

【図 8】本発明の画素の設定動作のタイミングチャート示す図。

【図 9】本発明の表示装置が適用される電子機器の一例を示す図。

【図 10】本発明の表示装置の画素回路の動作を示した図。

【図 11】実施の形態 3 に係る表示装置の構成を示す断面図。

【図 12】実施の形態 3 に係る表示装置の構成を示すブロック図。

【発明を実施するための形態】

【0019】

以下、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

10

【0020】

完全な黒の階調をとるデータ電圧の範囲の上限または下限を基準電位と定め、データ電位と基準電位の比較を行って発光素子の点灯、非点灯を選択する。図 1 (A) (B) に、基準電位の設定方法を図示する。図 1 (A) にはノーマリーホワイトの表示モードを持つ液晶（以下ノーマリーホワイト液晶と記す）における、基準電位の設定方法を示す。ノーマリーホワイトの表示モードとは、液晶素子に電圧をかけない状態で光を透過する偏光状態のことである。液晶素子の階調 101 の中で、負の電圧の領域で完全な黒表示をするデータ電圧の範囲 104 の上限を基準電位 V_{ref1} と定める。また、正の電圧の領域で完全な黒表示をするデータ電圧の範囲 103 の下限を基準電位 V_{ref2} と定める。

20

【0021】

反対にノーマリーブラックの表示モードとは、液晶素子に電圧をかけた状態で光を透過する偏光状態のことである。ノーマリーブラックの表示モードを持つ液晶（以下、ノーマリーブラック液晶と記す）における基準電位の設定方法も同様に図 1 (B) に示す。ノーマリーブラック液晶では、図 1 (B) から分かるように完全な黒表示をするデータ電圧の範囲 106 が 0 V 付近にのみ存在する。液晶素子の階調 101 の中で、完全な黒表示をするデータ電圧の範囲 106 の上限を基準電位 V_{ref1} と定める。また、完全な黒表示をするデータ電圧の範囲 106 の下限を基準電位 V_{ref2} と定める。

30

【0022】

図 1 (A) (B) において、発光素子が点灯するデータ電圧の範囲 105 内に、データ電位が入っているかを判断する回路を画素回路内に設ける必要がある。本発明では、基準電位とデータ電位とを比較する回路を用い、データ電位が V_{ref2} より低い場合、もしくはデータ電位が V_{ref1} より高い場合に発光素子を点灯させる。

【0023】

（実施の形態 1）

図 2 に本発明の表示装置が有する画素の一実施形態の概略を示す。図 2 に示す回路には、データ線 201 及び走査線 202 が配置されている。また液晶素子 204 に書き込みを行うトランジスタ 203 があり、対向電極 205 が配置されている。また、バックライトとして用いられる発光素子 212 と、第 1 のコンパレータ 207 及び第 2 のコンパレータ 209 を有する。また第 1 のコンパレータ 207 にデータ信号を書き込むための第 1 のスイッチ 213 及び第 2 のコンパレータ 209 にデータ信号を書き込むための第 2 のスイッチ 214 を有する。また、第 1 のコンパレータ 207 には、データ電位と比較を行う第 1 の基準電位 206 が入力され、第 2 のコンパレータ 209 には、データ電位と比較を行う第 2 の基準電位 208 が入力される。第 1 のコンパレータ 207 及び第 2 のコンパレータ 209 のどちらのコンパレータから発光素子 212 に出力を行うかを選択する第 3 のスイッチ 210 及び第 4 のスイッチ 211 を有する。

40

【0024】

次に、図 2 に示す回路の接続関係を説明する。データ線 201 はトランジスタ 203 の第

50

1 端子に接続され、トランジスタ 203 の第 2 端子には液晶素子 204 の第 1 の電極が接続されている。トランジスタ 203 のゲート端子には走査線 202 が接続されている。液晶素子 204 の第 2 の電極は対向電極 205 に接続されている。第 1 のコンパレータ 207 の入力第 1 のスイッチ 213 を介してデータ線 201 と接続されている。また、第 1 のコンパレータ 207 の出力は、第 3 のスイッチ 210 を介して発光素子 212 の第 1 の電極に接続されている。また第 2 のコンパレータ 209 の入力第 2 のスイッチ 214 を介してデータ線 201 と接続されている。また第 2 のコンパレータ 209 の出力は、第 4 のスイッチ 211 を介して発光素子 212 の第 1 の電極に接続されている。なお、第 1 のコンパレータ 207 にはデータ電位との比較を行う第 1 の基準電位 206 が印加されている。同様に第 2 のコンパレータ 209 には第 2 の基準電位 208 が印加されている。

10

【0025】

次に回路の動作を簡単に説明する。データ線 201 から液晶素子 204 に書き込まれたデータ電位は第 2 のコンパレータ 209 及び第 1 のコンパレータ 207 に入力される。第 1 のコンパレータ 207 はデータ線から入力されたデータ電位と第 1 の基準電位 206 とを比較する比較器である。また、第 2 のコンパレータ 209 はデータ線から入力されたデータ電位と第 2 の基準電位 208 の電圧を比較する比較器である。

【0026】

第 1 のスイッチ 213 は第 1 のコンパレータ 207 にデータ線 201 から信号の書き込みを行うためのスイッチである。また、第 2 のスイッチ 214 は第 2 のコンパレータ 209 にデータ線 201 から信号の書き込みを行うためのスイッチである。

20

【0027】

第 3 のスイッチ 210 及び第 4 のスイッチ 211 は、第 1 のコンパレータ 207 の出力及び第 2 のコンパレータ 209 の出力のどちらか一方を選択して発光素子 212 に伝送するためのスイッチである。そのため、第 3 のスイッチ 210 と第 4 のスイッチ 211 が同時にオンにならないように動作タイミングを適切に設定する必要がある。

【0028】

図 10 に図 2 で示した回路の動作を示す。図 10 (a) はデータ線 201 から負の電位をコンパレータに取り込む場合の動作を示している。第 1 のスイッチ 213 をオンにしてデータ電位を第 1 のコンパレータ 207 に書き込み、第 1 のコンパレータ 207 でデータ電位と第 1 の基準電位 206 とを比較し、第 3 のスイッチ 210 をオンにして第 1 のコンパレータ 207 の出力を発光素子 212 に出力する。この動作の間には、第 2 のコンパレータ 209 の入出力に接続されている第 2 のスイッチ 214 及び第 4 のスイッチ 211 はオフになっている。図 10 (b) は、データ線 201 から正の電位をコンパレータに取り込む場合の動作を示している。第 2 のスイッチ 214 をオンにしてデータ電位を第 2 のコンパレータ 209 に書き込み、第 2 のコンパレータ 209 でデータ電位と第 2 の基準電位 208 とを比較し、第 4 のスイッチ 211 をオンにして第 2 のコンパレータ 209 の出力を発光素子 212 に出力する。この動作の間には、第 1 のコンパレータ 207 の入出力に接続されている第 1 のスイッチ 213 及び第 3 のスイッチ 210 はオフになっている。

30

【0029】

なお、発光素子 212 は LED であってもよいし、有機 EL 等であってもよい。つまり電圧、電流等によって制御できる発光素子であればよい。

40

【0030】

なお、スイッチは、電氣的スイッチまたは機械的なスイッチを用いることができ、電流の流れを制御できるものであればよい。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD 領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（VS

50

S、GND、0Vなど)に近い状態で動作する場合はNチャネル型を用いることが望ましく、反対にソース端子の電位が、高電位側電源(VDDなど)に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとしてより正確に動作させることができるからである。なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

【0031】

VDDは、高電源電位であり、VSSは、低電源電位であるとする。ここで、高電源電位VDDの電位は、低電源電位VSSの電位より高いとする。

【0032】

図3に図2で示した画素の詳細な回路の一例を示す。図3に示す回路では、コンパレータとしてCMOSチョッパインバータ回路を2つ使用することを特徴としている。すなわち第1のコンパレータ326及び第2のコンパレータ327である。第1のコンパレータ326の内部には、第1の容量素子318、第1のトランジスタ317、第2のトランジスタ319と第3のトランジスタ320により構成された第1のインバータ、及び第4のトランジスタ321と第5のトランジスタ322により構成された第2のインバータを有する。第2のコンパレータ327の内部には、第2の容量素子314と第6のトランジスタ313、及び第7のトランジスタ315と第8のトランジスタ316により構成された第3のインバータを有する。また配線として第1の基準電位線301、第2の基準電位線303及びデータ線302を含む。さらに走査線306、第1のコンパレータ初期化線307及び第2のコンパレータ初期化線305、コンパレータ選択線304、第1のデータ取り込み線331及び第2のデータ取り込み線330を含む。液晶素子310にデータ電圧の書き込みを行う第9のトランジスタ308があり、液晶素子の対向電極311を含む。また第1のコンパレータ326に書き込みを行う第10のトランジスタ312及び第11のトランジスタ329を含む。また第2のコンパレータ327に書き込みを行う第12のトランジスタ309と第13のトランジスタ328を有する。さらに第1のコンパレータ326の出力を発光素子325に伝送する第14のトランジスタ324と、第2のコンパレータ327の出力を発光素子325に伝送する第15のトランジスタ323を含む。なお、第2のトランジスタ319の極性はPチャネル型であり、第3のトランジスタ320の極性はNチャネル型であるとする。また、第4のトランジスタ321の極性はPチャネル型であり、第5のトランジスタ322の極性はNチャネル型であるとする。さらに第7のトランジスタ315の極性はPチャネル型であり、第8のトランジスタ316の極性はNチャネル型であるとする。

【0033】

次に、図3の各部分の接続関係について説明する。データ線302には第9のトランジスタ308の第1端子、及び第13のトランジスタ328の第1端子、第11のトランジスタ329の第1端子が接続される。第9のトランジスタ308の第2端子は液晶素子310の第1の電極と接続され、ゲート端子には走査線306が接続される。液晶素子310の第2の電極には対向電極311が接続されている。第2の基準電位線303には第12のトランジスタ309の第1端子が接続される。第13のトランジスタ328、第12のトランジスタ309の第2端子は第2のコンパレータ327内の第2の容量素子314の第1の電極と接続されている。第13のトランジスタ328のゲート端子は第2のデータ取り込み線330に、第12のトランジスタ309のゲート端子は第2のコンパレータ初期化線305に接続される。第7のトランジスタ315と第8のトランジスタ316はインバータを構成し、第7のトランジスタ315のゲート端子及び第8のトランジスタ316のゲート端子は第2の容量素子314の第2の電極と第6のトランジスタ313の第1端子と接続される。また、第7のトランジスタ315の第2端子と、第8のトランジスタ316の第2端子は、第6のトランジスタ313の第2端子と第15のトランジスタ323の第1端子と接続される。第6のトランジスタ313のゲート端子は第2のコンパレータ初期化線305と接続される。

【0034】

第1の基準電位線301には第10のトランジスタ312の第1端子が接続される。第10のトランジスタ312のゲート端子は第1のコンパレータ初期化線307に接続されている。そして第11のトランジスタ329の第2端子及び、第10のトランジスタ312の第2端子は第1のコンパレータ326内の第1の容量素子318の第1の電極と接続されている。第11のトランジスタ329のゲート端子は第1のデータ取り込み線331に接続される。第2のトランジスタ319と第3のトランジスタ320はインバータを構成し、第2のトランジスタ319のゲート端子及び第3のトランジスタ320のゲート端子は第1の容量素子318の第2の電極と第1のトランジスタ317の第1端子と接続される。また、第2のトランジスタ319の第2端子と、第3のトランジスタ320の第2端子は第1のトランジスタ317の第2端子と、もう一つのインバータを構成する第4のトランジスタ321のゲート端子と、第5のトランジスタ322のゲート端子に接続される。第4のトランジスタ321の第2端子と、第5のトランジスタ322の第2端子は、第14のトランジスタ324の第1端子と接続される。第1のトランジスタ317のゲート端子は第1のコンパレータ初期化線307と接続される。

10

【0035】

第15のトランジスタ323のゲート端子と、第14のトランジスタ324のゲート端子はコンパレータ選択線304に接続される。また、第15のトランジスタ323の第2端子と第14のトランジスタ324の第2端子は、発光素子325の第1の電極と接続される。

【0036】

20

次に、この画素回路の動作について説明する。第1のコンパレータ326は、液晶素子310に負の電圧が印加されたときのデータ線302の電位と第1の基準電位線301の電位 V_{ref1} とを比較するものである。もし、データ線302の電位が V_{ref1} よりも高ければ、電源電圧 VDD を出力し、その逆ならば、0Vを出力する。第2のコンパレータ327は、液晶素子310に正の電圧が印加されたときのデータ線302の電位と第2の基準電位線303の電位 V_{ref2} を比較するものである。もし、データ線302の電位が V_{ref2} よりも低ければ、電源電圧 VDD を出力し、その逆ならば、0Vを出力する。コンパレータ内部での詳細な動作は別に説明する。なお、当実施形態では、コンパレータとして、CMOSチョッパインバータ回路を使用しているが、その機能を実現していればどのような回路でもよい。

30

【0037】

第15のトランジスタ323は第2のコンパレータ327の出力を発光素子325に出力するかを選択するためのスイッチである。また同様に、第14のトランジスタ324は第1のコンパレータ326の出力を発光素子325に出力するかを選択するためのスイッチである。例えばノーマリーホワイト液晶の場合、データ線302の電位が正のときは第15のトランジスタ323をオンにし、データ線302の電位が負のときは第14のトランジスタ324をオンにするような信号をコンパレータ選択線304に与えればよい。またノーマリーブラック液晶の場合には、データ線302の電位が負のときは第15のトランジスタ323をオンにし、データ線302の電位が正のときは第14のトランジスタ324をオンにするような信号をコンパレータ選択線304に与えればよい。コンパレータ選択線304からの信号によって第15のトランジスタ323と第14のトランジスタ324のどちらかのトランジスタをオンにしている期間は、走査線306がアクティブになり、データ電位が画素回路に取り込まれてから、第1のコンパレータ326と第2のコンパレータ327のどちらかのコンパレータが初期化されるまでの間とする。第15のトランジスタ323と第14のトランジスタ324が同時にオンになることがないよう、それぞれのトランジスタの極性（導電型）は異なっている必要がある。各トランジスタの動作タイミングの詳細については後述する。

40

【0038】

第12のトランジスタ309は、第2のコンパレータ初期化線305に信号が入力されるとオンになり、 V_{ref2} を取り込んで初期化を行う。また第10のトランジスタ312

50

は、第1のコンパレータ初期化線307に信号が入力されるとオンになり、第1のコンパレータ326に V_{ref1} を取り込んで初期化を行う。第12のトランジスタ309及び第10のトランジスタ312が同時にオンになることがないように、第1のコンパレータ初期化線307及び第2のコンパレータ初期化線305にそれぞれ入力する信号のタイミングは適切に設定しておく必要がある。

【0039】

第13のトランジスタ328及び第11のトランジスタ329は、初期化されたそれぞれのコンパレータに、液晶素子310に書き込まれるデータ電位を書き込む働きをする。第13のトランジスタ328はデータ電位が正のときに第2のコンパレータ327にデータ電位を書き込み、第11のトランジスタ329はデータ電位が負のときに第1のコンパレータ326にデータ電位を書き込む。第13のトランジスタ328及び第11のトランジスタ329のどちらか一方がオンになるタイミングは、走査線306がアクティブになり液晶素子に書き込みを行う第9のトランジスタ308がオンになるタイミングと同期する必要がある。タイミングの詳細については後述する。

【0040】

図4(A)及び(B)は図3に示した第1のコンパレータ326の動作を説明する図である。図4に示した各素子は図3に示した素子に互に対応している。第1のスイッチ401は第11のトランジスタ329に、第2のスイッチ403は第10のトランジスタ312に、第3のスイッチ405は第1のトランジスタ317の動作を表している。また、基準電位402は V_{ref1} に対応している。第1のインバータ406は第2のトランジスタ319及び第3のトランジスタ320からなるインバータに対応する。また、第2のインバータ407は、第4のトランジスタ321及び第5のトランジスタ322からなるインバータに対応する。また入力電圧 V_{in} はデータ線302からの入力電圧を表している。

【0041】

まず、図4(A)に示すように第2のスイッチ403及び第3のスイッチ405をオンに、第1のスイッチ401はオフのままにして、コンパレータの初期化を行う。このとき、点bには第1のインバータ406の論理閾値(以後 V_{th_inv} と表記する)の電位がかかる。また、基準電位402を V_{ref1} とすると、点aには V_{ref1} がかかる。よって容量404の両電極間には $V_{ref1} - V_{th_inv}$ の電圧が保持される。なお、インバータの論理閾値とは、インバータの入力電圧と出力電圧が等しくなる電圧と定義する。なお、コンパレータを初期化する必要があるのは、インバータを構成するトランジスタのサイズや閾値のばらつきによって、画素ごとにインバータの論理閾値がばらつく可能性があるためである。コンパレータの初期化を行うことによって、画素ごとにインバータの論理閾値がばらつくことによる悪影響を排除することができる。

【0042】

次に、図4(B)に示すように、第2のスイッチ403及び第3のスイッチ405をオフし、第1のスイッチ401はオンにする。このとき、点aの電位は入力電圧 V_{in} 分になる。点bの電位は点aの電位から容量404の両電極間に保持される電圧分だけ降下するので、 $V_{in} - (V_{ref1} - V_{th_inv})$ となり、整理すると式(1)になる。

$$V_{in} + V_{th_inv} - V_{ref1} \quad (1)$$

【0043】

第1のインバータ406の出力である点cの電位(V_c と表記する)は、式1で示した点bの電位(V_b と表記する)と V_{th_inv} の大小によって決まることが分かる。もし、 $V_b > V_{th_inv}$ であるとき、 V_c には0Vが出力される。このとき、第2のインバータ407によってさらに論理が反転するので出力電圧 V_{out} には電源電圧 V_{DD} が出力される。反対に、 $V_b < V_{th_inv}$ であるとき、 V_c には V_{DD} が出力され、第2のインバータ407によってさらに論理が反転するので V_{out} には0Vが出力される。以上より、 $V_{in} > V_{ref1}$ のときは V_{DD} が出力され、 $V_{in} < V_{ref1}$ のときは0Vが出力されることが分かる。

【 0 0 4 4 】

図 4 (C) は、第 2 のコンパレータ 3 2 7 の動作を説明する図である。第 1 のコンパレータ 3 2 6 との違いは、インバータ 4 0 7 が無く、点 c の電位が出力電圧 V_{out} 分の値になったところである。図 4 (C) に示した各素子は図 3 に示した素子に互に対応している。第 1 のスイッチ 4 0 1 は第 1 3 のトランジスタ 3 2 8 の動作、第 2 のスイッチ 4 0 3 は第 1 2 のトランジスタ 3 0 9 の動作、及び第 3 のスイッチ 4 0 5 は第 6 のトランジスタ 3 1 3 の動作を表している。また、基準電位 4 0 2 は V_{ref2} に対応している。インバータ 4 0 6 は第 7 のトランジスタ 3 1 5 及び第 8 のトランジスタ 3 1 6 からなるインバータに対応する。また入力電圧 V_{in} はデータ線 3 0 2 からの入力電圧を表している。

【 0 0 4 5 】

コンパレータの初期化については、図 4 (A) に示したものと同一であるので説明を省略する。ただし、第 2 のコンパレータ 3 2 7 では、基準電位 4 0 2 が第 1 の基準電位線 3 0 1 より入力された電位 V_{ref1} であったのが第 2 の基準電位線 3 0 3 より入力された電位 V_{ref2} に置き換わる。コンパレータが初期化されている場合には、容量 4 0 4 の両電極間には $V_{ref2} - V_{th_inv}$ の電圧が保持されており、 $V_b = V_{th_inv}$ となっている。ここで、図 4 (C) のように第 2 のスイッチ 4 0 3 及び第 3 のスイッチ 4 0 5 をオフに、第 1 のスイッチ 4 0 1 はオンにする。このとき、点 a の電位は入力電圧 V_{in} になり、 V_b は式 (2) で示した値になる。以上より、 $V_{in} > V_{ref2}$ であるときは、 V_{out} に 0 V が出力される。反対に、 $V_{in} < V_{ref2}$ であるときは、 V_{out} に V_{DD} が出力されることが分かる。

$$V_{in} + V_{th_inv} - V_{ref2} \quad (2)$$

【 0 0 4 6 】

図 5 に図 3 で示した回路の各制御信号のタイミングを示す。すなわち、データ線 3 0 2、走査線 3 0 6、第 2 のコンパレータ初期化線 3 0 5、第 1 のコンパレータ初期化線 3 0 7、第 2 のデータ取り込み線 3 3 0、第 1 のデータ取り込み線 3 3 1、コンパレータ選択線 3 0 4 の各信号線について説明する。データ線 3 0 2 の信号は交流になっており、一つの画素に対して書き込まれるデータ信号の電位は、毎回の書き込み動作において、正負の値が反転する。図 5 の期間 b、e では走査線 3 0 6 が高電位になっており、ここで液晶素子に書き込みが行われているが、このときのデータ線 3 0 2 の電位は、期間 b と期間 e では逆になっている。

【 0 0 4 7 】

まず、液晶素子に正の電位をもつデータ信号を書き込む場合について説明する。液晶素子に正の電位をもつデータ信号を書き込む動作は、図 5 の期間 a、期間 b、期間 c で行われる。データ線 3 0 2 から正の電位が書き込まれる場合、第 2 のコンパレータ 3 2 7 の初期化を行うため、その前の期間 a で第 2 のコンパレータ初期化線 3 0 5 を高電位にし、 V_{ref2} を第 2 の容量素子 3 1 4 に印加して第 2 のコンパレータ 3 2 7 の初期化も行っておく。次に、期間 b で第 2 のデータ取り込み線 3 3 0 を高電位にすると、第 1 3 のトランジスタ 3 2 8 がオンになり液晶素子 3 1 0 に書き込まれるデータ電位を第 2 のコンパレータ 3 2 7 に書き込む。さらに期間 c でコンパレータ選択線 3 0 4 を高電位にすることで第 1 5 のトランジスタ 3 2 3 がオンになり、また第 1 4 のトランジスタ 3 2 4 がオフになり、第 2 のコンパレータ 3 2 7 の出力が発光素子 3 2 5 に伝達される。

【 0 0 4 8 】

次に液晶素子に負の電位をもつデータ信号を書き込む場合について説明する。液晶素子に負の電位をもつデータ信号を書き込む動作は、図 5 の期間 d、期間 e、期間 f で行われる。データ線 3 0 2 から負の電位が書き込まれる場合、第 1 のコンパレータ 3 2 6 の初期化を行うため、その前の期間 d で第 1 のコンパレータ初期化線 3 0 7 を高電位にし、 V_{ref1} を容量素子 3 1 8 に印加して第 1 のコンパレータ 3 2 6 の初期化も行っておく。次に、期間 e で第 1 のデータ取り込み線 3 3 1 を高電位にすると、第 1 1 のトランジスタ 3 2 9 がオンになり液晶素子に書き込まれるデータ電位を第 1 のコンパレータ 3 2 6 に書き込む。さらに期間 f でコンパレータ選択線 3 0 4 に低電位にすることで第 1 4 のトランジスタ

10

20

30

40

50

タ 3 2 4 がオンに、また第 1 5 のトランジスタ 3 2 3 がオフになり、第 1 のコンパレータ 3 2 6 の出力が発光素子 3 2 5 に伝達される。

【 0 0 4 9 】

本実施の形態により、液晶を用いた表示装置で黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。また本実施の形態により、画素ごとにバックライトをそれぞれ配置し、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。さらに、点灯する必要がない部分のバックライトを個別に消灯することができるので、省電力化にも有効である。

10

【 0 0 5 0 】

(実施の形態 2)

本実施の形態では、上記実施の形態とは異なる画素回路の構成について説明する。図 6 に、実施の形態 1 におけるコンパレータを 1 つ削減した場合の回路の概略を示す。図 6 に示す回路には、データ線 6 0 1 及び走査線 6 0 2 が配置されている。また液晶素子 6 0 4 に書き込みを行うトランジスタ 6 0 3 があり、対向電極 6 0 5 が配置されている。また、バックライトとして用いられる発光素子 6 1 2 を有する。コンパレータ 6 0 8 にデータ信号を書き込む第 1 のスイッチ 6 1 3 を有する。またデータ電位と比較を行う第 1 の基準電位 6 0 6 と第 2 の基準電位 6 0 7 を有する。また、コンパレータから発光素子に正負どちらの出力を行うか選択する第 2 のスイッチ 6 0 9 及び第 3 のスイッチ 6 1 0 を有する。

20

【 0 0 5 1 】

次に、図 6 に示す回路の接続関係を説明する。データ線 6 0 1 と、トランジスタ 6 0 3 の第 1 端子が接続され、トランジスタ 6 0 3 の第 2 端子には液晶素子 6 0 4 の第 1 の電極が接続されている。トランジスタ 6 0 3 のゲート端子には走査線 6 0 2 が接続されている。データ線 6 0 1 には第 1 のスイッチ 6 1 3 の第 1 端子が接続されている。液晶素子 6 0 4 の第 2 の電極は対向電極 6 0 5 に接続されている。第 1 のスイッチ 6 1 3 の第 2 端子にはコンパレータ 6 0 8 が接続されている。コンパレータ 6 0 8 の出力には第 2 のスイッチ 6 0 9 とインバータ 6 1 1 が接続される。第 2 のスイッチ 6 0 9 を介してコンパレータ 6 0 8 の出力が発光素子 6 1 2 に接続され、第 3 のスイッチ 6 1 0 はインバータ 6 1 1 の出力と発光素子 6 1 2 に接続されている。コンパレータ 6 0 8 はデータ電位との比較を行う第 1 の基準電位 6 0 6 、第 2 の基準電位 6 0 7 が接続されている。

30

【 0 0 5 2 】

次に回路の動作を簡単に説明する。液晶素子 6 0 4 に書き込まれるデータ電位は第 1 のスイッチ 6 1 3 を介してコンパレータ 6 0 8 にも入力される。コンパレータ 6 0 8 はデータ線 6 0 1 から入力されたデータ電位と第 1 の基準電位 6 0 6 もしくは第 2 の基準電位 6 0 7 の電圧を比較する比較器である。ノーマリーホワイト液晶において液晶素子 6 0 4 に負の電圧が印加されたときには、データ線 6 0 1 から入力されたデータ電位の値と第 1 の基準電位 6 0 6 の値を比較する。そのとき、第 3 のスイッチ 6 1 0 をオンにし、インバータ 6 1 1 によって論理が反転したコンパレータ 6 0 8 の出力を発光素子 6 1 2 に伝送する。データ線 6 0 1 の電位が第 1 の基準電位 6 0 6 よりも高ければ、電源電圧 V D D が発光素子 6 1 2 に出力され、データ線 6 0 1 の電位が第 1 の基準電位 6 0 6 よりも低ければ、0 V を出力する。またノーマリーホワイト液晶において液晶素子 6 0 4 に正の電圧が印加されたときのデータ線 6 0 1 の電位と第 2 の基準電位 6 0 7 を比較する。そのときは、第 2 のスイッチ 6 0 9 をオンにしてコンパレータの出力を発光素子 6 1 2 に伝送する。データ線 6 0 1 の電位が第 2 の基準電位 6 0 7 よりも低ければ、電源電圧 V D D が発光素子 6 1 2 に出力され、その逆ならば、0 V を出力する。

40

【 0 0 5 3 】

なお、発光素子 6 1 2 は L E D であってもよいし、有機 E L 等であってもよい。つまり電圧、電流等によって制御できる発光素子であればよい。

【 0 0 5 4 】

50

次に図 7 で、図 6 に示した画素の詳細な回路の一例を示す。図 7 に示す回路には、データ線 702 及び走査線 704 が配置されている。また液晶素子 711 に書き込みを行う第 1 のトランジスタ 709 があり、対向電極 712 が配置されている。図 7 に示す回路では、コンパレータとして CMOS チョッパインバータ回路を 1 つ使用することを特徴としている。すなわちコンパレータ 722 である。コンパレータ 722 の内部には容量素子 726、第 2 のトランジスタ 714、及び第 3 のトランジスタ 715 と第 4 のトランジスタ 716 により構成される第 1 のインバータを含む。また配線として第 1 の基準電位線 701、第 2 の基準電位線 703 及びデータ線 702 を含む。さらに走査線 704、コンパレータ初期化線 705、第 2 の基準電位選択線 706、第 1 の基準電位選択線 707、第 1 の発光素子駆動信号選択線 708、第 2 の発光素子駆動信号選択線 725、及びデータ取り込み線 724 を含む。また、コンパレータ 722 に書き込みを行う第 5 のトランジスタ 710 と、第 6 のトランジスタ 723 及び第 7 のトランジスタ 713 を含み、さらにコンパレータの出力を発光素子に伝送する第 8 のトランジスタ 719、第 9 のトランジスタ 720、及び第 10 のトランジスタ 717 と第 11 のトランジスタ 718 により構成される第 2 のインバータを含む。また、バックライトとして使用する発光素子 721 を含む。なお、第 10 のトランジスタ 717 の極性は P チャンネル型であり、第 11 のトランジスタ 718 の極性は N チャンネル型であるとする。

【0055】

次に、図 7 に示す回路の各部分の接続関係について説明する。データ線 702 には第 1 のトランジスタ 709 の第 1 端子及び第 6 のトランジスタ 723 の第 1 端子が接続されている。第 1 のトランジスタ 709 は、第 2 端子が液晶素子 711 の第 1 の電極と接続され、ゲート端子が走査線 704 が接続される。液晶素子 711 の第 2 の電極は対向電極 712 に接続されている。第 1 の基準電位線 701 には第 7 のトランジスタ 713 の第 1 端子が接続される。また第 2 の基準電位線 703 には第 5 のトランジスタ 710 の第 1 端子が接続される。第 7 のトランジスタ 713 の第 2 端子、及び第 6 のトランジスタ 723 の第 2 端子、及び第 5 のトランジスタ 710 の第 2 端子はコンパレータ 722 内の容量素子 726 の第 1 の電極と接続されている。第 6 のトランジスタ 723 のゲート端子はデータ取り込み線 724 に、第 1 のトランジスタ 709 のゲート端子は走査線 704 に接続される。また、第 5 のトランジスタ 710 のゲート端子は第 2 の基準電位選択線 706 に、第 7 のトランジスタ 713 のゲート端子は第 1 の基準電位選択線 707 に接続される。第 3 のトランジスタ 715 と第 4 のトランジスタ 716 により第 1 のインバータを構成し、これら 2 つのトランジスタのゲート端子は容量素子 726 の第 2 の電極、及び第 2 のトランジスタ 714 の第 1 端子と接続される。また、第 3 のトランジスタ 715 の第 2 端子、及び第 4 のトランジスタ 716 の第 2 端子は、第 2 のトランジスタ 714 の第 2 端子と第 8 のトランジスタ 719 の第 1 端子、及び第 2 のインバータを構成する第 10 のトランジスタ 717 のゲート端子、及び第 11 のトランジスタ 718 のゲート端子と接続される。第 10 のトランジスタ 717 の第 2 端子、及び第 11 のトランジスタ 718 の第 2 端子は、第 9 のトランジスタ 720 に第 1 端子と接続される。第 2 のトランジスタ 714 のゲート端子はコンパレータ初期化線 705 と接続される。第 8 のトランジスタ 719 のゲート端子は第 2 の発光素子駆動信号選択線 725 と接続され、第 9 のトランジスタ 720 のゲート端子は第 1 の発光素子駆動信号選択線 708 と接続される。また、第 8 のトランジスタ 719 の第 2 端子、及び第 9 のトランジスタ 720 の第 2 端子は発光素子 721 の第 1 の電極と接続される。

【0056】

次に図 7 に示す回路の動作を説明する。第 5 のトランジスタ 710 は、第 2 の基準電位選択線 706 が高電位の際にオンとなり第 2 の基準電位線 703 の電位 V_{ref2} をコンパレータ 722 に伝送する。また、第 7 のトランジスタ 713 は、第 1 の基準電位選択線 707 が高電位の際にオンとなり第 1 の基準電位線 701 電位 V_{ref1} をコンパレータ 722 に伝送する。コンパレータ初期化線 705 が高電位の際に第 2 のトランジスタ 714 がオンになりコンパレータ 722 を初期化する。コンパレータ 722 の内部での動

10

20

30

40

50

作はコンパレータ 3 2 6 と同様である。

【 0 0 5 7 】

第 6 のトランジスタ 7 2 3 は、データ取り込み線 7 2 4 が高電位のときに、液晶素子 7 1 1 に書き込まれるデータ電位を、初期化されたコンパレータ 7 2 2 にも書き込む。第 8 のトランジスタ 7 1 9 は、第 2 の発光素子駆動信号選択線 7 2 5 が高電位のときにオンになり、V r e f 2 とデータ線 7 0 2 の電位を比較したときのコンパレータ 7 2 2 の出力を、発光素子 7 2 1 に伝送する。また第 9 のトランジスタ 7 2 0 は、第 1 の発光素子駆動信号選択線 7 0 8 が高電位のときにオンになり、V r e f 1 とデータ線 7 0 2 の電位を比較したときのコンパレータ 7 2 2 の出力を、発光素子 7 2 1 に伝送する。なお、当実施形態では、コンパレータとして、C M O S チョッパインバータ型回路を使用しているが、その機能を実現していればどのような回路でもよい。

10

【 0 0 5 8 】

図 8 に図 7 で示した回路の各制御信号のタイミングを示す。すなわち、データ線 7 0 2 、走査線 7 0 4 、コンパレータ初期化線 7 0 5 、第 2 の基準電位選択線 7 0 6 、第 1 の基準電位選択線 7 0 7 、データ取り込み線 7 2 4 、第 2 の発光素子駆動信号選択線 7 2 5 、第 1 の発光素子駆動信号選択線 7 0 8 の各信号線について説明する。データ線 7 0 2 の信号は交流になっており、一つの画素に対して書き込まれるデータ信号の電位の正負の値が毎回の書き込み動作において反転する。図 8 の期間 b 、 e では走査線 7 0 4 が高電位になっており、ここで液晶素子に書き込みが行われているが、このときのデータ線 7 0 2 の電位は、期間 b と期間 e では逆になっている。

20

【 0 0 5 9 】

まず、液晶素子に正の電位をもつデータ信号を書き込む場合について説明する。液晶素子に正の電位をもつデータ信号を書き込む動作は、図 8 の期間 a 、期間 b 、期間 c で行われる。データ線 7 0 2 から正の電位が書き込まれる場合、コンパレータ 7 2 2 の初期化を行うため、その前の期間 a でコンパレータ初期化線 7 0 5 を高電位にし、コンパレータ 7 2 2 の初期化を行う。また同時に、第 2 の基準電位選択線 7 0 6 を高電位にして、V r e f 2 を容量素子 7 2 6 に印加しておく。次に、期間 b でデータ取り込み線 7 2 4 を高電位にすると、第 6 のトランジスタ 7 2 3 がオンになり液晶素子 7 1 1 に書き込まれるデータ電位をコンパレータ 7 2 2 にも書き込む。さらに期間 c で第 2 の発光素子駆動信号選択線 7 2 5 に高電位にすることで第 8 のトランジスタ 7 1 9 がオンになり、コンパレータ 7 2 2 の出力が発光素子 7 2 1 に伝送される。

30

【 0 0 6 0 】

次に、液晶素子に負の電位をもつデータ信号を書き込む場合について説明する。液晶素子に負の電位を持つデータ信号を書き込む動作は、図 8 の期間 d 、期間 e 、期間 f で行われる。データ線 7 0 2 から負の電位が書き込まれる場合、コンパレータ 7 2 2 の初期化を行うため、その前の期間 d でコンパレータ初期化線 7 0 5 を高電位にし、コンパレータの初期化を行っておく。また同時に、第 1 の基準電位選択線 7 0 7 を高電位にして、V r e f 1 を容量素子 7 2 6 に印加しておく。次に、期間 e でデータ取り込み線 7 2 4 を高電位にすると、第 6 のトランジスタ 7 2 3 がオンになり液晶素子 7 1 1 に書き込まれるデータ電位をコンパレータ 7 2 2 にも書き込む。さらに期間 f で第 1 の発光素子駆動信号選択線 7 0 8 を高電位にすることで第 9 のトランジスタ 7 2 0 がオンになり、第 2 のインバータを形成する第 1 0 のトランジスタ 7 1 7 、及び第 1 1 のトランジスタ 7 1 8 を通してコンパレータ 7 2 2 の出力が発光素子 7 2 1 に伝送される。

40

【 0 0 6 1 】

図 8 の期間 a 、 b 、 d 、 e では第 1 の発光素子駆動信号選択線 7 0 8 、及び第 2 の発光素子駆動信号選択線 7 2 5 の両方が低電位になっているが、これはコンパレータの初期化を行ってから出力が確定するまでに論理が不定の期間があるためである。この期間は発光素子が必ず消灯することになるので、目でそれと認識できないほどの短い時間に抑えることが望ましい。

【 0 0 6 2 】

50

本実施の形態により、液晶を用いた表示装置で黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。また本実施の形態により、画素ごとにバックライトをそれぞれ配置し、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。さらに、点灯する必要がない部分のバックライトを個別に消灯することができるので、省電力化にも有効である。また本実施の形態では、実施の形態１で示した回路よりもコンパレータが一つ少ないことにより、回路を構成するトランジスタ数を削減することができるため、画素の開口率を上げることができるといった利点もある。

【００６３】

（実施の形態３）

図１１（Ａ）に本実施の形態の表示装置の一形態を示す。ガラス基板１１０１上に、下地膜１１１５が形成され、その上に液晶素子駆動トランジスタ１１１３及び発光素子駆動トランジスタ１１１４が形成されている。液晶素子駆動トランジスタ１１１３は第１の不純物領域１１１７ａと第２の不純物領域１１１７ｂを含む。第１の不純物領域１１１７ａと第２の不純物領域１１１７ｂの間には第１のチャネル領域１１１６ａが形成される。第１及び、第２の不純物領域１１１７ａ、１１１７ｂ、及び第１のチャネル領域１１１６ａの上方に、ゲート絶縁膜１１１８が形成され、ゲート絶縁膜１１１８の上方に、第１のゲート電極１１１９ａが形成される。発光素子駆動トランジスタ１１１４も同様に第３の不純物領域１１１７ｃと第４の不純物領域１１１７ｄを含む。第３の不純物領域１１１７ｃと第４の不純物領域１１１７ｄの間には第２のチャネル領域１１１６ｂが形成される。第３及び、第４の不純物領域１１１７ｃ、１１１７ｄ、及び第２のチャネル領域１１１６ｂの上方に、ゲート絶縁膜１１１８が形成され、ゲート絶縁膜１１１８の上方に、第２のゲート電極１１１９ｂが形成される。液晶素子駆動トランジスタ１１１３及び発光素子駆動トランジスタ１１１４の上には第１の層間膜１１０９が形成され、第１の電極１１１１ａ、第２の電極１１１１ｂ、第３の電極１１１１ｃ、第４の電極１１１１ｄ、及び第１の配線１１２０が形成される。第３の電極１１１１ｃと第１の配線１１２０の上に異方性導電粒子１１１２があり、その上に発光ダイオード１１１０が配置される。発光ダイオード１１１０は白色発光ダイオードであれば、カラーフィルタと組み合わせることによりカラー表示を行うことができる。また赤（Ｒ）、緑（Ｇ）、青（Ｂ）に発光する発光ダイオード１１１０を画素毎に設け、カラー表示を行っても良い。この場合もカラーフィルタと組み合わせさせて色純度を向上させても良い。

【００６４】

さらに第１の層間膜１１０９の上に第２の層間膜１１０８が形成される。また、第２の層間膜１１０８の上に画素電極１１０７が形成され、その上に液晶層１３０６がある。液晶層１３０６の上には配向膜１１２１があり、その上に対向電極１１０５が形成され、その上には、遮光層１１０３及びカラーフィルタ１１０４がある。遮光層１１０３及びカラーフィルタ１１０４の上には、対向基板側のガラス基板１１０２がある。液晶層１３０６は高分子分散型液晶を用いることが好ましい。図１１（Ｂ）に示すように、高分子分散型液晶は、液晶１３２２を高分子１３２１中に分散させたものである。図１１（Ｃ）で示すように微小粒子化された液晶１３２２を高分子１３２１中に分散させることで電場を印加した場合、液晶の配向が高分子１３２１内で行われ、配向膜が不要となる。また偏光板も必要がないので光量の吸収が大幅に減少し、明るい画面が得られる。

【００６５】

次に、図１１の各部の接続関係を示す。液晶素子駆動トランジスタ１１１３の第１の不純物領域１１１７ａは第１の電極１１１１ａに接続され、第２の不純物領域１１１７ｂは第２の電極１１１１ｂに接続されている。また第２の電極１１１１ｂは画素電極１１０７に接続されている。発光素子駆動トランジスタ１１１４の第３の不純物領域１１１７ｃは第３の電極１１１１ｃに接続され、第４の不純物領域１１１７ｄは第４の電極１１１１ｄに接続されている。第３の電極１１１１ｃは異方性導電粒子１１１２を介して発光ダイオード

10

20

30

40

50

ド 1 1 1 0 の第 1 の電極 1 1 2 2 に接続されている。発光ダイオード 1 1 1 0 の第 2 の電極 1 1 2 3 は異方性導電粒子 1 1 1 2 を介して第 1 の配線 1 1 2 0 に接続される。なお、異方性導電粒子 1 1 1 2 は電氣的に接続を行うものであれば、半田など他の物質でもよく、異方性導電粒子だけに限定されない。

【 0 0 6 6 】

図 1 2 に本実施の形態の表示装置のブロック図を示す。図 1 2 に示した表示装置は、基板 1 2 0 0 上に発光素子を備えた画素を複数有する画素部 1 2 0 1 と、各画素を選択する走査線駆動回路 1 2 0 2 と、選択された画素へのデータ信号の入力を制御するデータ線駆動回路 1 2 0 3 と、各画素内のコンパレータを制御するコンパレータ駆動回路 1 2 0 4 とを有する。

10

【 0 0 6 7 】

本実施の形態の表示装置によれば、液晶を用いた表示装置で黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。また、画素ごとにバックライトをそれぞれ配置し、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。さらに、点灯する必要がない部分のバックライトを個別に消灯することができるので、省電力化にも有効である。

【 0 0 6 8 】

(実施の形態 4)

20

本発明の表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機、電子書籍等)、記憶媒体を備えた画像再生装置(具体的には Digital Versatile Disc (DVD) 等の記憶媒体を再生し、その画像を表示しうるディスプレイを備えた装置)等が挙げられる。それらの電子機器の具体例を図 9 に示す。

【 0 0 6 9 】

図 9 (A) はテレビジョン装置であり、筐体 9 0 1、支持台 9 0 2、表示部 9 0 3、スピーカー部 9 0 4、ビデオ入力端子 9 0 5 等を含む。本発明は、表示部 9 0 3 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。このテレビジョン装置は、テレビジョン放送の視聴はもとより、ビデオゲーム機、コンピュータ等のモニタとして使用することもできる。

30

【 0 0 7 0 】

図 9 (B) はデジタルスチルカメラであり、本体 9 0 6、表示部 9 0 7、受像部 9 0 8、操作キー 9 0 9、外部接続ポート 9 1 0、シャッターボタン 9 1 1 等を含む。本発明は、表示部 9 0 7 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

【 0 0 7 1 】

図 9 (C) はノート型パーソナルコンピュータであり、本体 9 1 2、筐体 9 1 3、表示部 9 1 4、キーボード 9 1 5、外部接続ポート 9 1 6、ポインティングデバイス 9 1 7 等を含む。本発明は、表示部 9 1 4 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

40

【 0 0 7 2 】

図 9 (D) はモバイルコンピュータであり、本体 9 1 8、表示部 9 1 9、スイッチ 9 2 0、操作キー 9 2 1、赤外線ポート 9 2 2 等を含む。本発明は、表示部 9 1 9 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

【 0 0 7 3 】

図 9 (E) は記憶媒体装置を備えた携帯型の画像再生装置(具体的には DVD 再生装置)

50

であり、本体 9 2 3、筐体 9 2 4、表示部 A 9 2 5、表示部 B 9 2 6、記憶媒体（DVD 等）読み込み部 9 2 7、操作キー 9 2 8、スピーカー部 9 2 9 等を含む。表示部 A 9 2 5 は主に画像情報を表示し、表示部 B 9 2 6 は主に文字情報を表示する。本発明は、表示部 A、B 9 2 5、9 2 6 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0074】

図 9（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 9 3 0、表示部 9 3 1、アーム部 9 3 2 等を含む。本発明は、表示部 9 3 1 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

10

【0075】

図 9（G）はビデオカメラであり、本体 9 3 3、表示部 9 3 4、筐体 9 3 5、外部接続ポート 9 3 6、リモコン受信部 9 3 7、受像部 9 3 8、バッテリー 9 3 9、音声入力部 9 4 0、操作キー 9 4 1 等を含む。本発明は、表示部 9 3 4 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

【0076】

図 9（H）は携帯電話であり、本体 9 4 2、筐体 9 4 3、表示部 9 4 4、音声入力部 9 4 5、音声出力部 9 4 6、操作キー 9 4 7、外部接続ポート 9 4 8、アンテナ 9 4 9 等を含む。本発明は、表示部 9 4 4 を構成する表示装置に用いることができる。なお、表示部 9 4 4 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明によりコントラストが向上した画像を見ることができるようになる。

20

【0077】

なお、発光輝度が高い発光材料を用いれば、出力した画像情報を含む光をレンズ等で拡大投影するフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0078】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

30

【0079】

本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施の形態の電子機器は、実施の形態 1 及び実施の形態 2 に示したいずれの構成の表示装置を用いてもよい。

【0080】

（付記）以上説明したように、本発明は以下の態様を含む。

【0081】

本発明の一は、発光素子と、発光素子に重畳して設けられた液晶素子と、を有する画素部と、液晶素子に接続され、アナログ信号に基づく電位が印加されるデータ線と、データ線及び発光素子に接続されたコンパレータと、を有することを特徴とする表示装置である。本発明により液晶を用いた表示装置において、黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。

40

【0082】

本発明の一は、発光素子及び発光素子に重畳して設けられた液晶素子と、を有する画素部と、液晶素子に接続され、アナログ信号に基づく電位が印加されるデータ線と、データ線及び発光素子に接続された第 1 のコンパレータと、データ線及び発光素子に接続された第 2 のコンパレータと、データ線及び第 1 のコンパレータに接続された第 1 のスイッチと、データ線及び第 2 のコンパレータに接続された第 2 のスイッチと、を有することを特徴とする表示装置である。本発明により液晶を用いた表示装置において、黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができ

50

るとともに、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。

【 0 0 8 3 】

本発明の一は、発光素子及び発光素子に重畳して設けられた液晶素子と、を有する画素部と、液晶素子に接続されアナログ信号に基づく電位が印加されるデータ線と、データ線及び発光素子と接続されたコンパレータと、を有する表示装置であって、コンパレータにおいてデータ線の電位と基準電位とを比較し、コンパレータによる比較結果に従って発光素子の発光を制御することを特徴とする表示装置の駆動方法である。本発明により液晶を用いた表示装置において、黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。

10

【 0 0 8 4 】

本発明の一は、発光素子及び発光素子に重畳して設けられた液晶素子と、を有する画素部と、液晶素子に接続され、アナログ信号に基づく電位が印加されるデータ線と、データ線及び発光素子に接続された第1のコンパレータ及び第2のコンパレータと、データ線及び第1のコンパレータに接続された第1のスイッチと、データ線及び第2のコンパレータに接続された第2のスイッチと、を有する表示装置であって、データ線の電位が負の値のときに第1のスイッチをオンすることにより、第1のコンパレータにおいてデータ線の電位と第1の基準電位とを比較し、データ線の電位が正の値のときに第2のスイッチをオンすることにより、第2のコンパレータにおいてデータ線の電位と第2の基準電位とを比較し、第1のコンパレータによる比較結果、又は第2のコンパレータによる比較結果に従って発光素子の発光を制御することを特徴とする表示装置の駆動方法である。本発明により液晶を用いた表示装置において、黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができるとともに、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。

20

【 符号の説明 】

【 0 0 8 5 】

- 1 0 1 液晶素子の階調
- 1 0 3 データ電圧の範囲
- 1 0 4 データ電圧の範囲
- 1 0 5 データ電圧の範囲
- 1 0 6 データ電圧の範囲
- 2 0 1 データ線
- 2 0 2 走査線
- 2 0 3 トランジスタ
- 2 0 4 液晶素子
- 2 0 5 対向電極
- 2 0 6 基準電位
- 2 0 7 コンパレータ
- 2 0 8 基準電位
- 2 0 9 コンパレータ
- 2 1 0 スイッチ
- 2 1 1 スイッチ
- 2 1 2 発光素子
- 2 1 3 スイッチ
- 2 1 4 スイッチ
- 3 0 1 第1の基準電位線
- 3 0 2 データ線

30

40

50

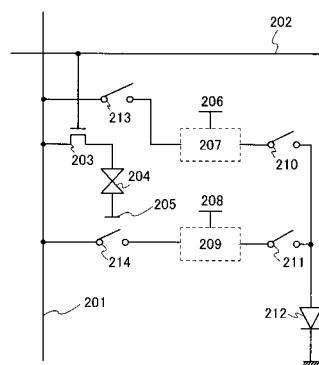
3 0 3	第 2 の基準電位線	
3 0 4	コンパレータ選択線	
3 0 5	コンパレータ初期化線	
3 0 6	走査線	
3 0 7	コンパレータ初期化線	
3 0 8	トランジスタ	
3 0 9	トランジスタ	
3 1 0	液晶素子	
3 1 1	対向電極	
3 1 2	トランジスタ	10
3 1 3	トランジスタ	
3 1 4	容量素子	
3 1 5	トランジスタ	
3 1 6	トランジスタ	
3 1 7	トランジスタ	
3 1 8	容量素子	
3 1 9	トランジスタ	
3 2 0	トランジスタ	
3 2 1	トランジスタ	
3 2 2	トランジスタ	20
3 2 3	トランジスタ	
3 2 4	トランジスタ	
3 2 5	発光素子	
3 2 6	コンパレータ	
3 2 7	コンパレータ	
3 2 8	トランジスタ	
3 2 9	トランジスタ	
3 3 0	データ取り込み線	
3 3 1	データ取り込み線	
4 0 1	スイッチ	30
4 0 2	基準電位	
4 0 3	スイッチ	
4 0 4	容量	
4 0 5	スイッチ	
4 0 6	インバータ	
4 0 7	インバータ	
6 0 1	データ線	
6 0 2	走査線	
6 0 3	トランジスタ	
6 0 4	液晶素子	40
6 0 5	対向電極	
6 0 6	基準電位	
6 0 7	基準電位	
6 0 8	コンパレータ	
6 0 9	スイッチ	
6 1 0	スイッチ	
6 1 1	インバータ	
6 1 2	発光素子	
6 1 3	スイッチ	
7 0 1	第 1 の基準電位線	50

7 0 2	データ線	
7 0 3	第 2 の基準電位線	
7 0 4	走査線	
7 0 5	コンパレータ初期化線	
7 0 6	第 2 の基準電位選択線	
7 0 7	第 1 の基準電位選択線	
7 0 8	第 1 の発光素子駆動信号選択線	
7 0 9	トランジスタ	
7 1 0	トランジスタ	
7 1 1	液晶素子	10
7 1 2	対向電極	
7 1 3	トランジスタ	
7 1 4	トランジスタ	
7 1 5	トランジスタ	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	トランジスタ	
7 1 9	トランジスタ	
7 2 0	トランジスタ	
7 2 1	発光素子	20
7 2 2	コンパレータ	
7 2 3	トランジスタ	
7 2 4	データ取り込み線	
7 2 5	第 2 の発光素子駆動信号選択線	
7 2 6	容量素子	
9 0 1	筐体	
9 0 2	支持台	
9 0 3	表示部	
9 0 4	スピーカー部	
9 0 5	ビデオ入力端子	30
9 0 6	本体	
9 0 7	表示部	
9 0 8	受像部	
9 0 9	操作キー	
9 1 0	外部接続ポート	
9 1 1	シャッターボタン	
9 1 2	本体	
9 1 3	筐体	
9 1 4	表示部	
9 1 5	キーボード	40
9 1 6	外部接続ポート	
9 1 7	ポインティングデバイス	
9 1 8	本体	
9 1 9	表示部	
9 2 0	スイッチ	
9 2 1	操作キー	
9 2 2	赤外線ポート	
9 2 3	本体	
9 2 4	筐体	
9 2 5	表示部 A	50

9 2 6	表示部 B	
9 2 7	読み込み部	
9 2 8	操作キー	
9 2 9	スピーカ部	
9 3 0	本体	
9 3 1	表示部	
9 3 2	アーム部	
9 3 3	本体	
9 3 4	表示部	
9 3 5	筐体	10
9 3 6	外部接続ポート	
9 3 7	リモコン受信部	
9 3 8	受像部	
9 3 9	バッテリー	
9 4 0	音声入力部	
9 4 1	操作キー	
9 4 2	本体	
9 4 3	筐体	
9 4 4	表示部	
9 4 5	音声入力部	20
9 4 6	音声出力部	
9 4 7	操作キー	
9 4 8	外部接続ポート	
9 4 9	アンテナ	
1 1 0 1	ガラス基板	
1 1 0 2	ガラス基板	
1 1 0 3	遮光層	
1 1 0 4	カラーフィルタ	
1 1 0 5	対向電極	
1 3 0 6	液晶層	30
1 1 0 7	画素電極	
1 1 0 8	層間膜	
1 1 0 9	層間膜	
1 1 1 0	発光ダイオード	
1 1 1 2	異方性導電粒子	
1 1 1 3	液晶素子駆動トランジスタ	
1 1 1 4	発光素子駆動トランジスタ	
1 1 1 5	下地膜	
1 1 1 8	ゲート絶縁膜	
1 1 2 0	配線	40
1 1 2 1	配向膜	
1 1 2 2	第 1 の電極	
1 1 2 3	第 2 の電極	
1 2 0 0	基板	
1 2 0 1	画素部	
1 2 0 2	走査線駆動回路	
1 2 0 3	データ線駆動回路	
1 2 0 4	コンパレータ駆動回路	
1 1 1 1 a	第 1 の電極	
1 1 1 1 b	第 2 の電極	50

10

【圖 2】



(B) データ電位

ノーマリーブラック液晶

105

101

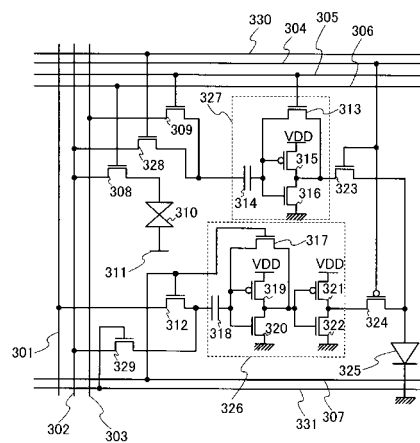
Vref1

0

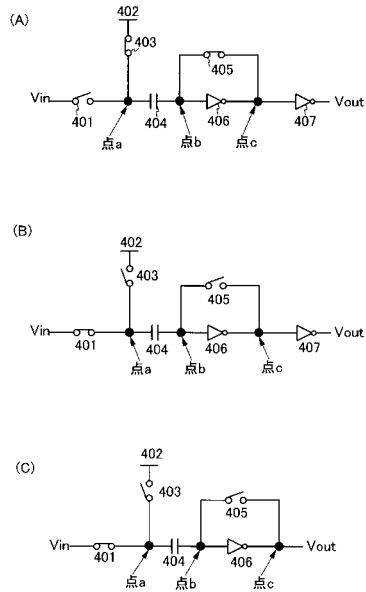
Vref2

106

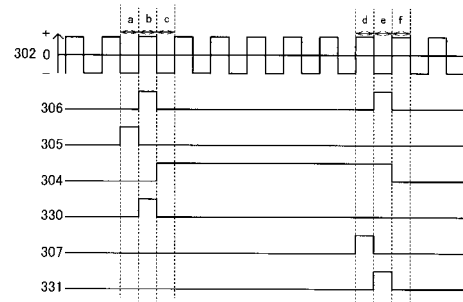
105



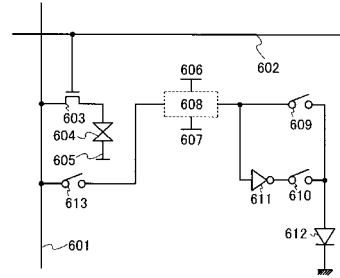
【図 4】



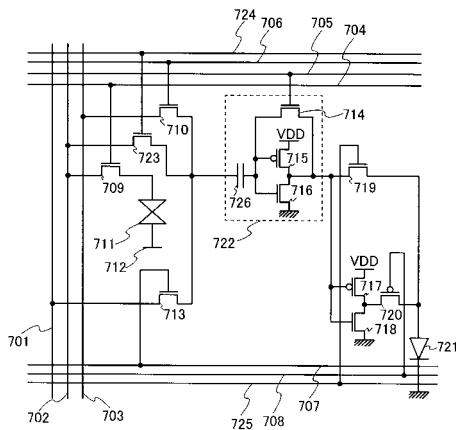
【図 5】



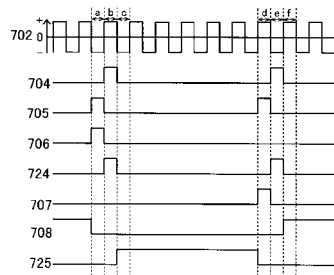
【図 6】



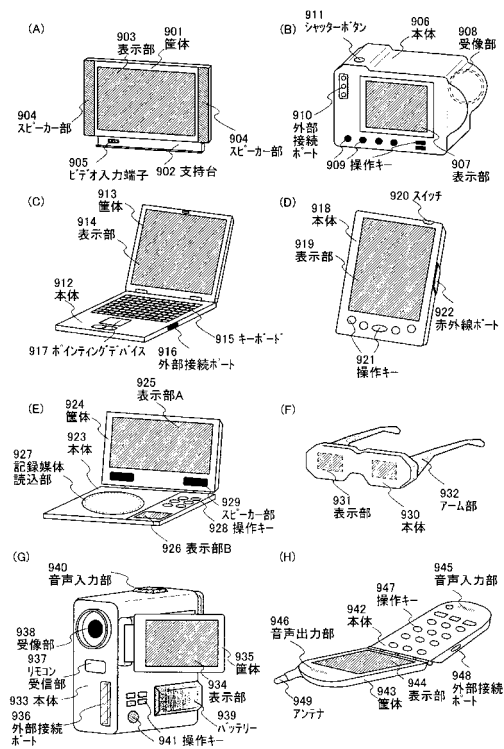
【図 7】



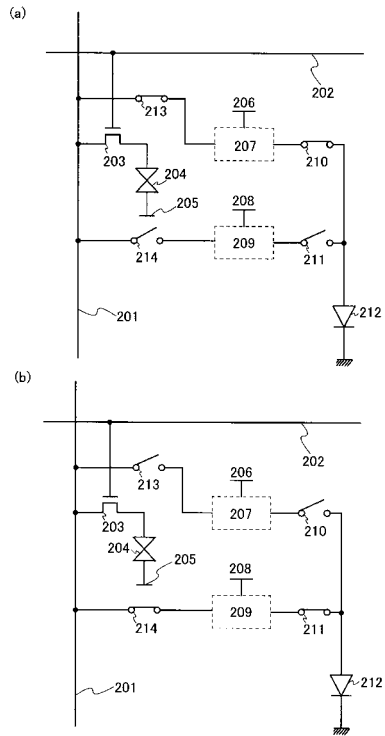
【図 8】



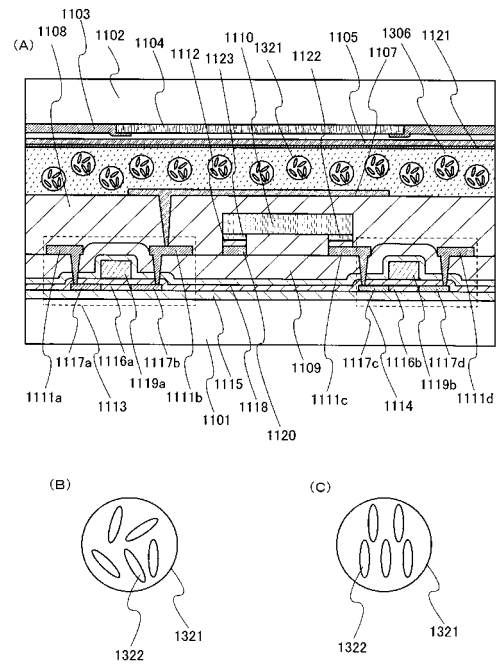
【図 9】



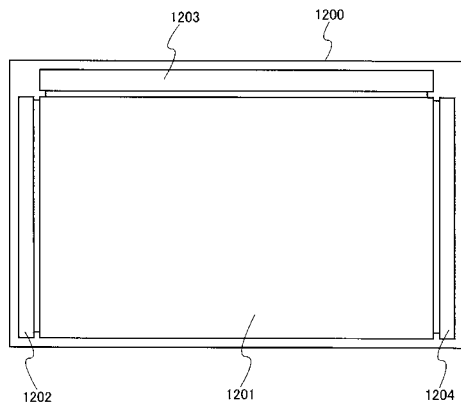
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 (2006.01) G 0 9 G 3/20 6 4 2 E
 G 0 9 F 9/30 3 4 9 Z
 G 0 9 F 9/30 3 3 8

(72)発明者 柳澤 真
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
 (72)発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 右田 昌士

(56)参考文献 特開平 0 8 - 1 7 2 2 1 9 (J P , A)
 特開 2 0 0 5 - 2 3 5 5 6 6 (J P , A)
 特開平 1 0 - 1 6 3 5 3 6 (J P , A)
 特開 2 0 0 4 - 2 3 3 4 4 4 (J P , A)
 特開 2 0 0 3 - 3 1 6 2 9 5 (J P , A)
 特開 2 0 0 3 - 1 6 2 2 2 9 (J P , A)
 特開昭 6 1 - 0 8 7 3 8 1 (J P , A)
 特開 2 0 0 2 - 1 4 1 4 9 2 (J P , A)
 特開 2 0 0 2 - 0 9 1 3 8 5 (J P , A)
 特開平 1 1 - 0 9 5 2 5 1 (J P , A)
 特開 2 0 0 6 - 0 3 9 2 9 8 (J P , A)
 特開平 1 0 - 2 0 7 4 0 0 (J P , A)
 特開 2 0 0 6 - 0 3 0 5 8 8 (J P , A)
 特開 2 0 0 4 - 2 1 2 9 2 3 (J P , A)
 特開 2 0 0 3 - 0 6 6 9 2 9 (J P , A)
 特開 2 0 0 4 - 0 4 5 7 7 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 3
 G 0 2 F 1 / 1 3 3 5 7
 G 0 2 F 1 / 1 3 4 3
 G 0 9 F 9 / 3 0
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 6

专利名称(译)	表示装置、电子机器、テレビジョン装置		
公开(公告)号	JP5322356B2	公开(公告)日	2013-10-23
申请号	JP2012078505	申请日	2012-03-30
[标]申请(专利权)人(译)	株式会社半導体能源研究所		
申请(专利权)人(译)	半導体能源研究所有限公司		
当前申请(专利权)人(译)	半導体能源研究所有限公司		
[标]发明人	木村肇 吉田泰則 穴戸英明 梅崎敦司 柳澤真 山崎舜平		
发明人	木村 肇 吉田 泰則 穴戸 英明 梅崎 敦司 柳澤 真 山崎 舜平		
IPC分类号	G02F1/133 G02F1/13357 G02F1/1343 G09G3/36 G09G3/20 G09F9/30		
CPC分类号	G09G3/36 G02F1/133603 G02F1/1362 G09G3/3208 G09G3/3426 G09G3/3648 G09G2300/046 G09G2320/0238 G09G2320/062 G09G2320/066 G09G2330/021		
FI分类号	G02F1/133.535 G02F1/13357 G02F1/1343 G09G3/36 G09G3/20.624.B G09G3/20.642.E G09F9/30. 349.Z G09F9/30.338 G09G3/30.J G09G3/3208 G09G3/34.J H05B33/14.A		
F-TERM分类号	2H092/GA17 2H092/JA25 2H092/JA46 2H092/PA06 2H092/PA13 2H191/FA02Y 2H191/FA14Y 2H191/ /FA84Y 2H191/FA85Y 2H191/FD15 2H191/GA04 2H191/GA10 2H191/GA17 2H191/GA19 2H191/ /GA21 2H191/JA02 2H191/LA22 2H191/LA40 2H191/MA02 2H191/MA04 2H193/ZA04 2H193/ZA20 2H193/ZD01 2H193/ZD02 2H193/ZD12 2H193/ZG02 2H193/ZG14 2H193/ZG15 2H193/ZG22 2H193/ /ZG27 2H193/ZG41 2H193/ZG43 2H193/ZG48 2H193/ZG58 2H193/ZH25 2H193/ZH57 2H193/ZJ20 2H193/ZQ13 2H391/AA27 2H391/AB04 2H391/CA35 2H391/CB12 2H391/EA02 3K107/AA01 3K107/ /BB03 3K107/CC02 3K107/HH04 5C006/AF69 5C006/BB16 5C006/BB29 5C006/BF14 5C006/EA01 5C006/FA47 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD26 5C080/ /FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK23 5C080/ /KK43 5C080/KK47 5C094/AA06 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DB10 5C094/ED03 5C094/ED15 5C094/FB12 5C094/FB15 5C094/HA08 5C380/AA01 5C380/AA03 5C380/AB22 5C380/ /AB23 5C380/AB25 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BB23 5C380/CC50 5C380/CC66 5C380/CD019 5C380/CD029 5C380/CF43 5C380/ /CF61 5C380/DA47		
优先权	2006112533 2006-04-14 JP		
其他公开文献	JP2012212140A		
外部链接	Espacenet		
摘要(译)			

(有纠正) 本发明提供一种显示装置，其中通过在显示黑色时减少或克服来自液晶元件的光泄漏来改善对比度。为液晶元件204的每个像素提供用作背光的发光元件212，并且根据要显示的灰度在像素电路中提供用于单独控制发光元件212的发光和不发光的功能。因此，可以针对每个像素控制背光的点亮状态，并且当显示灰度级时，关闭用作背光的发光元件212。[选择图]图2

31

