

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5306926号
(P5306926)

(45) 発行日 平成25年10月2日 (2013. 10. 2)

(24) 登録日 平成25年7月5日 (2013. 7. 5)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 611E

G09G 3/20 621B

G09G 3/20 624C

G09G 3/20 624D

請求項の数 5 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2009-163134 (P2009-163134)
 (22) 出願日 平成21年7月9日 (2009. 7. 9)
 (65) 公開番号 特開2011-17943 (P2011-17943A)
 (43) 公開日 平成23年1月27日 (2011. 1. 27)
 審査請求日 平成24年5月21日 (2012. 5. 21)

(73) 特許権者 598172398
 株式会社ジャパンディスプレイウエスト
 愛知県知多郡東浦町大字緒川字上舟木50
 番地
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (74) 代理人 100118762
 弁理士 高村 順
 (74) 代理人 100092152
 弁理士 服部 毅麿
 (72) 発明者 ジャルブーンポン ウィーラポン
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

行状に配置された複数の走査線と、列状に配置された複数の信号線と、各走査線と各信号線との交差部に対応して行列状に配置されると共に前記交差部に対応する走査線および信号線に接続された複数の画素回路と、前記交差部に対応して行列状に配置されると共に前記交差部に対応する画素回路に接続された複数の液晶素子と、前記複数の液晶素子に行ごとに接続された複数の共通接続線とを有する画素アレイ部と、

前記複数の走査線に選択パルスを順次印加して、前記複数の液晶素子を走査線単位で順次選択する走査線駆動回路と、

映像信号に対応する信号電圧を、極性が1フレーム期間ごとに反転するように各信号線に印加して、選択対象の液晶素子への書き込みを行う信号線駆動回路と、

選択対象の液晶素子への書き込みが行われている書き込み期間に、極性が前記信号線の極性と逆になる電圧を選択対象の液晶素子に対応する共通接続線に印加すると共に、選択対象の液晶素子への書き込みが行われた後の保持期間に、前記書き込み期間に前記共通接続線に印加した電圧であって、その上限値、下限値、またはそれら上限値と下限値との中心値のいずれとも異なる1または複数の電圧を前記共通接続線に印加する共通接続線駆動回路と、

を備えたものであって、

前記画素アレイ部の各画素回路では、前記交差部においてそれぞれ前記信号線が直列に配置された複数のトランジスタを介して前記液晶素子と接続され、前記走査線が前記トラ

10

20

ンジスタの各ゲートと共通に接続されている液晶表示装置。

【請求項 2】

前記 1 または複数の電圧は、前記中心値よりも小さくなっている
請求項 1 に記載の液晶表示装置。

【請求項 3】

前記共通接続線駆動回路は、前記保持期間に、前記中心値とは異なる複数の電圧を前記共通接続線に印加し、

前記複数の電圧のうち一の電圧は、前記共通接続線に対して、電圧出力のないフローティング電圧である

10

請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】

前記共通接続線駆動回路は、前記保持期間に、前記中心値とは異なる複数の電圧を前記共通接続線に印加し、さらに、前記保持期間の当初において、前記書き込み期間に選択対象となった液晶素子に対応する共通接続線に対して、前記複数の共通接続線に印加される正極性の電圧および負極性の電圧と等しい大きさの電圧を交互に印加する

請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 5】

前記共通接続線駆動回路は、前記保持期間に、前記中心値とは異なる複数の電圧を前記共通接続線に印加し、

20

前記共通接続線駆動回路は、一の電圧が印加されている期間と他の電圧が印加されている期間とにおいて、液晶素子に印加される電圧の平均値が互いに等しくなるように、前記複数の電圧を前記複数の共通接続線に印加する

請求項 1 または請求項 2 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置に関する。

【背景技術】

【0002】

30

近年、液晶を用いた表示素子（液晶素子）を駆動することによって映像表示を行う液晶表示装置が広く活用されている。このような液晶表示装置では、ガラス等の基板間に封止した液晶層において、液晶分子の配列を変化させることにより光源からの光を透過、変調させて表示を行っている。

【0003】

液晶表示装置では、アクティブマトリクス駆動が一般に用いられているが、この駆動方式では、液晶の劣化を抑制するために、1 フレーム期間毎に液晶に印加する電圧の極性を反転させるフレーム反転駆動が行われる。また、液晶に印加する電圧の極性を反転させることに起因して、フレーム毎にフリッカが発生するのを抑制するために、1 水平期間（1 H）毎に液晶に印加する電圧の極性を反転させるライン反転駆動が行われる。さらに、画素電極に印加する信号電圧の振幅を小さくするために、共通電極に印加する電圧の極性を反転させるコモン反転駆動が行われる。

40

【先行技術文献】

【特許文献】

【0004】

上述した従来の駆動方法は、例えば以下の特許文献 1 や特許文献 2 に記載されている。

【特許文献 1】特開平 11 - 271787 号公報

【特許文献 2】特開 2001 - 159877 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

昨今では、表示画像の高精細化と高輝度化が進み、いままで重視されていなかった問題が顕在化してきた。その中で特に問題となっているのが、表示のちらつき（フリッカ）と消費電力の増大である。フリッカの悪化の原因の1つとして、高精細化に伴う画素容量の微小化により、画素回路からリークする電流の影響が大きくなったことが挙げられる。また、その他の要因としては、高精細化に伴う開口率の低下による輝度低下を補うために、光源の輝度を大きくしたことが挙げられる。消費電力の増大は、上で述べたように、開口率の低下による輝度低下を補うために光源の輝度を大きくしたためである。

【 0 0 0 6 】

フリッカを抑制する方法としては、例えば、製造プロセスや液晶材料を改善することが考えられる。しかし、そのようにした場合には、製造コストが増加したり、試作期間が延びたりするなどの問題があった。そのため、従来では、コモン反転駆動において共通電極に印加する電圧の中心値（（上限値＋下限値）／2）を、フリッカが最も小さくなる値に調整していた。

【 0 0 0 7 】

しかし、フリッカが最も小さくなる値は、表示階調によって異なっている。これは、中間階調と高階調とにおいてフリッカの主因が異なっているからである。すなわち、中間階調においては、保持期間中のリーク電流がフリッカの主因となっており、他方、高階調においては、フレクソエレクトリック効果がフリッカの主因となっている。なお、フレクソエレクトリック効果とは、液晶分子の形状の非対称性により液晶分子に分子レベルで生じている分極が配向時に外部に表れる現象を指している。

【 0 0 0 8 】

従って、コモン反転駆動において共通電極に印加する電圧の中心値を、中間階調に適した値に調整した場合には高階調においてフリッカが大きくなり、高階調に適した値に調整した場合には中間階調においてフリッカが大きくなってしまう。このように、従来の調整方法では、全ての表示階調においてフリッカを抑制することは容易ではなかった。

【 0 0 0 9 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、全ての表示階調においてフリッカを低減することの可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の液晶表示装置は、画素アレイ部と、走査線駆動回路と、信号線駆動回路と、共通接続線駆動回路とを備えたものである。画素アレイ部は、行状に配置された複数の走査線と、列状に配置された複数の信号線と、各走査線と各信号線との交差部に対応して行列状に配置されると共に交差部に対応する走査線および信号線に接続された複数の画素回路とを有している。この画素アレイ部は、さらに、交差部に対応して行列状に配置されると共に交差部に対応する画素回路に接続された複数の液晶素子と、複数の液晶素子に行ごとに接続された複数の共通接続線とを有している。走査線駆動回路は、複数の走査線に選択パルスを順次印加して、複数の液晶素子を走査線単位で順次選択するようになっている。信号線駆動回路は、映像信号に対応する信号電圧を、極性が1フレーム期間ごとに反転するように各信号線に印加して、選択対象の液晶素子への書き込みを行うようになっている。共通接続線駆動回路は、選択対象の液晶素子への書き込みが行われている書き込み期間に、極性が信号線の極性と逆になる電圧を選択対象の液晶素子に対応する共通接続線に印加するようになっている。共通接続線駆動回路は、さらに、選択対象の液晶素子への書き込みが行われた後の保持期間に、書き込み期間に共通接続線に印加した電圧であって、その上限値、下限値、またはそれら上限値と下限値との中心値のいずれとも異なる1または複数の電圧を共通接続線に印加するようになっていて、画素アレイ部の各画素回路では、交差部においてそれぞれ信号線が直列に配置された複数のトランジスタを介して液晶素子と接続され、走査線がトランジスタの各ゲートと共通に接続されている。

【 0 0 1 1 】

本発明の液晶表示装置では、保持期間に、書き込み期間に共通接続線に印加した電圧の上限値と下限値との中心値とは異なる１または複数の電圧が共通接続線に印加される。これにより、保持期間に、上記中心値と等しい電圧が共通接続線に印加される場合と比べて、中間階調においてフリッカが最も小さくなる電圧値と、高階調においてフリッカが最も小さくなる電圧値とを近づけることが可能となる。

【発明の効果】

【００１２】

本発明の液晶表示装置によれば、中間階調においてフリッカが最も小さくなる電圧値と、高階調においてフリッカが最も小さくなる電圧値とを近づけることが可能である。これにより、全ての表示階調においてフリッカを低減することが可能となる。

10

【図面の簡単な説明】

【００１３】

【図１】本発明の第１の実施の形態に係る液晶表示装置の概略構成図である。

【図２】図１のサブピクセルの構成図である。

【図３】図１の液晶表示装置の動作の一例を表す波形図である。

【図４】図１の液晶表示装置の動作の一例を表す模式図である。

【図５】図４に続く動作を表す模式図である。

【図６】図５に続く動作を表す模式図である。

【図７】図１の液晶表示装置の動作の他の例を表す模式図である。

【図８】図１のサブピクセル内のリーク電流について説明するための概念図である。

20

【図９】図１のサブピクセル内のリーク電流について説明するための概念図である。

【図１０】従来の液晶表示装置の動作の一例を表す波形図である。

【図１１】図１０の液晶表示装置の液晶素子に印加される電圧を説明するための波形図である。

【図１２】図１の液晶表示装置の液晶素子に印加される電圧を説明するための波形図である。

【図１３】図８のリーク電流が生じているときに液晶素子に印加される電圧を説明するための波形図である。

【図１４】図９のリーク電流が生じているときに液晶素子に印加される電圧を説明するための波形図である。

30

【図１５】フリッカが最も小さくなる電圧値について説明するための概念図である。

【図１６】本発明の第２の実施の形態に係る液晶表示装置の動作の一例を表す波形図である。

【図１７】図１６の液晶表示装置の動作の一例を表す模式図である。

【図１８】図１７に続く動作を表す模式図である。

【図１９】図１８に続く動作を表す模式図である。

【図２０】図１６の液晶表示装置の動作の他の例を表す模式図である。

【図２１】図１６の波形図を状態図で表すものである。

【図２２】図１６の液晶表示装置の動作の第１変形例を表す状態図である。

【図２３】図１６の液晶表示装置の動作の第２変形例を表す状態図である。

40

【図２４】図１６の液晶表示装置の動作の第３変形例を表す状態図である。

【図２５】図１６の液晶表示装置の動作の第４変形例を表す状態図である。

【図２６】図１６の液晶表示装置の動作の第５変形例を表す状態図である。

【図２７】図１６の液晶表示装置の動作の第６変形例を表す状態図である。

【図２８】図１６の液晶表示装置の動作の第７変形例を表す状態図である。

【図２９】図１６の液晶表示装置の動作の第８変形例を表す波形図である。

【図３０】図１６の液晶表示装置の動作の第９変形例を表す状態図である。

【図３１】図３０の状態図を詳細に表すものである。

【図３２】図１６の液晶表示装置の共通接続線駆動回路の一例を表す構成図である。

【図３３】図１６の液晶表示装置の共通接続線駆動回路の第１変形例を表す構成図である

50

。

【図 3 4】図 1 6 の液晶表示装置の共通接続線駆動回路の第 2 変形例を表す構成図である

。

【図 3 5】図 1 6 の液晶表示装置の液晶素子に印加される電圧を説明するための波形図である。

【発明を実施するための形態】

【 0 0 1 4 】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

10

1. 第 1 の実施の形態(図 1 ~ 図 1 5)

・ 保持期間 T_h 中に共通接続線 COM に 1 種類の電圧を印加する例

2. 第 2 の実施の形態(図 1 6 ~ 図 3 5)

・ 保持期間 T_h 中に共通接続線 COM に複数種類の電圧を印加する例

【 0 0 1 5 】

< 第 1 の実施の形態 >

(概略構成)

図 1 は、本発明の第 1 の実施の形態に係る液晶表示装置 1 の概略構成を表したものである。この液晶表示装置 1 は、液晶表示パネル 1 0 と、液晶表示パネル 1 0 の背後に配置されたバックライト 2 0 と、液晶表示パネル 1 0 を駆動する駆動回路 3 0 とを備えている。液晶表示パネル 1 0 は、例えば、複数のサブピクセル 1 1 R, 1 1 G, 1 1 B がマトリクス状に配置された画素アレイ部 1 3 を有している。本実施の形態では、例えば、互いに隣り合うサブピクセル 1 1 R, 1 1 G, 1 1 B が 1 つの画素 1 2 を構成している。なお、以下では、サブピクセル 1 1 R, 1 1 G, 1 1 B の総称としてサブピクセル 1 1 を適宜、用いるものとする。駆動回路 3 0 は、例えば、映像信号処理回路 3 1、タイミング生成回路 3 2、信号線駆動回路 3 3、走査線駆動回路 3 4 および共通接続線駆動回路 3 5 を有している。

20

【 0 0 1 6 】

(画素アレイ部 1 3)

図 2 は、画素アレイ部 1 3 内の回路構成の一例を表したものである。画素アレイ部 1 3 は、例えば、図 1、図 2 に示したように、行状に配置された複数の走査線 W S L と、列状に配置された複数の信号線 D T L とを有している。各走査線 W S L と各信号線 D T L との交差部に対応して、複数のサブピクセル 1 1 R, 1 1 G, 1 1 B が行列状に配置されている。画素アレイ部 1 3 は、さらに、列ごとのサブピクセル 1 1 R, 1 1 G, 1 1 B に対応して、複数の共通接続線 COM が 1 つずつ配置されている。

30

【 0 0 1 7 】

各サブピクセル 1 1 は、例えば、図 2 に示したように、2 つのトランジスタ 1 4, 1 5 と、液晶素子 1 6 とを有している。なお、2 つのトランジスタ 1 4, 1 5 が本発明の「画素回路」の一具体例に相当する。液晶素子 1 6 は、例えば、駆動基板上に、共通電極、絶縁膜、画素電極、配向膜、液晶層、配向膜および透明基板を駆動基板側から順に有している。駆動基板は、例えば、ガラス基板上に、上記のトランジスタ 1 4、1 5 などが形成されたものである。共通電極は、1 水平ライン(一の行)ごとに設けられた帯状の電極であり、1 水平ラインに属する複数のサブピクセル 1 1 に含まれる液晶素子 1 6 に共通に用いられている。この共通電極が、例えば、上記の共通接続線 COM の一部を構成しており、共通接続線 COM と電気的に接続されている。絶縁膜は、共通電極と画素電極とを互いに絶縁分離するものであり、共通電極と画素電極との間に高さ方向の間隙を付与している。液晶層は、例えば、V A (Vertical Alignment) モードまたは I P S (In-Plane Switching) モードの液晶からなり、印加電圧により、バックライト 2 0 からの射出光を透過または遮断する機能を有する。画素電極は、サブピクセル 1 1 ごとの電極として機能するものであり、例えば、共通電極との非対向領域に配置されている。これにより、画素電極と共通

40

50

電極との間に電圧が印加されると、液晶層内に横方向の電界が生じるようになっている。トランジスタ14, 15は、例えば、電界効果型のTFT (Thin Film Transistor; 薄膜トランジスタ) であり、チャンネルを制御するゲートと、チャンネル両端に設けられたソースおよびドレインとによって構成されている。トランジスタ14, 15は、p型トランジスタであってもよいし、n型トランジスタであってもよい。

【0018】

液晶素子16の一端がトランジスタ15のソースまたはドレインに接続されており、液晶素子16の他端が共通接続線COMに接続されている。トランジスタ14, 15のゲートが走査線WSLに接続されており、トランジスタ15のソースおよびドレインのうち液晶素子16に未接続の方がトランジスタ14のソースまたはドレインに接続されている。トランジスタ14のソースおよびドレインのうちトランジスタ15に未接続の方が信号線DTLに接続されている。ここで、1水平ラインに属する複数のサブピクセル11では、例えば、トランジスタ14, 15のゲートが共通の走査線WSLに接続されている。つまり、一の走査線WSLに接続された複数のサブピクセル11は、一の走査線WSLに沿って一列に配置されている。

10

【0019】

なお、図示しないが、1水平ラインにおいて、例えば、一のサブピクセル11のトランジスタ14, 15のゲートが各サブピクセル11の両脇に設けられた2つの走査線WSLのうち一方の走査線WSLに接続されると共に、他のサブピクセル11のトランジスタ14, 15のゲートが各サブピクセル11の両脇に設けられた2つの走査線WSLのうち他方の走査線WSLに接続されていてもよい。この場合に、一の走査線WSLに接続された複数のサブピクセル11が、一の走査線WSLを挟んで互い違いに(ジグザグに)配置されていてもよい。この場合には、複数の液晶素子16のうち一の走査線WSLによって選択される液晶素子16は一の走査線WSLを挟んで互い違いに配置されていることになる。

20

【0020】

(バックライト20)

バックライト20は、液晶表示パネル10を背後から照明するものであり、例えば、導光板と、導光板の側面に配置された光源と、導光板の上面(光射出面)に配置された光学素子とを備えている。導光板は、光源からの光を導光板の上面に導くものであり、例えば、上面および下面の少なくとも一方の面に、所定のパターン化された形状を有しており、側面から入射した光を散乱し、均一化する機能を有している。光源は、線状光源であり、例えば、熱陰極管(HCFL; Hot Cathode Fluorescent Lamp)、冷陰極管(CCFL; Cold Cathode Fluorescent Lamp)、または複数の発光ダイオード(LED; Light Emitting Diode)を一列に配置したものなどからなる。光学素子は、例えば、拡散板、拡散シート、レンズフィルム、偏光分離シートなどを積層して構成されたものである。なお、バックライト20は、光源の直上に拡散板や他の光学素子を備えた直下型であってもよい。

30

【0021】

(駆動回路30)

次に、画素アレイ部13の周辺に設けられた駆動回路30内の各回路について、図1を参照して説明する。

40

【0022】

映像信号処理回路31は、外部から入力されたデジタルの映像信号30Aを補正すると共に、補正した後の映像信号をアナログに変換して信号線駆動回路33に出力するものである。タイミング生成回路32は、信号線駆動回路33、走査線駆動回路34および共通接続線駆動回路35が連動して動作するように制御するものである。タイミング生成回路32は、例えば、外部から入力された同期信号30Bに応じて(同期して)、これらの回路に対して制御信号32Aを出力するようになっている。

【0023】

信号線駆動回路33は、映像信号処理回路31から入力されたアナログの映像信号(映

50

像信号 30A に対応する信号電圧)を、各信号線 DTL に印加して、選択対象のサブピクセル 11 に書き込むものである。信号線駆動回路 33 は、例えば、映像信号 30A に対応する信号電圧 V_{sig} を出力することが可能となっている。信号線駆動回路 33 は、例えば、後述の図 3、図 6、図 7 に示したように、極性が基準電圧 V_{ref} との関係で 1 フレーム期間ごとに反転する信号電圧 V_{sig} を各信号線 DTL に印加して、選択対象のサブピクセル 11 に書き込むフレーム反転駆動を行うことが可能となっている。フレーム反転駆動は、液晶素子 16 の劣化を抑制するためのものであり、必要に応じて用いられる。さらに、信号線駆動回路 33 は、例えば、後述の図 3 ~ 図 6 に示したように、極性が 1 H 期間ごとに基準電圧 V_{ref} との関係で反転する信号電圧 V_{sig} を各信号線 DTL に印加して、信号電圧 V_{sig} に対応する電圧を選択対象のサブピクセル 11 に書き込む 1 H 反転駆動を行うことも可能となっている。1 H 反転駆動は、液晶素子 16 に印加する電圧の極性を反転させることに起因して、フレーム毎にフリッカが発生するのを抑制するためのものであり、必要に応じて用いられる。ここで、基準電圧 V_{ref} は、例えば、0 (ゼロ) ボルトとなっている。

10

【0024】

走査線駆動回路 34 は、制御信号 32A の入力に応じて (同期して)、複数の走査線に選択パルスを印加して、複数のサブピクセル 11 を所望の単位で選択するものである。サブピクセル 11 を選択する単位としては、例えば、1 ライン、隣接する 2 ラインなど、必要に応じて種々の選択が可能である。また、ラインの選択は、順次選択であってもよいし、ランダム選択であってもよい。走査線駆動回路 34 は、例えば、トランジスタ 15 をオンさせるときに印加する電圧 V_{on} と、トランジスタ 15 をオフさせるときに印加する電圧 V_{off} とを出力することが可能となっている。ここで、電圧 V_{on} は、トランジスタ 15 のオン電圧以上の値 (一定値) となっている。電圧 V_{off} は、トランジスタ 15 のオン電圧よりも低い値 (一定値) となっている。

20

【0025】

次に、共通接続線駆動回路 35 について説明する。図 3 は、液晶表示装置 1 の動作の一例を表すタイミングチャートである。図 3 には、 $n - 1$ フレーム期間、 n フレーム期間および $n + 1$ フレーム期間における波形が示されている。なお、図 3 では、個々の走査線 WSL、共通接続線 COM およびサブピクセル 11R を区別するために、末尾に (i) (1 i) が付されている。また、図 3 では、他のサブピクセル 11G, 11B における信号波形が省略されている。

30

【0026】

図 4 は、図 3 の $n - 1$ フレーム期間において、走査線 WSL (i) に V_{on} を印加するタイミングでのサブピクセル 11 の極性を模式的に表したものである。図 5 は、図 3 の $n - 1$ フレーム期間において、走査線 WSL (i + 1) に V_{on} を印加するタイミングでのサブピクセル 11 の極性を模式的に表したものである。図 6 は、図 3 の $n - 1$ フレーム期間において、サブピクセル 11R (i - 1) に対応する共通接続線 COM の電圧が V_1 から V_2 (後述) に変化した直後のサブピクセル 11 の極性を模式的に表したものである。図 7 は、図 3 の n フレーム期間において、サブピクセル 11R (i - 1) に対応する共通接続線 COM の電圧が V_1 から V_2 (後述) に変化した直後のサブピクセル 11 の極性を模式的に表したものである。なお、図 4 ~ 図 7 には、信号線駆動回路 33 が 1 H 反転駆動を行うと共に、フレーム反転駆動を行っている場合のサブピクセル 11 の極性が示されている。なお、図 4、図 5 において、太枠で囲まれたサブピクセル 11 は、走査線 WSL (i) または走査線 WSL (i + 1) によって選択されていることを意味している。また、図 4 ~ 図 7 において、細枠で囲まれたサブピクセル 11 は、既に走査線 WSL による選択が終わり、保持期間 T_h 中であることを意味している。また、図 4、図 5 において、点線枠で囲まれたサブピクセル 11 は、まだ走査線による選択がなされていないことを意味している。

40

【0027】

ここで、上記の「サブピクセル 11 の極性」とは、サブピクセル 11 の電圧 (図 3 中の

50

破線)が、書込み期間 T_w 中の共通接続線COMの電圧(V_L, V_H)($V_L < V_H$)との関係で、正であるか負であるかを意味するものである。例えば、図3に示したように、走査線 $WSL(i)$ に V_{on} が印加された時に、例えばサブピクセル11R(1, i)の電圧が電圧 V_H との関係で負の電圧となっている。従って、この場合には、サブピクセル11R(i)が負の極性であると言う。一方、例えば、走査線 $WSL(i+1)$ に V_{on} が印加された時に、サブピクセル11G(i+1)に印加されている電圧は電圧 V_L との関係で正の電圧となっている。従って、この場合には、サブピクセル11G(i+1)が正の極性であると言う。

【0028】

共通接続線駆動回路35は、信号線駆動回路33が1H反転駆動を行っている際に、共通電極(共通接続線COM)に供給する電圧の極性を所定のラインごとに反転させるコモン反転駆動を行うものである。具体的には、共通接続線駆動回路35は、基準電圧 V_{ref} に対する極性が信号線DTLの、基準電圧 V_{ref} に対する極性と逆になる電圧を選択対象のサブピクセル11に対応する共通接続線COMに印加するようになっている。例えば、図3～図6に示したように、共通接続線駆動回路35は、信号線DTLの、基準電圧 V_{ref} に対する極性が正となっている場合には、基準電圧 V_{ref} に対する極性が負となる電圧 V_L を共通接続線COMに印加するようになっている。また、例えば、図3～図6に示したように、共通接続線駆動回路35は、信号線DTLの、基準電圧 V_{ref} に対する極性が負となっている場合には、基準電圧 V_{ref} に対する極性が正となる電圧 V_H を共通接続線COMに印加するようになっている。

【0029】

また、共通接続線駆動回路35は、保持期間 T_h 中に、共通電極(共通接続線COM)に、電圧の互いに異なる複数種類の電圧を印加するようになっている。例えば、図3～図6に示したように、共通接続線駆動回路35は、保持期間 T_h 中に、書込み期間 T_w に共通接続線COMに印加した電圧(V_L, V_H)の上限値(V_H)と下限値(V_L)との中心値(電圧 V_{cent})とは異なる1種類の電圧 V_1 を共通接続線COMに印加するようになっている。電圧 V_1 は、電圧 V_{cent} よりも小さな電圧値であり、かつ下限値(V_L)よりも大きな電圧値である。

【0030】

共通接続線駆動回路35は、保持期間 T_h 中に、選択対象のサブピクセル11に対応して配置された共通接続線COMと、非選択対象のサブピクセル11に対応して配置された複数の共通接続線COMとを互いに電気的に分離する。例えば、図3、図5に示したように、共通接続線駆動回路35は、保持期間 T_h 中に、電圧 V_L を印加している共通接続線COM(i+1)と、電圧 V_1 を印加している共通接続線COM(i-2), COM(i-1), COM(i)とを互いに電気的に分離する。

【0031】

さらに、本実施の形態では、共通接続線駆動回路35は、図3、図6、図7に示したように、信号線駆動回路33がフレーム反転駆動を行っている際に、共通電極(共通接続線COM)に供給する電圧の極性を1フレーム期間毎に反転させるコモン反転駆動を行うものでもある。例えば、図6、図7に示したように、共通接続線駆動回路35は、 $n-1$ フレーム期間が経過した時のサブピクセル11の極性と、 n フレーム期間が経過した時のサブピクセル11の極性とが互いに逆になるように、1フレーム期間毎に、サブピクセル11に印加する電圧の極性を反転させている。

【0032】

次に、共通接続線駆動回路35の内部構成について説明する。共通接続線駆動回路35は、例えば、図4に示したように、共通接続線COMに電気的に接続されたスイッチング素子36を有している。スイッチング素子36は、共通接続線COMごとに一つずつ設けられており、例えば、2つの出力端子を有している。スイッチング素子36の1つ目の出力端子は、配線36Aに接続されており、配線36Aを介してパルス発生装置37の出力端子に接続されている。スイッチング素子36の2つ目の出力端子は、配線36Bに接続

10

20

30

40

50

されている。配線 36B は、例えば、図 4 に示したように、ロジック回路 41 の出力端子に接続されている。パルス発生装置 37 は、配線 36A に所定の電圧 V_H 、 V_L を周期的に出力するようになっている。ロジック回路 41 は、配線 36B に所定の電圧 V_1 を出力するようになっている。

【0033】

共通接続線駆動回路 35 は、走査線 WSL に V_{on} が印加され、オンしている（選択対象の）サブピクセル 11 からなる水平ラインに対応して配置された共通接続線 COM をパルス発生装置 37 の出力端子に接続する。例えば、図 4 に示したように、共通接続線駆動回路 35 は、選択対象のサブピクセル 11R(i)、11G(i)、11B(i) からなる 1 つの行に対応して配置された共通接続線 COM(i) を、スイッチング素子 36 および配線 36A を介してパルス発生装置 37 の出力に接続して、その電圧を V_H にする。また、例えば、図 5 に示したように、共通接続線駆動回路 35 は、選択対象のサブピクセル 11R(i+1)、11G(i+1)、11B(i+1) からなる 1 つの行に対応して配置された共通接続線 COM(i+1) を、スイッチング素子 36 および配線 36A を介してパルス発生装置 37 の出力に接続して、その電圧を V_L にする。

10

【0034】

また、共通接続線駆動回路 35 は、走査線 WSL に電圧 V_{off} が印加され、オフしている（非選択対象の）サブピクセル 11 からなる複数の水平ラインに対応して配置された共通接続線 COM を配線 36B に接続する。例えば、図 3、図 5 に示したように、共通接続線駆動回路 35 は、非選択対象のサブピクセル 11R(i-2)、11R(i-1)、11R(i) からなる 3 つの行に対応して配置された共通接続線 COM(i-2)、COM(i-1)、COM(i) を、スイッチング素子 36 を介して配線 36B に接続して、その電圧を V_1 にする。

20

【0035】

なお、共通接続線駆動回路 35 は、図示しないが、ロジック回路 41 の代わりに定電圧源 38 を備えていてもよい。

【0036】

次に、本実施の形態の液晶表示装置 1 の動作について説明する。

【0037】

（書込み期間 T_w ）

30

各フレーム期間の前半である書込み期間 T_w において、走査線駆動回路 34 によって複数の走査線 WSL に所望の単位で電圧 V_{on} が印加され、トランジスタ 14、15 がオンする。さらに、信号線駆動回路 33 によって信号電圧 V_{sig} が各信号線 DTL に印加されると共に、共通接続線駆動回路 35 によって電圧 V_L または電圧 V_H が選択対象のサブピクセル 11 に対応する共通接続線 COM に印加される。

【0038】

このとき、極性が 1H 期間ごと、かつ 1 フレーム期間ごとに基準電圧 V_{ref} との関係で反転する信号電圧 V_{sig} が信号線駆動回路 33 によって各信号線 DTL に印加される（1H 反転駆動、フレーム反転駆動）。さらに、各フレーム期間の書込み期間 T_w において、基準電圧 V_{ref} に対する極性が信号線 DTL の、基準電圧 V_{ref} に対する極性と逆になる電圧が共通接続線駆動回路 35 によって選択対象のサブピクセル 11 に対応する共通接続線 COM に印加される（コモン反転駆動）。これにより、書込み期間 T_w において、信号電圧 V_{sig} に対応する電圧 V_w が選択対象のサブピクセル 11 に書き込まれる（図 3 参照）。ここで、本実施の形態では、電圧 V_w の書込みに際して、1H 反転駆動、フレーム反転駆動およびコモン反転駆動がなされている。これにより、サブピクセル 11 に印加する信号電圧の振幅を小さくすることができ、消費電力を低く抑えることができる。

40

【0039】

（保持期間 T_h ）

また、各フレーム期間の後半である保持期間 T_h において、走査線駆動回路 34 によって非選択対象のサブピクセル 11 に対応する走査線 WSL に電圧 V_{off} が印加され、トラ

50

ンジスタ 14, 15 がオフする。これにより、書き込み期間 T_w 中に書き込まれた電圧 V_w が非選択対象のサブピクセル 11 において保持される。その結果、電圧 V_w に対応する輝度で各サブピクセル 11 が点灯する。

【0040】

ところで、保持期間 T_h の電圧 V_w を保持期間 T_h の間ずっと一定を保つことは、原理上、容易ではない。例えば、 V_H フレーム期間においては、図 2、図 8 (A) に示したように、トランジスタ 14, 15 がオフすると、トランジスタ 14 とトランジスタ 15 との接続点である中間ノードの電圧 V_{mid} が負の方向に引っ張られるカップリングを受ける。これにより、電圧 V_{mid} がトランジスタ 14, 15 のオフ電圧に近い電圧となるので、液晶素子 16 からトランジスタ 14, 15 側に向かってリーク電流 I_1 が流れると共に、信号線 DTL からトランジスタ 14, 15 側に向かってリーク電流 I_2 が流れる。また V_H フレーム期間の書き込み直後においては、図 8 (B) に示したように、液晶素子 16 の電圧 V_{pix} は、1 H ごとに極性反転している信号線 DTL の電圧の平均値 (電圧 $V_{sig-avg}$) よりも低いことから、信号線 DTL からトランジスタ 14, 15 側に向かってリーク電流 I_3 が流れる。なお、電圧 $V_{sig-avg}$ は、1 H ごとに極性反転している信号線 DTL の電圧の平均値である。

10

【0041】

また、例えば、 V_L フレーム期間においては、図 2、図 9 (A) に示したように、トランジスタ 14, 15 がオフすると、トランジスタ 14 とトランジスタ 15 との接続点である中間ノードの電圧 V_{mid} が負の方向に引っ張られるカップリングを受ける。これにより、電圧 V_{mid} がトランジスタ 14, 15 のオフ電圧に近い電圧となるので、液晶素子 16 からトランジスタ 14, 15 側に向かってリーク電流 I_1 が流れると共に、信号線 DTL からトランジスタ 14, 15 側に向かってリーク電流 I_2 が流れる。また V_L フレーム期間の書き込み直後においては、図 9 (B) に示したように、液晶素子 16 の電圧 V_{pix} は、1 H ごとに極性反転している信号線 DTL の電圧の平均値 (電圧 $V_{sig-avg}$) よりも高いことから、トランジスタ 14, 15 側から信号線 DTL に向かってリーク電流 I_3 が流れる。なお、電圧 $V_{sig-avg}$ は、1 H ごとに極性反転している信号線 DTL の電圧の平均値である。

20

【0042】

従って、例えば、図 10 に示したように、保持期間 T_h において、共通接続線駆動回路 35 によって非選択対象のサブピクセル 11 に対応する共通接続線 COM に電圧 V_{cent} が印加され続けた場合には、電圧 V_{pix} は、図 11 (A), (B) に示したようになる。すなわち、 V_H フレーム期間においては、図 11 (A) に示したように、電圧 V_{pix} は、保持期間 T_h の前半において負の方向に変化し、その後、正の方向に変化する。このように、 V_H フレーム期間においては、保持期間 T_h は、電圧 V_{pix} が負の方向に変化する期間 T_d を前半に有すると共に、電圧 V_{pix} が正の方向に変化する期間 T_u を後半に有している。一方、 V_L フレーム期間においては、図 11 (B) に示したように、電圧 V_{pix} は、保持期間 T_h の前半・後半共に、負の方向に変化する。このように、 V_L フレーム期間においては、保持期間 T_h は、電圧 V_{pix} が負の方向に変化する期間 T_d だけを有している。

30

【0043】

なお、図 11 (A), (B) は、トランジスタ 14, 15 が n 型である場合の波形である。トランジスタ 14, 15 が p 型である場合には、保持期間 T_h は、 V_H フレーム期間において、電圧 V_{pix} が正の方向に変化する期間 T_u だけを有しており、 V_L フレーム期間において、電圧 V_{pix} が負の方向に変化する期間 T_d と、電圧 V_{pix} が正の方向に変化する期間 T_u とを有している。

40

【0044】

一方、本実施の形態では、例えば、図 3 に示したように、保持期間 T_h において、共通接続線駆動回路 35 によって非選択対象のサブピクセル 11 に対応する共通接続線 COM に電圧 V_1 ($< V_{cent}$) が印加され続ける。これにより、電圧 V_{pix} は、図 12 (A), (B) に示したようになる。すなわち、 V_H フレーム期間においては、図 12 (A) に示し

50

たように、電圧 V_{pix} は、図 11 (A) と同様、保持期間 T_h の前半において負の方向に変化し、その後、正の方向に変化する。このように、 V_H フレーム期間においては、保持期間 T_h は、電圧 V_{pix} が負の方向に変化する期間 T_d を前半に有すると共に、電圧 V_{pix} が正の方向に変化する期間 T_u を後半に有している。なお、保持期間 T_h 中に液晶素子 16 に印加される電圧 V_w の大きさは、書込み期間 T_w 中に液晶素子 16 に印加される電圧 V_w の大きさと等しくなっている。一方、 V_L フレーム期間においても、図 12 (B) に示したように、電圧 V_{pix} は、図 11 (B) と同様、保持期間 T_h の前半・後半共に、負の方向に変化する。このように、 V_L フレーム期間においては、保持期間 T_h は、電圧 V_{pix} が負の方向に変化する期間 T_d だけを有している。なお、この場合にも、保持期間 T_h 中に液晶素子 16 に印加される電圧 V_w の大きさは、書込み期間 T_w 中に液晶素子 16 に印加される電圧 V_w の大きさと等しくなっている。つまり、本実施の形態では、保持期間 T_h 中の共通接続線 COM の電圧を調整することで、液晶素子 16 に印加される電圧 V_w の大きさを変化させることなく、液晶素子 16 に印加される電圧 V_w の大きさを制御している。

【0045】

次に、保持期間 T_h 中の共通接続線 COM の電圧を調整することによって得られる効果について説明する。上述したように、本実施の形態では、保持期間 T_h 中の共通接続線 COM の電圧を調整することで、液晶素子 16 に印加される電圧 V_w の大きさが制御されている。ここで、例えば、 V_H フレーム期間において、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_1 ($< V_{cent}$) に調整されている。これにより、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_{cent} に調整されている場合と比べて、例えば図 12 (A) に示したように、液晶素子 16 の電圧 V_{pix} が小さくなる。その結果、リーク電流 I_1 が小さくなるので、例えば図 13 に示したように、液晶素子 16 の電圧 V_{pix} が、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_{cent} に調整されている場合と比べて大きくなる。

【0046】

また、例えば、 V_L フレーム期間において、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_1 に調整されている。これにより、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_{cent} に調整されている場合と比べて、例えば図 12 (B) に示したように、液晶素子 16 の電圧 V_{pix} が小さくなる。その結果、リーク電流 I_1 が小さくなるので、例えば図 14 に示したように、液晶素子 16 の電圧 V_{pix} が、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_{cent} に調整されている場合と比べて大きくなる。

【0047】

このように、本実施の形態では、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_{cent} よりも小さな電圧 V_1 に調整されている。これにより、保持期間 T_h においてフリッカが最も小さくなる電圧値 (最適値 V_{best}) が上昇する (図 13、図 14 参照)。ここで、最適値 V_{best} は、図 15 に示したように、中間階調における最適値となっている。保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_{cent} に調整されているときの最適値 V_{best-1} は、高階調時の最適値から遠く離れた値となっている。一方、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_1 に調整されているときの最適値 V_{best-2} は、高階調時の最適値に近い値となっている。従って、書込み期間 T_w において共通接続線 COM に印加される電圧の中心値 ($(\text{上限値 (電圧 } V_H) + \text{下限値 (電圧 } V_L) / 2)$) を最適値 V_{best-2} とすることにより、全ての表示階調においてフリッカを低減することができる。

【0048】

そこで、本実施の形態では、液晶表示装置 1 の生産時 (出荷時) に、書込み期間 T_w において共通接続線 COM に印加される電圧の中心値 ($(\text{上限値 (電圧 } V_H) + \text{下限値 (電圧 } V_L) / 2)$) が最適値 V_{best-2} となるように、電圧 V_H 、 V_L の値が調整される。このように、本実施の形態の液晶表示装置 1 では、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_{cent} よりも小さな電圧 V_1 に調整されていることにより、従来では調整の難しかった全階調におけるフリッカの調整を容易に行うことができる。これにより、高階調時のフリッカによる焼き付きを低減することもできる。

【0049】

10

20

30

40

50

< 第 2 の実施の形態 >

次に、本発明の第 2 の実施の形態に係る液晶表示装置について説明する。本実施の形態の液晶表示装置は、共通接続線駆動回路 35 が保持期間 T_h 中に共通接続線 COM に、電圧の互いに異なる複数種類の電圧を印加するようになっている点で、上記実施の形態の液晶表示装置 1 の構成と相違する。そこで、以下では、上記実施の形態と共通の内容についての説明を省略し、上記実施の形態との相違点についての説明を主に行うものとする。

【 0 0 5 0 】

図 16 は、本実施の形態の液晶表示装置の動作の一例を表すタイミングチャートである。図 16 には、 $n - 1$ フレーム期間、 n フレーム期間および $n + 1$ フレーム期間における波形が示されている。

10

【 0 0 5 1 】

共通接続線駆動回路 35 は、保持期間 T_h 中に、共通接続線 COM に、電圧の互いに異なる複数種類の電圧を印加するようになっている。例えば、図 16 ~ 図 18 に示したように、共通接続線駆動回路 35 は、保持期間 T_h 中に、2 種類の電圧 V_1 、 V_2 ($V_1 > V_2$) を順次印加するようになっている。ここで、電圧 V_1 、 V_2 は、上記実施の形態の電圧 V_1 と同様、書込み期間 T_w に共通接続線 COM に印加した電圧 (V_L 、 V_H) の上限値 (V_H) と下限値 (V_L) との中心値 (電圧 V_{cent}) とは異なる電圧値である。また、電圧 V_1 、 V_2 は、上記実施の形態の電圧 V_1 と同様、電圧 V_{cent} よりも小さな電圧値であり、かつ下限値 (V_L) よりも大きな電圧値である。

【 0 0 5 2 】

20

共通接続線駆動回路 35 は、保持期間 T_h 中に、互いに等しい電圧が印加される共通接続線 COM 同士を互いに電氣的に接続する。例えば、図 16、図 18 に示したように、共通接続線駆動回路 35 は、保持期間 T_h 中に、非選択対象のサブピクセル 11 に対応して配置された複数の共通接続線 COM のうち電圧 V_1 を印加している共通接続線 COM (i)、COM ($i + 1$) を互いに電氣的に接続する。また、例えば、図 16、図 18 に示したように、共通接続線駆動回路 35 は、保持期間 T_h 中に、非選択対象のサブピクセル 11 に対応して配置された複数の共通接続線 COM のうち電圧 V_2 を印加している共通接続線 COM ($i - 2$)、COM ($i - 1$) を互いに電氣的に接続する。なお、電圧 V_1 と電圧 V_2 とが大きく変わらないことが好ましい。

【 0 0 5 3 】

30

なお、共通接続線駆動回路 35 は、保持期間 T_h 中に、選択対象のサブピクセル 11 に対応して配置された共通接続線 COM と、非選択対象のサブピクセル 11 に対応して配置された複数の共通接続線 COM とを互いに電氣的に分離する。例えば、図 16、図 18 に示したように、共通接続線駆動回路 35 は、保持期間 T_h 中に、電圧 V_L を印加している共通接続線 COM ($i + 1$) と、電圧 V_1 を印加している共通接続線 COM ($i - 2$)、COM ($i - 1$)、COM (i) とを互いに電氣的に分離する。また、共通接続線駆動回路 35 は、保持期間 T_h 中に、非選択対象のサブピクセル 11 に対応して配置された複数の共通接続線 COM のうち互いに異なる電圧を印加している共通接続線 COM 同士も互いに電氣的に分離する。例えば、図 16、図 18 に示したように、共通接続線駆動回路 35 は、保持期間 T_h 中に、電圧 V_1 を印加している共通接続線 COM (i)、COM ($i + 1$) と、電圧 V_2 を印加している共通接続線 COM ($i - 2$)、COM ($i - 1$) とを互いに電氣的に分離する。

40

【 0 0 5 4 】

さらに、本実施の形態では、共通接続線駆動回路 35 は、図 16、図 18、図 20 に示したように、信号線駆動回路 33 がフレーム反転駆動を行っている際に、共通電極 (共通接続線 COM) に供給する電圧の極性を 1 フレーム期間毎に反転させるコモン反転駆動を行うものでもある。例えば、図 19、図 20 に示したように、共通接続線駆動回路 35 は、 $n - 1$ フレーム期間が経過した時のサブピクセル 11 の極性と、 n フレーム期間が経過した時のサブピクセル 11 の極性とが互いに逆になるように、1 フレーム期間毎に、サブピクセル 11 に印加する電圧の極性を反転させている。

50

【 0 0 5 5 】

ここで、保持期間 T_h 中の電圧の種類は、各フレーム期間で同一であることが好ましい。例えば、図 1 6 に示したように、書込み期間 T_w に V_H が印加されたフレーム期間 (V_H フレーム期間) と、書込み期間 T_w に V_L が印加されたフレーム期間 (V_L フレーム期間) とにおいて、保持期間 T_h 中の電圧の種類が互いに同一となっていることが好ましい。保持期間 T_h 中の電圧の数は、図 2 1 に示したように 2 つであってもよいし、図 2 2 に示したように 3 つ以上であってもよい。なお、図 2 1 は、図 1 6 の波形図を状態図として表したものである。図 2 2 は、図 2 1 と同様、波形図を状態図として表したものである。

【 0 0 5 6 】

保持期間 T_h 中の電圧の種類は、全てのフレーム期間で同一でなくてもよい。例えば、 V_H フレーム期間と V_L フレーム期間とにおいて、電圧の種類が互いに異なってもよい。具体的には、図 2 3 に示したように、保持期間 T_h 中に 2 種類の電圧が順次印加されており、 V_H フレーム期間の保持期間 T_h の 2 番目の電圧 V_B と、 V_L フレーム期間の保持期間 T_h の 2 番目の電圧 V_A とが互いに異なってもよい。このとき、 V_H フレーム期間の保持期間 T_h の 1 番目の電圧 V_1 と、 V_L フレーム期間の保持期間 T_h の 1 番目の電圧 V_1 とが、互いに等しくなってもよいし、互いに異なってもよい。

【 0 0 5 7 】

また、保持期間 T_h 中の電圧の数が、全てのフレーム期間で同一でなくてもよい。例えば、トランジスタ 1 4 , 1 5 が p 型トランジスタである場合には、図 2 4 に示したように、 V_H フレーム期間の保持期間 T_h 中に 2 種類の電圧 (V_1 , V_2) が順次印加されており、 V_L フレーム期間の保持期間 T_h 中に 1 種類の電圧 (V_1) が印加されていてもよい。このとき、 V_L フレーム期間の保持期間 T_h 中に印加される電圧が、 V_H フレーム期間の保持期間 T_h 中の 1 番目の電圧と等しくなってもよい。また、例えば、トランジスタ 1 4 , 1 5 が n 型トランジスタである場合には、図 2 5 に示したように、 V_H フレーム期間の保持期間 T_h 中に 1 種類の電圧 (V_1) が印加されており、 V_L フレーム期間の保持期間 T_h 中に 2 種類の電圧 (V_1 , V_2) が順次印加されていてもよい。このとき、 V_H フレーム期間の保持期間 T_h 中に印加される電圧 (V_1) が、 V_L フレーム期間の保持期間 T_h 中の 1 番目の電圧 (V_1) と等しくなってもよい。

【 0 0 5 8 】

また、保持期間 T_h 中の電圧が複数ある場合に、保持期間 T_h の当初において、書込み期間 T_w 中に印加される電圧 (V_H , V_L) と等しい電圧が A C 的に (交互に) 印加されていてもよい。例えば、図 2 6 に示したように、 V_H フレーム期間では保持期間 T_h の当初において、電圧が V_H 、 V_L 、 V_H 、 V_L ... と順次印加され、 V_L フレーム期間では保持期間 T_h の当初において、電圧が V_L 、 V_H 、 V_L 、 V_H 、... と順次印加されていてもよい。

【 0 0 5 9 】

また、保持期間 T_h 中の電圧が複数ある場合に、保持期間 T_h 中の電圧を印加するタイミングは、例えば図 1 6 に示したように 1 フィールド期間内で 1 ラインごとに 1 H ずれていてもよい。また、保持期間 T_h 中の電圧が複数ある場合に、保持期間 T_h 中の電圧を印加するタイミングが、例えば図 2 7 に示したように 1 フィールド期間内で k ライン (k は正の整数) ごとに同期していてもよい。このとき、走査タイミングは、k ラインごとに 1 H × k だけずれていることが好ましい。また、共通接続線駆動回路 3 5 が、所定のフレーム期間内の保持期間 T_h において種類の互いに等しい電圧 (V_2) を複数の共通接続線 COM に所望の単位ごとに (k ラインごとに)、1 H × k ずつずらして順次印加することが好ましい。また、保持期間 T_h 中の電圧を印加するタイミングを k ラインごとに同期させる場合には、 V_H フレーム期間では保持期間 T_h 中の 1 番目の電圧を V_H とし、 V_L フレーム期間では保持期間 T_h 中の 1 番目の電圧を V_L とすることが好ましい。

【 0 0 6 0 】

また、特に自然画では、保持期間 T_h 中の電圧が複数ある場合に、一の電圧がフローティング電圧であってもよい。これは、自然画では、一の電圧がフローティング電圧となっても、画質の劣化が視認されにくいからである。例えば、図 2 8 に示したように、保

10

20

30

40

50

持期間 T_h 中の 1 番目の電圧がフローティング電圧となってもよい。ただし、この場合には、共通接続線 COM が他の配線（例えば信号線 DTL）からのカップリングを受けやすくなるので、例えば、図 29 に示したように、共通接続線 COM の電圧がカップリングに起因して波打つ。このとき、後述するように、フローティングされている共通接続線 COM 同士が共通接続線駆動回路 35 によって互いに接続される。これにより、ある共通接続線 COM をフローティングすることにより、その共通接続線 COM がフローティングとなる直前に保持していた電荷が、既にフローティングされている他の共通接続線 COM に分配される。その結果、フローティングされている共通接続線 COM の電圧が波打ちながら、所定の電圧（例えば上述の電圧 V_1 と同等の電圧）に収束していく。

【0061】

10

また、例えば、保持期間 T_h 中の前半において、所定の電圧 V_1 と、フローティング電圧とが共通接続線 COM に交互に印加されていてもよい。例えば、図 30、図 31 に示したように、1H 期間において、映像信号処理回路 31 から映像信号 30A に対応する信号電圧が信号線 DTL (i) に印加されている ON 期間（または ON 期間を含む期間）の電圧がフローティング電圧となっており、それ以外の期間の電圧が V_1 となってもよい。なお、ON 期間には、プリチャージ電圧が信号線 DTL (i) に印加されている期間が含まれていてもよい。

【0062】

次に、共通接続線駆動回路 35 の内部構成について説明する。なお、以下では、保持期間 T_h 中の電圧の種類が 2 種類となっている場合の内部構成の一例について説明する。

20

【0063】

共通接続線駆動回路 35 は、例えば、図 17 に示したように、共通接続線 COM に電氣的に接続されたスイッチング素子 36 を有している。スイッチング素子 36 は、共通接続線 COM ごとに一つずつ設けられており、例えば、3 つの出力端子を有している。スイッチング素子 36 の 1 つ目の出力端子は、配線 36A に接続されており、配線 36A を介してパルス発生装置 37 の出力端子に接続されている。スイッチング素子 36 の 2 つ目の出力端子は、配線 36B に接続されている。配線 36B は、例えば、図 17 に示したように、定電圧源 38 の出力端子に接続されている。定電圧源 38 は、配線 36B に所定の電圧 V_1 を出力するようになっている。スイッチング素子 36 の 3 つ目の出力端子は、配線 36C に接続されている。配線 36C は、例えば、図 17 に示したように、定電圧源 39 の出力端子に接続されている。定電圧源 39 は、配線 36C に所定の電圧 V_2 ($< V_1$) を出力するようになっている。

30

【0064】

共通接続線駆動回路 35 は、走査線 WSL に V_{on} が印加され、オンしている（選択対象の）サブピクセル 11 からなる水平ラインに対応して配置された共通接続線 COM をパルス発生装置 37 の出力端子に接続する。例えば、図 17 に示したように、共通接続線駆動回路 35 は、選択対象のサブピクセル 11R (i)、11G (i)、11B (i) からなる 1 つの行に対応して配置された共通接続線 COM (i) を、スイッチング素子 36 および配線 36A を介してパルス発生装置 37 の出力に接続して、その電圧を V_H にする。また、例えば、図 18 に示したように、共通接続線駆動回路 35 は、選択対象のサブピクセル 11R ($i+1$)、11G ($i+1$)、11B ($i+1$) からなる 1 つの行に対応して配置された共通接続線 COM ($i+1$) を、スイッチング素子 36 および配線 36A を介してパルス発生装置 37 の出力に接続して、その電圧を V_L にする。

40

【0065】

また、共通接続線駆動回路 35 は、走査線 WSL に電圧 V_{off} が印加され、オフしている（非選択対象の）サブピクセル 11 からなる複数の水平ラインのうち、非選択の時間が所定の時間を経過していない水平ラインに対応して配置された共通接続線 COM を、非選択の時間が所定の時間を経過するまで配線 36B に接続する。例えば、図 16、図 18 に示したように、共通接続線駆動回路 35 は、非選択対象のサブピクセル 11R ($i-2$)、11R ($i-1$)、11R (i) からなる 3 つの行に対応して配置された共通接続線 C

50

OM ($i - 2$) , COM ($i - 1$) , COM (i) を、スイッチング素子 36 を介して配線 36B に接続して、その電圧を V_1 する。

【 0066 】

さらに、共通接続線駆動回路 35 は、走査線 WSL に電圧 V_{off} が印加され、オフしている（非選択対象の）サブピクセル 11 からなる複数の水平ラインのうち、非選択の時間が所定の時間を経過した水平ラインに対応して配置された共通接続線 COM を配線 36C に接続する。例えば、図 16、図 19 に示したように、共通接続線駆動回路 35 は、非選択対象のサブピクセル 11R ($i - 2$) , 11R ($i - 1$) からなる 2 つの行に対応して配置された共通接続線 COM ($i - 2$) , COM ($i - 1$) を、スイッチング素子 36 を介して配線 36C に接続して、その電圧を V_2 する。

10

【 0067 】

なお、保持期間 T_h 中の電圧の種類が 3 種類以上となっている場合には、図示しないが、共通接続線駆動回路 35 が、例えば、以下のような構成となっていればよい。すなわち、共通接続線駆動回路 35 が、例えば、スイッチング素子 36 と、パルス発生装置 37 と、3 種類以上の定電圧回路と、パルス発生装置 37 に接続された配線 36A と、各定電圧回路に接続された配線とを備えていればよい。

【 0068 】

また、共通接続線駆動回路 35 は、定電圧源 38 , 39 の代わりに、ロジック回路を備えていてもよい。例えば、図 32 に示したように、共通接続線駆動回路 35 は、定電圧源 38 の代わりに、ロジック回路 41 を備えていてもよい。また、図示しないが、共通接続線駆動回路 35 が、共通接続線 COM の他端に、さらにもう 1 つ設けられていてもよい。

20

【 0069 】

また、保持期間 T_h 中の電圧が複数ある場合に、そのうちの 1 つの電圧がフローティング電圧となっているときには、例えば、共通接続線駆動回路 35 が、以下のような構成となっていればよい。すなわち、共通接続線駆動回路 35 が、例えば、図 33 に示したように、スイッチング素子 36 と、パルス発生装置 37 と、定電圧源 39 と、パルス発生装置 37 に接続された配線 36A と、フローティング状態となっている配線 36B と、定電圧源 39 に接続された配線 36C とを備えていればよい。また、例えば、図 34 に示したように、共通接続線駆動回路 35 が、フローティング状態となっている配線 36B とグラウンドとの間に高抵抗 R を備えていてもよい。このような場合には、配線 36B を実質的にフローティングとみなすことが可能である。

30

【 0070 】

次に、本実施の形態の液晶表示装置の動作について説明する。なお、以下では、保持期間 T_h 中の電圧の種類が 2 種類となっている場合の動作について説明する。

【 0071 】

（書込み期間 T_w ）

各フレーム期間の前半である書込み期間 T_w において、走査線駆動回路 34 によって複数の走査線 WSL に所望の単位で電圧 V_{on} が印加され、トランジスタ 14 , 15 がオンする。さらに、信号線駆動回路 33 によって信号電圧 V_{sig} が各信号線 DTL に印加されると共に、共通接続線駆動回路 35 によって電圧 V_L または電圧 V_H が選択対象のサブピクセル 11 に対応する共通接続線 COM に印加される。

40

【 0072 】

このとき、極性が 1 H 期間ごと、かつ 1 フレーム期間ごとに基準電圧 V_{ref} との関係で反転する信号電圧 V_{sig} が信号線駆動回路 33 によって各信号線 DTL に印加される（1 H 反転駆動、フレーム反転駆動）。さらに、各フレーム期間の書込み期間 T_w において、基準電圧 V_{ref} に対する極性が信号線 DTL の、基準電圧 V_{ref} に対する極性と逆になる電圧が共通接続線駆動回路 35 によって選択対象のサブピクセル 11 に対応する共通接続線 COM に印加される（コモン反転駆動）。これにより、書込み期間 T_w において、信号電圧 V_{sig} に対応する電圧 V_w が選択対象のサブピクセル 11 に書き込まれる（図 16 参照）。ここで、本実施の形態では、電圧 V_w の書込みに際して、1 H 反転駆動、フレーム反転

50

駆動およびコモン反転駆動がなされている。これにより、サブピクセル 11 に印加する信号電圧の振幅を小さくすることができ、消費電力を低く抑えることができる。

【0073】

(保持期間 T_h)

また、各フレーム期間の後半である保持期間 T_h において、走査線駆動回路 34 によって非選択対象のサブピクセル 11 に対応する走査線 W_{SL} に電圧 V_{off} が印加され、トランジスタ 14, 15 がオフする。これにより、書き込み期間 T_w 中に書き込まれた電圧 V_w が非選択対象のサブピクセル 11 において保持される。その結果、電圧 V_w に対応する輝度で各サブピクセル 11 が点灯する。

【0074】

ところで、保持期間 T_h の電圧 V_w を保持期間 T_h の間ずっと一定を保つことは、原理上、容易ではない。例えば、 V_H フレーム期間においては、図 2、図 8 に示したように、トランジスタ 14, 15 がオフすると、トランジスタ 14 とトランジスタ 15 との接続点である中間ノードの電圧 V_{mid} が負の方向に引っ張られるカップリングを受ける。これにより、電圧 V_{mid} がトランジスタ 14, 15 のオフ電圧に近い電圧となるので、液晶素子 16 からトランジスタ 14, 15 側に向かってリーク電流 I_1 が流れる。また V_H フレーム期間の書き込み直後においては、液晶素子 16 の電圧 V_{pix} は、1 H ごとに極性反転している信号線 D_{TL} の電圧の平均値 (電圧 $V_{sig-avg}$) よりも低いことから、信号線 D_{TL} からトランジスタ 14, 15 側に向かってリーク電流 I_2 が流れる。なお、電圧 $V_{sig-avg}$ は、1 H ごとに極性反転している信号線 D_{TL} の電圧の平均値である。

【0075】

また、例えば、 V_L フレーム期間においては、図 2、図 9 に示したように、トランジスタ 14, 15 がオフすると、トランジスタ 14 とトランジスタ 15 との接続点である中間ノードの電圧 V_{mid} が負の方向に引っ張られるカップリングを受ける。これにより、電圧 V_{mid} がトランジスタ 14, 15 のオフ電圧に近い電圧となるので、液晶素子 16 からトランジスタ 14, 15 側に向かってリーク電流 I_1 が流れる。また V_L フレーム期間の書き込み直後においては、液晶素子 16 の電圧 V_{pix} は、1 H ごとに極性反転している信号線 D_{TL} の電圧の平均値 (電圧 $V_{sig-avg}$) よりも高いことから、トランジスタ 14, 15 側から信号線 D_{TL} に向かってリーク電流 I_2 が流れる。なお、電圧 $V_{sig-avg}$ は、1 H ごとに極性反転している信号線 D_{TL} の電圧の平均値である。

【0076】

従って、例えば、図 12 に示したように、保持期間 T_h において、共通接続線駆動回路 35 によって非選択対象のサブピクセル 11 に対応する共通接続線 COM に一定の電圧が印加され続けた場合には、電圧 V_{pix} は、図 12 (A), (B) に示したようになる。すなわち、 V_H フレーム期間においては、図 12 (A) に示したように、電圧 V_{pix} は、保持期間 T_h の前半において負の方向に変化し、その後、正の方向に変化する。このように、 V_H フレーム期間においては、保持期間 T_h は、電圧 V_{pix} が負の方向に変化する期間 T_d を前半に有すると共に、電圧 V_{pix} が正の方向に変化する期間 T_u を後半に有している。一方、 V_L フレーム期間においては、図 12 (B) に示したように、電圧 V_{pix} は、保持期間 T_h の前半・後半共に、負の方向に変化する。このように、 V_L フレーム期間においては、保持期間 T_h は、電圧 V_{pix} が負の方向に変化する期間 T_d だけしか有していない。これは、共通接続線 COM の電圧 V_1 の値を調整する際に、 V_L フレーム期間の保持期間 T_h の前半と後半とにおいて、書き込まれた電圧 V_w の平均値 (液晶素子 16 に印加された電圧の平均値) を完全に等しくすることが容易ではないことを意味している。

【0077】

なお、図 12 (A), (B) は、トランジスタ 14, 15 が n 型である場合の波形である。トランジスタ 14, 15 が p 型である場合には、保持期間 T_h は、 V_H フレーム期間において、電圧 V_{pix} が正の方向に変化する期間 T_u だけしか有しておらず、 V_L フレーム期間において、電圧 V_{pix} が負の方向に変化する期間 T_d と、電圧 V_{pix} が正の方向に変化する期間 T_u とを有している。

10

20

30

40

50

【 0 0 7 8 】

一方、本実施の形態では、例えば、図 1 6 に示したように、保持期間 T_h において、共通接続線駆動回路 3 5 によって非選択対象のサブピクセル 1 1 に対応する共通接続線 C O M に複数種類 (2 種類) の電圧が印加される。これにより、電圧 V_{pix} は、図 3 5 (A) , (B) に示したようになる。すなわち、 V_H フレーム期間においては、図 3 5 (A) に示したように、電圧 V_{pix} は、保持期間 T_h の前半において負の方向に変化し、その後、正の方向に変化する。このように、 V_H フレーム期間においては、保持期間 T_h は、電圧 V_{pix} が負の方向に変化する期間 T_d を前半に有すると共に、電圧 V_{pix} が正の方向に変化する期間 T_u を後半に有している。 V_L フレーム期間においても、図 3 5 (B) に示したように、電圧 V_{pix} は、保持期間 T_h の前半において負の方向に変化し、その後、正の方向に変化する。このように、 V_L フレーム期間においても、保持期間 T_h は、電圧 V_{pix} が負の方向に変化する期間 T_d を前半に有すると共に、電圧 V_{pix} が正の方向に変化する期間 T_u を後半に有している。従って、本実施の形態では、共通接続線 C O M の電圧 V_1 , V_2 の値を調整したり、印加期間 (T_{h1} , T_{h2}) の長さを調整したりすることにより、 V_H フレーム期間および V_L フレーム期間の双方の保持期間 T_h の前半と後半とにおいて、書き込まれた電圧 V_w の平均値 (液晶素子 1 6 に印加される電圧の平均値) を完全にもしくはほぼ等しくすることができる。

10

【 0 0 7 9 】

言い換えると、本実施の形態では、各フレーム期間内の保持期間 T_h において一の液晶素子 1 6 の電圧が下降する期間 (T_d) と上昇する期間 (T_u) とを有するように、サブピクセル 1 1 が駆動される。さらに、一の種類の電圧 (V_1) が印加されている期間 (T_{h1}) と他の種類の電圧 (V_2) が印加されている期間 (T_{h2}) とにおいて、液晶素子 1 6 に印加される電圧の平均値が互いに等しくなるように、複数種類 (2 種類) の電圧が複数の共通接続線 C O M に印加される。

20

【 0 0 8 0 】

これにより、期間 T_{h1} と期間 T_{h2} とにおいて、サブピクセル 1 1 の輝度を等しくすることができる。その結果、フリッカを低減することが可能となる。ところで、本実施の形態では、各フレーム期間の長さを従来の長さよりも短くする (つまりフレーム周波数を上げる) 必要はないことから、高速駆動を行わなくても、フリッカを低減することが可能となる。また、高速駆動を行わない場合には、フリッカを低減することができるだけでなく、消費電力の増大も抑えることができる。また、フリッカを低減することができることから、従来よりもバックライト 2 0 の輝度を上げることができる。その結果、フリッカを抑えつつ、高コントラスト、高輝度などの高画質を実現することができる。また、本実施の形態では、サブピクセル 1 1 の構成や形状に制約が加わることがないので、開口率が低下したり、製造プロセスで使用するマスクの数が増大したりする虞がない。

30

【 0 0 8 1 】

また、本実施の形態では、上記実施の形態と同様、保持期間 T_h 中の共通接続線 C O M の電圧が電圧 V_{cent} よりも小さな電圧 V_1 , V_2 に調整されている。これにより、保持期間 T_h においてフリッカが最も小さくなる電圧値 (最適値 V_{best}) が上昇する (図 1 3 、図 1 4 参照) 。ここで、最適値 V_{best} は、図 1 5 に示したように、中間階調における最適値となっている。保持期間 T_h 中の共通接続線 C O M の電圧が電圧 V_{cent} に調整されているときの最適値 V_{best-1} は、高階調時の最適値から遠く離れた値となっている。一方、保持期間 T_h 中の共通接続線 C O M の電圧が電圧 V_1 に調整されているときの最適値 V_{best-2} は、高階調時の最適値に近い値となっている。従って、書込み期間 T_w において共通接続線 C O M に印加される電圧の中心値 ((上限値 (電圧 V_H) + 下限値 (電圧 V_L) / 2) を最適値 V_{best-2} とすることにより、全ての表示階調においてフリッカを低減することができる。

40

【 0 0 8 2 】

そこで、本実施の形態でも、液晶表示装置の生産時 (出荷時) に、書込み期間 T_w において共通接続線 C O M に印加される電圧の中心値 ((上限値 (電圧 V_H) + 下限値 (電圧

50

$V_L) / 2$) が最適値 V_{best-2} となるように、電圧 V_H , V_L の値が調整される。このように、本実施の形態の液晶表示装置でも、保持期間 T_h 中の共通接続線 COM の電圧が電圧 V_{cent} よりも小さな電圧 V_1 , V_2 に調整されていることにより、従来では調整の難しかった全階調におけるフリッカの調整を容易に行うことができる。これにより、高階調時のフリッカによる焼き付きを低減することもできる。

【 0 0 8 3 】

なお、本実施の形態において、保持期間 T_h 中の、共通接続線 COM の電圧の種類が、各フレーム期間で同一であっても、全てのフレーム期間で同一でなくても、 V_H フレーム期間および V_L フレーム期間の双方の保持期間 T_h において、書き込まれた電圧 V_w の平均値を等しくすることができる。また、保持期間 T_h 中の、共通接続線 COM の電圧の数が、全てのフレーム期間で同一でなくても、 V_H フレーム期間および V_L フレーム期間の双方の保持期間 T_h において、書き込まれた電圧 V_w の平均値を等しくすることができる。

10

【 0 0 8 4 】

また、本実施の形態では、保持期間 T_h 中に、選択対象のサブピクセル 1 1 に対応して配置された共通接続線 COM と、非選択対象のサブピクセル 1 1 に対応して配置された複数の共通接続線 COM とが互いに電氣的に分離される。これにより、全てのサブピクセル 1 1 に対して共通の電極を設けた場合と比べて、駆動時の容量を小さくすることができる。また、本実施の形態では、保持期間 T_h 中に、非選択対象のサブピクセル 1 1 に対応して配置された複数の共通接続線 COM のうち互いに異なる電圧を印加している共通接続線 COM 同士も互いに電氣的に分離される。これにより、非選択対象のサブピクセル 1 1 において、互いに等しい電圧が印加されている共通接続線 COM 同士の間に、電圧差が発生しない。これにより、消費電力および光り抜けの双方を低く抑えつつ、共通接続線 COM の充放電を高速で行うことが可能となる。

20

【 0 0 8 5 】

なお、保持期間 T_h 中に印加される各種の電圧が互いに大きく変わらないことが好ましい。このようにした場合には、互いに異なる電圧が印加された共通接続線 COM 同士の間に大きな横方向電界が生じなくなるので、この部分での光り抜けを低減することができる。

【 0 0 8 6 】

また、本実施の形態では、図 1 9、図 2 0 に示したように、信号線駆動回路 3 3 がフレーム反転駆動を行っている際に、共通電極（共通接続線 COM）に供給する電圧の極性を 1 フレーム期間毎に反転させるコモン反転駆動が行われる。これにより、サブピクセル 1 1 に印加する信号電圧の振幅を小さくすることができるので、消費電力をより一層、低く抑えることができる。

30

【 0 0 8 7 】

また、本実施の形態において、例えば、図 2 8 ~ 図 3 1 に示したように、共通接続線 COM を所定の間、フローティングにした場合には、信号線 DTL と共通接続線 COM との配線容量が劇的に小さくなる。その結果、消費電力をより一層、低く抑えることができる。

【 0 0 8 8 】

また、本実施の形態において、例えば、図 3 2 に示したように、定電圧源 3 8 の代わりに、ロジック回路 4 1 を設け、保持期間中の共通接続線 COM の電位がフローティングによって不安定となる期間（図 2 9 中で波打っている期間）と、それ以外の期間（図 2 9 中で波打っていない期間）とをロジック回路 4 1 で制御するようにしてもよい。これにより、フローティングによる低消費電力化と、定電流源チャージによる低ノイズとの両メリットを得ることができる。

40

【 0 0 8 9 】

また、図示しないが、共通接続線駆動回路 3 5 が、共通接続線 COM の他端に、さらにもう 1 つ設けられている場合には、共通接続線 COM の駆動能力を高めることができる。

【 0 0 9 0 】

以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定される

50

ものではなく、種々変形が可能なものである。例えば、上記実施の形態では、保持期間 T_h 中に、共通接続線 COM や中間ノード線 MID に印加する電圧が、DC 電圧となっていたが、DC 成分を含む AC 電圧であってもよい。

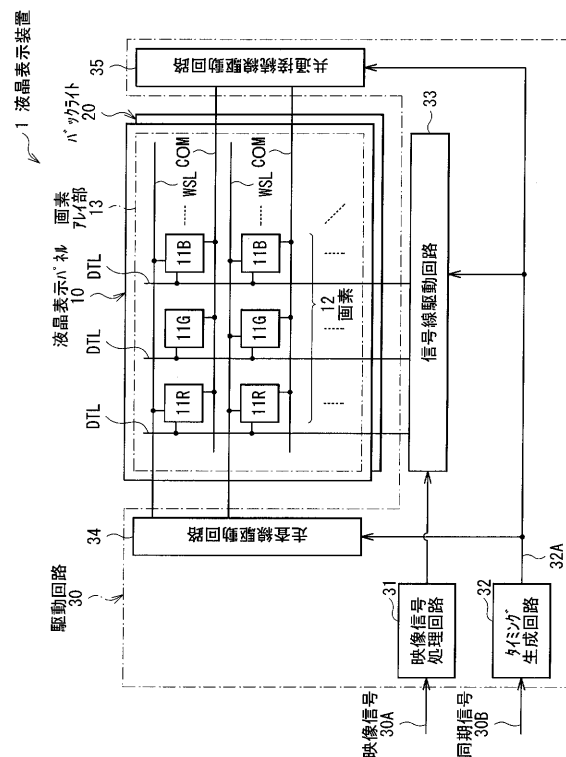
【符号の説明】

【0091】

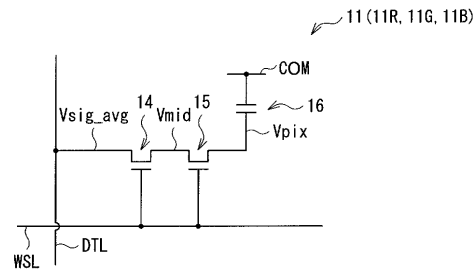
1 ... 液晶表示装置、10 ... 液晶表示パネル、11, 11R, 11G, 11B ... サブピクセル、12 ... 画素、13 ... 画素アレイ部、14, 15 ... トランジスタ、16 ... 液晶素子、17 ... 配線容量、20 ... バックライト、30 ... 駆動回路、30A ... 映像信号、30B ... 同期信号、31 ... 映像信号処理回路、32 ... タイミング生成回路、32A ... 制御信号、33 ... 信号線駆動回路、34 ... 走査線駆動回路、35 ... 共通接続線駆動回路、36 ... スイッチング素子、36A, 36B, 36C ... 配線、37 ... パルス発生装置、38, 39 ... 定電圧源、41 ... ロジック回路、COM ... 共通接続線、DTL ... 信号線、MID ... 中間ノード線、WSL ... 走査線。

10

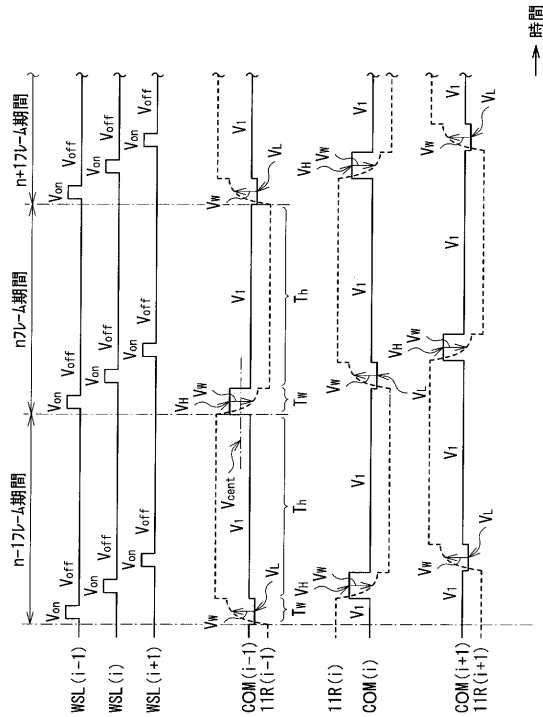
【図1】



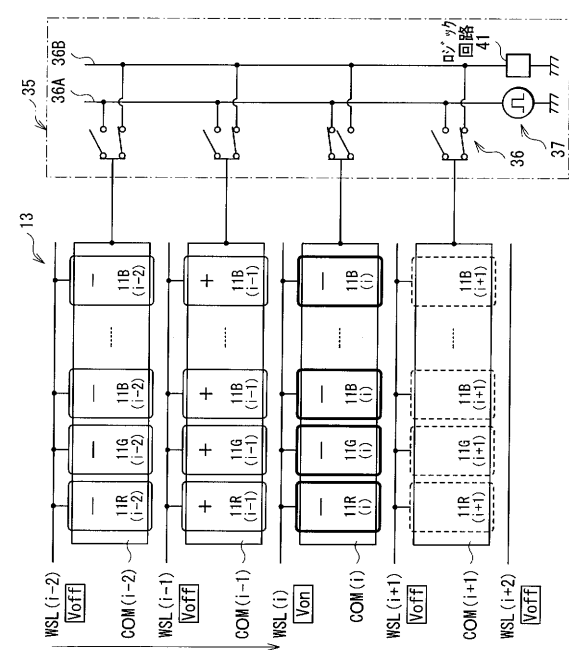
【図2】



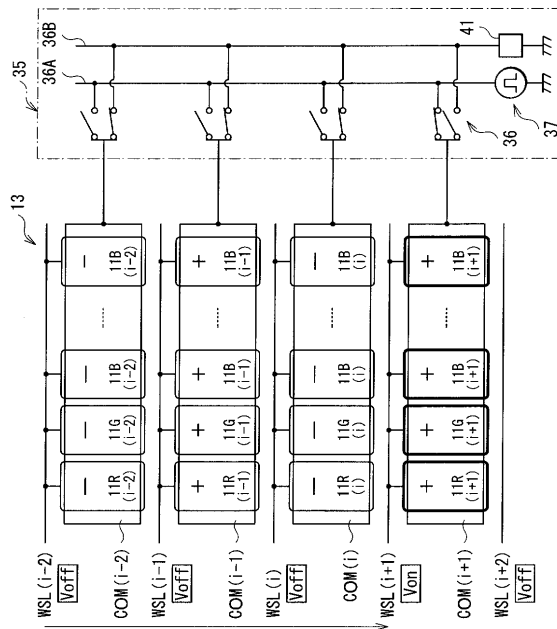
【図 3】



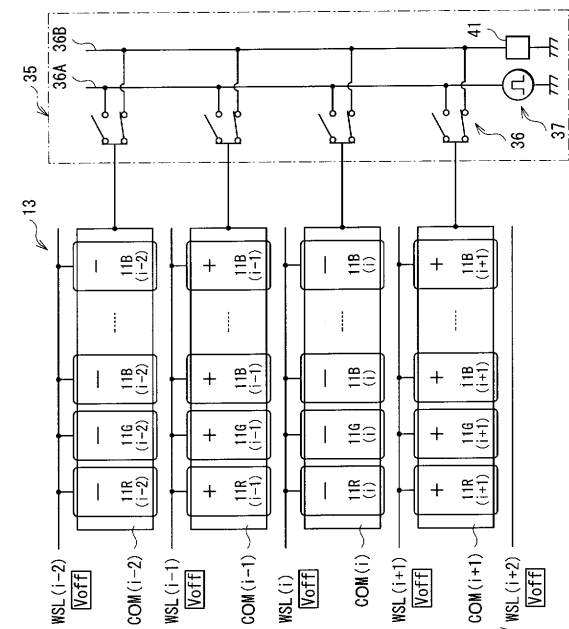
【図 4】



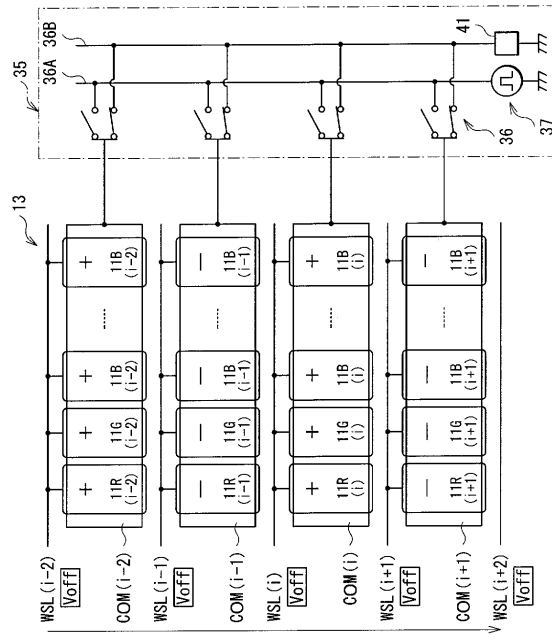
【図 5】



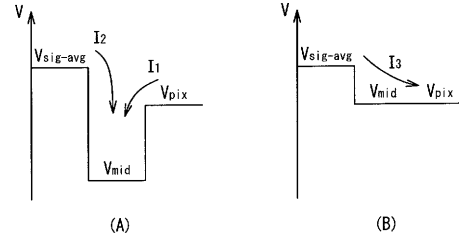
【図 6】



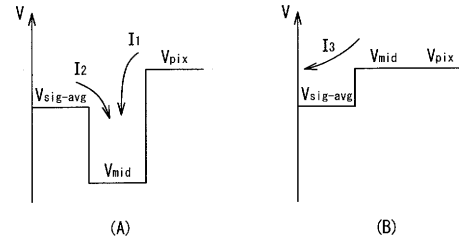
【図 7】



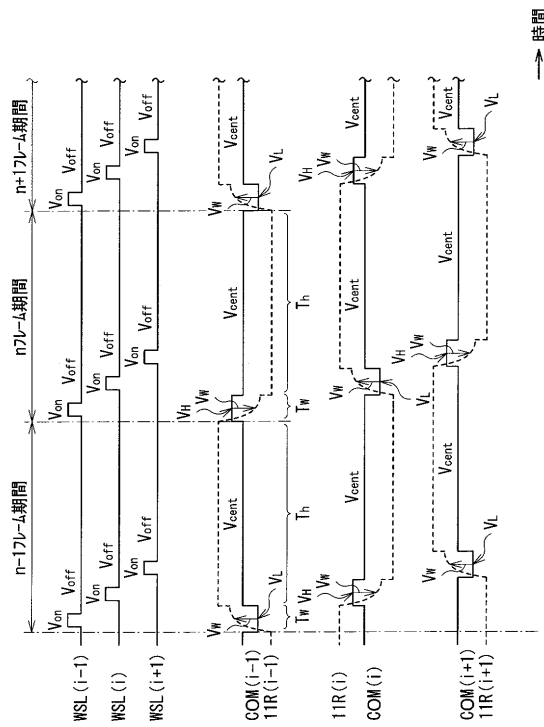
【図 8】



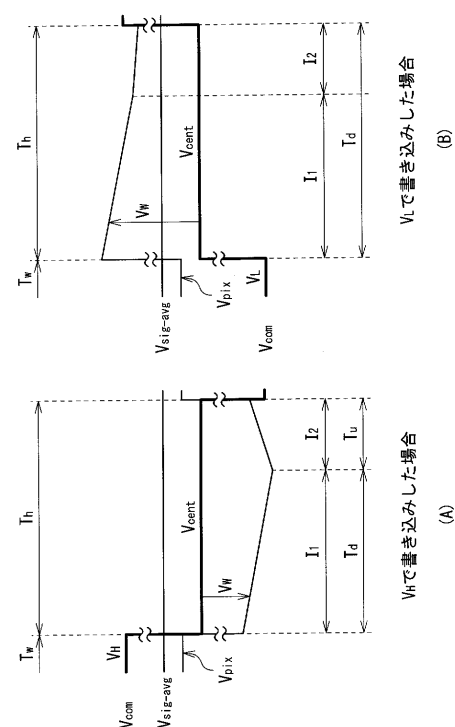
【図 9】



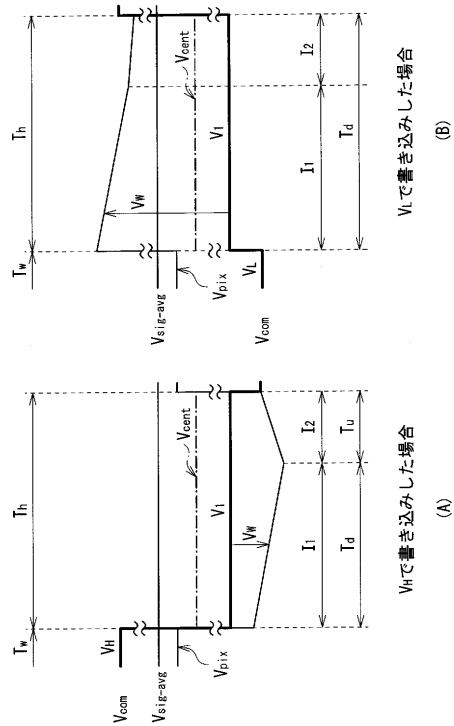
【図 10】



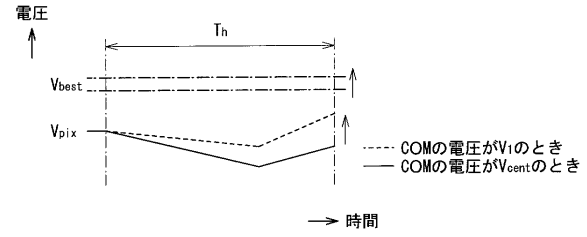
【図 11】



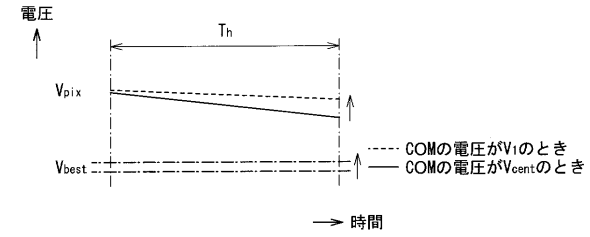
【図 1 2】



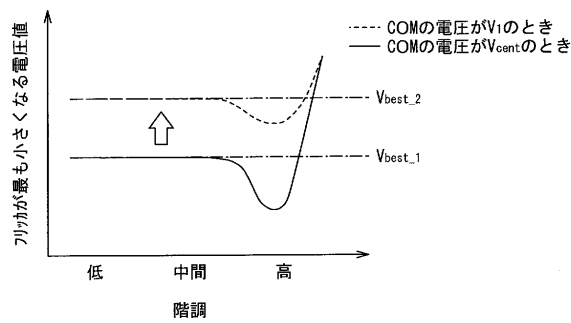
【図 1 3】



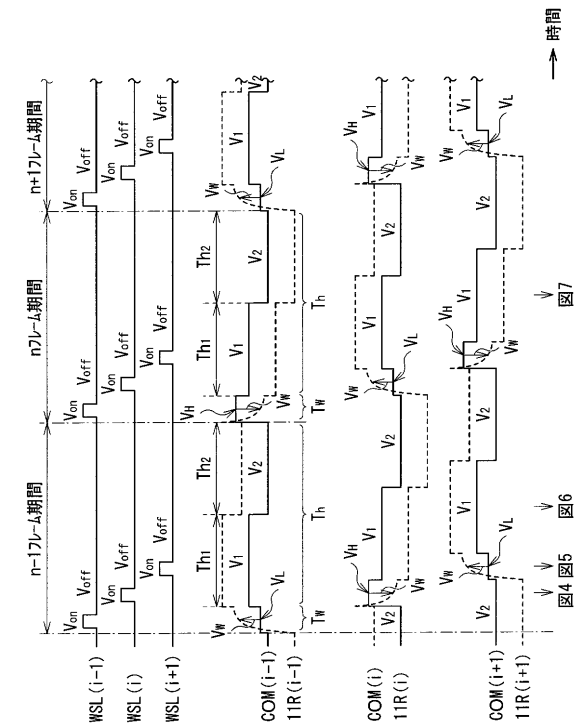
【図 1 4】



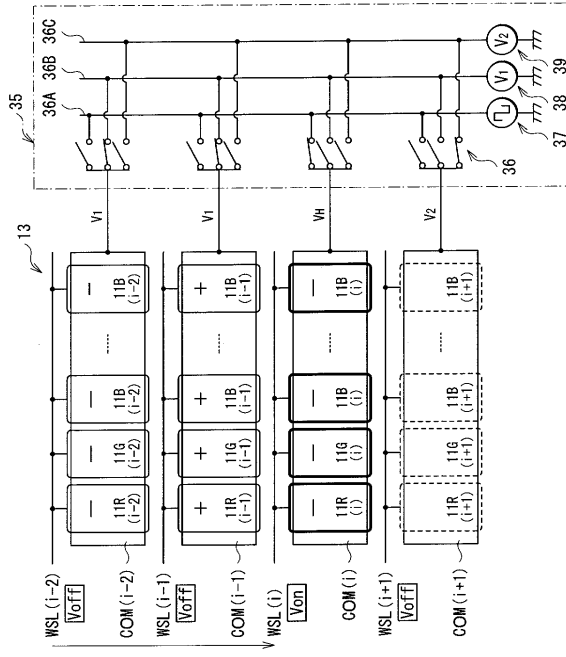
【図 1 5】



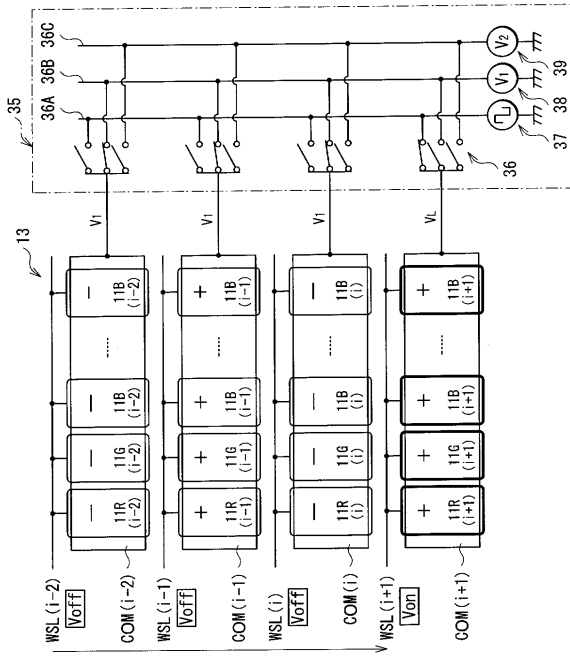
【図 1 6】



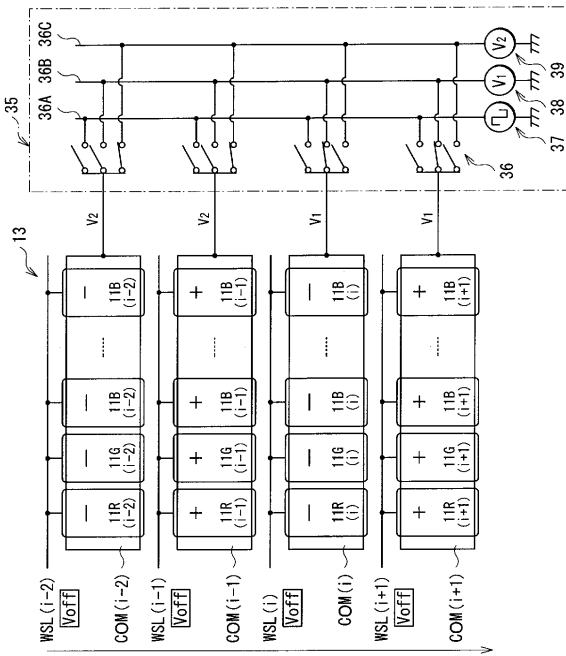
【図 17】



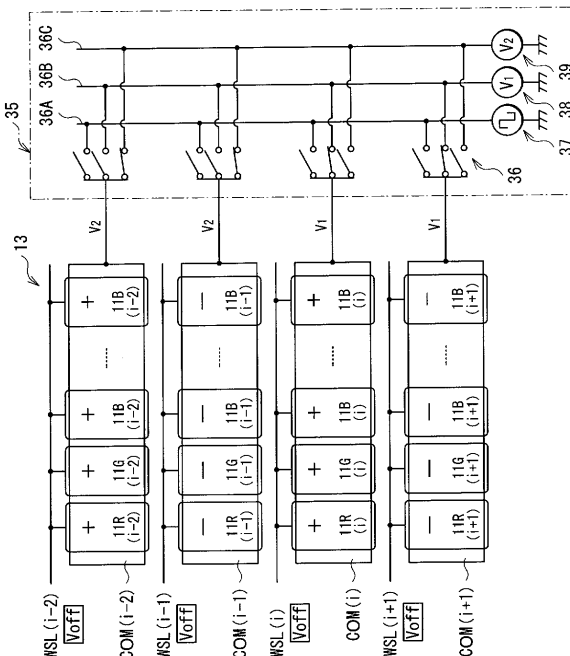
【図 18】



【図 19】



【図 20】



【 2 1 】

WSL (i-1)	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}
WSL (i)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
WSL (i+1)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
COM (i-1)	V_L	V_1	V_2	V_H	V_1	V_2
COM (i)	V_2	V_H	V_1	V_L	V_1	V_2
COM (i+1)	V_2	V_L	V_1	V_H	V_1	V_2

【 2 2 】

WSL (i-1)	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}
WSL (i)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
WSL (i+1)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
COM (i-1)	V_L	V_1	V_2	V_n	V_H	V_1
COM (i)	V_n	V_H	V_1	V_2	V_n	V_L
COM (i+1)	V_n	V_L	V_1	V_2	V_n	V_H

【 2 3 】

WSL (i-1)	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}
WSL (i)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
WSL (i+1)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
COM (i-1)	V_L	V_1	V_A	V_H	V_1	V_L
COM (i)	V_A	V_H	V_1	V_L	V_A	V_1
COM (i+1)	V_B	V_L	V_1	V_A	V_H	V_L

【 2 4 】

WSL (i-1)	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}
WSL (i)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
WSL (i+1)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
COM (i-1)	V_L	V_1	V_H	V_1	V_L	V_1
COM (i)	V_2	V_H	V_1	V_L	V_1	V_H
COM (i+1)	V_2	V_L	V_1	V_H	V_1	V_L

【 2 5 】

WSL (i-1)	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}
WSL (i)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
WSL (i+1)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
COM (i-1)	V_L	V_1	V_2	V_H	V_1	V_L
COM (i)	V_2	V_H	V_1	V_L	V_1	V_H
COM (i+1)	V_2	V_L	V_1	V_2	V_H	V_1

【 2 6 】

WSL (i-1)	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}
WSL (i)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
WSL (i+1)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
COM (i-1)	V_L	V_H	V_L	V_H	V_L	V_H
COM (i)	V_2	V_H	V_L	V_H	V_L	V_H
COM (i+1)	V_2	V_L	V_H	V_L	V_H	V_2

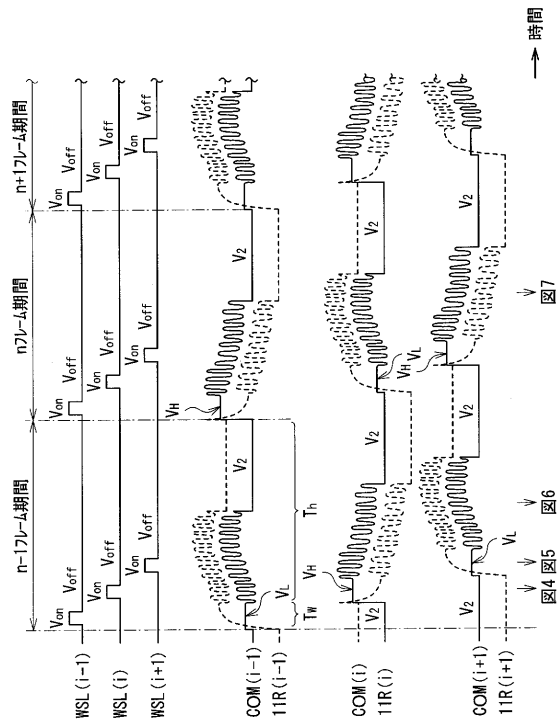
【 2 7 】

WSL (1)	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}
WSL (k)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
WSL (k+1)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
COM (1)	V_L/V_H	V_2	V_L/V_H	V_2	V_L/V_H	V_2
COM (2)	V_L/V_H	V_2	V_L/V_H	V_2	V_L/V_H	V_2
COM (k)	V_L/V_H	V_2	V_L/V_H	V_2	V_L/V_H	V_2
COM (k+1)	V_2	V_L/V_H	V_2	V_L/V_H	V_2	V_L/V_H
COM (k+2)	V_2	V_L/V_H	V_2	V_L/V_H	V_2	V_L/V_H
COM (2k)	V_2	V_L/V_H	V_2	V_L/V_H	V_2	V_L/V_H

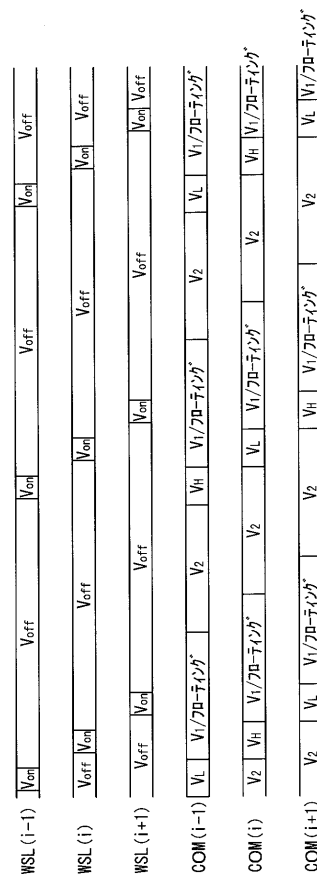
【 2 8 】

WSL (i-1)	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}
WSL (i)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
WSL (i+1)	V_{off}	V_{on}	V_{off}	V_{on}	V_{off}	V_{on}
COM (i-1)	V_L	V_H	V_L	V_H	V_L	V_H
COM (i)	V_2	V_H	V_L	V_H	V_2	V_H
COM (i+1)	V_2	V_L	V_H	V_L	V_2	V_H

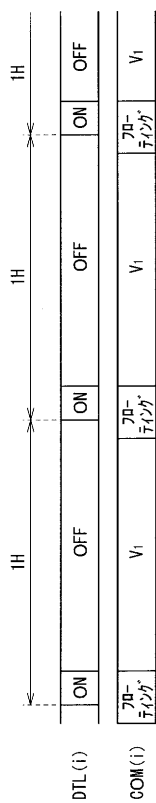
【図 29】



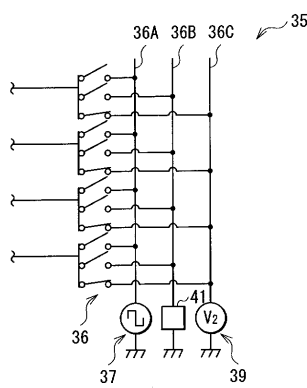
【図 30】



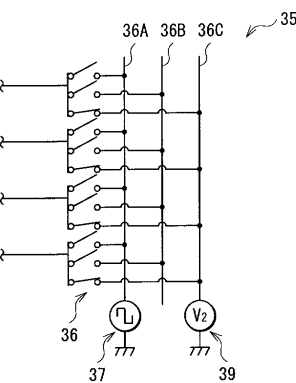
【図 31】



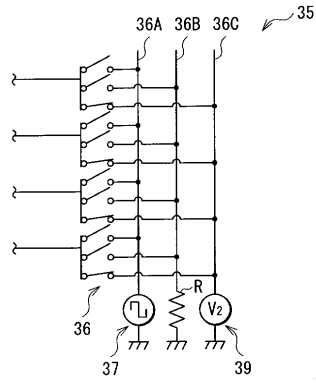
【図 32】



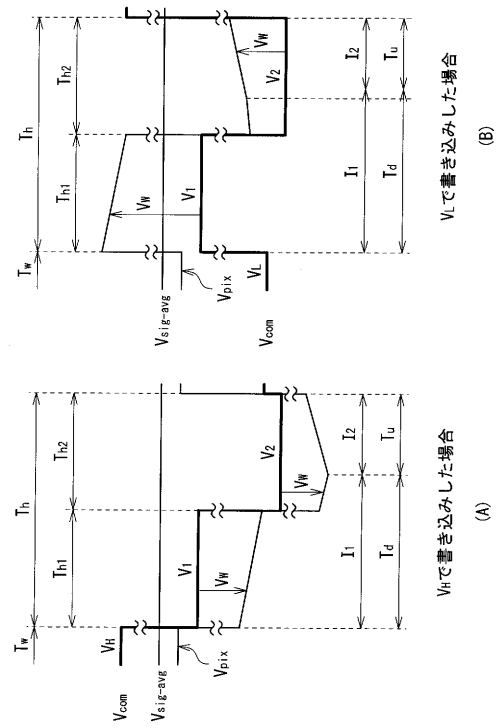
【図 33】



【図 34】



【図 35】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 E
G 0 2 F 1/133 5 7 5

(72)発明者 竹内 剛也
東京都港区港南1丁目7番1号 ソニー株式会社内
(72)発明者 佐藤 友彦
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 西島 篤宏

(56)参考文献 特開2001-296554(JP,A)
特開2001-282206(JP,A)
特開2008-145837(JP,A)
特開2008-216725(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5306926B2	公开(公告)日	2013-10-02
申请号	JP2009163134	申请日	2009-07-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	有限公司日本西显示器		
[标]发明人	ジャルプーンボンウィーラボン 竹内剛也 佐藤友彦		
发明人	ジャルプーンボン ウィーラボン 竹内 剛也 佐藤 友彦		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G3/3614 G09G2310/08 G09G2320/0247		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.621.B G09G3/20.624.C G09G3/20.624.D G09G3/20.624.E G02F1/133.575 G09G3/20.611.A		
F-TERM分类号	2H193/ZA04 2H193/ZA09 2H193/ZA19 2H193/ZB07 2H193/ZB08 2H193/ZB09 2H193/ZC04 2H193/ZC16 2H193/ZC25 2H193/ZC28 2H193/ZD13 2H193/ZD23 2H193/ZF59 2H193/ZG04 2H193/ZG12 2H193/ZG14 2H193/ZQ11 2H193/ZQ16 5C006/AA16 5C006/AA22 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF44 5C006/AF52 5C006/BB16 5C006/BC06 5C006/BF24 5C006/FA23 5C006/FA47 5C006/FA51 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD26 5C080/DD28 5C080/EE17 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	酒井宏明 高村秩序		
其他公开文献	JP2011017943A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够减少所有显示灰度的闪烁的液晶显示装置。在保持时段 T_h 期间在写入时段 T_w 中施加上限电压 V_L ， $V(\text{sub} > L)$ （电压 V_{cent} ）在上限值 V_H 和下限值 V_H 之间）一个与电压 V_1 不同的电压施加上限电压 V_L 。结果，在保持时段 T_h 中闪烁变得最小的电压值上升到接近高灰度的最佳值的值，使得闪烁在所有显示灰度下减小。点域

【图1】

