

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5123277号

(P5123277)

(45) 発行日 平成25年1月23日(2013. 1. 23)

(24) 登録日 平成24年11月2日(2012. 11. 2)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 611E

G09G 3/20 641E

G09G 3/20 621B

G09G 3/20 641G

請求項の数 5 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2009-256822 (P2009-256822)
 (22) 出願日 平成21年11月10日(2009. 11. 10)
 (65) 公開番号 特開2010-145989 (P2010-145989A)
 (43) 公開日 平成22年7月1日(2010. 7. 1)
 審査請求日 平成21年11月10日(2009. 11. 10)
 (31) 優先権主張番号 10-2008-0128823
 (32) 優先日 平成20年12月17日(2008. 12. 17)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル、ヨンドンポグ、ヨ
 ウーテロ 128
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100104352
 弁理士 朝日 伸光
 (74) 代理人 100128657
 弁理士 三山 勝巳
 (74) 代理人 100160967
 弁理士 ▲濱▼口 岳久

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のデータライン、前記データラインと交差される n 個のゲートライン、前記データラインとゲートラインの交差部に接続された複数の T F T、及び前記 T F T に接続されて $m \times n$ マトリックス形態に配置された液晶セルを含む液晶表示パネル、前記 m 、 n は正の整数であり、

デジタルビデオデータを垂直極性制御信号に応答して前記データラインに供給される正極性/負極性データ電圧に変換し、水平極性制御信号に応答して前記正極性/負極性データ電圧の水平極性反転周期を調節するデータ駆動回路と、

前記垂直極性制御信号と前記水平極性制御信号を発生し、入力デジタルビデオデータに F R C 補正値を加算して前記データ駆動回路に供給し、前記入力デジタルビデオデータから所定の脆弱パターンを検出して前記脆弱パターンのデータが検出される時前記垂直極性制御信号の論理反転周期と前記水平極性制御信号の論理の内、何れか一つを変更し、前記 F R C 補正値が加算されるデータ位置を変更するタイミングコントローラを備え、

前記脆弱パターンのデータは、

前記液晶表示パネルの垂直及び水平方向それぞれでホワイトデータとブラックデータが交互する第 1 脆弱パターンのデータと、

前記ホワイトデータと前記ブラックデータがストライプパターンを形成する第 2 脆弱パターンのデータを含み、

前記タイミングコントローラは、

10

20

i (iは6以上の自然数) b i t s のデジタルビデオデータのビット数を拡張するビット拡張部と、

前記ビット拡張部からの拡張されたデジタルビデオデータでM S B i - j (jはiより小さな自然数) b i t s のデータに前記F R C補正値を加算してj b i t s のデジタルビデオデータを前記データ駆動回路に供給するF R C処理部と、

前記入力デジタルビデオデータを分析して第1及び第2脆弱パターンのデータを検出するイメージ分析部と、

前記F R C補正値が加算されるデータの位置がお互いに異なるように指定された第1乃至第3 F R Cパターンが入力されて前記イメージ分析部の制御の下に前記脆弱パターン以外のデータが入力される時前記第1 F R Cパターンのデータを前記F R C処理部に供給し、前記第1脆弱パターンのデータが入力される時前記第2 F R Cパターンを前記F R C処理部に供給して、前記第2脆弱パターンのデータが入力される時前記第3 F R Cパターンを前記F R C処理部に供給する第1選択部と、

10

垂直/水平極性制御データに応答して2水平期間単位で論理が反転されるパルスを含む第1極性制御信号、4水平期間単位で論理が反転されるパルスを含む第2極性制御信号、第1論理の第3極性制御信号、第2論理の第4極性制御信号を発生する垂直/水平極性制御信号発生部と、

前記イメージ分析部の制御の下に前記第1脆弱パターン以外のデータが入力される時前記第1極性制御信号を前記垂直極性制御信号で選択し、前記第1脆弱パターンのデータが入力される時前記第2極性制御信号を前記垂直極性制御信号で選択する第2選択部と、

20

前記イメージ分析部の制御の下に前記第2脆弱パターン以外のデータが入力される時前記第3極性制御信号を前記水平極性制御信号で選択し、前記第2脆弱パターンのデータが入力される時前記第4極性制御信号を前記水平極性制御信号で選択する第3選択部と、

I 2 C通信プロトコルを通じてE E P R O Mから前記F R Cパターンを受信して前記第1選択部に供給し、前記E E P R O Mから前記垂直/水平極性制御データを受信して前記垂直/水平極性制御信号発生部に供給するI 2 Cマスターを備えることを特徴する液晶表示装置。

【請求項2】

前記データラインの個数は $m/2$ 個であり、

前記データ駆動回路は左右で隣り合う前記液晶セルに充電される2色の前記正極性/負極性データ電圧を同一なデータラインに時分割供給することを特徴とする、請求項1記載の液晶表示装置。

30

【請求項3】

前記脆弱パターン以外のデータが前記液晶表示パネルに表示される時前記液晶表示パネルの液晶セルに充電される前記正極性/負極性データ電圧は垂直1ドット及び水平2ドットインバージョン形態の極性パターンを有することを特徴とする、請求項1記載の液晶表示装置。

【請求項4】

前記第1脆弱パターンのデータが前記液晶表示パネルに表示される時前記液晶表示パネルの液晶セルに充電される前記正極性/負極性データ電圧は垂直2ドット及び水平2ドットインバージョン形態の極性パターンを有することを特徴とする、請求項1記載の液晶表示装置。

40

【請求項5】

前記第2脆弱パターンのデータが前記液晶表示パネルに表示される時前記液晶表示パネルの液晶セルに充電される前記正極性/負極性データ電圧は垂直1ドット及び水平4ドットインバージョン形態の極性パターンを有することを特徴とする、請求項1記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

アクティブマトリックス (Active Matrix) 駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下“TFT”とする) を利用して動画を表示している。この液晶表示装置は陰極線管 (Cathode Ray Tube、CRT) に比べて小型化が可能でポータブル情報機器、事務機器、コンピューターなどで表示器に応用されることは勿論、テレビにも応用されて陰極線管を早く取り替えている。

【0003】

液晶表示装置の液晶セルは画素電極に供給されるデータ電圧と共通電極に供給される共通電圧の電位差によって透過率を変化させることで画像を表示する。液晶表示装置は一般的に液晶の劣化を防止するために液晶に印加されるデータ電圧の極性を周期的に反転させるインバージョン (inversion) 方式に駆動されている。

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、液晶表示装置がインバージョン方式に駆動されれば液晶セルに充電されるデータ電圧の極性とそのデータ電圧の相関関係によって液晶表示装置の画質が低下することがある。これは液晶セルに充電されるデータ電圧によって液晶セルに充電されるデータ電圧の極性において、正極性と負極性の均衡がとれずに、ある一極性が優勢極性になって、それによって共通電極に印加される共通電圧がシフトされるからである。共通電圧がシフトされれば液晶セルの基準電位が揺れるので、観察者は液晶表示装置に表示された画像でフリッカ (flicker) やスミア (smear) 現象を感じることができるとい問題があった。

【0005】

そこで、本発明は、前記問題に鑑みてなされたものであり、本発明の目的とするところは、入力データのビット数より小さなビット数のデータで液晶表示パネルを駆動しながらも入力データの階調数より多い階調数で画像を表示してデータ駆動回路の出力チャンネル数を減らすことができ、いずれのデータパターンでも画質が低下されない液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

前記課題を解決するために、本発明の液晶表示装置は複数のデータライン、前記データラインと交差される n 個のゲートライン、前記データラインとゲートラインの交差部に接続された複数の TFT、及び前記 TFT に接続されて $m \times n$ マトリックス形態に配置された液晶セルを含む液晶表示パネルと、デジタルビデオデータを垂直極性制御信号に応答して前記データラインに供給される正極性/負極性データ電圧に変換し、水平極性制御信号に応答して前記正極性/負極性データ電圧の水平極性反転周期を調節するデータ駆動回路と、前記垂直極性制御信号と前記水平極性制御信号を発生し、入力デジタルビデオデータに FRC 補正値を加算して前記データ駆動回路に供給し、前記入力デジタルビデオデータから所定の脆弱パターンを検出して前記脆弱パターンのデータが検出される時前記垂直極性制御信号の論理反転周期と前記水平極性制御信号の論理の内何れか一つを変更し、前記 FRC 補正値が加算されるデータ位置を変更するタイミングコントローラを備える。

【発明の効果】

【0007】

以上説明したように本発明の実施形態に係る液晶表示装置は FRC を適用して入力データのビット数より小さなビット数のデータで液晶表示パネルを駆動しながらも入力データの階調数より多い階調数で画像を表示して一つのデータラインを通じて左右液晶セルにデータ電圧を供給することでデータ駆動回路の出力チャンネル数を減らすことができる。ま

た、本発明の実施形態に係る液晶表示装置は脆弱パターンのデータが入力される時液晶表示パネルの液晶セルに充電されるデータ電圧の垂直極性反転周期または水平極性反転周期を変更していずれのデータパターンでも画質が低下されない。

【図面の簡単な説明】

【0008】

【図1】本発明の実施形態に係る液晶表示装置を示すブロック図である。

【図2】図1に示された液晶表示パネルの画素アレイ一部を示す等価回路図である。

【図3】タイミングコントローラ11でデータ処理部分の回路構成を詳しく示す回路図である。

【図4】図1に示されたデータ駆動回路のソースドライブICを詳しく示す等価回路図である。 10

【図5】図1に示されたデータ駆動回路のソースドライブICを詳しく示す等価回路図である。

【図6】図1に示されたゲート駆動回路を詳しく示す回路図である。

【図7】第1FRCパターンの一例を示す図である。

【図8】脆弱パターンがタイミングコントローラに入力される時、垂直極性制御信号と水平極性制御信号の変化を示す波形図である。

【図9】シャットダウンパターンがタイミングコントローラに入力される時、液晶表示パネルに供給されるデータ電圧の極性パターン変化を示す図である。

【図10】スミアパターンがタイミングコントローラに入力される時、液晶表示パネルに供給されるデータ電圧の極性パターン変化を示す図である。 20

【図11】図1に示されたタイミングコントローラに入力されるデータによってタイミングコントローラから出力される極性制御信号及びFRCパターンの変化と、それによって変化される液晶表示パネルのデータ電圧極性パターンを示す図である。

【発明を実施するための形態】

【0009】

前記目的以外に本発明の他の目的及び特徴は添付した図面を参照した実施形態の説明を通じて明白になる。

【0010】

以下に添付図面の図1乃至図11を参照しながら、本発明の好適な実施の形態について詳細に説明する。 30

【0011】

図1を参照すれば、本発明の実施形態に係る液晶表示装置は液晶表示パネル10、タイミングコントローラ11、データ駆動回路12、及びゲート駆動回路13を備える。データ駆動回路12は複数のソースドライブIC(Integrated Circuit)を含む。ゲート駆動回路13は複数のゲートドライブICを含む。

【0012】

液晶表示パネル10は二枚のガラス基板の間に液晶層が形成される。液晶表示パネルはデータライン(D1~Dm/2、mは自然数)とゲートライン(G1~Gn、nは自然数)の交差構造によってマトリックス形態に配置されたm×n個の液晶セルC1cを含む。 40

【0013】

液晶表示パネル10の下部ガラス基板にはデータラインD1~Dm、ゲートラインG1~Gn、TF T、及びストレージキャパシターCstなどを含む画素アレイが形成される。液晶セルC1cはTF Tに接続されて画素電極1と共通電極2の間の電界によって駆動される。液晶表示パネル10の上部ガラス基板上にはブラックマトリックス、カラーフィルター及び共通電極2が形成される。

【0014】

共通電極2はTN(Twisted Nematic)モードとVA(Vertical Alignment)モードのような垂直電界駆動方式で上部ガラス基板上に形成されて、IPS(In Plane Switching)モードとFFS(Fringe 50

Field Switching) モードのような水平電界駆動方式で画素電極 1 と共に下部ガラス基板上に形成される。

【0015】

液晶表示パネル 10 の上部ガラス基板と下部ガラス基板それぞれには偏光板が附着して液晶のプレチルト角 (pre-tilt angle) を設定するための配向膜が形成される。

【0016】

本発明で適用可能な液晶表示パネル 10 の液晶モードは前述の TN モード、VA モード、IPS モード、FFS モードだけではなくいずれの液晶モードでも具現されることができる。また、本発明の液晶表示装置は透過型液晶表示装置、反透過型液晶表示装置、反射型液晶表示装置などいずれの形態でも具現されることができる。透過型液晶表示装置と反透過型液晶表示装置では図面で省略されたバックライトユニットが必要である。

10

【0017】

タイミングコントローラ 11 は FRC (frame rate control) を利用して階調を拡張することでデータ駆動回路 12 に供給されるデジタルビデオデータ RGB のビット数を減らす。タイミングコントローラ 11 は i (i は 6 以上の自然数) ビット (bits) 入力デジタルビデオデータに FRC 補正値を加算して j (j は i より小さな自然数ビット (bits) のデジタルビデオデータを発生し、その j ビットのデジタルビデオデータを mini LVDS (Low-voltage differential signaling) 方式でデータ駆動回路 12 に供給する。図 3 の例で、 i は '8' で、 j は '6' を例示したが本発明はここに限定されるのではなく FRC を適用して階調数低減なしに入力デジタルビデオデータのビット数より小さなビット数のデータをデータ駆動回路に供給するいずれの方式も含む。

20

【0018】

タイミングコントローラ 11 は入力デジタルビデオデータ RGB を分析してノーマルインバージョン方式 (Normal Inversion Scheme) で画質が低減させる脆弱パターンを入力データを検出する。タイミングコントローラ 11 は脆弱パターンの入力データで画質低下を予防するためにデータ駆動回路 12 に供給される脆弱パターンデータの FRC 補正値を加算するための FRC パターンを変更し、データ駆動回路 12 の極性反転動作を制御するための制御信号 (POL、HINV) を変更して液晶表示パネル 10 に供給されるデータ電圧のインバージョン方式を変更する。ノーマルインバージョン方式は脆弱パターン以外の大部分の入力データで画質が一番良好なインバージョン方式であるが脆弱パターンデータで画質劣化を誘発することができる。

30

【0019】

タイミングコントローラ 11 は垂直同期信号 Vsync、水平同期信号 Hsync、データイネーブル信号 (Data Enable、DE)、ドットクロック CLK などのタイミング信号を利用してデータ駆動回路 12 とゲート駆動回路 13 を制御するための制御信号を発生する。タイミングコントローラ 11 で生成される制御信号はゲート駆動回路 13 の動作タイムを制御するためのゲートタイミング制御信号と、データ駆動回路 12 の動作タイミングとデータ電圧の極性を制御するためのソースタイミング制御信号を含む。

40

【0020】

ゲートタイミング制御信号はゲートスタートパルス (Gate Start Pulse、GSP)、ゲートシフトクロック (Gate Shift Clock、GSC)、ゲート出力イネーブル信号 (Gate Output Enable、GOE) などを含む。ゲートスタートパルス GSP は一番目ゲートパルス (またはスキャンパルス) を発生する一番目ゲートドライブ IC に印加される。ゲートシフトクロック GSC はゲートドライブ IC に共通に入力されるクロック信号としてゲートスタートパルス GSP をシフトさせるためのクロック信号である。ゲート出力イネーブル信号 GOE はゲートドライブ IC の出力を制御する。

【0021】

50

データタイミング制御信号はソーススタートパルス (Source Start Pulse、SSP)、ソースサンプリングクロック (Source Sampling Clock、SSC)、垂直極性制御信号 (Polarity: POL)、水平極性制御信号 HINV、及びソース出力イネーブル信号 (Source Output Enable、SOE) などを含む。ソーススタートパルス SSP はデータ駆動回路 12 のデータサンプリング開始時点を制御する。ソースサンプリングクロック SSC はライジングまたはフォールディングエッジを基準にしてデータ駆動回路 12 内でデータのサンプリング動作を制御するクロック信号である。垂直極性制御信号 POL はデータ駆動回路 12 から出力されるデータ電圧の垂直極性を制御する。水平極性制御信号 HINV はデータ駆動回路 12 から出力されるデータ電圧の水平極性を制御する。ソース出力イネーブル信号 SOE はデータ駆動回路 12 の出力を制御する。タイミングコントローラ 11 とデータ駆動回路 12 間かつ mini LVDS 方式でデジタルビデオデータと mini LVDS クロックが伝送されたら mini LVDS クロックのリセット信号以後に発生される一番目クロックがスタートパルス役目をするのでソーススタートパルス SSP は省略されることができる。

10

【0022】

データ駆動回路 12 はタイミングコントローラ 11 から直列に入力されるデジタルビデオデータ RGB をサンプリングしてラッチして直列データ伝送体系を並列データ伝送体系のデジタルビデオデータ RGB に変換する。データ駆動回路 12 は垂直及び水平極性制御信号 (POL、HINV) に応答して並列データ伝送体系に変換されたデジタルビデオデータ RGB を正極性/負極性アナログビデオデータ電圧に変換してソース出力イネーブル

20

【0023】

ゲート駆動回路 13 はゲートタイミング制御信号 GSP、GSC、GOE に応答してゲートパルス (またはスキャンパルス) をゲートライン G1 ~ Gn に順次に供給する。

【0024】

図 2 は液晶表示パネル 10 の画素アレイ一部を示す等価回路図である。

【0025】

図 2 を参照すれば、液晶表示パネル 10 の画素アレイはデータライン D1 ~ D6、ゲートライン G1 ~ G8、及びデータライン D1 ~ D6 とゲートライン G1 ~ G8 の交差部に形成される TFT を備える。

30

【0026】

データライン D1 ~ D6 にはデータ駆動回路 12 からデータ電圧が供給される。左右で隣り合う液晶セルは一つのデータライン D1 ~ D6 を通じて供給されるデータ電圧を時分割充電する。データ駆動回路 12 の出力チャンネル数は左右で隣り合う液晶セルに供給されるデータ電圧が一つのデータライン D1 ~ D6 を通じて供給されるから液晶セルの水平解像度 m 対比 $1/2$ 減った $m/2$ 個ほど必要である。

【0027】

データ駆動回路 12 は一番目水平期間の間第 $3k$ (k は正の整数) + 1 データライン D1、D4 に赤色データ電圧 R を供給して、第 $3k + 2$ データライン D2、D5 に青色データ電圧 B を供給して、第 $3k + 3$ データライン D3、D6 に緑色データ電圧 G を供給する。データ駆動回路 12 は一番目水平期間の間第 $3k + 1$ データライン D1、D4 に赤色データ電圧 R を供給して、第 $3k + 2$ データライン D2、D5 に青色データ電圧 B を供給して、第 $3k + 3$ データライン D3、D6 に緑色データ電圧 G を供給する。データ駆動回路 12 は二番目水平期間の間第 $3k + 1$ データライン D1、D4 に緑色データ電圧 G を供給して、第 $3k + 2$ データライン D2、D5 に赤色データ電圧 R を供給して、第 $3k + 3$ データライン D3、D6 に青色データ電圧 B を供給する。

40

【0028】

ゲートライン G1 ~ G8 には TFT をターン-オンさせるためのゲートパルスが順次に供給される。ゲート駆動回路 13 は $3k + 1$ 番目データライン D1、D4 に供給される赤色データ電圧 R、第 $3k + 2$ データライン D2、D5 に供給される青色データ電圧 B 及び

50

第3k+3データラインD3、D6に供給される緑色データ電圧Gに同期されるゲートパルス奇数ゲートライン(G1、G3、G5、G7)に順次に供給する。そしてゲート駆動回路13は第3k+1データラインD1、D4に供給される緑色データ電圧G、第3k+2データラインD2、D5に供給される赤色データ電圧R、及び第3k+3データラインD3、D6に供給される青色データ電圧Bに同期されるゲートパルスを偶数ゲートラインG2、G4、G6、G8に順次に供給する。

【0029】

TFTはゲートラインG1～G8から供給されるゲートパルスにตอบสนองしてターン-オンされてデータラインD1～D6からのデータ電圧を液晶セルの画素電極に供給する。

【0030】

図3はタイミングコントローラ11でデータ処理部分の回路構成を詳しく示す回路図である。

【0031】

図3を参照すれば、タイミングコントローラ11はインターフェース受信部31、ビット拡張部32、FRC処理部30、イメージ分析部33、第1選択部34、垂直/水平極性制御信号発生部35、第2選択部36、第3選択部37及びI2Cマスター38を備える。タイミングコントローラ11はI2Cマスター38にFRCパターンFRC1～FRC3と、垂直/水平極性制御データDvhを供給するためのEEPROM(Electrically Erasable Programmable Read-Only Memory)39に接続される。

【0032】

インターフェース受信部31はLVDSインターフェース規格に伝送される8bitsのデジタルビデオデータを受信してビット拡張部32とイメージ分析部33に供給する。ビット拡張部32は8bitsのデジタルビデオデータのLSB(Least Significant Bits)3bitsを付け加えて9bitsのデジタルビデオデータに拡張する。

【0033】

FRC処理部30はビット拡張部32から入力される9bitsのデジタルビデオデータb0～b8でLSB3bits(b0～b2)に1/8～7/8間の中間階調を生成するための3bitsFRCデータをエンコードして、FRCデータによって指定されたピクセルデータのMSB6bits(b3～b8)にFRC補正值‘1’を加算する。そしてFRC処理部30は6bitsデジタルビデオデータ(b3～b8)をデータ駆動回路12に供給する。これのために、FRC処理部30はFRC選択部301と、加算器302を備える。FRC選択部301は9bitsデジタルビデオデータの3bitsLSB(b0～b2)にエンコーディング(encoding)されたFRCデータによって第1選択部34から入力されるFRCパターンFRC1～FRC3でFRC補正值が加算されるピクセルデータを選択する。加算器302はFRC選択部301によって選択されたピクセルデータの6bitsMSBにFRC補正值‘1’を加算する。

【0034】

イメージ分析部33は図9のように垂直方向と水平方向それぞれでホワイトデータとブラックデータが交互するシャットダウンパターン(Shut down pattern)、図10のように水平方向でホワイトデータとブラックデータが交互して垂直ホワイトストライプを構成するスミアパターン(smear pattern)などの脆弱パターンデータを検出する。イメージ分析部33は本願出願人によって既に出願された大韓民国出願10-2008-0055419(2008-06-12)で提案されたように8bitsの入力デジタルビデオデータでMSB2bitsを検出してその値によってホワイトデータとブラックデータを判断することができる。この場合、ホワイトデータは高階調近所のデータとして、例えば、R=192～255、G=192～255、B=192～255であるピクセルデータである。ブラックデータは低階調近所のデータとして、例えば、R=0～63、G=0～63、B=0～63であるピクセルデータである。

10

20

30

40

50

【0035】

第1選択部34はI2Cマスター38を通じて第1乃至第3FRCパターンFRC1～FRC3を入力受けてイメージ分析部33からの制御信号に応答してFRCパターンの中何れか一つをFRC処理部30に供給する。第1選択部34は脆弱パターン以外のデータが入力される時、イメージ分析部33の制御によって第1FRCパターンFRC1を選択してFRC処理部30に供給する。第1選択部34は脆弱パターンの中で図9のようなシャットダウンパターンのデータが入力される時、イメージ分析部33の制御によって第2FRCパターンFRC2を選択してFRC処理部30に供給する。第2選択部34は脆弱パターンの中で図10のようなスミアパターンのデータが入力される時、イメージ分析部33の制御によって第3FRCパターンFRC3を選択してFRC処理部30に供給する。

10

【0036】

垂直/水平極性制御信号発生部35はI2Cマスター38を通じて入力される垂直/水平極性制御データDvhに응答して極性制御信号V2、V4、H1、H2を発生する。第1極性制御信号V2は液晶表示パネル10で垂直に隣り合う液晶セルに充電されるデータ電圧の極性反転周期を1ドット(Dot)単位に反転させる垂直極性制御信号POLとして2水平期間単位で論理が反転されるパルス信号である。第2極性制御信号V4は液晶表示パネル10で垂直に隣り合う液晶セルに充電されるデータ電圧の極性反転周期を2ドット単位に反転させる垂直極性制御信号POLとして4水平期間単位で論理が反転されるパルス信号である。第3極性制御信号H1は液晶表示パネル10で水平に隣り合う液晶セルに充電されるデータ電圧の極性反転周期を2ドット単位に反転させる水平極性制御信号HINVとして第1論理、例えば、ロー論理に発生される。第4極性制御信号H2は液晶表示パネル10で水平に隣り合う液晶セルに充電されるデータ電圧の極性反転周期を4ドット単位に反転させる水平極性制御信号HINVとして第2論理、例えば、ハイ論理に発生される。ドット(dot)は一つの液晶セルのような意味である。したがって、図11のように2ドット単位で極性が反転されるということは垂直または水平で隣り合う液晶セルに充電されるデータ電圧の極性が2個の液晶セル単位に反転されるということと同一であり、4ドット単位で極性が反転されるということは垂直または水平で隣り合う液晶セルに充電されるデータ電圧の極性が4個の液晶セル単位に反転されるということと同じである。

20

【0037】

第2選択部36は図11のようにイメージ分析部33の制御の下に脆弱パターン以外のデータ(Normal data)と脆弱パターンの中でスミアパターンのデータが入力される時、第1極性制御信号V2を垂直極性制御信号POLとしてデータ駆動回路12に供給する。そして第2選択部36は図11のようにイメージ分析部33の制御の下に脆弱パターンの中でシャットダウンパターンのデータが入力される時、第2極性制御信号V4を垂直極性制御信号POLとしてデータ駆動回路12に供給する。

30

【0038】

第3選択部37は図11のようにイメージ分析部33の制御の下に脆弱パターン以外のデータ(Normal data)と脆弱パターンの中でシャットダウンパターンのデータが入力される時、第3極性制御信号H1を水平極性制御信号HINVとしてデータ駆動回路12に供給する。そして第3選択部37は図11のようにイメージ分析部33の制御の下に脆弱パターンの中でスミアパターンのデータが入力される時、第4極性制御信号H2を水平極性制御信号HINVとしてデータ駆動回路12に供給する。

40

【0039】

I2Cマスター38はシリアルクロックSCLをEEPROM39に伝送して直列データSDAバスを通じてEEPROM39から受信されたFRCパターンFRC1～FRC3と、垂直/水平極性制御データDvhを垂直/水平極性制御信号発生部35に供給する。LCDメーカーやTVセットメーカーは液晶表示パネル10のパネル構造と脆弱パターンによってEEPROM39に貯蔵されるFRCパターンFRC1～FRC3と、垂直/水平極性制御データDvhをアップデートするとか追加することができる。

50

【0040】

図4及び図5は図1に示されたデータ駆動回路12のソースドライブICを詳しく示す等価回路図である。

【0041】

図4及び図5を参照すれば、データ駆動回路12はそれぞれ k (k は $m/2$ より小さな整数)個のデータライン $D1$ 乃至 Dk を駆動する複数のソースドライブICを含む。

【0042】

ソースドライブICそれぞれはシフトレジスタ41、データレジスタ42、第1ラッチ43、第2ラッチ44、デジタル/アナログ変換器(以下、“DAC”とする)45、出力回路などを含む。

10

【0043】

シフトレジスタ41はタイミングコントローラ11からのソースサンプリングクロックSSCによってデータサンプリングクロックをシフトさせる。また、シフトレジスタ41は隣り合う次の段のソースドライブICのシフトレジスタ41にキャリー信号CARを伝達する。データレジスタ42はタイミングコントローラ11からのデジタルビデオデータRGBを一時貯蔵してそのデータRGBを第1ラッチ43に供給する。第1ラッチ43はシフトレジスタ41から順次に入力されるデータサンプリングクロックによってデジタルビデオデータRGBをサンプリングしてラッチした後、ラッチしたデータRGBを同時に出力する。第2ラッチ44は第1ラッチ43から入力されるデータRGBをラッチした後、ソース出力イネーブル信号SOEにตอบสนองして他のソースドライブICの第2ラッチ44と同期してラッチしたデータRGBを同時に出力する。

20

【0044】

DAC45は図5のように正極性ガンマ基準電圧GHが供給されるPデコーダ51、負極性ガンマ基準電圧GLが供給されるNデコーダ52、垂直極性制御信号POLにตอบสนองしてPデコーダ51の出力とNデコーダ52の出力を選択するマルチフレクサ53、水平極性制御信号HINVにตอบสนองしてマルチフレクサ53の出力を反転させるための水平極性反転回路54を備える。Pデコーダ51は第2ラッチ44から入力されるデジタルビデオデータRGBをデコードしてそのデータの階調値に相応する正極性ガンマ補償電圧を出力して、Nデコーダ52は第2ラッチ44から入力されるデジタルビデオデータRGBをデコードしてそのデータの階調値に相応する負極性ガンマ補償電圧を出力する。マルチフレクサ53は垂直極性制御信号POLにตอบสนองして正極性のガンマ補償電圧と負極性のガンマ補償電圧を交互に選択して選択された正極性/負極性ガンマ補償電圧を正極性/負極性アナログビデオデータ電圧として出力する。

30

【0045】

マルチフレクサ53は垂直極性制御信号POLによって直接制御される第 $4k$ (k は正の整数) + 1 及び第 $4k + 2$ マルチフレクサ53と、水平極性反転回路54によって制御される第 $4k + 3$ 及び第 $4k + 4$ マルチフレクサ53を備える。第 $4k + 1$ マルチフレクサ53は自分の非反転制御端子に供給される垂直極性制御信号POLにตอบสนองしてPデコーダ51の出力とNデコーダ52の出力を交互に選択する。第 $4k + 1$ マルチフレクサ53の出力は図2で第 $4k + 1$ データライン $D1$ 、 $D5$ に供給されるデータ電圧である。第 $4k + 2$ マルチフレクサ53は自分の反転制御端子に供給される垂直極性制御信号POLにตอบสนองしてPデコーダ51の出力とNデコーダ52の出力を交互に選択する。第 $4k + 2$ マルチフレクサ53の出力は図2で第 $4k + 2$ データライン $D2$ 、 $D6$ に供給されるデータ電圧である。第 $4k + 3$ マルチフレクサ53は自分の非反転制御端子に供給される水平極性反転回路54の出力にตอบสนองしてPデコーダ51の出力とNデコーダ52の出力を交互に選択する。第 $4k + 3$ マルチフレクサ53の出力は図2で第 $4k + 3$ データライン $D3$ 、 $D7$ に供給されるデータ電圧である。第 $4k + 4$ マルチフレクサ53は自分の反転制御端子に供給される水平極性反転回路54の出力にตอบสนองしてPデコーダ51の出力とNデコーダ52の出力を交互に選択する。第 $4k + 4$ マルチフレクサ53の出力は図2で $4k + 4$ データライン $D4$ 、 $D8$ に

40

50

供給されるデータ電圧である。このようなマルチフレクサー 53 の出力で極性反転周期は垂直極性制御信号 P O L の周期によって決まる。例えば、垂直極性制御信号 P O L として 2 水平期間単位で論理が反転される第 1 極性制御信号 V 2 がソースドライブ I C に入力されれば、マルチフレクサー 53 から出力されるデータ電圧はその極性が 2 水平期間単位に反転される。垂直極性制御信号 P O L として 4 水平期間単位で論理が反転される第 2 極性制御信号 V 4 がソースドライブ I C に入力されれば、マルチフレクサー 53 から出力されるデータ電圧はその極性が 4 水平期間単位に反転される。

【 0 0 4 6 】

水平極性反転回路 54 はスイッチ素子 S 1、S 2、及びインバーター 55 を備える。

水平極性制御回路 54 は水平極性制御信号 H I N V によって第 4 k + 3 マルチフレクサー 53 の非反転制御端子と、第 4 k + 4 マルチフレクサー 53 の反転制御端子に供給される制御信号の論理値を制御する。第 1 スイッチ素子 S 1 の入力端子には垂直極性制御信号 P O L が供給される垂直極性制御信号供給ラインに接続されて第 1 スイッチ素子 S 1 の出力端子は第 4 k + 3 または第 4 k + 4 マルチフレクサー 53 の反転/非反転制御端子に接続される。第 1 スイッチ素子 S 1 の反転制御端子は水平極性制御信号が供給される水平極性制御信号供給ラインに接続される。第 2 スイッチ素子 S 2 の入力端子は垂直極性制御信号供給ラインに接続されて第 2 スイッチ素子 S 2 の出力端子はインバーター 55 に接続される。第 2 スイッチ素子 S 2 の非反転制御端子は水平極性制御信号が供給される水平極性制御信号供給ラインに接続される。インバーター 55 は第 2 スイッチ素子 S 2 の出力端子と第 4 k + 3 マルチフレクサー 53 の非反転制御端子の間に接続されてまた、第 2 スイッチ素子 S 2 の出力端子と第 4 k + 4 マルチフレクサー 53 の反転制御端子の間に接続される。

【 0 0 4 7 】

水平極性反転回路 54 は水平極性制御信号 H I N V として第 1 論理(またはロー論理)に発生される第 3 極性制御信号 H 1 がソースドライブ I C に入力されれば、第 1 スイッチ素子 S 1 を通じて垂直極性制御信号 P O L をそのままマルチフレクサー 53 の反転/非反転制御端子に供給して液晶表示パネル 10 の液晶セルに充電されるデータ電圧の水平極性反転周期を 2 ドット単位で制御する。この時、ソースドライブ I C から出力されるデータ電圧の水平極性は ' - + - + ' すなわち、1 出力チャンネル単位に反転されるが、その出力チャンネルに接続されたデータラインが左右で隣り合う液晶セルにデータ電圧を供給するので液晶表示パネル 10 の液晶セルに充電されるデータ電圧の水平極性反転周期は 2 ドット単位に反転される。

【 0 0 4 8 】

水平極性反転回路 54 は水平極性制御信号 H I N V として第 2 論理(またはハイ論理)に発生される第 4 極性制御信号 H 2 がソースドライブ I C に入力されれば、第 2 スイッチ素子 S 2 とインバーター 55 を通じて垂直極性制御信号 P O L を反転させてマルチフレクサー 53 の反転/非反転制御端子に供給して液晶表示パネル 10 の液晶セルに充電されるデータ電圧の水平極性反転周期を 2 ドット単位で制御する。この時、ソースドライブ I C から出力されるデータ電圧の水平極性は ' - + + - ' すなわち、2 出力チャンネル単位に反転されるが、その出力チャンネルに接続されたデータラインが左右で隣り合う液晶セルにデータ電圧を供給するので液晶表示パネル 10 の液晶セルに充電されるデータ電圧の水平極性反転周期は 4 ドット単位に反転される。

【 0 0 4 9 】

出力回路 46 はソース出力イネーブル信号 S O E のハイ論理期間の間隣り合うデータ出力チャンネルを短絡 (s h o r t) させて隣り合うデータ電圧の平均値を出力して出力バッファを通じてチャージシェア電圧 (C h a r g e s h a r e v o l t a g e) をデータライン D 1 ~ D k に供給した後正極性/負極性アナログビデオデータ電圧 (+ D a t a 1 ~ - D d a t a k) をデータライン D 1 ~ D k に供給する。出力回路 46 はソース出力イネーブル信号 S O E のハイ論理期間の間チャージシェア電圧の代りに共通電圧 V c o m を出力バッファを通じてデータライン D 1 ~ D k に供給した後、正極性/負極性アナ

ログビデオデータ電圧をデータラインD 1～D kに供給することもできる。

【0050】

図6はゲート駆動回路13を詳しく示す回路図である。

【0051】

図6を参照すれば、ゲート駆動回路13はデータラインD 1～D m/2に供給されるデータ電圧に同期されるゲートパルスゲートラインG 1～G nに順次に供給するための複数のゲートドライブICを含む。

【0052】

ゲートドライブICそれぞれはシフトレジスタ60、レベルシフター62、シフトレジスタ60とレベルシフター62の間に接続された複数の論理積ゲート(以下、“ANDゲート”とする)61及びゲート出力イネーブル信号GOEを反転させるためのインバーター63を備える。

10

【0053】

シフトレジスタ60は従属的に接続された複数のD-フリップフロップを利用してゲートスタートパルスGSPをゲートシフトクロックGSCによって順次にシフトさせる。ANDゲート61それぞれはシフトレジスタ60の出力信号とゲート出力イネーブル信号GOEの反転信号を論理積して出力を発生する。インバーター63はゲート出力イネーブル信号GOEを反転させてANDゲート61に供給する。

【0054】

レベルシフター62はANDゲート61の出力電圧スイング幅を液晶表示パネル10の画素アレイに形成されたTFTの動作が可能なスイング幅でシフトさせる。レベルシフター62の出力信号すなわち、ゲートパルスはゲートライン(G 1～G k)に順次に供給される。

20

【0055】

シフトレジスタ60は液晶表示パネル10の画素アレイ製造工程でその画素アレイとともにガラス基板に同時に形成されることができる。この場合に、レベルシフター62はガラス基板に形成されないでタイミングコントローラ11とともにコントロールボードに実装されるか、ソースドライブICとともにソース印刷回路ボード(Source Printed Circuit Board)に実装されることができる。

【0056】

図7は第1FRCパターンFRC1の一例を示す図である。

30

【0057】

図7を参照すれば、第1FRCパターンFRC1は1/8階調001のFRCデータ、2/8階調010のFRCデータ、3/8階調011のFRCデータ、4/8階調100のFRCデータ、5/8階調101のFRCデータ、6/8階調110のFRCデータ、及び7/8階調111のFRCデータを含む。1/8階調001のFRCデータには8個のピクセルあたり一つのピクセルデータに補正值‘1’が割り当てされる。2/8階調010のFRCデータには8個のピクセルあたり二つのピクセルデータに補正值‘1’が割り当てされる。3/8階調011のFRCデータには8個のピクセルあたり三つのピクセルデータに補正值‘1’が割り当てされる。4/8階調100のFRCデータには8個のピクセルあたり四つのピクセルデータに補正值‘1’が割り当てされる。5/8階調101のFRCデータには8個のピクセルあたり五つのピクセルデータに補正值‘1’が割り当てされる。6/8階調110のFRCデータには8個のピクセルあたり六つのピクセルデータに補正值‘1’が割り当てされる。7/8階調111のFRCデータには8個のピクセルあたり七つのピクセルデータに補正值‘1’が割り当てされる。補正值‘1’が加算されるピクセル位置が毎フレームごとに同一であれば表示画面で補正值が加算されるピクセルが明るく見えるFRCアーティファクト(artifact)が見えらる。このようなFRCアーティファクトを予防するために、各階調のFRCデータで補正值‘1’が割り当てされたピクセル位置は次のフレーム期間に変わって、補正值‘1’が割り当てされたピクセル位置は8フレーム期間周期で繰り返される。図7で白色は補正值が加算

40

50

されないピクセルを意味して、黒色は補正値が加算されるピクセルを意味する。

【0058】

第2及び第3 FRCデータ FRC 2、FRC 3も1/8階調001のFRCデータ、2/8階調010のFRCデータ、3/8階調011のFRCデータ、4/8階調100のFRCデータ、5/8階調101のFRCデータ、6/8階調110のFRCデータ、及び7/8階調111のFRCデータを含む。また、第2及び第3 FRCデータ FRC 2、FRC 3で各階調のFRCデータで補正値‘1’が割り当てされたピクセル位置は第1 FRCデータ FRC 1と同一に次のフレーム期間に変わって、補正値‘1’が割り当てされたピクセル位置は8フレーム期間周期に繰り返される。第2及び第3 FRCパターン FRC 2、FRC 3それぞれは第1 FRCパターン FRC 1に比べて補正値‘1’が割り当て 10
されたピクセル位置が毎フレームごとに異なって設定される。第2 FRCパターン FRC 2は図9のようなシャットダウンパターンのホワイトデータ位置に補正値が加算されることができるよう補正値が加算されるピクセル位置が決まられて極性バランスを満足しなければならない。第2 FRCパターン FRC 2は第1 FRCパターン FRC 1を基本にしてシャットダウンパターンのホワイトデータ位置を考慮して第1 FRCパターン FRC 1でフレーム別 FRCパターン手順と補正値が加算されるピクセル位置を変更して第1 FRCと異なって設計される。第3 FRCパターン FRC 3は図10のようなスミアパターンのホワイトデータ位置に補正値が加算されるピクセル位置が決められて極性バランスを満足しなければならない。第3 FRCパターン FRC 3は第1 FRCパターン FRC 1を基本にしてスミアパターンのホワイトデータ位置を考慮して第1 FRCパターン FRC 1で 20
フレーム別 FRCパターン手順と補正値が加算されるピクセル位置を変更して第1及び第2 FRCパターン FRC 1、FRC 2と異なって設計される。

【0059】

図8は脆弱パターンがタイミングコントローラ11に入力される時垂直極性制御信号POLと水平極性制御信号HINVの変化を示す波形図である。図9はシャットダウンパターンがタイミングコントローラ11に入力される時液晶表示パネル10に供給されるデータ電圧の極性パターン変化を示す図である。図10はスミアパターンがタイミングコントローラ11に入力される時液晶表示パネル11に供給されるデータ電圧の極性パターン変化を示す図である。図11はタイミングコントローラ11に入力されるデータによってタイ 30
ミングコントローラ11から出力される極性制御信号POL、HINV及びFRCパターン FRC 1～FRC 3の変化と、それによって変化される液晶表示パネル10のデータ電圧極性パターンを示す図である。

【0060】

図8乃至図11を参照すれば、タイミングコントローラ11は脆弱パターン以外のデータが入力される時垂直極性制御信号POLを2水平期間(2DE)単位で論理が反転される第1極性制御信号V2で選択して、水平極性制御信号HINVを第1論理に発生される第3極性制御信号H1で選択してデータ駆動回路12を制御する。図8で‘DE’はデータ 40
タイネーブル信号の1周期としてデータタイネーブル信号の1周期は水平同期信号Hsyncの1周期と実質的に同一な1水平期間に相応する。データ駆動回路12は第1極性制御信号V2にตอบสนองして2水平期間単位で極性が反転されるデータ電圧をデータラインD1乃至Dm/2に供給する。また、データ駆動回路12は第3極性制御信号H1にตอบสนองして奇数データラインD1、D3... Dm/2-1に供給されるデータ電圧の極性と偶数データラインD2、D4... Dm/2に供給されるデータ電圧の極性をお互いに異なって制御する。こんなにデータラインD1乃至Dm/2に供給されるデータ電圧によって、液晶表示パネル10の液晶セルは図11のように垂直で隣り合う液晶セルに充電されるデータ電圧は1ドット単位で極性が反転されて(V1Dot)、水平で隣り合う液晶セルに充電されるデータ電圧は2ドット単位で極性が反転される(H2Dot)。

【0061】

タイミングコントローラ11図9のようなシャットダウンパターンや図10のようなスミアパターンなどのような脆弱パターンが入力される時、タイミングコントローラ11は 50

その脆弱パターンのデータを判断して垂直極性制御信号POLの論理反転周期を異なるようにするか水平極性制御信号HINVの論理を反転させる。

【0062】

図9のように垂直及び水平方向でホワイトデータとブラックデータが交互するシャットダウンパターンのデータ電圧が液晶表示パネル10に供給される時、そのデータ電圧の極性がV1Dot & H2Dotに反転されれば、図9の左側図面のように垂直極性で優勢極性が現われてそれによって表示画像で特定色が明るく見えてフリッカーが現われるようになって画質が低下される。このような問題を予防するために、タイミングコントローラ11はシャットダウンパターンのデータが入力される時、図9の右側図面のように液晶表示パネル10に供給される正極性データ電圧と負極性データ電圧のバランスを合わせるために垂直極性制御信号POLの論理反転周期を拡張する。

10

【0063】

タイミングコントローラ11図9のようなシャットダウンパターンが入力される時、タイミングコントローラ11は垂直極性制御信号POLを4水平期間4DE単位で論理が反転される第2極性制御信号V4で選択して、水平極性制御信号HINVを第3極性制御信号H1で維持する。データ駆動回路12は第2極性制御信号V4に応答して4水平期間単位で極性が反転されるデータ電圧をデータラインD1乃至Dm/2に供給する。また、データ駆動回路12は第3極性制御信号H1に応答して奇数データライン(D1、D3...、Dm/2-1)に供給されるデータ電圧の極性と偶数データライン(D2、D4...、Dm/2)に供給されるデータ電圧の極性をお互いに異なって制御する。データラインD1乃至Dm/2に供給されるデータ電圧によって、液晶表示パネル10の液晶セルは図9及び図11のように垂直で隣り合う液晶セルに充電されるデータ電圧は2ドット単位で極性が反転されて(V2Dot)、水平で隣り合う液晶セルに充電されるデータ電圧は2ドット単位で極性が反転される(H2Dot)。

20

【0064】

図10のようにホワイトデータとブラックデータがストライプパターンで入力されるスミアパターンのデータ電圧が液晶表示パネル10に供給される時そのデータ電圧の極性がV1Dot & H2Dotに反転されれば、図10の上段図面のように水平極性で優勢極性が現われてそれによって表示画像から横縞とフリッカーが現われるようになって画質が低下される。このような問題を予防するために、タイミングコントローラ11はスミアパターンのデータが入力される時図10下段図面のように液晶表示パネル10に供給される正極性データ電圧と負極性データ電圧のバランスを合わせるために水平極性制御信号HINVの論理を反転させる。

30

【0065】

タイミングコントローラ11に図10のようなスミアパターンが入力される時、タイミングコントローラ11は垂直極性制御信号POLを第1極性制御信号V2で維持させる一方、水平極性制御信号HINVを第2論理の第4極性制御信号H2で選択する。データ駆動回路12は第1極性制御信号V2に応答して2水平期間単位で極性が反転されるデータ電圧をデータラインD1乃至Dm/2に供給する。また、データ駆動回路12は第4極性制御信号H2に応答してデータラインD1~Dm/2に供給されるデータ電圧の極性を4個のデータライン単位に反転させてデータ電圧の水平極性反転周期を拡張する。こんなにデータラインD1乃至Dm/2に供給されるデータ電圧によって、液晶表示パネル10の液晶セルは図10及び図11のように垂直で隣り合う液晶セルに充電されるデータ電圧は1ドット単位で極性が反転されて(V1Dot)、水平で隣り合う液晶セルに充電されるデータ電圧は4ドット単位で極性が反転される(H4Dot)。

40

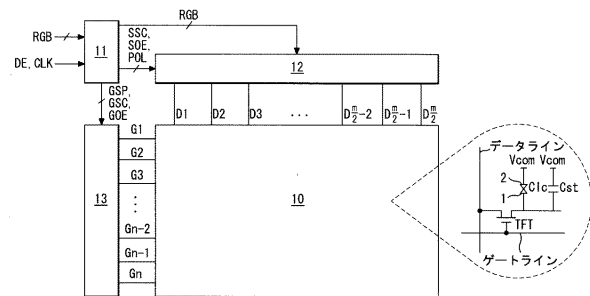
【0066】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範囲内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的

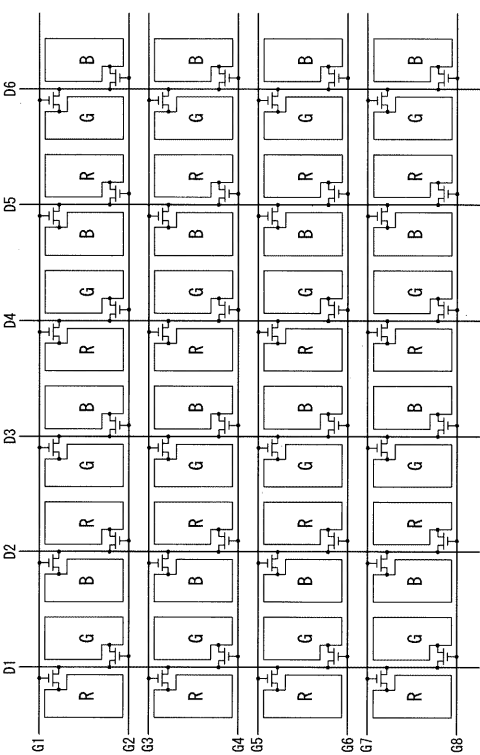
50

範囲に属するものと了解される。

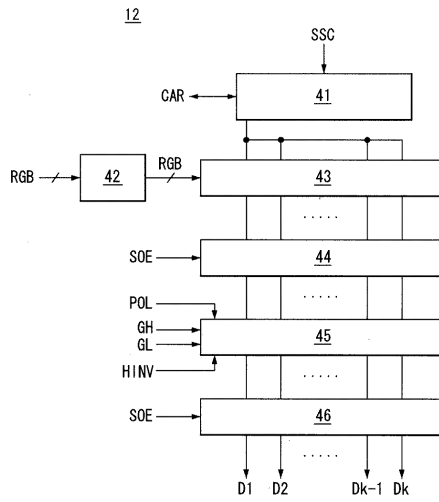
【図 1】



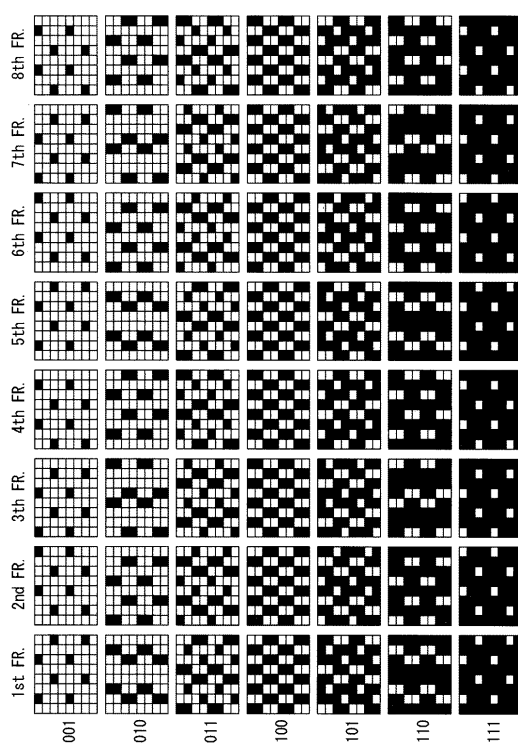
【図 2】



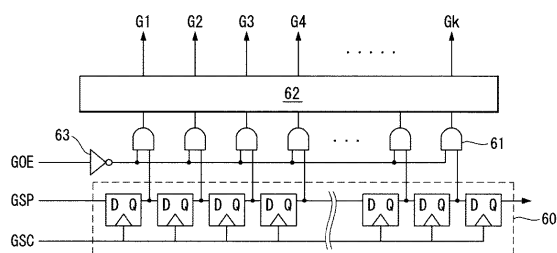
【図 4】



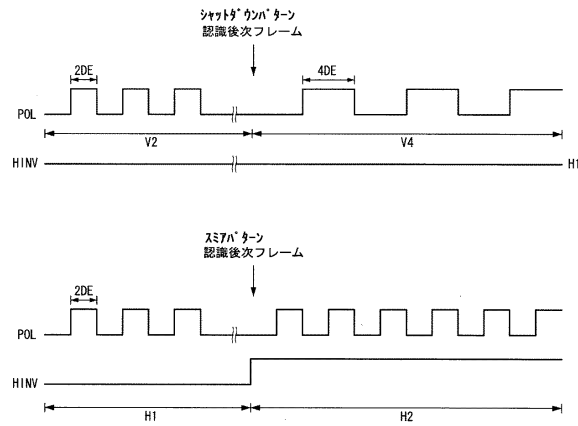
【図 7】



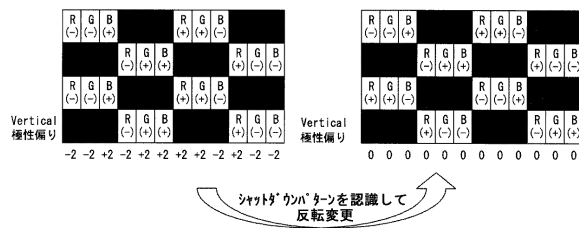
FR.



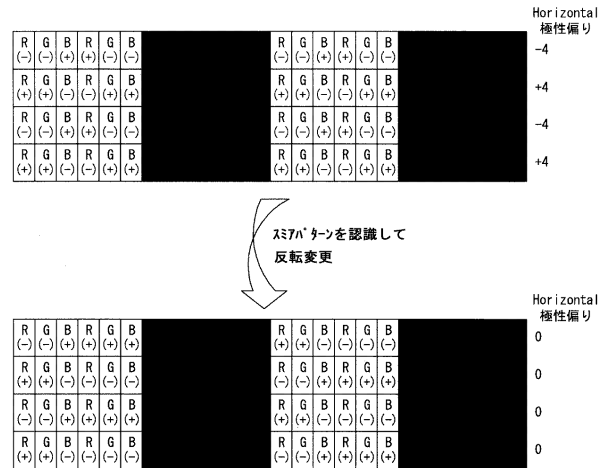
【図 8】



【図 9】



【図 10】



【図 11】

Input Pattern		Normal	Shut Down	Smear
@TCO	POL	V2Dot	V4Dot	V2Dot
	HINV	H1Dot	H1Dot	H2Dot
	FRC	FRC1	FRC2	FRC3
@PANEL	極性制御	V1Dot H2Dot	V2Dot H2Dot	V1Dot H4Dot
	極性パターン			

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 2 3 G

G 0 9 G 3/20 6 2 3 L

G 0 2 F 1/133 5 5 0

(72)発明者 南 ▲ヒュン▼ 宅

大韓民国 デグ ドング シナム 1 ドン ドランチェ アパートメント 1 0 6 - 1 0 0 3

(72)発明者 文 明 国

大韓民国 デグ ダルソグ ヨンサンドン 2 3 0 - 1 0 ヨンサン ロッテ キャッスル グラ
ンド 1 0 3 - 8 0 2

(72)発明者 金 鍾 佑

大韓民国 キョンブク グミシ ウォンピョンドン 9 7 3 - 6 8 (6 / 1 2) ジュゴン アパ
ートメント 1 1 0 - 1 0 6

審査官 山崎 仁之

(56)参考文献 特開 2 0 0 8 - 1 7 0 9 9 3 (J P , A)

特開平 0 8 - 0 6 9 2 6 4 (J P , A)

特開 2 0 0 6 - 3 5 0 2 8 9 (J P , A)

特開 2 0 0 1 - 1 7 4 7 8 3 (J P , A)

特開 2 0 0 0 - 2 3 5 3 7 5 (J P , A)

特開 2 0 0 0 - 1 3 1 6 6 6 (J P , A)

特開平 1 1 - 0 9 5 7 2 5 (J P , A)

特開 2 0 0 5 - 1 5 7 2 8 0 (J P , A)

特開 2 0 0 5 - 2 4 2 3 5 9 (J P , A)

特開平 0 7 - 3 3 4 1 3 1 (J P , A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 6

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP5123277B2	公开(公告)日	2013-01-23
申请号	JP2009256822	申请日	2009-11-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	南ヒュン宅 文明国 金鍾佑		
发明人	南 ▲ヒュン▼ 宅 文 明 国 金 鍾 佑		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3611 G09G3/3688 G09G2320/0247 G09G2340/0435 G09G2370/14		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.641.E G09G3/20.621.B G09G3/20.641.G G09G3/20.623.H G09G3/20.623.G G09G3/20.623.L G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZC14 2H193/ZC20 2H193/ZC25 2H193/ZD25 2H193/ZF17 2H193/ZP16 2H193/ZP20 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AA12 5C006/AA14 5C006/AA22 5C006/AC27 5C006/AC28 5C006/AF45 5C006/AF46 5C006/BB16 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/EE29 5C080/EE30 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	朝日 伸光 ▲濱▼口 岳久		
优先权	1020080128823 2008-12-17 KR		
其他公开文献	JP2010145989A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种液晶显示装置，其中图像质量不会因任何数据模式而劣化。根据本发明的液晶显示装置响应于垂直极性控制信号，利用提供给数据线的正/负数据电压转换数字视频数据，并响应水平极性控制信号。一种数据驱动电路，用于调整正/负数据电压的水平极性反转周期；产生垂直极性控制信号和水平极性控制信号；将FRC校正值加到输入的数字视频数据；在提供给驱动电路的垂直极性控制信号的逻辑反转周期和水平极性控制信号的逻辑中，在输入的数字视频数据中检测预定的弱图案，并检测弱图案的数据。提供定时控制器以改变添加FRC校正值的任何一个数据位置。[选中图]图3

【図1】

