

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5037554号
(P5037554)

(45) 発行日 平成24年9月26日 (2012. 9. 26)

(24) 登録日 平成24年7月13日 (2012. 7. 13)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

GO 2 F 1/1333 (2006. 01)

GO 2 F 1/1333 5 O 5

GO 2 F 1/1337 (2006. 01)

GO 2 F 1/1337 5 2 5

請求項の数 4 (全 20 頁)

(21) 出願番号 特願2009-92113 (P2009-92113)
 (22) 出願日 平成21年4月6日 (2009. 4. 6)
 (62) 分割の表示 特願2000-331570 (P2000-331570)
 の分割
 原出願日 平成12年10月31日 (2000. 10. 31)
 (65) 公開番号 特開2009-187022 (P2009-187022A)
 (43) 公開日 平成21年8月20日 (2009. 8. 20)
 審査請求日 平成21年4月6日 (2009. 4. 6)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 仲西 洋平
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 吉田 秀史
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 笹林 貴
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示パネル

(57) 【特許請求の範囲】

【請求項 1】

第1基板と第2基板との間に液晶が封入され、上記第1基板は、絶縁基板と、上記絶縁基板の上方に形成された画素電極及びコモン電極を有する液晶表示パネルにおいて、

上記第1基板及び上記第2基板には、それぞれ垂直配向膜を有し、

上記第2基板の液晶側の主面には、面電極が形成され、

上記絶縁基板の液晶側の面を基準として、上記画素電極の位置が上記コモン電極の位置よりも高く、上記画素電極と上記コモン電極とが第1絶縁膜を介して重なり合う部分を有し、

上記画素電極と上記コモン電極とが上記第1絶縁膜を介して重なり合う部分により、上記画素電極の表面が凸形となっている、ことを特徴とする液晶表示パネル。

10

【請求項 2】

上記第1絶縁膜は、上記画素電極上と上記コモン電極上とで厚みが実質的に同一であることを特徴とする請求項1記載の液晶表示パネル。

【請求項 3】

上記画素電極が第2絶縁膜で覆われ、上記コモン電極と上記画素電極との間の表示領域に上記第2絶縁膜が実質的に形成されていない、ことを特徴とする請求項1または2記載の液晶表示パネル。

【請求項 4】

上記画素電極及びコモン電極は、上記第1絶縁膜を介して互いに交差する部分を有し、

20

上記画素電極及び上記コモン電極はいずれも、上記交差部分と連続する互いに平行な線電極部分を有し、

上記交差部分の上記画素電極と上記コモン電極の隣り合う辺が互いに鈍角で交差している、ことを特徴とする請求項１記載の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、焼付率を低減可能な構造の液晶表示パネル及びその開発方法に関する。

【背景技術】

【０００２】

図３１及び図３２はいずれも液晶表示パネルの１画素の構造を示す概略断面図である。図３１は電圧無印加時の状態を示し、図３２は電圧印加時の状態を示す。

【０００３】

液晶表示パネルは、互いに対向する基板１０及び２０と、これらの間に封入された、正の誘電率異方性を有するネマティック液晶３０とを備えている。基板１０では、透明絶縁基板１１、例えばガラス基板の一面に、面電極１２、誘電体１３及び垂直配向層１４が積層され、透明絶縁基板１１の他面に偏光子１５が被着されている。基板２０では、透明絶縁基板２１、例えばガラス基板の一面に、コモン電極２３が形成され、その上に絶縁層２４を介して画素電極２５が形成されている。絶縁層２４及び画素電極２５の上には、絶縁層２６及び垂直配向層２７が積層されている。透明絶縁基板２１の他面には、偏光子２８が被着されている。偏光子１５と２８の透過軸は互いに離間して直交している。

【０００４】

図示矢印方向のバックライト光がこの液晶表示パネルに入射すると、偏光子２８を通して直線偏光になる。面電極１２、コモン電極２３及び画素電極２５が同電位のとき、この直線偏光の偏光面は液晶３０内で変化しないので、偏光子１５を透過できず、暗状態になる。

【０００５】

図３２に示す如く、面電極１２とコモン電極２３とを同電位にし、画素電極２５を上記電位と異なる電位にすると、電界が生ずる。図３２中の点線は、電気力線を示している。この電界により、入射光の方向に対し液晶分子が傾くので、複屈折が生じ、この光の一部が偏光子１５を透過して、明状態になる。

【０００６】

コモン電極２３及び画素電極２５は遮光性のメタルであり、これらの上方の液晶分子の挙動は表示上問題にならない。

【０００７】

面電極１２が存在しないと、画素電極２５とコモン電極２３との中間の液晶分子の傾斜が小さくなって透過率が落ち込む領域が存在する。面電極１２はこの部分の横電界を斜め非対称にして透過率落込を防止するのに寄与する。誘電体１３は、液晶３０中の横電界を強化して、より低い印加電圧で液晶を駆動可能にするためのものである。コモン電極２３と画素電極２５とは、紙面垂直方向に延び且つ交互に形成されたストライプ電極である。絶縁層２４は、コモン電極２３と画素電極２５とが後述のように上下に重なる部分で短絡するのを防止するためのものである。絶縁層２６は焼付率を低減するためのものである。

【０００８】

図３３は、基板２０に形成された電極パターンの１画素分を示す。図３４及び図３５はそれぞれ、図３３中の画素電極２５及びコモン電極２３のパターン図である。

【０００９】

データラインＤＬ１と走査ラインＳＬ１とは、絶縁膜を介して互いに直交している。画素電極２５及びコモン電極２３はいずれも、ストライプ部と、ストライプ部の端部を繋ぐ周囲部とを有する。ストライプ部は、走査ラインＳＬ１及びデータラインＤＬ１の各々に対し４５°傾斜している。

10

20

30

40

50

【 0 0 1 0 】

走査ライン S L 1 が高レベルになると、T F T 2 9 がオンになって、データライン D L 1 上の電圧が画素電極 2 5 に印加され、画素電極 2 5 とコモン電極 2 3 のストライプ電極間に電界が生ずる。ストライプ電極の長手方向は、図 3 3 の上半分と下半分とで互いに 90°異なる。これにより、上半分と下半分とで互いに平行である場合よりも液晶表示パネルの視野角が広がる。

【 0 0 1 1 】

コモン電極 2 3 の周囲突起部は、不図示の隣の画素のコモン電極 2 3 に繋がっている。

【 0 0 1 2 】

図 3 6 (A) は、図 3 3 中の線電極交差付近の部分拡大図である。図 3 6 (B) は、画素電極 2 5 とコモン電極 2 3 との間に電圧が印加された時の電気力線を点線で示す。

10

【 0 0 1 3 】

画素が矩形であることと、画素電極 2 5 及びコモン電極 2 3 が互いに平行なストライプ部を有することと、画素電極 2 5 及びコモン電極 2 3 がいずれも一繋がりのものであることから、画素電極 2 5 の周囲部とコモン電極 2 3 の周囲部とは絶縁部を介し互いに重なる部分を有する。このため、画素電極 2 5 とコモン電極 2 3 の隣り合う線電極の端部が、絶縁部を介し交差する。例えば、画素電極 2 5 の辺 2 5 1 は、周囲部の辺 2 5 2 に繋がり、コモン電極 2 3 の辺 2 3 1 は、辺 2 5 1 と平行であるが辺 2 5 2 とは鋭角で交差している。

【 0 0 1 4 】

20

図 3 7 は、液晶表示パネルの 1 画素の画素電極とコモン電極との間に電圧を印加した場合の電極間付近の液晶分子の傾斜を示す概略断面図である。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 5 】

図 3 2 において、画素電極 2 5 と液晶 3 0 との間の構成が、コモン電極 2 3 と液晶 3 0 との間の構成と異なるので、焼付きが生ずる原因となる。

【 0 0 1 6 】

また、図 3 6 (B) に示す如く、辺 2 5 2 と辺 2 3 1 とが鋭角で交差するので、この付近の電極間の電界が平行部分のそれよりも強くなる。さらに、交差付近の電界の方向が、平行部分のそれと異なる。このようなことから、交差付近の電極間印加電圧に対する透過特性が平行部分のそれと異なって、画質が劣化するとともに、焼付きが生ずる原因となる。

30

【 0 0 1 7 】

さらに、図 3 7 において、画素電極 2 5 の上方に絶縁層 2 6 が存在するので、これらの部分に電界が印加されても無駄になり、液晶 3 0 に対し効率的に電界を印加することができない。垂直配向層 2 7 の絶縁性が低いので、この問題を解決するために絶縁層 2 6 を省略すると、焼付きが生ずる原因となる。液晶 3 0 に対し画素電極 2 5 を剥き出しにすると、さらに焼付きが大きくなるとともに、液晶分子が分解する。また、画素電極 2 5 の表面が平坦であるので、透過率との関係で液晶 3 0 に対し効果的に電界を印加することができず、表示の高コントラスト化が妨げられていた。

40

【 0 0 1 8 】

液晶表示パネルの開発において、焼付率を所定値以下にするために、液晶表示パネルの構造や材料を変える毎に焼付率を測定すると、1 回の測定に例えば 4 8 時間要するので、開発期間が長くなる。

【 0 0 1 9 】

本発明の目的は、このような点に鑑み、焼付率を低減可能な構造の液晶表示パネル及びその開発期間短縮化を可能にする液晶表示パネル開発方法を提供することにある。

【 0 0 2 0 】

本発明の他の目的は、表示のコントラストを向上させることが可能な液晶表示パネルを

50

提供することにある。

【課題を解決するための手段】

【0021】

本発明の液晶表示パネルでは、第1基板と第2基板との間に液晶が封入され、上記第1基板は、絶縁基板と、上記絶縁基板の上方に形成された画素電極及びコモン電極を有する液晶表示パネルにおいて、上記第1基板及び上記第2基板には、それぞれ垂直配向膜を有し、上記第2基板の液晶側の主面には、面電極が形成され、上記絶縁基板の液晶側の面を基準として、上記画素電極の位置が上記コモン電極の位置よりも高く、上記画素電極と上記コモン電極とが第1絶縁膜を介して重なり合う部分を有し、上記画素電極と上記コモン電極とが上記第1絶縁膜を介して重なり合う部分により、上記画素電極の表面が凸形とな

10

【0022】

上記第1絶縁膜は、上記画素電極上と上記コモン電極上とで厚みを実質的に同一であることが好ましい。上記画素電極が第2絶縁膜で覆われ、上記コモン電極と上記画素電極との間の表示領域に上記第2絶縁膜が実質的に形成されていないことが好ましい。

【0023】

上記画素電極及びコモン電極は、上記第1絶縁膜を介して互いに交差する部分を有し、上記画素電極及び上記コモン電極はいずれも、上記交差部分と連続する互いに平行な線電極部分を有し、上記交差部分の上記画素電極と上記コモン電極の隣り合う辺が互いに鈍角で交差していることが好ましい。

20

【0024】

本発明の他の液晶表示パネルでは、第1基板と第2基板との間に液晶が封入され、上記第1基板は、絶縁基板と、上記絶縁基板の上方に形成された画素電極及びコモン電極と、上記画素電極と上記コモン電極とを被う第1絶縁膜とを有する液晶表示パネルにおいて、上記絶縁基板の液晶側の面を基準として、上記画素電極の位置が上記コモン電極の位置よりも高く、上記画素電極と上記コモン電極とが第2絶縁膜を介して重なり合う部分を有し、上記第1絶縁膜は、上記画素電極上と上記コモン電極上とで厚みを実質的に同一である。

【0025】

上記コモン電極は、上記絶縁基板上に形成され、上記画素電極は、上記コモン電極が形成された後に第2絶縁膜を介して形成され、上記第1絶縁膜は、上記画素電極の下方の部分以外の上記第2絶縁膜が除去された後に形成されていることが好ましい。

30

【0026】

本発明のさらに他の液晶表示パネルでは、第1基板と第2基板との間に液晶が封入され、上記第1基板は、透明絶縁基板と、上記透明絶縁基板の上方に形成され絶縁膜を介し互いに交差する部分を有する画素電極及びコモン電極とを備え、上記画素電極及び上記コモン電極はいずれも、上記交差部分と連続する互いに平行な線電極部分を有し、上記交差部分の上記画素電極と上記コモン電極の隣り合う辺が互いに鈍角で交差している。

【0027】

高さ方向を無視した平面上について、上記交差部分の上記隣り合う辺が、上記平行線分の間を通る直線に関し実質的に対称であることが好ましい。

40

【0028】

上記交差部分の上記隣り合う辺のいずれについても、上記絶縁基板の上下方向に関し上記画素電極の辺と上記コモン電極の辺とが重なっていないことが好ましい。

【0029】

本発明の液晶表示パネルの開発方法では、第1基板と第2基板との間に液晶が封入され、上記第1基板に画素電極が形成され、上記第1基板又は上記第2基板にコモン電極が形成された画素を有する液晶表示パネルに対するものであって、上記画素電極と上記コモン電極との間に交流電圧成分と直流電圧成分 V_{dc} との和である信号電圧を印加し、上記交流電圧成分の振幅 V_{ac} 及び上記直流電圧成分 V_{dc} を変化させて実質的に最適直流成分変動幅

50

ΔV_{dc} を測定し、上記最適直流成分変動幅 ΔV_{dc} が所定値以下になるように上記液晶表示パネルの構成又は構成材料を決定し、ここに、上記最適直流成分変動幅 ΔV_{dc} は、 $\Delta V_{dc} = |V_{dcb} - V_{dcw}|$ と表され、 V_{dcb} は、上記振幅 V_{ac} を黒表示用交流電圧振幅に固定し上記直流電圧成分 V_{dc} を変化させた場合に、上記画素の透過率振幅が最小となる上記直流電圧成分 V_{dc} の値であり、 V_{dcw} は、上記振幅 V_{ac} を白表示用交流電圧振幅に固定し上記直流電圧成分 V_{dc} を変化させた場合に、上記画素の透過率振幅が最小となる上記直流電圧成分 V_{dc} の値である。上記所定値は0.5V以下の値であることが好ましい。

【発明の効果】

【0030】

本発明の液晶表示パネルにより、第1及びコモン電極間に同一電圧を印加した場合に、画素電極の表面が平坦である場合よりも液晶分子をより傾斜させることが可能になり、表示のコントラストが向上する。

10

【0031】

本発明の他の液晶表示パネルによれば、画素電極とコモン電極との間に矩形交流電圧を印加した場合に、画素電極の上方とコモン電極の上方とで電気的状態がほぼ同一になって、例えば図31のように上記画素電極上と上記コモン電極上とで厚みが異なる場合よりも、焼付きが低減される。

【0032】

本発明のさらに他の液晶表示パネルによれば、鋭角で交差する場合よりも、電気力線の集中が緩和されて電界強度が大きくなるのが抑制され、表示画質が向上するとともに、焼

20

【0033】

高さ方向を無視した平面上について、上記交差部分の上記隣り合う辺が、上記平行線分の間を通る直線に関し実質的に対称である場合には、電界ベクトルの方向が交差部分の電界ベクトルの方向が平行部分のそれと平行になるので、表示画質がさらに向上するとともに、焼付きがさらに低減される。

【0034】

本発明の液晶表示パネル開発方法によれば、焼付率との相関度が高い最適直流成分変動幅 ΔV_{dc} を短時間で容易に測定することができるので、最適直流成分変動幅 ΔV_{dc} を用いることにより、焼付率が所望の値以下の液晶表示パネルを開発するための期間を短縮することが可能となる。

30

【0035】

焼付きを人が認識できないようにするためには、焼付率を、室内の通常照明下の場合には6%以下、暗室内の場合には3%以下にしなければならない。

【0036】

上記所定値は、例えば0.5V以下の値であり、上記所定値が0.5Vのとき焼付率が6%、上記所定値が0.2Vのとき焼付率が3%であることを確認した。

【0037】

本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【図面の簡単な説明】

40

【0038】

【図1】本発明の方法に用いられる液晶表示装置の概略回路図である。

【図2】焼付率説明図である。

【図3】画素印加電圧波形を示す図である。

【図4】交流振幅 V_{ac} が2V、直流成分 V_{dc} が-3Vである場合の液晶画素透過率測定波形図である。

【図5】交流振幅 V_{ac} が2V、直流成分 V_{dc} が-2Vである場合の液晶画素透過率測定波形図である。

【図6】交流振幅 V_{ac} が2V、直流成分 V_{dc} が-1Vである場合の液晶画素透過率測定波形図である。

50

【図 7】交流振幅 V_{ac} が 2 V、直流成分 V_{dc} が - 0.5 V である場合の液晶画素透過率測定波形図である。

【図 8】交流振幅 V_{ac} が 2 V、直流成分 V_{dc} が 0 V である場合の液晶画素透過率測定波形図である。

【図 9】交流振幅 V_{ac} が 2 V、直流成分 V_{dc} が 0.5 V である場合の液晶画素透過率測定波形図である。

【図 10】交流振幅 V_{ac} が 2 V、直流成分 V_{dc} が 1 V である場合の液晶画素透過率測定波形図である。

【図 11】交流振幅 V_{ac} が 2 V、直流成分 V_{dc} が 2 V である場合の液晶画素透過率測定波形図である。

10

【図 12】交流振幅 V_{ac} が 2 V、直流成分 V_{dc} が 3 V である場合の液晶画素透過率測定波形図である。

【図 13】交流振幅 V_{ac} が 2 V である場合の、直流成分 V_{dc} と液晶画素透過率変動幅 ΔT との関係の測定結果を示すグラフである。

【図 14】交流振幅 V_{ac} と液晶画素透過率変動幅 ΔT が最小となる直流成分 V_{dc} との関係の測定結果を示すグラフである。

【図 15】焼付率と最適直流成分変動幅 ΔV_{dc} との関係の測定結果を示すグラフである。

【図 16】本発明の第 2 実施形態の、焼付率を低減可能な液晶画素の構成の電圧無印加状態を示す概略断面図である。

【図 17】図 16 の液晶画素の電圧印加状態を示す概略断面図である。

20

【図 18】図 16 中の基板 20 A の製造工程図である。

【図 19】本発明の第 3 実施形態の、焼付率を低減可能な液晶画素の電極パターン図である。

【図 20】図 19 中の画素電極のパターン図である。

【図 21】図 19 中のコモン電極のパターン図である。

【図 22】(A) は図 19 中の電極交差付近の拡大図であり、(B) は (A) の電極間に電圧が印加された時の電気力線を点線で示す図である。

【図 23】本発明の第 4 実施形態の、焼付率を低減可能な液晶画素の電極パターン図である。

【図 24】図 23 中のコモン電極のパターン図である。

30

【図 25】本発明の第 5 実施形態の、焼付率を低減可能な液晶画素の電極パターン図である。

【図 26】図 25 中のコモン電極のパターン図である。

【図 27】本発明の第 6 実施形態の、隣り合う 2 つの液晶画素の電極パターン図である。

【図 28】図 27 中の A - A 線に沿った断面拡大図である。

【図 29】バックライト入射側基板の製造工程を示す図である。

【図 30】図 29 の続きを示す製造工程図である。

【図 31】本発明と対比される、液晶表示パネルの 1 画素の構造の電圧無印加状態を示す概略断面図である。

【図 32】図 31 の画素の電圧印加状態を示す概略断面図である。

40

【図 33】図 32 中の基板 20 に形成された電極パターンの 1 画素分を示す図である。

【図 34】図 33 中の画素電極のパターン図である。

【図 35】図 33 中のコモン電極のパターン図である。

【図 36】(A) は図 33 中の電極交差付近の拡大図であり、(B) は (A) の電極間に電圧が印加された時の電気力線を点線で示す図である。

【図 37】従来の液晶表示パネルの 1 画素の画素電極とコモン電極との間に電圧を印加した場合の電極間付近の液晶分子の傾斜を示す概略断面図である。

【発明を実施するための形態】

【0039】

以下、図面を参照して本発明の実施形態を説明する。

50

【 0 0 4 0 】

〔第 1 実施形態〕最初に、焼付率を低減可能な構造又は材料を用いた液晶表示パネルの開発期間短縮化を可能にする液晶表示パネル開発方法を説明する。

【 0 0 4 1 】

図 1 は、本発明の方法に用いられる液晶表示装置の概略回路図である。図 1 では簡単化のために、画素アレイが 3 行 6 列の場合を示している。

【 0 0 4 2 】

この回路自体は、従来と同一である。データライン D L 1、走査ライン S L 1、T F T 2 9、画素電極 2 5 及びコモン電極 2 3 は、例えば図 3 1 に示す如く形成されている。画素電極 2 5 と対向する電極は、このコモン電極 2 3 と、図 3 1 に示す面電極 1 2 との両方である。走査ライン及びデータラインはそれぞれ、走査ドライバ 3 1 及びデータドライバ 3 2 の出力端に接続されている。制御回路 3 3 は、ピクセルクロック C L K 及び水平同期信号 H S Y N C に基づいてデータドライバ 3 2 を制御するとともに、ビデオ信号 V S をデータドライバ 3 2 に供給し、水平同期信号 H S Y N C 及び垂直同期信号 V S Y N C に基づいて走査ドライバ 3 1 を制御する。走査ドライバ 3 1 により、画素アレイの行が順次選択され、選択された行にデータドライバ 3 2 から表示データ（階調電圧）が供給される。

10

【 0 0 4 3 】

図 2 は、焼付率説明図である。

【 0 0 4 4 】

例えば、表示データが 6 4 階調、「白」が第 6 4 階調、「黒」が第 1 階調である場合を考える。焼付率は次のようにして測定される。

20

【 0 0 4 5 】

（ A ）白（第 6 4 階調）を表示させて輝度 B m を測定する。

【 0 0 4 6 】

（ B ）次に、白と黒の固定パターンを例えば 4 8 時間表示させる。

【 0 0 4 7 】

（ C ）この直後に中間調（第 3 2 階調）を表示させて、上記（ B ）で白を表示していた領域と黒を表示していた領域との輝度 B m w 及び B m b を測定する。焼付率は、次式で計算される。

【 0 0 4 8 】

焼付率 = $100 (B_{mw} - B_{mb}) / B_m$

30

上記（ C ）において、焼付きを人が認識できないようにするためには、焼付率を、室内の通常照明下の場合には 6 % 以下、暗室内の場合には 3 % 以下にしなければならない。

【 0 0 4 9 】

焼付率は、液晶表示パネルの構造や構成材料により異なる。液晶表示パネルの開発において、焼付率を所定値以下にするために、液晶表示パネルの構造や材料を変える毎に焼付率を測定すると、1 回の測定に例えば 4 8 時間要するので、開発期間が長くなる。そこで、焼付率と相関度が高い物理量であって、短時間で測定できるものを探すことを考える。

【 0 0 5 0 】

液晶画素には、その劣化を防止するために矩形交流電圧が印加される。図 3 は、図 3 2 の画素電極 2 5 とコモン電極 2 3 との間及び画素電極 2 5 と面電極 1 2 との間に印加される電圧波形を示す。周波数は 3 0 H z である。

40

【 0 0 5 1 】

交流電圧印加によりフリッカが生ずるのを防止するため、すなわち透過率が周期的に変化するのを防止するために、液晶画素印加電圧には直流電圧成分が加えられる。矩形交流電圧の振幅及び直流電圧成分をそれぞれ V a c 及び V d c で表す。

【 0 0 5 2 】

交流振幅 V a c を固定し、直流成分 V d c を段階的に変化させた場合の液晶表示パネル透過率を測定した。図 4 ~ 図 1 2 は、交流振幅 V a c を黒表示用電圧である 2 V に固定し、直流成分 V d c を - 3 V、- 2 V、- 1 V、- 0 . 5 V、0 V、0 . 5 V、1 V、2 V 及び 3 V

50

にした場合のそれぞれの透過率変動を示す。図 4 に示す如く、透過率変動幅を ΔT で表す。

【 0 0 5 3 】

図 1 3 は、 $V_{ac} = 2 \text{ V}$ の場合の直流成分 V_{dc} と透過率変動幅 ΔT との関係を示すグラフである。このグラフから、透過率変動幅 ΔT が最小となる直流成分 V_{dc} の値は -0.38 V と推定される。

【 0 0 5 4 】

さらに、交流振幅 V_{ac} が白表示用電圧である 7 V と中間調表示用電圧 $(2 + 7) / 2 = 4.5 \text{ V}$ の場合に、透過率変動幅 ΔT が最小値 ΔT_{min} となる直流成分 V_{dc} を上記同様にして求めた。これらの結果を、図 1 4 に示す。交流振幅 V_{ac} が白表示用電圧と黒表示用電圧であるときの直流成分 V_{dc} の差を ΔV_{dc} で表す。実際の液晶表示装置では直流成分 V_{dc} が固定値であるので、最適直流成分変動幅 ΔV_{dc} が狭いほどフリッカが弱くなる。

10

【 0 0 5 5 】

図 1 5 は、液晶表示パネルの構造や材料を変えて焼付率及び最適直流成分変動幅 ΔV_{dc} を測定し、両者の関係を表したグラフである。このグラフから、焼付率と最適直流成分変動幅 ΔV_{dc} との相関度が高いことが判る。また、焼付率が上記 6 % 以下であるためには、最適直流成分変動幅 ΔV_{dc} が 0.5 V 以下でなければならず、焼付率が上記 3 % 以下であるためには、最適直流成分変動幅 ΔV_{dc} が 0.2 V 以下でなければならないことが判る。

【 0 0 5 6 】

最適直流成分変動幅 ΔV_{dc} は短時間で容易に測定することができるので、 ΔV_{dc} を用いることにより、焼付率が所望の値以下の液晶表示パネルを開発するための期間を大幅に短縮することが可能となる。

20

【 0 0 5 7 】

なお、図 3 1 において、面電極 1 2 を用いずに、画素電極 2 5 とコモン電極 2 3 を用いた構成、及び、コモン電極 2 3 を用いずに、画素電極 2 5 と面電極 1 2 とを用いた構成であっても、最適直流成分変動幅 ΔV_{dc} と焼付率との相関度は高く、その他の構成の液晶表示パネルについても同様の相関関係があると考えられる。

【 0 0 5 8 】

[第 2 実施形態] 図 1 6 及び図 1 7 はいずれも、焼付率を低減可能な本発明の第 2 実施形態の液晶画素の構成を示す概略断面図である。図 1 6 は電圧無印加時の状態を示し、図 1 7 は電圧印加時の状態を示す。

30

【 0 0 5 9 】

この画素を有する液晶パネルは、基板 2 0 A の構成が図 2 2 の基板 2 0 のそれと異なっている。他の構成は、図 2 2 のそれと同一である。

【 0 0 6 0 】

図 1 8 は、基板 2 0 A の製造工程図である。図 1 8 中、右端部はコモン電極 2 3 A と画素電極 2 5 A とが絶縁層 2 4 A を介し重なっている部分に関する。

【 0 0 6 1 】

(A) フォトリソグラフィ技術により、透明絶縁基板 2 1 上にメタルのコモン電極 2 3 A が形成される。

40

【 0 0 6 2 】

(B) 透明絶縁基板 2 1 上に絶縁層 2 4 が被着される。

【 0 0 6 3 】

(C) フォトリソグラフィ技術により、絶縁層 2 4 上に画素電極 2 5 A が形成される。

【 0 0 6 4 】

(D) 画素電極 2 5 A をマスクとして絶縁層 2 4 がエッチングされ、画素電極 2 5 A の真下の部分のみ絶縁層 2 4 A が残される。

【 0 0 6 5 】

(E) 透明絶縁基板 2 1 上に絶縁層 2 6 A が被着される。

50

【 0 0 6 6 】

(F) 絶縁層 2 6 A 上に垂直配向層 2 7 が積層される。

【 0 0 6 7 】

このようにして基板 2 0 A を形成することにより、画素電極 2 5 A 上の絶縁層 2 6 A の厚みとコモン電極 2 3 A 上の絶縁層 2 6 A の厚みとが実質的に同一になるので、図 1 7 に示す如く画素電極 2 5 A とコモン電極 2 3 A との間に矩形交流電圧を印加した場合に、コモン電極 2 3 A の上方と画素電極 2 5 A の上方とで電氣的状態がほぼ同一になって、図 3 1 の構成の液晶表示パネルよりも焼付きが低減される。換言すれば、図 1 5 の最適直流成分変動幅 ΔV_{dc} がより小さくなって、焼付率が低くなる。

【 0 0 6 8 】

絶縁層 2 4 A 及び 2 6 A は例えば、 $SiNx$ 、 SiO_2 、レジスト又はアクリル樹脂のいずれかである。試作においては、絶縁層 2 4 A 及び 2 6 A として $SiNx$ を用い、垂直配向層 2 7 として JALS 204 (JSR 社) を用い、液晶 3 0 として ZLI 4535 (メルク・ジャパン 社) を用い、試作品の焼付率低減効果が確認された。

【 0 0 6 9 】

[第 3 実施形態] 図 1 9 は、焼付率を低減可能な、本発明の第 3 実施形態の液晶画素の電極パターン図であり、図 3 3 と類似している。

【 0 0 7 0 】

この電極パターンは、例えば図 1 6 の基板 2 0 A 又は図 3 1 の基板 2 0 に形成されている。

【 0 0 7 1 】

図 2 0 及び図 2 1 はそれぞれ、図 1 9 中の画素電極 2 5 A 及びコモン電極 2 3 A のパターン図であり、それぞれ図 3 4 及び図 3 5 と類似している。

【 0 0 7 2 】

画素が矩形であることと、画素電極 2 5 A 及びコモン電極 2 3 A が互いに平行なストライプ部を有することと、画素電極 2 5 A 及びコモン電極 2 3 A がいずれも一繋がりのものであることから、画素電極 2 5 A の周囲部とコモン電極 2 3 A の周囲部とは、絶縁膜を介し互いに重なる部分を有する。このため、画素電極 2 5 A とコモン電極 2 3 A の隣り合う線電極の端部が、絶縁部を介し交差する。例えば、画素電極 2 5 A の辺 2 5 1 とコモン電極 2 3 A の辺 2 3 1 とは互いに平行であり、辺 2 5 1 及び辺 2 3 1 にそれぞれ連続する辺 2 5 2 と辺 2 3 2 とが交差する。

【 0 0 7 3 】

図 2 2 (A) は、この電極交差付近の拡大図である。図 2 2 (B) は、画素電極 2 5 A とコモン電極 2 3 A との間に電圧が印加された時の電気力線を点線で示す。

【 0 0 7 4 】

辺 2 5 2 と辺 2 3 2 とが鈍角で互いに交差しているので、図 3 6 (A) に示すように辺 2 5 2 と辺 2 3 1 とが鋭角で交差する場合よりも、電気力線の集中が緩和されて電界強度が大きくなるのが抑制される。

【 0 0 7 5 】

また、辺 2 5 1 と辺 2 3 1 との間を通る線 SA に関し辺 2 5 1 及び 2 5 2 と辺 2 3 1 及び 2 3 2 とが対称になっている。これにより、辺 2 5 2 と辺 2 3 2 との間の電界ベクトルの方向は、辺 2 5 1 と辺 2 3 1 との間のそれと平行になる。

【 0 0 7 6 】

このようなことから、電極交差付近の透過特性の急変分布が緩和されて、表示画質が向上するとともに、焼付きが低減される。他の電極交差付近についても上記同様である。

【 0 0 7 7 】

電極パターン以外は上記試作例と同一にして、図 1 9 の電極パターンを用いた液晶パネルと図 3 3 の電極パターンを用いた液晶パネルとを試作し、図 1 9 の電極パターンを用いた液晶パネルの方が焼付率が低くなることを確認した。

【 0 0 7 8 】

〔第4実施形態〕図23は、焼付率を低減可能な、本発明の第4実施形態の液晶画素の電極パターン図であり、図19と類似している。図24は、図23中のコモン電極23Bのパターン図である。画素電極25Aは、図20のそれと同一である。

【0079】

コモン電極23Bの周囲部には、コモン電極23Bの一体性を確保しつつ切除部23B1～23B8が形成されている。これら切除部23B1～23B8の位置は、コモン電極23Bと画素電極25Dの、絶縁体を介した交差部付近である。

【0080】

この切除部が無い場合には、電圧印加時にこの部分と画素電極25Aとの間の非表示領域で電界が生じてその付近の表示領域の液晶分子の配列に影響を与える。切除部によりこの影響がなくなるので、上記第3実施形態の場合よりも表示画質が向上すると共に、焼付きが低減される。

10

【0081】

〔第5実施形態〕図25は、焼付率を低減可能な、本発明の第5実施形態の液晶画素の電極パターン図であり、図33と類似している。図26は、図25中のコモン電極23Cのパターン図である。画素電極25は、図34のそれと同一である。

【0082】

コモン電極23Cは、図24の場合と同様に、コモン電極23Cの一体性を確保しつつ切除部23B1～23B8が形成されている。これにより、図23の構成と比べて、上記第5実施形態と同じ理由で表示画質が向上すると共に、焼付きが低減される。

20

【0083】

〔第6実施形態〕図27は、本発明の第6実施形態の、隣り合う2つの液晶画素の電極パターン図である。両画素は、同一パターンを有する。

【0084】

コモン電極23Dと画素電極25Dの枠部は、絶縁膜を介し互いに重なっている。画素電極25Dのストライプ電極の下方及び線電極間の下方に、コモン電極23Dのストライプ電極部が形成されており、その線密度は画素電極25Dのその2倍である。

【0085】

図28は、図27中のA-A線に沿った断面拡大図である。

【0086】

30

図32の液晶画素と異なる点は、画素電極25Dの線電極部が凸形であることと、絶縁層26Dが画素電極25D上のみに形成され、コモン電極23Dと画素電極25Dの線電極間表示領域に絶縁層が形成されていないことである。垂直配向層27は絶縁層26Dよりも薄いので、図28ではこれを太線で示している。

【0087】

画素電極25Dの線電極部が凸形であることから、その面が中央線から両側へ傾斜している。上記凸形に形成するために、図32と異なり、画素電極25Dの線電極部下方にも、画素電極25Dの線電極部より細幅の、コモン電極23Dの線部が形成されている。この凸形を強調するために、図27のTFT29を作る時に形成されるチャンネル保護膜31が、コモン電極23Dの線部上方に残されている。チャンネル保護膜31の幅は、コモン電極23Dの線部のそれよりも細い。

40

【0088】

これにより、画素電極25Dの線電極部が土手形となるので、画素電極25Dとコモン電極23Dとの間に電圧を印加した場合に、電気力線が図28中の点線で示すようになる。すなわち、画素電極25Dの傾斜面付近の電気力線がこの面に垂直になるので、液晶分子の傾斜が、透明絶縁基板21の面の法線に対しより大きくなり、図32の場合よりも白表示の透過率が増す。したがって、表示のコントラストが向上する。

【0089】

また、画素電極25Dと絶縁層26Dのパターンが同一で画素電極25Dとコモン電極23Dの間の表示領域に絶縁層26Dが存在しないので、図32の場合よりも液晶分子に

50

対し電界が有効利用され、同じ印加電圧の場合に図 3 2 の場合よりもコントラストが向上する。

【 0 0 9 0 】

さらに、液晶が画素電極 2 5 D に直接接触しないので、液晶の分解が防止されると共に、焼付きが低減される。

【 0 0 9 1 】

図 2 9 及び図 3 0 は、基板 2 0 D の製造工程を示す。各図は、図 2 7 中の B - B 線に沿った断面に対応している。次に、これについて説明する。

【 0 0 9 2 】

(A) フトリソグラフィ技術により、透明絶縁基板 2 1 上にメタルのコモン電極 2 3 D 及び走査 (ゲート) ライン S L 1 が形成される。

10

【 0 0 9 3 】

(B) 透明絶縁基板 2 1 上に絶縁層 2 4、真性半導体膜 3 2 及びチャンネル保護膜 3 1 が積層される。フトリソグラフィ技術により、走査ライン S L 1 とコモン電極 2 3 D の上方のみにチャンネル保護膜 3 1 が残される。

【 0 0 9 4 】

(D) 半導体膜 3 2 上に n+半導体膜 3 3、導電膜 2 5 D 及び絶縁層 2 6 D が積層され、これらが同一パターンで食刻されて、走査ライン S L 1 の上方に T F T 2 9 のソース S とドレイン D とが形成されると同時に、コモン電極 2 3 D の線部上方に、画素電極 2 5 D の線電極部及び絶縁層 2 6 D が形成される。画素電極 2 5 D 並びに T F T 2 9 の電極は、3 層の導電膜 2 5 a、2 5 b 及び 2 5 c で形成されている。導電膜 2 5 a ~ 2 5 c は例えば、T i / A l / T i である。電極 2 5 D として A l 膜のみ用いるとこれが n+半導体膜 3 3 内に拡散するので、これを避けるために T i 膜が用いられ、T i 膜のみ用いると抵抗率が高くなるので、A l 膜も用いられている。絶縁層 2 6 D は、D V D で形成される窒化シリコン膜又は酸化シリコン膜である。

20

【 0 0 9 5 】

なお、画素電極 2 5 D として 2 層の T i / A l を用い、絶縁層 2 6 D として窒化アルミニウムを用いれば、スパッタ装置でこれらを連続的に成膜することができるので、工程数が削減される。また、絶縁層 2 6 D としては、パターニングで用いられるフォトレジストを残存させたものであってもよい。

30

【 0 0 9 6 】

(E) 絶縁層 2 4 上及び 2 6 上に、太線で示す垂直配向層 2 7 が被着される。

【 0 0 9 7 】

本第 6 実施形態によれば、画素電極 2 5 D の土手形線電極部及びその上の絶縁層 2 6 D が T F T 2 9 と同時に形成されるので、画素電極 2 5 D 及び絶縁層 2 6 D を形成するために工程数を増加する必要がない。

【 符号の説明 】

【 0 0 9 8 】

- 1 0、2 0、2 0 A 基板
- 1 1、2 1 透明絶縁基板
- 1 2 面電極
- 1 3 誘電体
- 1 4、2 7 垂直配向層
- 1 5、2 8 偏光子
- 2 3、2 3 A ~ 2 3 D コモン電極
- 2 3 1、2 3 2、2 5 1、2 5 2 辺
- 2 3 B 1 ~ 2 3 B 8 切除部
- 2 4、2 4 A、2 6、2 6 A、2 6 D 絶縁層
- 2 5、2 5 A、2 5 D 画素電極
- 2 5 a ~ 2 5 c 導電膜

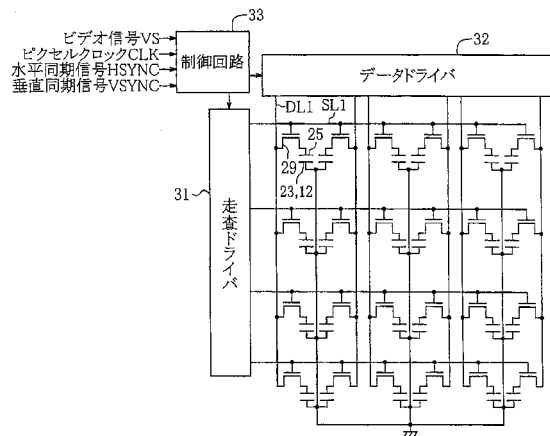
40

50

2 9 T F T
 3 0 液晶
 3 1 チャンネル保護膜
 3 2 半導体膜
 3 3 n+半導体膜
 D L 1 データライン
 S L 1 走査ライン

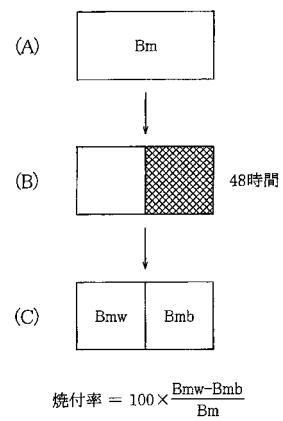
【図 1】

本発明の方法に用いられる液晶表示装置の概略回路図



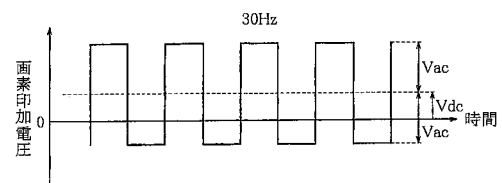
【図 2】

焼付率説明図

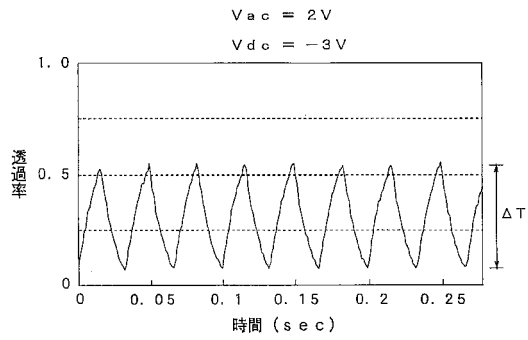


【図 3】

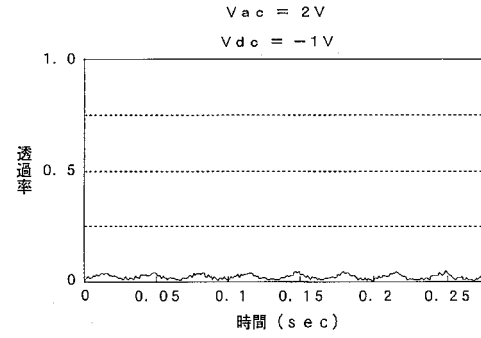
画素印加電圧波形を示す図



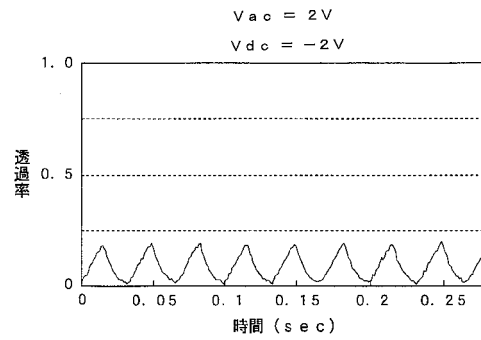
【図 4】



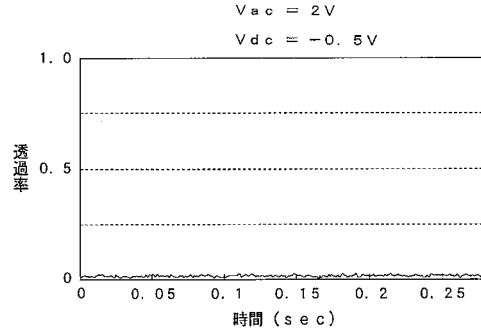
【図 6】



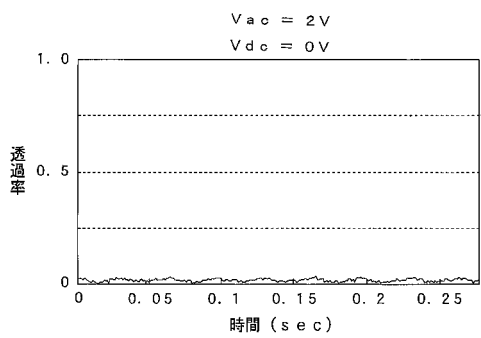
【図 5】



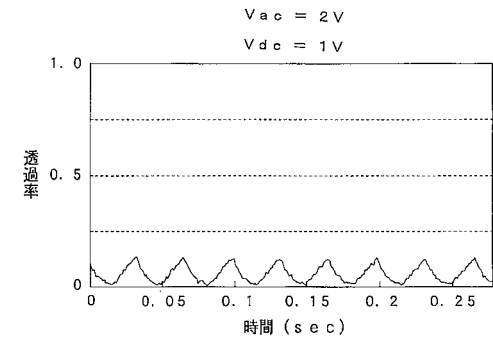
【図 7】



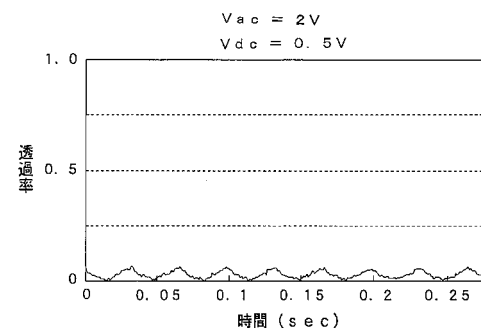
【図 8】



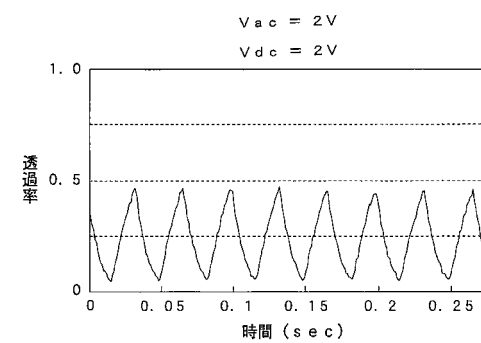
【図 10】



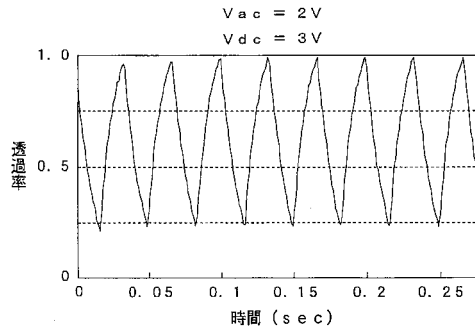
【図 9】



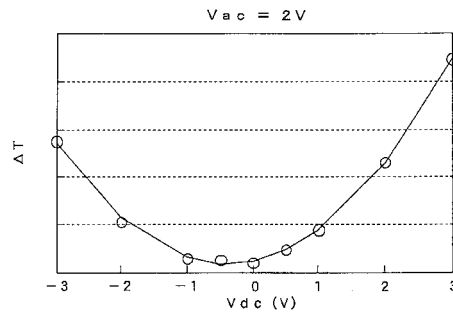
【図 11】



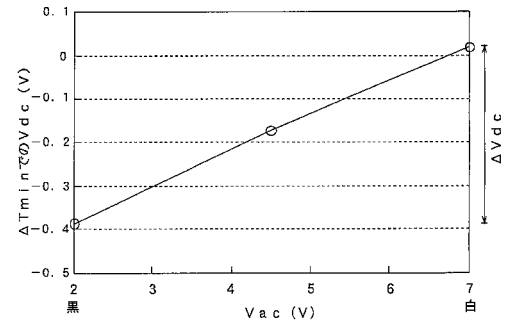
【図 12】



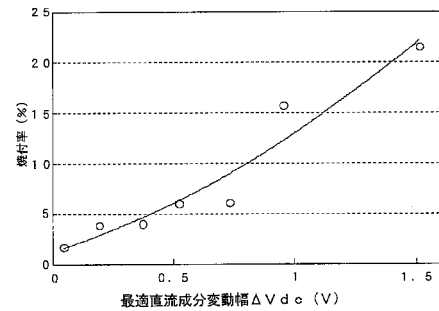
【図 13】



【図 14】

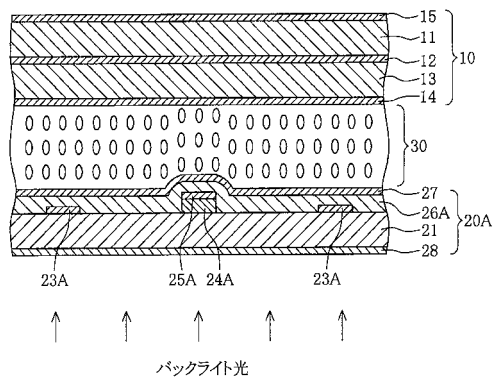


【図 15】



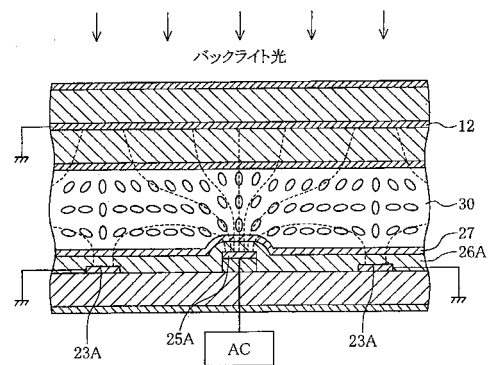
【図 16】

本発明の第2実施形態の、焼付率を低減可能な液晶画素の構成の電圧無印加状態を示す概略断面図



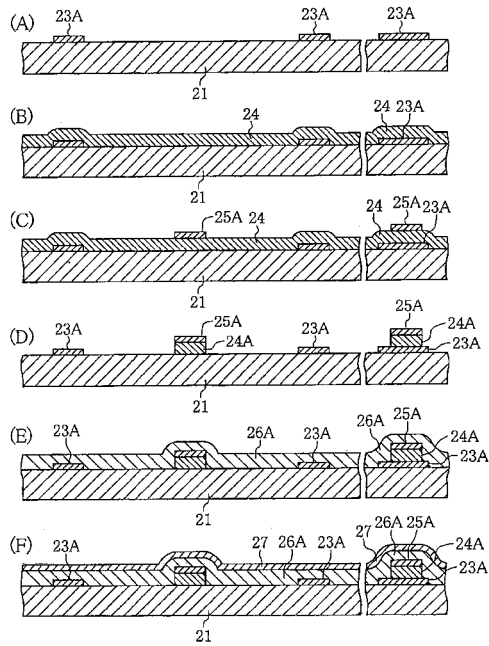
【図 17】

図16の液晶画素の電圧印加状態を示す概略断面図



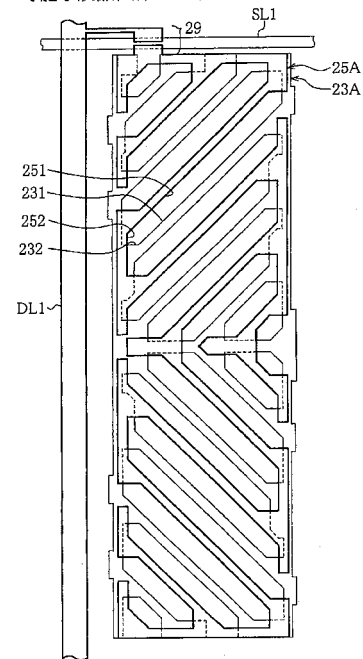
【図18】

図16中の基板20Aの製造工程図



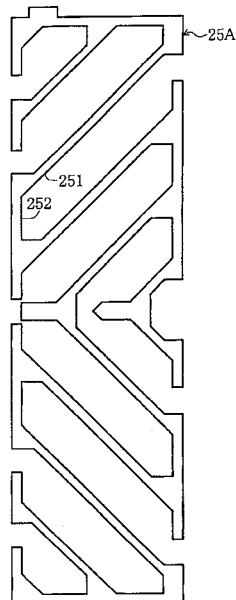
【図19】

本発明の第3実施形態の、焼付率を低減可能な液晶画素の電極パターン図



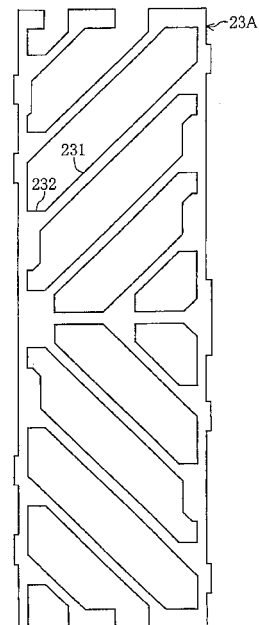
【図20】

図19中の画素電極のパターン図



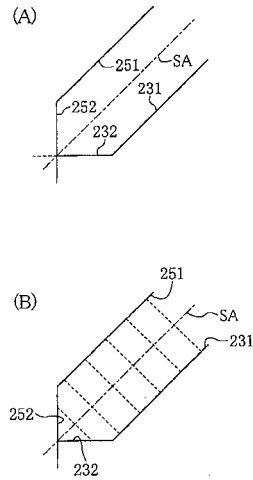
【図21】

図19中のコモン電極のパターン図



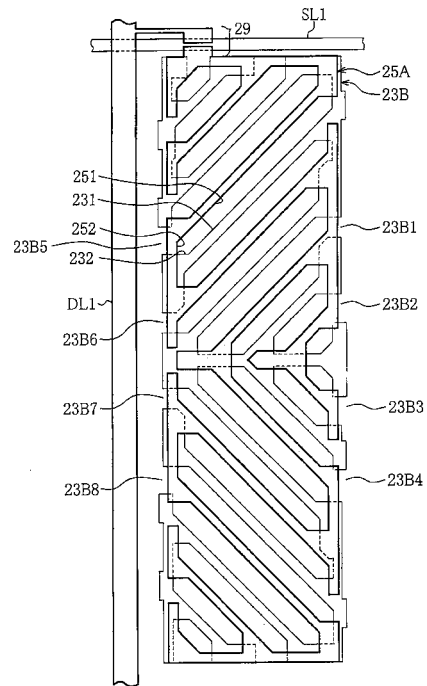
【図 2 2】

(A)は図19中の電極交差付近の拡大図であり、
(B)は(A)の電極間に電圧が印加された時の
電磁力線を点線で示す図



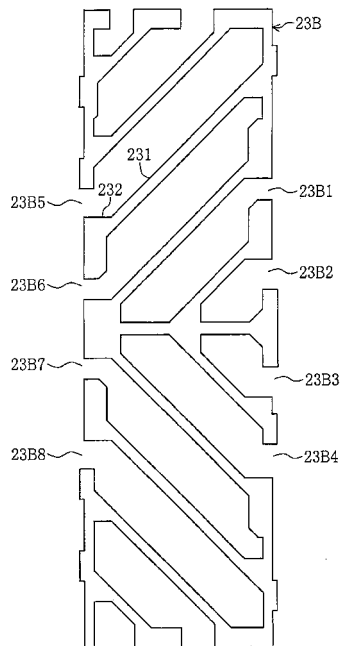
【図 2 3】

本発明の第4実施形態の、焼付率を低減可能な
液晶画素の電極パターン図



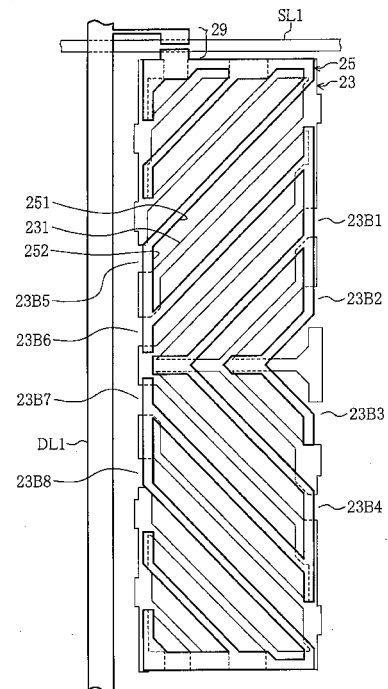
【図 2 4】

図23中のコモン電極のパターン図



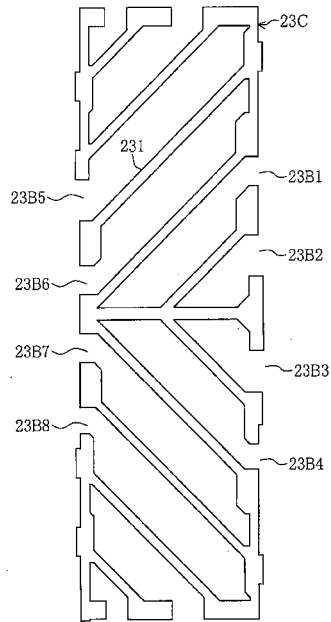
【図 2 5】

本発明の第5実施形態の、焼付率を低減可能な
液晶画素の電極パターン図



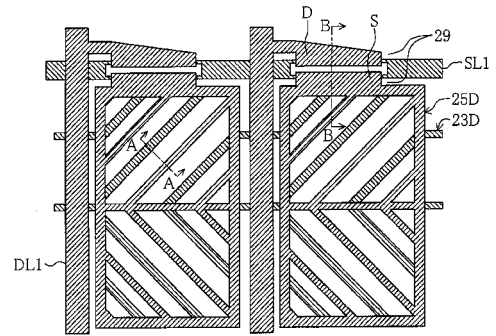
【図 26】

図25中のコモン電極のパターン図



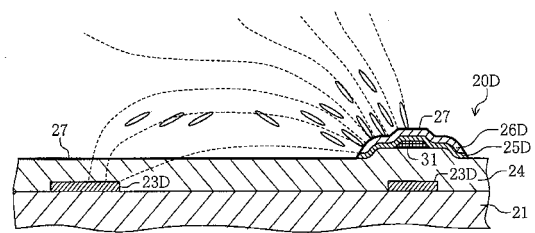
【図 27】

本発明の第6実施形態の、隣り合う2つの液晶画素の電極パターン図



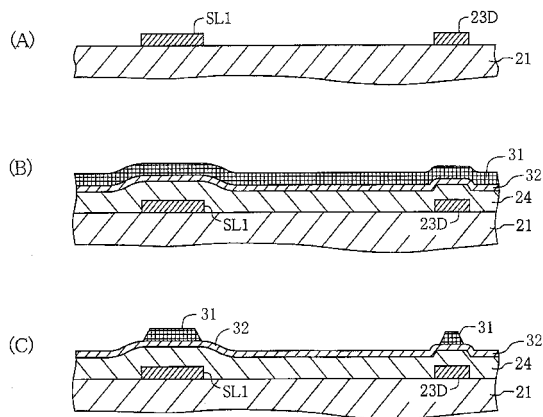
【図 28】

図27中のA-A'線に沿った断面拡大図



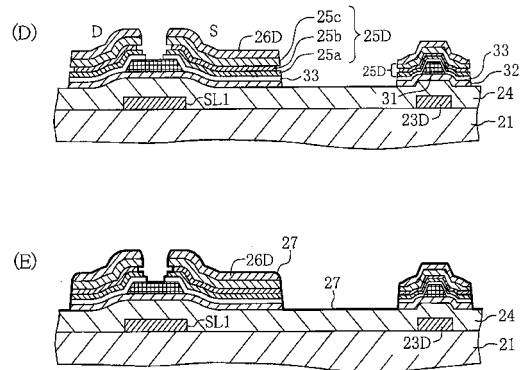
【図 29】

バックライト入射側基板の製造工程を示す図



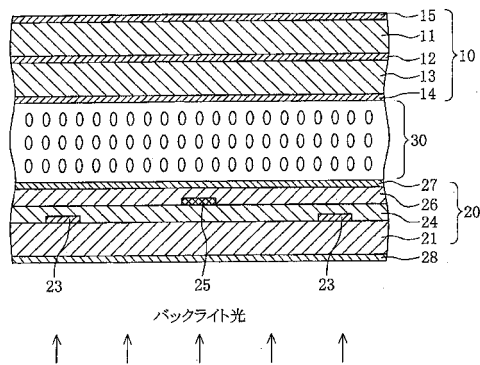
【図 30】

図29の続きを示す製造工程図



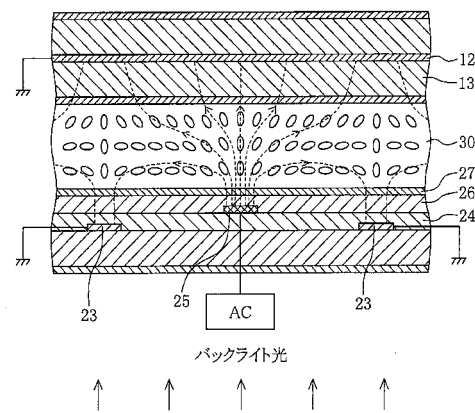
【図 3 1】

本発明と対比される、液晶表示パネルの1画素の構造の電圧無印加状態を示す概略断面図



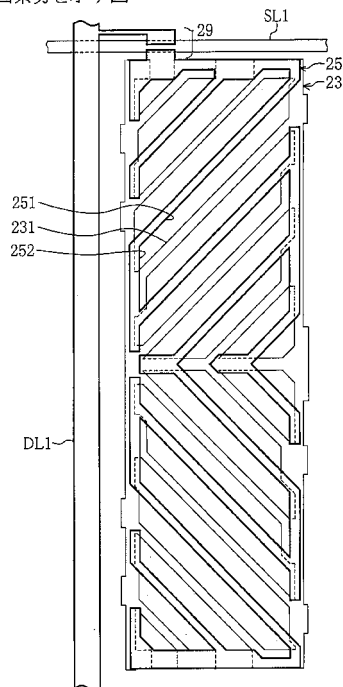
【図 3 2】

図31の画素の電圧印加状態を示す概略断面図



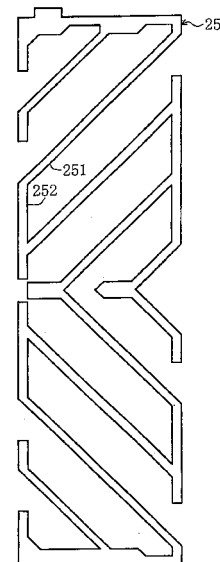
【図 3 3】

図32中の基板20に形成された電極パターンの1画素分を示す図



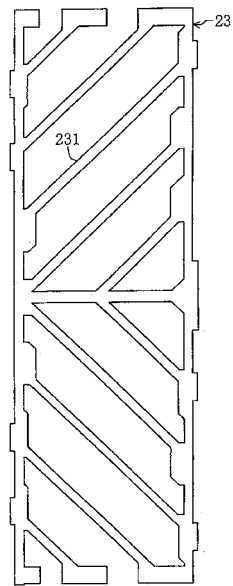
【図 3 4】

図33中の画素電極のパターン図



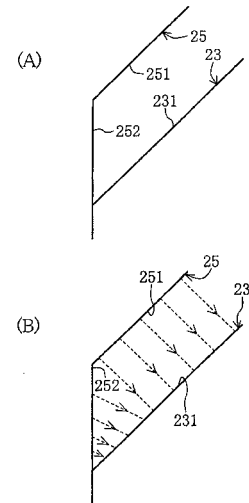
【図 3 5】

図33中のコモン電極のパターン図



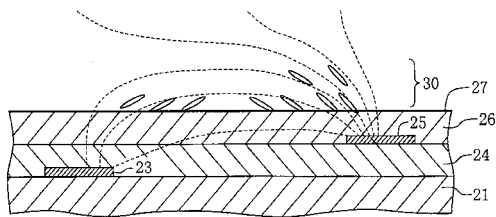
【図 3 6】

(A)は図33中の電極交差付近の拡大図であり、
(B)は(A)の電極間に電圧が印加された時の
電気力線を点線で示す図



【図 3 7】

従来の液晶表示パネルの1画素の画素電極と
コモン電極との間に電圧を印加した場合の電極
間付近の液晶分子の傾斜を示す概略断面図



フロントページの続き

- (72)発明者 田坂 泰俊
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 藤川 徹也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 助則 英智
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 福田 知喜

- (56)参考文献 特開平11-183931(JP,A)
国際公開第97/034188(WO,A1)
特開平11-352483(JP,A)
特開平10-186351(JP,A)
特開2000-250065(JP,A)
特開平10-333171(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 3 3
G 0 2 F	1 / 1 3 3 7

专利名称(译)	液晶显示面板		
公开(公告)号	JP5037554B2	公开(公告)日	2012-09-26
申请号	JP2009092113	申请日	2009-04-06
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	仲西洋平 吉田秀史 笹林貴 田坂泰俊 藤川徹也 助則英智		
发明人	仲西 洋平 吉田 秀史 笹林 貴 田坂 泰俊 藤川 徹也 助則 英智		
IPC分类号	G02F1/1343 G02F1/1333 G02F1/1337		
FI分类号	G02F1/1343 G02F1/1333.505 G02F1/1337.525		
F-TERM分类号	2H090/HA03 2H090/HA04 2H090/KA07 2H090/LA01 2H090/MA01 2H092/GA14 2H092/HA04 2H092/JA26 2H092/NA01 2H092/NA25 2H092/PA06 2H190/HA03 2H190/HA04 2H190/KA07 2H190/LA01 2H190/LA22 2H290/AA74 2H290/BB63 2H290/CA33 2H290/CA46		
审查员(译)	福田 知喜		
其他公开文献	JP2009187022A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有可以降低燃烧比的结构液晶显示装置，并提供一种液晶显示装置的显影方法，通过该方法可以减少其显影期限。解决方案：在像素电极25A和公共电极23A之间施加矩形AC电压，并且改变其AC电压分量的幅度Vac和DC电压分量Vdc以测量最佳DC分量变化范围 ΔV_{dc} 。确定液晶显示装置的结构或构造材料，使得 ΔV_{dc} 具有规定值或更低。建立关系式 $\Delta V_{dc} = \%V_{dcb} - V_{dcw}\%$ 。Vdc是Vdc的值，当Vdc变化时最小化透射率幅度，而Vac固定为交流电压幅度（2V）用于黑色显示，Vdcw是Vdc值，当Vdc变化时最小化透射率幅度，而Vac固定为AC电压幅度（7V）用于白色显示。像素电极25A和公共电极23A两者的上侧中的绝缘体26A的部分具有相同的厚度。电极交叉部分以线对称的方式形成。像素电极的条形电极部分的表面形成为堤形。Z

