

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-70768

(P2019-70768A)

(43) 公開日 令和1年5月9日(2019.5.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 336	5C094
H01L 21/3205 (2006.01)	G09F 9/30 365	5F033
H01L 21/768 (2006.01)	G09F 9/30 337	
H01L 23/532 (2006.01)	H01L 21/88 R	
	H01L 21/90 M	

審査請求 有 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2017-197433 (P2017-197433)	(71) 出願人	000005049
(22) 出願日	平成29年10月11日 (2017.10.11)		シャープ株式会社
		(74) 代理人	110001036
			特許業務法人暁合同特許事務所
		(72) 発明者	西宮 節治
			大阪府堺市堺区匠町 1 番地 シャープ株式
			会社内
		(72) 発明者	大東 徹
			大阪府堺市堺区匠町 1 番地 シャープ株式
			会社内
		(72) 発明者	今井 元
			大阪府堺市堺区匠町 1 番地 シャープ株式
			会社内

最終頁に続く

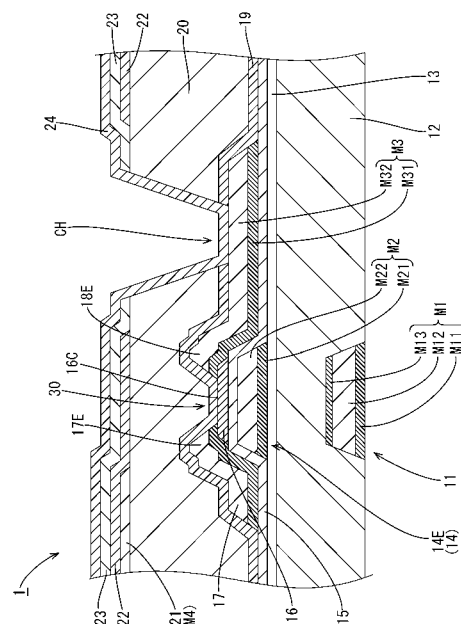
(54) 【発明の名称】 アレイ基板およびその製造方法、並びに表示パネル

(57) 【要約】

【課題】表示画像の高精細化に対応可能なアレイ基板を簡素な工程により製造可能とする。

【解決手段】アレイ基板 1 を、SOG 材料からなる SOG 層 12 と、SOG 層 12 の下側（液晶層とは反対側）に配設される第 1 ゲート配線（第 1 配線）11 と、SOG 層 12 の上側（液晶層側）に、アレイ基板 1 を平面に視て第 1 ゲートと重畳されるように配設される第 2 ゲート配線（第 2 配線）と、を含む積層構造を備えるものとする。アレイ基板 1 において、第 1 ゲート配線 11 は、銅からなる銅含有層 M12 と、チタンからなる金属上層 M13 と、を有し、金属上層 M13 は、銅含有層 M12 の上側に積層されて、銅含有層 M12 と SOG 層 12 との間に配される。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

S O G (スピン・オン・ガラス) 材料からなる S O G 層と、
前記 S O G 層の下側に配設される第 1 配線と、
前記 S O G 層の上側に、平面に視て前記第 1 配線と重畳されるように配設される第 2 配線と、を含む積層構造を備え、

前記第 1 配線は、

銅もしくは銅合金からなる銅含有層と、

チタン、アルミニウム合金、銅合金、タングステン合金、およびタンタル合金からなる群から選択される金属からなる金属上層と、を有し、

前記金属上層は、前記銅含有層の上側に積層されて前記銅含有層と前記 S O G 層との間に配されているアレイ基板。

【請求項 2】

前記 S O G 層の上側に積層されて前記 S O G 層と前記第 2 配線との間に配されるキャップ層をさらに備える請求項 1 に記載のアレイ基板。

【請求項 3】

銅もしくは銅合金からなる銅含有層と、チタン、アルミニウム合金、銅合金、タングステン合金、およびタンタル合金からなる群から選択される金属からなり前記銅含有層上に積層された金属上層と、を含む金属積層膜を成膜する金属積層膜成膜工程と、

前記金属積層膜をエッチング処理して第 1 配線パターンを形成する第 1 配線パターン形成工程と、

前記第 1 配線パターン上に、S O G 材料からなる S O G 層を形成する S O G 層形成工程と、

前記 S O G 層の上側において平面に視て前記第 1 配線パターンと重畳する位置に、第 2 配線パターンを形成する第 2 配線パターン形成工程と、を含むアレイ基板の製造方法。

【請求項 4】

請求項 1 または請求項 2 に記載のアレイ基板を備える表示パネル。

【発明の詳細な説明】**【技術分野】****【0001】**

本技術は、アレイ基板およびその製造方法、並びに表示パネルに関する。

【背景技術】**【0002】**

従来、画像等を表示させる表示パネルとして、アレイ基板を備えたものが知られている。アレイ基板には、複数のゲート配線（走査配線）と複数のソース配線（信号配線、データ配線）が互いに交差するようにアレイ状（配列状）に作り込まれ、ゲート配線とソース配線で区画される各画素領域には画素電極が配置される。画素電極は、スイッチング素子として用いられる T F T（薄膜トランジスタ：Thin Film Transistor）を介してソース配線と接続されており、ゲート配線及びソース配線にそれぞれ供給される各種信号に基づいて T F T が駆動され、その駆動に伴って画素電極への電位の供給が制御されるようになっている。

ゲート配線やソース配線等の配線を構成する金属膜材料としては、電気抵抗率の小さい銅の使用が好ましい。例えば下記特許文献 1 には、ゲート絶縁膜等との密着性に優れたチタン等の異種金属を含む第一層の上に、主として銅からなる第二層を積層した表示装置用の銅合金膜が提案されている（下記特許文献 1）。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2 0 1 2 - 2 7 1 5 9 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0004】

表示パネルの高精細化が進む中、画素の開口率を上げるためにアレイ基板における配線パターンを細くすることが求められている。しかし、配線幅を単純に小さくすると、電気抵抗が増大して、信号遅延を招くなどの問題が生じる。例えば、配線幅を小さくする一方で配線膜厚を大きくすれば、電気抵抗の増大を抑えることができるが、配線による段差が大きくなってパターン切れ発生のリスクが高くなる虞がある。

【0005】

本技術は上記事情に基づいて完成されたものであって、高精細化に対応可能なアレイ基板を簡素な工程で製造可能とすることを目的とする。

【課題を解決するための手段】

【0006】

本技術のアレイ基板は、SOG（スピン・オン・ガラス：Spin on Glass）材料からなるSOG層と、前記SOG層の下側に配設される第1配線と、前記SOG層の上側に、平面に視て前記第1配線と重畳されるように配設される第2配線と、を含む積層構造を備え、前記第1配線は、銅もしくは銅合金からなる銅含有層と、チタン、アルミニウム合金、銅合金、タングステン合金、およびタンタル合金からなる群から選択される金属からなる金属上層と、を有し、前記金属上層は、前記銅含有層の上側に積層されて前記銅含有層と前記SOG層との間に配されている。

【0007】

上記構成のように配線を二層化すれば、適度な配線膜厚を維持しながら、電気抵抗を増大させることなく配線幅を小さくすることができる。これにより、画素の開口率を高め、表示画像の高精細化を図ることが可能となる。また、ゲートドライバ回路を額縁領域に形成した、いわゆるGDM（ゲート・ドライバ・モノリシック回路：Gate Driver Monolithic Circuit）の構成の表示パネルでは、ゲート配線を二層化することによってクロス容量を低減させる効果も得られる。

【0008】

上記構成によれば、二層化した配線の間には、絶縁層として、SOG材料からなるSOG層が配設される。当該層を形成後、表示パネルの製造工程において高温（例えば350以上）でのアニール処理が実施されることがある。SOG層は耐熱性に優れているため、高温アニール処理による高温に曝された場合であっても、当該処理による絶縁層の劣化や変性が抑制される。これにより、当該アレイ基板を用いて信頼性の高い表示パネルを得ることができる。SOG材料としては、耐熱性の観点から、最終的に熱硬化されるものが好ましい。また、感光性のSOG材料を用いれば、フォトリソグラフィによって成膜及びパターン形成を行うことが可能となるため、アレイ基板製造時の工程数の増加も抑制される。

【0009】

配線が二層化された構成のアレイ基板において、SOG層の下側に配される第1配線を、特許文献1に記載の二層構造の金属積層膜で形成すると、露出した上層の銅がSOG層に接することとなる。このような構成のアレイ基板では、SOG層を硬化させるために行われる熱処理により、銅が酸化されてしまう。よって、第1配線を形成後、Si窒化膜等からなるメタルキャップ層を形成して第1配線を被覆する必要性が生じ、アレイ基板製造時の工程数の増加が避けられない。

上記構成によれば、第1配線の銅含有層と、同層に含まれる銅の酸化を招くSOG層との間に、金属上層が配設される。これにより、メタルキャップ層を形成しなくとも、銅含有層に含まれる銅の酸化が抑制されて電気抵抗率を小さく維持することができる。

【0010】

上記構成によれば、金属上層は、チタン、アルミニウム合金、銅合金、タングステン合金、又はタンタル合金からなるものとされる。このような金属を用いることで、銅含有層の上面に緻密な層を形成させることができる。また、これらの金属を用いれば、銅を含む

10

20

30

40

50

金属と、金属上層を形成する金属と、を順次スパッタリングするという簡易な工程により、銅含有層及び金属上層を形成できる。

以上の結果、高精細化に対応可能であって、信号遅延が抑制され信頼性の高いアレイ基板を、簡素な工程で製造可能となる。

【0011】

本技術のアレイ基板は、銅もしくは銅合金からなる銅含有層と、チタン、アルミニウム合金、銅合金、タングステン合金、およびタンタル合金からなる群から選択される金属からなり前記銅含有層上に積層された金属上層と、を含む金属積層膜を成膜する金属積層膜成膜工程と、前記金属積層膜をエッチング処理して第1配線パターンを形成する第1配線パターン形成工程と、前記第1配線パターン上に、SOG材料からなるSOG層を形成するSOG層形成工程と、前記SOG層の上側において平面に視て前記第1配線パターンと重畳する位置に、第2配線パターンを形成する第2配線パターン形成工程と、を含むアレイ基板の製造方法によって製造することができる。

10

【0012】

上記構成によれば、配線が二層化され、適度な配線膜厚を維持しながら、電気抵抗を増大させることなく配線幅を小さくしたアレイ基板を得ることができる。また、二層化した配線の間には、絶縁層として、耐熱性の高いSOG層が配設され、表示パネルの製造工程において行われる高温処理による劣化や変性が抑制される。さらに、第1配線の銅含有層と、同層に含まれる銅の酸化を招くSOG層との間に、金属上層が配設される。ここで、第1配線を構成する金属積層膜は、例えば銅もしくは銅合金と、金属上層形成金属と、を順次スパッタリングすることで成膜できる。上記構成によれば、最上層に金属上層を有する金属積層膜を成膜した後、エッチングによる第1配線パターン形成を行うことで、銅含有層と、この上に積層形成されるSOG層とが直接接触する面積を減少させて、SOG層熱硬化時の銅の酸化を抑制し、メタルキャップ層の形成を不要とすることができる。なお、SOG層を感光性SOG材料によって形成すれば、SOG膜のパターン形成をフォトリソグラフィによって行うことができ、アレイ基板製造時の工程数の増加が抑制される。これらの結果、簡素な工程で、第1配線に含まれる銅含有層の酸化が抑制され、信頼性の高いアレイ基板を得ることができる。

20

【発明の効果】

【0013】

本技術によれば、簡易な製造工程により、高精細化に対応可能で信頼性の高いアレイ基板を得ることができる。また、アレイ基板を備えた液晶パネル、プラズマディスプレイパネル、有機ELパネル等に本技術を適用することにより、高精細で画像を表示可能な信頼性の高い表示パネルを得ることができる。

30

【図面の簡単な説明】

【0014】

【図1】一実施形態に係るアレイ基板の断面構成を表す模式図

【図2】金属積層膜成膜工程後の断面構成を表す模式図

【図3】第1配線パターン形成工程後の断面構成を表す模式図

【図4】SOG層形成工程後の断面構成を表す模式図

40

【図5】キャップ層を形成後に行われる、第2配線パターン形成工程の様子を表す模式図

【発明を実施するための形態】

【0015】

一実施形態を、図1から図5によって説明する。

本実施形態では、アレイ基板1について例示する。なお、以下の説明では、図1における上側を上（下側を下）とし、複数の同一部材については、一の部材に符号を付し、他の部材については符号を省略することができる。

【0016】

本実施形態に係るアレイ基板1は、例えば携帯電話端末（スマートフォン等を含む）、ノートパソコン（タブレット型ノートパソコン等を含む）、ウェアラブル端末（スマート

50

ウォッチ等を含む)、携帯型情報端末(電子ブックやPDA等を含む)、携帯型ゲーム機、デジタルフォトフレーム等の各種電子機器(図示せず)を構成し、画面サイズが、例えば数インチ~十数インチ程度の表示パネルに用いられる。本技術は、一般的には小型または中小型に分類される大きさで、高精細化が求められている表示パネルに用いられるアレイ基板に特に適している。しかし、このようなものに限定されることはなく、数十インチ以上の中型または大型(超大型)に分類される画面サイズの表示パネルを構成するアレイ基板にも、本技術は適用可能である。

【0017】

本実施形態に係るアレイ基板1を備える表示パネルについては図示しないが、例えば周知の構成の液晶パネルとすることができる。液晶パネルは、アレイ基板1と、これに対向配置される対向基板とが、所定のギャップを隔てた状態で貼り合わせられるとともに、両基板間に液晶が封入されてなる。対向基板には、例えばガラスからなるガラス基板を有し、このガラス基板上に、R(赤色)、G(緑色)、B(青色)等の各着色部が所定配列で配置されたカラーフィルタや対向電極が設けられる。そして、アレイ基板1及び対向基板の最も内側(液晶層側)には図示しない配向膜が設けられ、両基板の外側には偏光板が配される。

10

【0018】

以下、図1を参照しつつ、アレイ基板の構成について説明する。

アレイ基板1は、ガラス基板、シリコン基板、耐熱性を有するプラスチック基板等の絶縁性からなり、略透明で高い透光性を有する図示しない基板を備える。本実施形態では、一例としてガラス基板を用いるものとする。このガラス基板上に、図1に示すように各種の層が所定パターンで積層形成されている。なお、図1に示すアレイ基板1の上側に、図示しない液晶層と対向基板が配されて、液晶パネルが構成される。

20

【0019】

アレイ基板1の内側(液晶層側、対向基板側)に設けられている各層は、公知の成膜技術、フォトリソグラフィ技術等を利用して形成される。

アレイ基板1の平面構成については図示しないが、アレイ基板1のうち、画像が表示される表示領域には、図1に表されているTF T 3 0及び画素電極2 4が、それぞれ複数個マトリクス状に配設されている。TF T 3 0は、スイッチング素子として利用される。平面に視て、TF T 3 0及び画素電極2 4の周りは、互いに交差する形で配設された複数本のゲート配線(走査線、詳しくは後述する)1 1、1 4及びソース配線(信号線)1 7で取り囲まれている。つまり、TF T 3 0及び画素電極2 4は、平面に視て、格子状をなすゲート配線1 1、1 4及びソース配線1 7の各交差部に割り当てられる形となっている。

30

図1に示すように、TF T 3 0は、後述するように二層化されたゲート配線のうち第2ゲート配線1 4に延設されたゲート電極1 4 Eと、半導体膜1 6上に形成されたチャンネル領域1 6 Cと、ソース配線1 7に延設されたソース電極1 7 Eと、ドレイン電極1 8 Eと、を備えて構成される。ソース電極1 7 Eと、ドレイン電極1 8 Eとは、チャンネル領域1 6 Cを挟んで互いに半導体膜1 6上で間隔を保ちつつ対向した状態となっている。ソース電極1 7 E及びドレイン電極1 8 Eは、それぞれ半導体膜1 6に対して電氣的に接続されて、ソース電極1 7 Eとドレイン電極1 8 Eとの間の電子移動を可能としている。

40

【0020】

図1は、アレイ基板1の断面構成を模式的に示した図である。

図1に示すように、ガラス基板の上面(液晶層側の板面)上には、第1金属膜M 1からなる第1ゲート配線(第1配線)1 1がパターン形成され、第1ゲート配線1 1等を覆うように、肉厚なS O G層1 2が配設され、この上面がキャップ層1 3で被覆されている。キャップ層1 3上において平面に視て第1ゲート配線1 1と重畳する位置に、第2金属膜M 2からなる第2ゲート配線(第2配線)1 4及びゲート電極1 4 Eがパターン形成され、第2ゲート配線1 4等を覆うように、絶縁性の第1絶縁層(ゲート絶縁層)1 5が設けられている。そして、第1絶縁層1 5上に、酸化物半導体の被膜からなる半導体膜1 6、並びに、第3金属膜M 3からなるソース配線1 7、ソース電極1 7 E、ドレイン電極1 8

50

E等が形成され、これらの上面を覆うように、絶縁性の第2絶縁層19が設けられている。第2絶縁層19上には、肉厚な有機樹脂層20が配設されており、この有機樹脂層20上に、第4金属膜M4からなるメタル配線21が形成され、メタル配線21を覆うように、透明電極膜からなる共通電極22、絶縁性の第3絶縁層23が積層されている。そして、第3絶縁層23上に、透明電極膜からなる画素電極24が形成されている。

【0021】

以下、上記の各層について、順次説明する。なお、第1金属膜M1、第1ゲート配線11、SOG層12、キャップ層13については、他の層の後に説明する。

本実施形態において、第2ゲート配線14及びゲート電極14Eを構成する第2金属膜M2は、チタン(Ti)からなる下層M21上に銅(Cu)を含む銅含有層M22が積層された構成の二層金属積層膜とされる。第2金属膜M2は、スパッタリング法等によって後述するキャップ層13上に形成される。そして、銅含有層M22に対してフォトリソグラフィ及びウエットエッチングを行うと共に、下層M21に対してドライエッチング、並びにレジストの剥離洗浄等を行うことにより、所定のパターンを備えた第2ゲート配線14、ゲート電極14E等がキャップ層13上に形成される。

10

【0022】

第1絶縁層15は、例えばシリコン窒化物(SiNx)からなる下層側ゲート絶縁層と、シリコン酸化物(SiOx、例えばx=2)からなる上層側ゲート絶縁層とを有する積層膜により形成することができる。第1絶縁層15は、CVD法(化学蒸着法:Chemical Vapor Deposition法)等を利用して、適宜、形成される。

20

【0023】

半導体膜16は、酸化物半導体の一種である酸化インジウムガリウム亜鉛(IGZO)の膜からなる。酸化物半導体の膜を構成するIGZO膜は、非晶質(アモルファス)又は結晶質からなり、特に結晶質の場合、C軸配向結晶(CAAC:C-Axis Aligned Crystal)と呼ばれる結晶構造を有する。この酸化物半導体の膜は、アレイ基板1において画像が表示される表示領域内に形成された表示用のTFT30のみならず、非表示領域に配されている非表示用のTFT(不図示)等にも利用される。酸化物半導体のIGZO膜は、スパッタリング法によって形成され、その後、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄等を行うことにより、所定パターンを有する半導体膜16が第1絶縁層15上に形成される。

30

なお、本実施形態のように半導体膜16をIGZO膜とした場合、電子移動度は、従来のアモルファスシリコン膜等と比べると、20~50倍程度高くなる。そのため、IGZO膜を利用したTFT30は、従来と比べて、小型化することが可能であり、表示領域における画素の開口率を高く設定することが可能である。

【0024】

ソース配線17、ソース電極17E、ドレイン電極18Eを構成する第3金属膜M3は、チタン(Ti)からなる下層M31上に銅(Cu)を含有する銅含有層M32が積層された、第2金属膜M2と同様の構成の二層金属積層膜とされる。第2金属膜M2は、スパッタリング法等によって第1絶縁層15上に形成される。そして、銅含有層M32に対してフォトリソグラフィ及びウエットエッチングを行うと共に、下層M31に対してドライエッチング、並びにレジストの剥離洗浄等を行うことにより、所定のパターンを備えたソース配線17、ソース電極17E、ドレイン電極18E等が第1絶縁層15上に形成される。そして、半導体膜16のチャンネル領域16Cが、ソース電極17Eとドレイン電極18Eとの間から露出される。

40

【0025】

第2絶縁層(無機層間絶縁層)19は、例えばシリコン窒化物(SiNx)からなる下層側絶縁層と、シリコン酸化物(SiOx、例えばx=2)からなる上層側絶縁層とを有する積層膜で形成することができる。第2絶縁層19は、プラズマCVD法等を利用して、ソース電極17E、ドレイン電極18E、これらの間に露出するように挟まれた半導体膜16のチャンネル領域16C、等の上面を覆うように形成される。

50

【0026】

有機樹脂層（有機層間絶縁層）20は、光硬化性もしくは熱硬化性の、アクリル系樹脂（例えば、ポリメチルメタクリレート（PMMA）等）、エポキシ系樹脂、フェノール系樹脂等の有機樹脂材料から形成することができる。有機樹脂材料としては、感光性のものが好ましい。これらの有機材料を、例えば、スピンコート法、スリットコート法等を利用して第2絶縁層19上に塗布し、フォトリソグラフィによるパターン形成後、アニール処理を行って、所定のパターンを有する有機樹脂層20が形成される。有機樹脂層20は、その厚みが例えば1 μ m以上と、無機材料等からなり0.2 μ m程度の厚みとされる他の多くの層よりも厚肉に形成され、平坦化層として機能する。

【0027】

有機樹脂層20の上には、メタル配線21を構成する第4金属膜M4が形成される。本実施形態において、第4金属膜M4は、単層の金属膜としてもよく、或いは、例えば第2金属膜M2や第3金属膜M3と同じく、チタン（Ti）からなる層上に銅含有層が積層された構成の二層金属積層膜としてもよい。第4金属膜M4は、スパッタリング法等によって有機樹脂層20上に形成され、フォトリソグラフィ及びウエットエッチング、並びにレジストの剥離洗浄等によって、所定のパターンを備えたメタル配線21が有機樹脂層20上に形成される。

【0028】

共通電極22は、ITO（Indium Tin Oxide）、ZnO（Zinc Oxide）等の透明導電膜からなる。透明導電膜は、例えば、スパッタリング法を利用して形成される。そして、この透明導電膜に対して、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄等を施すことにより、所定パターンを有する共通電極22が形成される。共通電極22は、メタル配線21がパターン形成された有機樹脂層20上に、複数の画素で共用されるように、アレイ基板1の表示領域の略全域において複数の画素を覆う形で形成される。

【0029】

第3絶縁層（無機層間絶縁層）23は、緻密な膜を形成するシリコン窒化物（SiO_x、例えばx=2）からなり、プラズマCVD法等を利用して形成される。第3絶縁層23は、共通電極22の上面を覆ってこれを保護する。

【0030】

画素電極（絵素電極）24は、上述した共通電極22と同様、ITO、ZnO等の透明導電膜からなる。画素電極24は、例えば、スパッタリング法を利用して形成されたITO等の透明導電膜を、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄等を施すことによって形成される。画素電極24は、アレイ基板1を平面視した際に、ゲート配線11、14とソース配線17とで囲まれた矩形状の領域（画素）内に納まるように配されており、主として第3絶縁層23上に形成されている。

【0031】

上述した第2絶縁層19、有機樹脂層20、共通電極22、第3絶縁層23、画素電極24は、いずれもTF₃Oを覆う形で（すなわち、TF₃Oのチャンネル領域16Cを覆う部分を含む形で）アレイ基板1に設けられている。

また、第3絶縁層23、共通電極22、有機樹脂層20、第2絶縁層19には、適当な平面位置においてこれらを通るコンタクトホールCHが設けられており、図1に示すように、画素電極24は、このコンタクトホールCHを通してドレイン電極18Eと接続される。なお、画素電極24は、アレイ基板1を平面に視て、画素領域を覆う矩形状の本体部と、TF₃Oと重畳される重畳部と、コンタクトホールCHを通してドレイン電極18Eと接続される接続部と、を備えて構成されている。

【0032】

さて、本実施形態に係るアレイ基板1には、ガラス基板と、上述した第2金属膜M2との間に、パターン形成された第1金属膜M1からなる第1ゲート配線11と、SOG層12と、が配される。さらに、SOG層12の上側には、この層の上面を被覆して、SOG層12と第2ゲート配線14との間に配されるキャップ層13が形成されている。

10

20

30

40

50

続いて、これらについて、図 2 から図 4 を参照してその形成方法に言及しつつ、説明する。

【0033】

第 1 ゲート配線 1 1 を構成する第 1 金属膜 M 1 は、チタン (Ti) からなる下層 M 1 1 上に積層された銅 (Cu) を含有する銅含有層 M 1 2 の上に、さらにチタン (Ti) からなる金属上層 M 1 3 が積層された構成の三層金属積層膜とされる。

第 1 ゲート配線 1 1 を形成するには、まず、図 2 に示すように、チタン、銅 (銅含有層形成金属)、チタン (金属上層形成金属)、を例えば順次スパッタリングして、三層金属積層膜をガラス基板上に成膜する (金属積層膜成膜工程)。なお、三層金属積層膜は、ガラス基板上に直接成膜される必要はなく、ガラス基板上に形成された絶縁層等、他の層の上に形成してもよい。次いで、金属上層 M 1 3 に対してフォトリソグラフィ及びウエットエッチングを行うと共に、銅含有層 M 1 2 及び下層 M 1 1 に対してドライエッチング、並びにレジストの剥離洗浄等を行うことにより、図 3 に示すように、所定のパターンを備えた第 1 ゲート配線 1 1 がガラス基板上に形成される (第 1 配線パターン形成工程)。本実施形態では、図 1 等 に示すように、第 1 ゲート配線 1 1 は、第 2 ゲート配線 1 4 と略同等の配線幅及び配線膜厚を有するように形成される。なお、第 1 ゲート配線 1 1 は、後述する SOG 層 1 2 等に形成された貫通孔を通して、上述した第 2 ゲート配線 1 4 と電氣的に接続される。

【0034】

SOG 層 (絶縁ガラス層) 1 2 は、SOG 材料によって形成することができる。SOG 材料としては、特に限定されることなく有機 SOG 材料、無機 SOG 材料を含む種々の化学構造のものを使用できる。感光性の SOG 材料を用いれば、パターン形成を容易に行うことができる。また、その後の工程における耐熱性を考慮すれば、SOG 材料は最終的に熱硬化させるものであることが好ましい。SOG 材料を、第 1 ゲート配線 1 1 が形成されたガラス基板上にスピンコートし、フォトリソグラフィ及びエッチングによってパターン形成した後に、アニール処理、熱硬化を行って、図 4 に示すように、所定のパターンを有する有機樹脂層 2 0 が形成される (SOG 層形成工程)。SOG 層 1 2 は、有機樹脂層 2 0 と同様、その厚みが例えば 1 μ m 以上と、他の層よりも比較的厚肉に形成される。

【0035】

キャップ層 1 3 は、例えばシリコン窒化物 (SiNx) やシリコン酸化物 (SiOx、例えば x = 2) により形成することができる。本実施形態では、キャップ層 1 3 をシリコン窒化物からなるものとしているが、シリコン窒化物は緻密な膜構造を形成するため、SOG 層 1 2 を被覆して、当該層からのガスの放出等を抑制するために、特に好適に用いられる。キャップ層 1 3 は、例えば CVD 法等を利用して、SOG 層 1 2 上に形成することができる。

【0036】

図 5 に示すように、キャップ層 1 3 を形成した後に、このキャップ層 1 3 (SOG 層 1 2 の上側に配されている) の上面において、アレイ基板 1 を平面に視て第 1 ゲート配線 1 1 のパターンと重畳する位置に、既述した第 2 ゲート配線 1 4 をパターン形成する工程 (第 2 配線パターン形成工程) を経て、本実施形態に係るアレイ基板 1 が製造される。

【0037】

以上の構成のアレイ基板 1 を備える液晶パネルの作動について、簡単に説明する。

アレイ基板 1 において、画素電極 2 4 の本体部及び重畳部は、第 3 絶縁層 2 3 を介して共通電極 2 2 と対向している。共通電極 2 2 には、図示されない共通配線から共通電位 (基準電位) が印加される。そして、画素電極 2 4 に印加される電位を、TF-T30 によって制御することにより、画素電極 2 4 と共通電極 2 2 との間に所定の電位差を生じさせる。

画素電極 2 4 と共通電極 2 2 との間に所定の電位差が生じると、液晶パネルにおいて、アレイ基板 1 と対向基板との間にある液晶層には、アレイ基板 1 の板面に対する法線方向の成分を含むフリンジ電界 (斜め電界) が印加される。この電界を制御することで、液晶

10

20

30

40

50

層中の液晶分子の配向状態を適切に切り替えて、表示領域に画像を表示させることができるようになっている。

【0038】

以上説明したように、本実施形態に係るアレイ基板1は、SOG材料からなるSOG層12と、SOG層12の下側（液晶層とは反対側）に配設される第1ゲート配線（第1配線）11と、SOG層12の上側（液晶層側）に、アレイ基板1を平面に視て第1ゲート配線11と重畳されるように配設される第2ゲート配線（第2配線）14と、を含む積層構造を備え、第1ゲート配線11は、銅からなる銅含有層M12と、チタンからなる金属上層M13と、を有し、金属上層M13は、銅含有層M12の上側に積層されて、銅含有層M12とSOG層12との間に配されている。

10

【0039】

上記本実施形態の構成によれば、アレイ基板1のゲート配線が、第1ゲート配線11と、当該配線に平面に視て重畳されるように配設される第2ゲート配線14と、に二層化される。これにより、第1ゲート配線11及び第2ゲート配線14の各々について適度な配線膜厚を維持しながら、電気抵抗を増大させることなく配線幅を小さくして画素の開口率を高め、表示画像の高精細化を図ることができる。

また、本実施形態では、第1ゲート配線11と、第2ゲート配線14とが、略同等の配線幅及び配線膜厚を有するように形成されている。このようにすれば、両ゲート配線の配線幅及び配線膜厚を何れも一定範囲内に維持しながら、電気抵抗の増大を効率的に抑制することができる。

20

【0040】

上記本実施形態の構成によれば、二層化した第1ゲート配線11と第2ゲート配線14との間に、絶縁層として、SOG材料からなるSOG層12が配設される。SOG層12は耐熱性に優れているため、当該層を形成後に液晶パネルの製造工程で実施される高温アニール処理による絶縁層の劣化や変性が抑制され、アレイ基板1を用いて信頼性の高い液晶パネルを得ることができる。本実施形態のようにSOG材料として感光性のものを用いれば、フォトリソグラフィ工程によってパターン形成を行うことが可能となるため、アレイ基板1製造時の工程数の増加も抑制できる。

【0041】

ゲート配線が二層化された構成のアレイ基板1において、SOG層12の下側に配される第1ゲート配線11を、従来の二層構造の金属積層膜で形成すると、露出した上層の銅がSOG層12に接することとなる。このような構成のアレイ基板では、SOG層12を硬化させるために行われる熱処理により、第1ゲート配線11中の銅が酸化される。よって、銅の酸化を抑制して低い電気抵抗率を維持するためには、第1ゲート配線11を形成後、シリコン窒化物等からなるメタルキャップ層を形成して第1ゲート配線を被覆する必要が生じ、アレイ基板製造時の工程数の増加が避けられなくなってしまう。

30

上記本実施形態の構成によれば、第1ゲート配線11の銅含有層M12と、この銅含有層M12に含まれる銅の酸化を招くSOG層12との間に、チタンからなる金属上層M13が配設される。これにより、メタルキャップ層を形成しなくとも、銅含有層M12に含まれる銅の酸化が抑制されて、配線の電気抵抗率を小さく維持することができる。

40

【0042】

上記本実施形態の構成によれば、金属上層M13は、チタンからなるもの、すなわち、チタン、アルミニウム合金、銅合金、タングステン合金、およびタンタル合金からなる金属群から選択される金属からなるものとされる。このような金属を用いることで、銅含有層M12の上面に緻密な金属上層M13を形成させることができる。また、これらの金属を用いれば、銅を含む金属と、金属上層形成金属と、を順次スパッタリングするという簡易な工程により、銅含有層M12及び金属上層M13を形成することができる。

【0043】

また、本実施形態に係るアレイ基板1は、SOG層12の上側に積層されてSOG層12と第1ゲート配線11との間に配されるキャップ層13をさらに備えている。

50

ゲート配線 1 1, 1 4 および S O G 層 1 2 を形成後の液晶パネル形成工程において行われる高温アニール処理により、S O G 層 1 2 から気体が脱離することがある。上記本実施形態の構成によれば、キャップ層 1 3 で S O G 層 1 2 を被覆することで、脱離ガスの S O G 層 1 2 からの放出を抑制でき、これに起因する不具合の発生が抑制される。本実施形態のようにキャップ層 1 3 をシリコン窒化物からなるものとすれば、緻密な層を形成できるため、特に効果的である。また、このようなキャップ層 1 3 を介在させることで、S O G 層 1 2 と第 2 ゲート配線 1 4 との間の密着性も改善される。

【 0 0 4 4 】

本実施形態に係るアレイ基板 1 は、銅を含む銅含有層 M 1 2 と、チタン、アルミニウム合金、銅合金、タングステン合金、およびタンタル合金からなる群から選択される金属からなり銅含有層 M 1 2 上に積層された金属上層 M 1 3 と、を含む金属積層膜を成膜する金属積層膜成膜工程と、成膜された金属積層膜をエッチング処理して第 1 ゲート配線 1 1 をパターン形成する第 1 配線パターン形成工程と、第 1 ゲート配線 1 1 上に S O G 材料からなる S O G 層 1 2 を形成する S O G 層形成工程と、S O G 層 1 2 の上側に、第 2 ゲート配線 1 4 をパターン形成する第 2 配線パターン形成工程と、を含むことを特徴とするアレイ基板の製造方法によって製造される。

ここで、金属積層膜は、例えば銅を含む金属および金属上層形成金属を順次スパッタリングすることで成膜できる。上記本実施形態の構成によれば、最上層に金属上層 M 1 3 を有する金属積層膜を成膜した後、エッチングによる第 1 配線パターン形成を行うことで、銅含有層 M 1 2 と S O G 層 1 2 とが直接接触する面積が減少し、メタルキャップ層の形成を不要とすることができる。また、S O G 層 1 2 を感光性 S O G 材料によって形成すれば、このパターン形成をフォトリソグラフィによって行うことができ、アレイ基板 1 製造時の工程数の増加が抑制される。これらの結果、簡素な工程で、第 1 ゲート配線 1 1 に含まれる銅含有層 M 1 2 の酸化が抑制された、信頼性の高いアレイ基板 1 を得ることができる。

【 0 0 4 5 】

本実施形態に係るアレイ基板 1 は、液晶パネルに用いられる。これにより、高精細で画像を表示可能な液晶パネルを得ることができる。

【 0 0 4 6 】

< 他の実施形態 >

本技術は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本技術の技術的範囲に含まれる。

(1) 上記実施形態では、第 1 ゲート配線 (第 1 配線) 1 1 と、第 2 ゲート配線 (第 2 配線) 1 4 とが、略同等の配線幅及び配線膜厚を有するものとしたが、これに限定されるものではない。例えば、両ゲート配線の配線幅を略同等としつつ、第 1 ゲート配線 1 1 の配線膜厚を第 2 ゲート配線 1 4 のものよりも大きくすれば、第 2 ゲート配線 1 4 の配線膜厚を小さく維持して、これに接続される各種配線等が断線する虞を抑制しつつ、十分な導電量を確保することが可能である。

(2) 上記実施形態では、第 1 金属膜 M 1 として、(チタンからなる金属上層) / (銅からなる銅含有層) / (チタンからなる下層) の三層金属積層膜を用いたが、これに限定されない。例えば (アルミニウム合金からなる金属上層) / (銅合金からなる銅含有層) からなる二層金属積層膜としてもよく、四層以上の層が積層された金属積層膜としてもよい。また、上記実施形態では、第 2 金属膜 M 2、第 3 金属膜 M 3 として、二層金属積層膜を用いたが、これらを例えば単層の金属膜としてもよい。

(3) 上記実施形態では、液晶パネルのスイッチング素子として T F T 3 0 を用いたアレイ基板 1 を例示したが、T F T 以外のスイッチング素子 (例えば薄膜ダイオード (T F D)) を用いたアレイ基板にも、本技術は適用可能である。また、白黒表示する液晶パネルに用いられるアレイ基板にも、本技術は適用可能である。

(4) 上記実施形態では、第 1 絶縁層 1 5、第 2 絶縁層 1 9、第 3 絶縁層 2 3 が、シリコン酸化物 (S i O x)、及び / 又はシリコン窒化物 (S i N x) からなるものを例示し

10

20

30

40

50

たが、このようなものに限定されない。例えば、シリコン窒化酸化物（ SiN_xO_y 、 $x > y$ ）、シリコン酸化窒化物（ SiN_xO_y 、 $x > y$ ）等の他の無機材料を使用してもよい。

（５）上記実施形態では、画素電極の材料として、ITO等の透明な無機導電膜を利用したが、例えば反射型の液晶表示装置に利用されるアレイ基板において、チタン、タンゲステン、ニッケル、金、白金、銀、アルミニウム、マグネシウム、カルシウム、リチウム、及びこれらの合金からなる導電膜を利用してもよい。

（６）上記実施形態では、液晶分子に基板面に平行な方向（横方向）に電界を印加する横方向電界方式のFFS（Fringe Field Switching）モードの液晶パネルに用いられるアレイ基板１を例示した。そのため、アレイ基板１に、一対の電極（画素電極２４及び共通電極２２）が形成されているが、本技術の適用は、このような構成のものに限定されない。他の動作モード、例えばIPS（In-Plane-Switching）モード、VA（Vertical Alignment）モード等で作動する表示パネルに用いられる、共通電極が形成されていないアレイ基板にも、本技術は適用することができる。

（７）本技術は、液晶パネルのみならず、プラズマディスプレイパネル、有機ELパネル、無機ELパネル等を構成するアレイ基板に適用することができる。これにより、高精度で画像を表示可能な各種表示パネルを得ることができる。

【符号の説明】

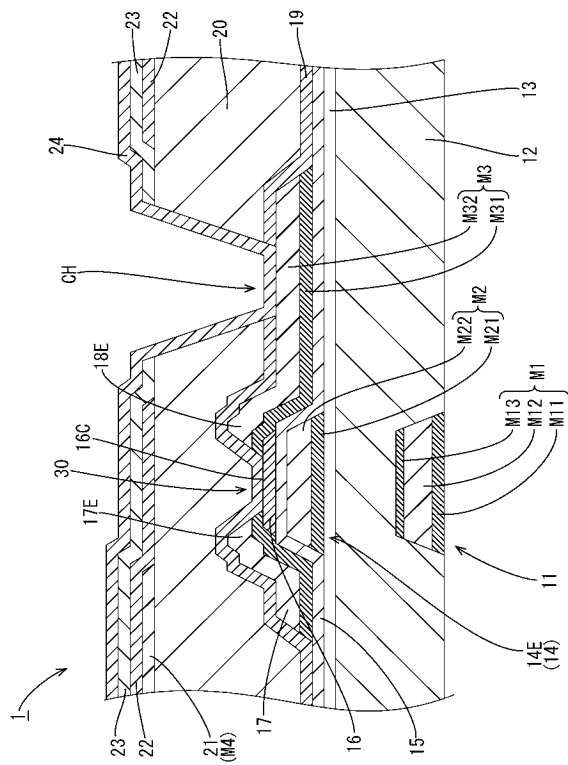
【００４７】

１…アレイ基板、１１…第１ゲート配線（第１配線）、１２…SOG層（絶縁ガラス層）、１３…キャップ層、１４…第２ゲート配線（第２配線）、１４Ｅ…ゲート電極、１５…第１絶縁層（ゲート絶縁層）、１６…半導体膜、１６Ｃ…チャンネル領域、１７…ソース配線（信号線）、１７Ｅ…ソース電極、１８Ｅ…ドレイン電極、１９…第２絶縁層（無機層間絶縁層）、２０…有機樹脂層（有機層間絶縁層）、２１…メタル配線、２２…共通電極、２３…第３絶縁層（無機層間絶縁膜）、２４…画素電極（絵素電極）、３０…TFT、M１…第１金属膜、M１１…下層、M１２…銅含有層、M１３…金属上層、M２…第２金属膜、M２１…下層、M２２…銅含有層、M３…第３金属膜、M３１…下層、M３２…銅含有層、M４…第４金属膜

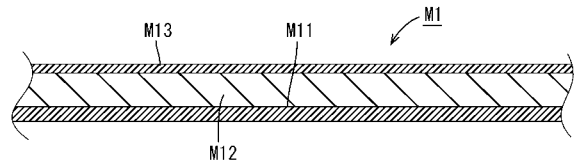
10

20

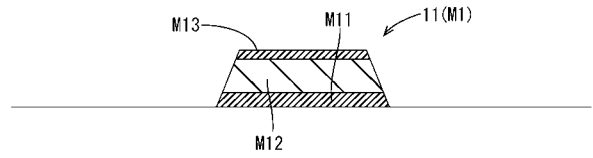
【図 1】



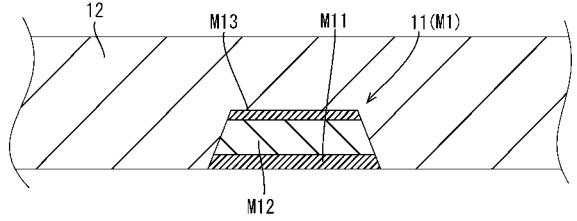
【図 2】



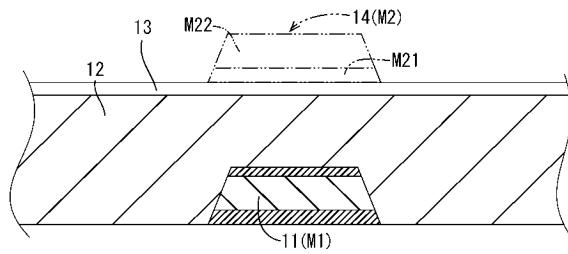
【図 3】



【図 4】



【図 5】



フロントページの続き

- (72)発明者 鈴木 正彦
大阪府堺市堺区匠町 1 番地 シャープ株式会社内
- (72)発明者 菊池 哲郎
大阪府堺市堺区匠町 1 番地 シャープ株式会社内
- (72)発明者 上田 輝幸
大阪府堺市堺区匠町 1 番地 シャープ株式会社内
- (72)発明者 原 健吾
大阪府堺市堺区匠町 1 番地 シャープ株式会社内

F ターム(参考) 5C094 AA05 AA43 BA03 BA27 BA31 BA43 CA19 DA13 DB04 EA07
EB02 FB02 FB12 GB10
5F033 GG04 HH11 HH18 HH38 JJ38 KK11 KK18 MM08 MM13 PP15
QQ08 QQ11 QQ19 QQ22 QQ37 RR04 RR06 RR09 RR25 RR27
SS11 SS15 SS22 TT02 TT04 VV06 VV15 XX03 XX10 XX14
XX20 XX33

专利名称(译)	阵列基板，其制造方法以及显示面板		
公开(公告)号	JP2019070768A	公开(公告)日	2019-05-09
申请号	JP2017197433	申请日	2017-10-11
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大東 徹 今井 元 鈴木 正彦 菊池 哲郎 原 健吾		
发明人	西宮 節治 大東 徹 今井 元 鈴木 正彦 菊池 哲郎 上田 輝幸 原 健吾		
IPC分类号	G09F9/30 H01L21/3205 H01L21/768 H01L23/532		
CPC分类号	H01L27/124 H01L21/7685 H01L23/53238		
FI分类号	G09F9/30.336 G09F9/30.365 G09F9/30.337 H01L21/88.R H01L21/90.M		
F-TERM分类号	5C094/AA05 5C094/AA43 5C094/BA03 5C094/BA27 5C094/BA31 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB04 5C094/EA07 5C094/EB02 5C094/FB02 5C094/FB12 5C094/GB10 5F033/GG04 5F033/HH11 5F033/HH18 5F033/HH38 5F033/JJ38 5F033/KK11 5F033/KK18 5F033/MM08 5F033/MM13 5F033/PP15 5F033/QQ08 5F033/QQ11 5F033/QQ19 5F033/QQ22 5F033/QQ37 5F033/RR04 5F033/RR06 5F033/RR09 5F033/RR25 5F033/RR27 5F033/SS11 5F033/SS15 5F033/SS22 5F033/TT02 5F033/TT04 5F033/VV06 5F033/VV15 5F033/XX03 5F033/XX10 5F033/XX14 5F033/XX20 5F033/XX33		
外部链接	Espacenet		

摘要(译)

能够应对显示图像的高清晰度的阵列基板可以通过简单的工艺制造。阵列基板1包括由SOG材料制成的SOG层12，设置在SOG层12下方（与液晶层相对）的第一栅极布线（第一布线）11和SOG。一种分层结构，包括设置在层12的上侧（液晶层侧）的第二栅极布线（第二布线），使得阵列基板1在平面图中观察并与第一栅极重叠我假设。在阵列基板1中，第一栅极布线11具有由铜制成的含铜层M12和由钛制成的金属上层M13，并且金属上层M13堆叠在含铜层M12和铜上它设置在包含层M12和SOG层12之间。[选图]图1

