

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-511071

(P2018-511071A)

(43) 公表日 平成30年4月19日(2018.4.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5B074
G09G 3/20 (2006.01)	G09G 3/20	622E 5C006
G11C 19/28 (2006.01)	G09G 3/20	612K 5C080
	G11C 19/28	23O
	G09G 3/20	68OG
審査請求 有 予備審査請求 未請求 (全 23 頁)		

(21) 出願番号 特願2017-540746 (P2017-540746)
 (86) (22) 出願日 平成27年4月30日 (2015.4.30)
 (85) 翻訳文提出日 平成29年8月1日 (2017.8.1)
 (86) 国際出願番号 PCT/CN2015/078000
 (87) 国際公開番号 W02016/165162
 (87) 国際公開日 平成28年10月20日 (2016.10.20)
 (31) 優先権主張番号 201510186029.8
 (32) 優先日 平成27年4月17日 (2015.4.17)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 515203228
 深▲せん▼市華星光電技術有限公司
 中華人民共和國廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 (71) 出願人 517264292
 武漢華星光電技術有限公司
 中華人民共和國湖北省武漢市東湖開發區高
 新大道666號生物城C5棟430070
 (74) 代理人 100143720
 弁理士 米田 耕一郎
 (74) 代理人 100080252
 弁理士 鈴木 征四郎
 (72) 発明者 肖軍城
 中華人民共和國廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 最終頁に続く

(54) 【発明の名称】 GOA回路と液晶ディスプレイ

(57) 【要約】

【課題】本発明は、GOA回路における走査線のより良い充電を保證することができるとともに、回路は、各ノードの正常作動に有利である、GOA回路と液晶ディスプレイを提供する。

【解決手段】本発明によるGOA回路は、複数のGOAユニットを備え、その内、NステージGOAユニットは、表示領域の第Nステージ水平走査線G(N)に対して充電を行い、NステージGOAユニットは、Nステージプルアップ制御回路と、Nステージプルアップ回路と、Nステージ伝送回路と、Nステージプルダウン回路と、Nステージプルダウン維持回路と、からなり、その内、Nステージプルアップ回路は、第Nステージゲート電極信号点Q(N)が高レベルの際開き、第一クロック信号(CKN1)を受信するとともに、第一クロック信号(CKN1)が高電位の際、Nステージ水平走査線G(N)に対して充電を行い、Nステージ伝送回路は、第Nステージゲート電極信号点Q(N)が高レベルの際開き、第二クロック信号(CKN2)を受信するとともに、Nステージ伝送信号ST(N)を出力することによって、

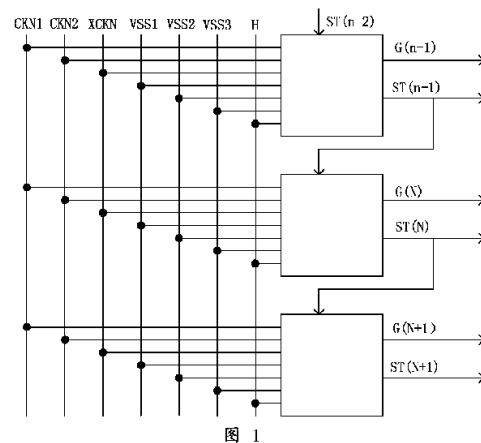


図 1

【特許請求の範囲】

【請求項 1】

複数の G O A ユニットを備えるとともに液晶ディスプレイに用いられる前記 G O A 回路であって、

その内、N ステージ G O A ユニットは、表示領域の第 N ステージ水平走査線 (G (N)) に対して充電を行い、

前記 N ステージ G O A ユニットは、N ステージプルアップ制御回路と、N ステージプルアップ回路と、N ステージ伝送回路と、N ステージプルダウン回路と、N ステージプルダウン維持回路とからなり、

その内、前記 N ステージプルアップ回路及び前記 N ステージプルダウン維持回路は、第 N ステージゲート電極信号点 (Q (N)) と、前記第 N ステージ水平走査線 (G (N)) にそれぞれ接続され、

前記 N ステージプルアップ制御回路と、N ステージプルダウン回路と、N ステージ伝送回路は、前記第 N ステージゲート電極信号点 Q (N) に接続され、

前記 N ステージプルアップ回路は、前記第 N ステージゲート電極信号点 (Q (N)) が高レベルの際開き、第一クロック信号 (C K N 1) を受信するとともに、第一クロック信号 (C K N 1) が高電位の際、前記 N ステージ水平走査線 G (N) に対して充電を行い、

前記 N ステージ伝送回路は、前記第 N ステージゲート電極信号点 Q (N) が高レベルの際開き、第二クロック信号 (C K N 2) を受信するとともに、N ステージ伝送信号 S T (N) を出力することによって、N + 1 級 G O A ユニットの作動を制御し、

その内、第二クロック信号 (C K N 2) のパルス幅は、第一クロック信号 (C K N 1) のパルス幅より大きく、

前記 N ステージプルダウン維持回路は、第一トランジスタ (T 1) と、第二トランジスタ (T 2) と、第三トランジスタ (T 3) と、第四トランジスタ (T 4) と、第五トランジスタ (T 5) と、第六トランジスタ (T 6) と、第七トランジスタ (T 7) と、第八トランジスタ (T 8) と、第九トランジスタ (T 9) と、第十トランジスタ (T 1 0) と、第十一トランジスタ (T 1 1) と、からなり、

第一トランジスタ (T 1) のそのゲート電極及びドレイン電極は、直流高電圧 (H) と接続され、

第二トランジスタ (T 2) のそのゲート電極は、第一トランジスタ (T 1) のソース電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、第一公共点 (P (N)) と接続され、

第三トランジスタ (T 3) のそのゲート電極は、前記第 N ステージゲート電極信号 (Q (N)) と接続され、ドレイン電極は、第一トランジスタ (T 1) のソース電極と接続され、ソース電極は、第一直流低電圧 (V S S 1) と接続され、

第四トランジスタ (T 4) のそのゲート電極は、前記第 N ステージゲート電極信号点 (Q (N)) と接続され、ドレイン電極は、公共点 (P (N)) と接続され、

第五トランジスタのそのゲート電極は、前記第 N ステージゲート電極信号点 (Q (N)) と接続され、ドレイン電極は、前記公共点 (P (N)) と接続され、

第六トランジスタ (T 6) のそのゲート電極は、前記第四トランジスタ (T 4) のソース電極と接続され、ドレイン電極は、前記第五トランジスタ (T 5) のソース電極と接続され、ソース電極は、第三直流低電圧 (V S S 3) と接続され、

第七トランジスタ (T 7) のそのゲート電極は、前記第四トランジスタ (T 4) のソース電極と接続され、ソース電極は、前記第三直流低電圧 (V S S 3) と接続され、

第八トランジスタ (T 8) のそのゲート電極及びドレイン電極は、前記直流高電圧 (H) と接続され、

第九トランジスタ (T 9) のそのゲート電極は、前記第八トランジスタ (T 8) のソース電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、前記第五トランジスタ (T 5) のソース電極と接続され、

第十トランジスタ (T 1 0) のそのゲート電極は、前記公共点 (P (N)) と接続され

10

20

30

40

50

、ドレイン電極は、前記第Nステージゲート電極信号点(Q(N))と接続され、ソース電極は、第二直流低電圧(VSS2)と接続され、

第十トランジスタ(T11)のそのゲート電極は、前記公共点(P(N))と接続され、ドレイン電極は、第Nステージ水平走査線(G(N))と接続され、ソース電極は、第二直流低電圧(VSS2)と接続され、

その内、前記第一直流低電圧(VSS1)は、前記第二直流低電圧(VSS2)より大きく、前記第二直流低電圧(VSS2)は、前記第三直流低電圧(VSS3)より大きく

、前記Nステージ伝送回路は、さらに、Nステージブーストラップコンデンサ(Cb)を備え、

前記Nステージブーストラップコンデンサ(Cb)は、前記第Nステージゲート電極信号点(Q(N))と前記第Nステージ水平走査線(G(N))の間に接続される

ことを特徴とする、GOA回路。

【請求項2】

前記Nステージプルダウン維持回路は、前記第一トランジスタ(T1)と、前記第二トランジスタ(T2)と、前記第三トランジスタ(T3)と、前記第四トランジスタ(T4)と、前記第五トランジスタ(T5)と、前記第六トランジスタ(T6)と、前記第九トランジスタ(T9)と、前記第十トランジスタ(T10)と、前記第十一トランジスタ(T11)とからなり、

その内、前記第九トランジスタ(T9)のゲート電極は、前記公共点(P(N))と接続される

ことを特徴とする、請求項1に記載のGOA回路。

【請求項3】

前記Nステージプルダウン維持回路は、前記第一トランジスタ(T1)と、前記第二トランジスタ(T2)と、前記第三トランジスタ(T3)と、前記第四トランジスタ(T4)と、前記第六トランジスタ(T6)と、前記第七トランジスタ(T7)と、前記第八トランジスタ(T8)と、前記第九トランジスタ(T9)と、前記第十トランジスタ(T10)と、前記第十一トランジスタ(T11)と、からなり、

その内、前記第六トランジスタ(T6)のドレイン電極及び第九トランジスタ(T9)のソース電極は、第四トランジスタ(T4)のソース電極と接続され、

第六トランジスタ(T6)のゲート電極及び第七トランジスタ(T7)のゲート電極は、前記第Nステージゲート電極信号点(Q(N))と接続される

ことを特徴とする、請求項2に記載のGOA回路。

【請求項4】

前記Nステージプルダウン維持回路は、前記第一トランジスタ(T1)と、前記第二トランジスタ(T2)と、前記第三トランジスタ(T3)と、前記第四トランジスタ(T4)と、前記第六トランジスタ(T6)と、前記第九トランジスタ(T9)と、前記第十トランジスタ(T10)と、前記第十一トランジスタ(T11)と、からなり、

その内、前記第九トランジスタ(T9)のゲート電極は、前記第二トランジスタ(T2)のゲート電極と接続される

ことを特徴とする、請求項3に記載のGOA回路。

【請求項5】

前記第九トランジスタ(T9)のゲート電極は、前記公共点(P(N))と接続されることを特徴とする、請求項4に記載のGOA回路。

【請求項6】

前記Nステージプルダウン回路の制御端には、第三ロック信号(XCNK2)を入力し

、その内、前記第一クロック信号(CKN1)のデューティ比は、50%より小さいとともに、前記第一クロック信号(CKN1)の高レベルの開始時間及び第二クロック信号(CKN2)の高レベルの開始時間は同じであり、

10

20

30

40

50

前記第三クロック信号 (XCNK2) の高レベルは、前記第二クロック信号 (CKN2) の低レベルに対応し、前記第三クロック信号 (XCNK2) の低レベルは、前記第二クロック信号 (CKN2) の高レベルに対応する

ことを特徴とする、請求項5に記載のGOA回路。

【請求項7】

前記Nステージプルダウン回路の制御端には、前記第三クロック信号 (XCNK2) を入力し、

その内、前記第一クロック信号 (CKN1) のデューティ比は、50%より小さいとともに、前記第一クロック信号 (CKN1) の高レベルの終了時間及び前記第二クロック信号 (CKN2) の高レベルの終了時間は同じであり、

10

前記第三クロック信号 (XCNK2) の高レベルは、前記第二クロック信号 (CKN2) の低レベルに対応し、前記第三クロック信号 (XCNK2) の低レベルは、前記第二クロック信号 (CKN2) の高レベルに対応する

ことを特徴とする、請求項5に記載のGOA回路。

【請求項8】

複数のGOAユニットを備えるとともに液晶ディスプレイに用いられる前記GOA回路であって、

その内、NステージGOAユニットは、表示領域の第Nステージ水平走査線 (G(N)) に対して充電を行い、

20

前記NステージGOAユニットは、Nステージプルアップ制御回路と、Nステージプルアップ回路と、Nステージ伝送回路と、Nステージプルダウン回路と、Nステージプルダウン維持回路とからなり、

その内、前記Nステージプルアップ回路及び前記Nステージプルダウン維持回路は、第Nステージゲート電極信号点 (Q(N)) と、前記Nステージ水平走査線 (G(N)) にそれぞれ接続され、

前記Nステージプルアップ制御回路と、Nステージプルダウン回路と、Nステージ伝送回路は、前記第Nステージゲート電極信号点 (Q(N)) と接続され、

前記Nステージプルアップ回路は、前記第Nステージゲート電極信号点 (Q(N)) が、高レベルの際開き、第一クロック信号 (CKN1) を受信するとともに、第一クロック信号 (CKN1) が高電位の際、前記Nステージ水平走査線 (G(N)) に対して充電を行い、

30

前記Nステージ伝送回路は、前記第Nステージゲート電極信号点 (Q(N)) が高レベルの際開き、第二クロック信号 (CKN2) を受信するとともに、Nステージ伝送信号 ST(N) を出力することによって、N+1級GOAユニットの作動を制御し、

その内、前記第二クロック信号 (CKN2) のパルス幅は、前記第一クロック信号 (CKN1) のパルス幅より大きい

ことを特徴とする、GOA回路。

【請求項9】

前記Nステージプルダウン維持回路は、第一トランジスタ (T1) と、第二トランジスタ (T2) と、第三トランジスタ (T3) と、第四トランジスタ (T4) と、第五トランジスタ (T5) と、第六トランジスタ (T6) と、第七トランジスタ (T7) と、第八トランジスタ (T8) と、第九トランジスタ (T9) と、第十トランジスタ (T10) と、第十一トランジスタ (T11) と、からなり、

40

その内、第一トランジスタ (T1) のゲート電極及びドレイン電極は、直流高電圧 (H) と接続され、

第二トランジスタのゲート電極は、第一トランジスタ (T1) のソース電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、第一公共点 (P(N)) と接続され、

第三トランジスタT3のゲート電極は、前記第Nステージゲート電極信号 (Q(N)) と接続され、ドレイン電極は、第一トランジスタ (T1) のソース電極と接続され、ソー

50

ス電極は、第一直流低電圧（VSS1）と接続され、

第四トランジスタ（T4）のゲート電極は、前記第Nステージゲート電極信号点（Q（N））と接続され、ドレイン電極は、前記公共点（P（N））と接続され、

第五トランジスタのゲート電極は、前記第Nステージゲート電極信号点（Q（N））と接続され、ドレイン電極は、前記公共点（P（N））と接続され、

第六トランジスタ（T6）のゲート電極は、前記第四トランジスタ（T4）のソース電極と接続され、ドレイン電極は、前記第五トランジスタ（T5）のソース電極と接続され、ソース電極は、第三直流低電圧（VSS3）と接続され、

第七トランジスタ（T7）のそのゲート電極は、前記第四トランジスタ（T4）のソース電極と接続され、ソース電極は、前記第三直流低電圧（VSS3）と接続され、

第八トランジスタ（T8）のゲート電極及びドレイン電極は、前記直流高電圧（H）と接続され、

第九トランジスタ（T9）のゲート電極は、前記第八トランジスタ（T8）のソース電極と接続され、ドレイン電極は、前記直流高電圧（H）と接続され、ソース電極は、前記第五トランジスタ（T5）のソース電極と接続され、

第十トランジスタ（T10）のゲート電極は、前記公共点（P（N））と接続され、ドレイン電極は、前記第Nステージゲート電極信号点（Q（N））と接続され、ソース電極は、第二直流低電圧（VSS2）と接続され、

第十一トランジスタ（T11）のゲート電極は、前記公共点（P（N））と接続され、ドレイン電極は、前記第Nステージ水平走査線（G（N））と接続され、ソース電極は、第二直流低電圧（VSS2）と接続され、

その内、前記第一直流低電圧（VSS1）は、前記第二直流低電圧（VSS2）より大きく、

前記第二直流低電圧（VSS2）は、前記第三直流低電圧（VSS3）より大きいことを特徴とする、請求項8に記載のGOA回路。

【請求項10】

前記Nステージプルダウン維持回路は、前記第一トランジスタ（T1）と、前記第二トランジスタ（T2）と、前記第三トランジスタ（T3）と、前記第四トランジスタ（T4）と、前記第五トランジスタ（T5）と、前記第六トランジスタ（T6）と、前記第九トランジスタ（T9）と、前記第十トランジスタ（T10）と、前記第十一トランジスタ（T11）と、からなり、

その内、前記第九トランジスタ（T9）のゲート電極は、前記公共点（P（N））と接続される

ことを特徴とする、請求項9に記載のGOA回路。

【請求項11】

前記Nステージプルダウン維持回路は、前記第一トランジスタ（T1）と、前記第二トランジスタ（T2）と、前記第三トランジスタ（T3）と、前記第四トランジスタ（T4）と、前記第六トランジスタ（T6）と、前記第七トランジスタ（T7）と、前記第八トランジスタ（T8）と、前記第九トランジスタ（T9）と、前記第十トランジスタ（T10）と、前記第十一トランジスタ（T11）と、からなり、

その内、前記第六トランジスタ（T6）のドレイン電極及び第九トランジスタ（T9）のソース電極は、第四トランジスタ（T4）のソース電極と接続され、第六トランジスタ（T6）のゲート電極及び第七トランジスタ（T7）のゲート電極は、前記第Nステージゲート電極信号点Q（N）と接続される

ことを特徴とする、請求項10に記載のGOA回路。

【請求項12】

前記Nステージプルダウン維持回路は、前記第一トランジスタ（T1）と、前記第二トランジスタ（T2）と、前記第三トランジスタ（T3）と、前記第四トランジスタ（T4）と、前記第六トランジスタ（T6）と、前記第九トランジスタ（T9）と、前記第十トランジスタ（T10）と、前記第十一トランジスタ（T11）と、からなり、

その内、前記第九トランジスタ（Ｔ９）のゲート電極は、前記第二トランジスタ（Ｔ２）のゲート電極と接続される

ことを特徴とする、請求項１１に記載のＧＯＡ回路。

【請求項１３】

前記第九トランジスタ（Ｔ９）のゲート電極は、前記公共点（Ｐ（Ｎ））と接続されることを特徴とする、請求項１２に記載のＧＯＡ回路。

【請求項１４】

前記Ｎステージプルダウン回路の制御端には、第三クロック信号（ＸＣＮＫ２）を入力し、

その内、前記第一クロック信号（ＣＫＮ１）デューティ比は、５０％より小さいとともに、第一クロック信号（ＣＫＮ１）の高レベルの開始時間及び第二クロック信号（ＣＫＮ２）の高レベルの開始時間は同じであり、

前記第三クロック信号（ＸＣＮＫ２）の高レベルは、前記第二クロック信号（ＣＫＮ２）に低レベルに対応し、前記第三クロック信号（ＸＣＮＫ２）の低レベルは、前記第二クロック信号（ＣＫＮ２）の高レベルに対応する

ことを特徴とする、請求項１２に記載のＧＯＡ回路。

【請求項１５】

前記Ｎステージプルダウン回路の制御端には、前記第三クロック信号（ＸＣＮＫ２）を入力し、

その内、前記第一クロック信号（ＣＫＮ１）のデューティ比は、５０％より小さいとともに、第一クロック信号（ＣＫＮ１）の高レベルの終了時間及び第二クロック信号（ＣＫＮ２）の高レベルの終了時間は同じであり、

前記第三クロック信号（ＸＣＮＫ２）の高レベルは、前記第二クロック信号（ＣＫＮ２）の低レベルに対応し、前記第三クロック信号（ＸＣＮＫ２）の低レベルは、前記第二クロック信号（ＣＫＮ２）の高レベルに対応する

ことを特徴とする、請求項１２に記載のＧＯＡ回路。

【請求項１６】

前記Ｎステージ伝送回路は、さらに、Ｎステージブーストラップコンデンサ（Ｃｂ）を備え、

前記Ｎステージブーストラップコンデンサ（Ｃｂ）は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））及び前記第Ｎステージ水平走査線（Ｇ（Ｎ））の間に接続される

ことを特徴とする、請求項８に記載のＧＯＡ回路。

【請求項１７】

ＧＯＡ回路を備える液晶ディスプレイであって、

前記ＧＯＡ回路は、複数のＧＯＡユニットを備え、

その内、ＮステージＧＯＡユニットは、表示領域の第Ｎステージ水平走査線Ｇ（Ｎ）に対して充電を行い、

前記ＧＯＡユニットは、Ｎステージプルアップ制御回路と、Ｎステージプルアップ回路と、Ｎステージ伝送回路と、Ｎステージプルダウン回路と、Ｎステージプルダウン維持回路と、からなり、

その内、前記Ｎステージプルアップ回路及び前記Ｎステージプルダウン維持回路は、第Ｎステージゲート電極信号点（Ｑ（Ｎ））と前記第Ｎステージ水平走査線（Ｇ（Ｎ））にそれぞれ接続され、

前記Ｎステージプルアップ制御回路と、Ｎステージプルダウン回路と、Ｎステージ伝送回路は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））に接続され、

前記Ｎステージプルアップ回路は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））が、高レベルの際開き、第一クロック信号（ＣＫＮ１）を受信するとともに、第一クロック信号（ＣＫＮ１）が高電位の際、前記Ｎステージ水平走査線（Ｇ（Ｎ））に対して充電を行い、

前記Ｎステージ伝送回路は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））が、高レ

10

20

30

40

50

ベルの際開き、第二クロック信号 (CKN2) を受信するとともに、N ステージ伝送回路 ST(N) を出力することによって、N + 1 級 GOA ユニットの作動を制御し、

その内、前記第二クロック信号 (CKN2) のパルス幅は、第一クロック (CKN1) のパルス幅より大きい

ことを特徴とする、液晶ディスプレイ。

【請求項 18】

前記 N ステージプルダウン維持回路は、前記第一トランジスタ (T1) と、前記第二トランジスタ (T2) と、前記第三トランジスタ (T3) と、前記第四トランジスタ (T4) と、前記第五トランジスタ (T5) と、前記第六トランジスタ (T6) と、前記第七トランジスタ (T7) と、前記第八トランジスタ (T8) と、前記第九トランジスタ (T9) と、前記第十トランジスタ (T10) と、前記第十一トランジスタ (T11) と、からなり、

第一トランジスタ (T1) のゲート電極及びドレイン電極は、直流高電圧 (H) と接続され、

第二トランジスタのゲート電極は、第一トランジスタ (T1) のソース電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、第一公共点 (P(N)) と接続され、

第三トランジスタ (T3) のゲート電極は、前記第 N ステージゲート電極信号 (Q(N)) と接続され、ドレイン電極は、第一トランジスタ (T1) のソース電極と接続され、ソース電極は、第一直流低電圧 (VSS1) と接続され、

第四トランジスタ (T4) のゲート電極は、前記第 N ステージゲート電極信号点 (Q(N)) と接続され、ドレイン電極は、前記公共点 (P(N)) と接続され、

第五トランジスタ (T5) のゲート電極は、前記第 N ステージゲート電極信号点 (Q(N)) と接続され、ドレイン電極は、前記公共点 (P(N)) と接続され、

第六トランジスタ (T6) のゲート電極は、前記第四トランジスタ (T4) のソース電極と接続され、ドレイン電極は、前記第五トランジスタ (T5) のソース電極と接続され、ソース電極は、第三直流低電圧 (VSS3) と接続され、

第七トランジスタ (T7) のゲート電極は、前記第四トランジスタ (T4) のソース電極と接続され、ソース電極は、前記第三直流低電圧 (VSS3) と接続され、

第八トランジスタ (T8) のゲート電極及びドレイン電極は、前記直流高電圧 (H) と接続され、

第九トランジスタ (T9) のゲート電極は、前記第八トランジスタ (T8) のソース電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、前記第五トランジスタ (T5) のソース電極と接続され、

第十トランジスタ (T10) のゲート電極は、前記公共点 (P(N)) と接続され、ドレイン電極は、前記第 N ステージゲート電極信号点 (Q(N)) と接続され、ソース電極は、第二直流低電圧 (VSS2) と接続され、

第十一トランジスタ (T11) のゲート電極は、前記公共点 (P(N)) と接続され、ドレイン電極は、前記第 N ステージ水平走査線 (G(N)) と接続され、ソース電極は、第二直流低電圧 (VSS2) と接続され、

その内、前記第一直流低電圧 (VSS1) は、前記第二直流低電圧 (VSS2) より大きく、前記第二直流低電圧 (VSS2) は、前記第三直流低電圧 (VSS3) より大きいことを特徴とする、請求項 17 に記載の GOA 回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示分野に関し、特に GOA 回路と液晶ディスプレイに関する。

【背景技術】

【0002】

Gate Driver On Array, 略称 GOA は、従来の薄膜トランジスタ

10

20

30

40

50

液晶ディスプレイ Array 工程における Gate 走査駆動信号回路を、Array 基板上に実装させ、Gate に対して、順次走査を行う駆動方式の技術を実現させる。

【0003】

低温ポリシリコン (LTPS) 半導体薄膜トランジスタの発展につれて、LTPS 半導体本体は、ずば抜けて高いキャリア移動度の特性によって、対応するパネル周辺の集積回路も、皆に注目される焦点であるとともに、System on Panel (SOP) の関連する技術研究に取り組む人も多く、しだいに現実となってきた。

【0004】

LTPS 半導体は、比較的高い移動度を具える。しかしながら、その閾値電圧値は比較的低く (一般的におおよそ 0 V 前後の低さ)、サブスレッショルド領域のスイングは、比較的小さいとともに、GOA 回路は閉鎖状態の際、多くの部品が、V_{th} と接近、さらには、V_{th} を上回る状況のもとで操作されることにより、回路における TFT の漏電と作動電流のドリフトによって、LTPS GOA 回路設計の難度が増し、アモルファスシリコン半導体に適用される多くの走査駆動回路は、LTPS TFT-LCD に簡単に応用することはできず、いくつか機能性の問題が存在する。このように IGZO GOA 回路が作動しようのない事態を直接招くので、回路設計の際、これらの部品の特性の GOA 回路に対する影響を考慮する必要がある。

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、GOA 回路における走査線のより良い充電を保証することができ、回路は各ノードの正常作動に有利である、GOA 回路と液晶ディスプレイを提供することを目的とする。

20

【課題を解決するための手段】

【0006】

上記の問題を解決するため、本発明が採用する技術案は、複数の GOA ユニットを備えるとともに液晶ディスプレイに用いられる GOA 回路を提供する。その内、N ステージ GOA ユニットは、表示領域の第 N ステージ水平走査線 G (N) に対して充電を行い、N ステージ GOA ユニットは、N ステージブルアップ制御回路と、N ステージブルアップ回路と、N ステージ伝送回路と、N ステージブルダウン回路と、N ステージブルダウン維持回路と、からなり、その内、N ステージブルアップ回路及び N ステージブルダウン維持回路は、第 N ステージゲート電極信号点 Q (N) と、第 N ステージ水平走査線 G (N) にそれぞれ接続され、N ステージブルアップ制御回路と、N ステージブルダウン回路と、N ステージ伝送回路は、第 N ステージゲート電極信号点 Q (N) に接続される。N ステージブルアップ回路は、第 N ステージゲート電極信号点 Q (N) が高レベルの際開き、第一クロック信号 CK_{N1} を受信するとともに、第一クロック信号 CK_{N1} が高電位の際、N ステージ水平走査線 G (N) に対して充電を行い、N ステージ伝送回路は、第 N ステージゲート電極信号点 Q (N) が高レベルの際開き、第二クロック信号 CK_{N2} を受信するとともに、N ステージ伝送信号 ST (N) を出力することによって、N + 1 級 GOA ユニットの作動を制御する。その内、第二クロック信号 CK_{N2} のパルス幅は、第一クロック信号 CK_{N1} のパルス幅より大きい。その内、N ステージブルダウン維持回路は、第一トランジスタ T₁ と、第二トランジスタ T₂ と、第三トランジスタ T₃ と、第四トランジスタ T₄ と、第五トランジスタ T₅ と、第六トランジスタ T₆ と、第七トランジスタ T₇ と、第八トランジスタ T₈ と、第九トランジスタ T₉ と、第十トランジスタ T₁₀ と、第十一トランジスタ T₁₁ と、からなる。第一トランジスタ T₁ のそのゲート電極及びドレイン電極は、直流高電圧 H と接続される。第二トランジスタ T₂ のそのゲート電極は、第一トランジスタ T₁ のソース電極と接続され、ドレイン電極は、直流高電圧 H と接続され、ソース電極は、第一公共点 P (N) と接続される。第三トランジスタ T₃ のそのゲート電極は、第 N ステージゲート電極信号 Q (N) と接続され、ドレイン電極は第一トランジスタ T₁ のソース電極と接続され、ソース電極は第一直流低電圧 V_{SS1} と接続される。第四トラン

30

40

50

ジスタ T 4 のそのゲート電極は、第 N ステージゲート電極信号点 Q (N) と接続され、ドレイン電極は、公共点 P (N) と接続される。第五トランジスタ T 5 のそのゲート電極は、第 N ステージゲート電極信号点 Q (N) と接続され、ドレイン電極は公共点 P (N) と接続される。第六トランジスタ T 6 のそのゲート電極は、第四トランジスタ T 4 のソース電極と接続され、ドレイン電極は第五トランジスタのソース電極と接続され、ソース電極は、第三直流低電圧 V S S 3 と接続される。第七トランジスタ T 7 のそのゲート電極は、第四トランジスタ T 4 のソース電極と接続され、ソース電極は第三直流低電圧 V S S 3 と接続される。第八トランジスタ T 8 のそのゲート電極及びドレイン電極は、直流高電圧 H と接続される。第九トランジスタ T 9 のそのゲート電極は、第八トランジスタ T 8 のソース電極と接続され、ドレイン電極は、直流高電圧 H と接続され、ソース電極は、第五トランジスタ T 5 のソース電極と接続される。第十トランジスタ T 1 0 のそのゲート電極は、公共点 P (N) と接続され、ドレイン電極は、第 N ステージゲート電極信号点 Q (N) と接続され、ソース電極は、第二直流低電圧 V S S 2 と接続される。第十一トランジスタ T 1 1 のそのゲート電極は、公共点 P (N) と接続され、ドレイン電極は、第 N ステージ水平走査線 G (N) と接続され、ソース電極は、第二直流低電圧 V S S 2 と接続される。その内、第一直流低電圧 V S S 1 は、第二直流低電圧 V S S 2 より大きく、第二直流低電圧 V S S 2 は、第三直流低電圧 V S S 3 より大きい。その内、N ステージ伝送回路は、さらに、N ステージブーストラップコンデンサ C b を備え、N ステージブーストラップコンデンサ C b は、第 N ステージゲート電極信号点 Q (N) 及び第 N ステージ水平走査線 G (N) の間に接続される。

10

20

【 0 0 0 7 】

上記の問題を解決するため、本発明が採用する技術案は、複数の G O A ユニットを備えるとともに液晶ディスプレイに用いられる G O A 回路を提供する。その内、N ステージ G O A ユニットは、表示領域の第 N ステージ水平走査線 G (N) に対して充電を行い、N ステージ G O A ユニットは、N ステージブルアップ制御回路と、N ステージブルアップ回路と、N ステージ伝送回路と、N ステージブルダウン回路と、N ステージブルダウン維持回路と、からなり、その内、N ステージブルアップ回路及び N ステージブルダウン維持回路は、第 N ステージゲート電極信号点 Q (N) と、第 N ステージ水平走査線 G (N) にそれぞれ接続され、N ステージブルアップ制御回路と、N ステージブルダウン回路と、N ステージ伝送回路は、第 N ステージゲート電極信号点 Q (N) に接続される。N ステージブルアップ回路は、第 N ステージゲート電極信号点 Q (N) が高レベルの際開き、第一クロック信号 C K N 1 を受信するとともに、第一クロック信号 C K N 1 が高電位の際、N ステージ水平走査線 G (N) に対して充電を行う。N ステージ伝送回路は、第 N ステージゲート電極信号点 Q (N) が高レベルの際開き、第二クロック信号 C K N 2 を受信するとともに、N ステージ伝送信号 S T (N) を出力することによって、N + 1 級 G O A ユニットの作動を制御する。その内、第二クロック信号 C K N 2 のパルス幅は、第一クロック信号 C K N 1 のパルス幅より大きい。

30

40

50

【 0 0 0 8 】

その内、N ステージブルダウン維持回路は、第一トランジスタ T 1 と、第二トランジスタ T 2 と、第三トランジスタ T 3 と、第四トランジスタ T 4 と、第五トランジスタ T 5 と、第六トランジスタ T 6 と、第七トランジスタ T 7 と、第八トランジスタ T 8 と、第九トランジスタ T 9 と、第十トランジスタ T 1 0 と、第十一トランジスタ T 1 1 と、からなる。第一トランジスタ T 1 のそのゲート電極及びドレイン電極は、直流高電圧 H と接続される。第二トランジスタ T 2 のそのゲート電極は、第一トランジスタ T 1 のソース電極と接続され、ドレイン電極は、直流高電圧 H と接続され、ソース電極は、第一公共点 P (N) と接続される。第三トランジスタ T 3 のそのゲート電極は、第 N ステージゲート電極信号点 Q (N) と接続され、ドレイン電極は、第一トランジスタ T 1 のソース電極と接続され、ソース電極は、第一直流低電圧 V S S 1 と接続される。第四トランジスタ T 4 のそのゲート電極は、第 N ステージゲート電極信号点 Q (N) と接続され、ドレイン電極は、公共点 P (N) と接続される。第五トランジスタ T 5 のそのゲート電極は、第 N ステージゲート

電極信号点 Q (N) と接続され、ドレイン電極は、公共点 P (N) と接続される。第六トランジスタ T 6 のそのゲート電極は、第四トランジスタ T 4 のソース電極と接続され、ドレイン電極は、第五トランジスタ T 5 のソース電極と接続され、ソース電極は、第三直流低電圧 V S S 3 と接続される。第七トランジスタ T 7 のそのゲート電極は、第四トランジスタ T 4 のソース電極と接続され、ソース電極は、第三直流低電圧 V S S 3 と接続される。第八トランジスタ T 8 のそのゲート電極及びドレイン電極は、直流高電圧 H と接続される。第九トランジスタ T 9 のそのゲート電極は、第八トランジスタ T 8 のソース電極と接続され、ドレイン電極は、直流高電圧 H と接続され、ソース電極は、第五トランジスタ T 5 のソース電極と接続される。第十トランジスタ T 10 のそのゲート電極は、公共点 P (N) と接続され、ドレイン電極は、第 N ステージゲート電極信号点 Q (N) と接続され、ソース電極は、第二直流低電圧 V S S 2 と接続される。第十一トランジスタ T 11 のそのゲート電極は、公共点 P (N) と接続され、ドレイン電極は、第 N ステージ水平走査線 G (N) と接続され、ソース電極は、第二直流低電圧 V S S 2 と接続される。その内、第一直流低電圧 V S S 1 は、第二直流低電圧 V S S 2 より大きく、第二直流低電圧 V S S 2 は、第三直流低電圧 V S S 3 より大きい。

10

20

30

40

50

【 0 0 0 9 】

そのうち、N ステージプルダウン維持回路は、第一トランジスタ T 1 と、第二トランジスタ T 2 と、第三トランジスタ T 3 と、第四トランジスタ T 4 と、第五トランジスタ T 5 と、第六トランジスタ T 6 と、第九トランジスタ T 9 と、第十トランジスタ T 10 と、第十一トランジスタ T 11 と、からなる。その内、第九トランジスタ T 9 のゲート電極は、公共点 P (N) と接続される。

【 0 0 1 0 】

そのうち、N ステージプルダウン維持回路は、第一トランジスタ T 1 と、第二トランジスタ T 2 と、第三トランジスタ T 3 と、第四トランジスタ T 4 と、第六トランジスタ T 6 と、第七薄膜トランジスタ T 7 と、第八薄膜トランジスタ T 8 と、第九トランジスタ T 9 と、第十トランジスタ T 10 と、第十一トランジスタ T 11 と、からなる。その内、第六トランジスタ T 6 のドレイン電極及び第九トランジスタ T 9 のソース電極は、第四トランジスタ T 4 のソース電極と接続され、第六トランジスタ T 6 のゲート電極及び第七薄膜トランジスタ T 7 のゲート電極は、第 N ステージゲート電極信号点 Q (N) と接続される。

【 0 0 1 1 】

そのうち、N ステージプルダウン維持回路は、第一トランジスタ T 1 と、第二トランジスタ T 2 と、第三トランジスタ T 3 と、第四トランジスタ T 4 と、第六トランジスタ T 6 と、第九トランジスタ T 9 と、第十トランジスタ T 10 と、第十一トランジスタ T 11 と、からなる。その内、第九トランジスタ T 9 のゲート電極は、第二トランジスタ T 2 のゲート電極と接続される。

【 0 0 1 2 】

そのうち、第九トランジスタ T 9 のゲート電極は、公共点 P (N) と接続される。

【 0 0 1 3 】

そのうち、N ステージ伝送回路は、さらに、N ステージブーストラップコンデンサ C b を備え、N ステージブーストラップコンデンサ C b は、第 N ステージゲート電極信号点 Q (N) 及び第 N ステージ水平走査線 G (N) の間に接続される。

【 0 0 1 4 】

そのうち、N ステージプルダウン回路の制御端には、第三クロック信号 X C N K 2 を入力する。その内、第一クロック信号 C K N 1 のデューティ比は、50 % より小さいとともに、第一クロック信号 C K N 1 の高レベルの開始時間及び第二クロック信号 C K N 2 の高レベルの開始時間は同じである。第三クロック信号 X C N K 2 の高レベルは、第二クロック信号 C K N 2 の低レベルに対応し、第三クロック信号 X C N K 2 の低レベルは、第二クロック信号 C K N 2 の高レベルに対応する。

【 0 0 1 5 】

そのうち、N ステージプルダウン回路の制御端には、第三クロック信号 X C N K 2 を入

力する。その内、第一クロック信号CKN1のデューティ比は、50%より小さいとともに、第一クロック信号CKN1の高レベルの終了時間及び第二クロック信号CKN2の高レベルの終了時間は同じである。第三クロック信号XCKN2の高レベルは、第二クロック信号CKN2の低レベルに対応し、第三クロック信号XCKN2の低レベルは、第二クロック信号CKN2の高レベルに対応する。

【0016】

上記の問題を解決するため、本発明が採用する技術案は、液晶ディスプレイを提供し、本液晶ディスプレイは、上記のGOA回路を備える。

【発明の効果】

【0017】

10

本発明の有益な効果は以下の通りである。従来の技術との違いは、本発明は、Nステージプルアップ回路とNステージ伝送回路に対して、異なる二種のクロック信号にパルス幅を入力することによって、出力信号と伝送信号を剥離させ、それにより、Q(N)点を比較的良い高電位に上昇させ、出力信号の遅延を減らし、GOA回路における走査線のより良い充電を保証することができ、回路は各ノードの正常作動に有利である、という点である。

【図面の簡単な説明】

【0018】

【図1】本発明のGOA回路の実施例1における複数のGOAユニットの縦続接続の構造を示した概略図である。

20

【図2】本発明のGOA回路の実施例1におけるGOAユニットの構造を示した概略図である。

【図3】本発明のGOA回路の実施例2におけるGOAユニットの具体的な回路の接続を示した概略図である。

【図4】本発明のGOA回路の実施例2におけるGOAユニットの各ノードの第一種電圧波形を示した概略図である。

【図5】本発明のGOA回路の実施例2におけるGOAユニットの各ノードの第二種電圧波形を示した概略図である。

【図6】本発明のGOA回路の実施例3におけるGOAユニットの具体的な回路の接続を示した概略図である。

30

【図7】本発明のGOA回路の実施例4におけるGOAユニットの具体的な回路の接続を示した概略図である。

【図8】本発明のGOA回路の実施例5におけるGOAユニットの具体的な回路の接続を示した概略図である。

【図9】本発明のGOA回路の実施例6におけるGOAユニットの具体的な回路の接続を示した概略図である。

【発明を実施するための形態】

【0019】

(実施例1)

図1を参照する。図1は、本発明のGOA回路の実施例1における複数のGOAユニットの縦続接続の構造を示した概略図である。前記GOA回路は、複数のGOAユニットを備え、その内、NステージGOAユニットは、表示領域の第Nステージ水平走査線G(N)に対して充電を行う。

40

【0020】

図2を参照する。図2は、本発明のGOA回路の実施例1におけるGOAユニットの構造を示した概略図である。NステージステージGOAユニットは、Nステージステージプルアップ制御回路101と、Nステージプルアップ回路102と、Nステージ伝送回路103と、Nステージプルダウン回路104と、Nステージプルダウン維持回路105と、からなる。その内、Nステージプルアップ回路103及びNステージプルダウン維持回路105は、第Nステージゲート電極信号点Q(N)と、第Nステージ水平走査線G(N)

50

にそれぞれ接続され、Nステージブルアップ制御回路101と、Nステージブルダウン回路104と、Nステージ伝送回路103は、第Nステージゲート電極信号点Q(N)に接続される。Nステージブルアップ回路は、第Nステージゲート電極信号点Q(N)が高レベルの際開き、第一クロック信号CKN1を受信するとともに、第一クロック信号CKN1が高電位の際、Nステージ水平走査線G(N)に対して充電を行う。Nステージ伝送回路は、第Nステージゲート電極信号点Q(N)が高レベルの際開き、第二クロック信号CKN2を受信するとともに、Nステージ伝送信号ST(N)を出力することによって、N+1級GOAユニットの作動を制御する。その内、第二クロック信号CKN2のパルス幅は、第一クロック信号CKN1のパルス幅より大きい。

【0021】

10

具体的には、Nステージブルアップ制御回路101は、上級GOAユニットの高電位のST(N-1)信号を受信する際、開くとともに、第Nステージゲート電極信号点Q(N)の電位を高電位に上昇させることによって、Nステージブルアップ回路102及びNステージ伝送回路103が開き、それによって、Nステージブルアップ回路102及びNステージ伝送回路103は、第一クロック信号CKN1及び第二クロック信号CKN2をそれぞれ出力し、出力後、Nステージブルダウン回路104とブルダウン第Nステージゲート電極信号点Q(N)の電位は、低電位となり、Nステージブルダウン維持回路105は、第Nステージゲート電極信号点Q(N)及び第Nステージ水平走査線G(N)の電位を低電位に維持する。

【0022】

20

従来の技術と区別するために、本実施例は、Nステージブルアップ回路とNステージ伝送回路に対して、異なる二種のクロック信号にパルス幅を入力することによって、出力信号と伝送信号を剥離させ、それにより、Q(N)点を比較的良い高電位に上昇させ、出力信号の遅延を減らし、GOA回路における走査線のより良い充電を保證することができ、回路は各ノードの正常作動に有利である。

【0023】

(実施例2)

図3を参照する。本発明のGOA回路の実施例2におけるGOAユニットの具体的な回路の接続を示した概略図である。前記NステージGOAユニットは、Nステージブルアップ制御回路301と、Nステージブルアップ回路302と、Nステージ伝送回路303と、Nステージブルダウン回路304と、Nステージブルダウン維持回路305と、からなる。その内、Nステージブルアップ回路302及びNステージブルダウン維持回路305は、第Nステージゲート電極信号点Q(N)と、第Nステージ水平走査線G(N)にそれぞれ接続され、Nステージブルアップ制御回路301と、Nステージブルダウン回路304と、Nステージ伝送回路303は、第Nステージゲート電極信号点Q(N)に接続される。Nステージブルアップ回路302及びNステージ伝送回路303は、Q(N)が高レベルの際開くとともに、第一クロック信号CKN1及び第二クロック信号CKN2における出力をそれぞれ受信し、第二クロック信号CKN2のパルス幅は、第一クロック信号CKN1のパルス幅より大きい。

30

【0024】

40

そのうち、Nステージブルダウン維持回路305は、第一トランジスタT1と、第二トランジスタT2と、第三トランジスタT3と、第四トランジスタT4と、第五トランジスタT5と、第六トランジスタT6と、第七トランジスタT7と、第八トランジスタT8と、第九トランジスタT9と、第十トランジスタT10と、第十一トランジスタT11と、からなる。第一トランジスタT1のそのゲート電極及びドレイン電極は、直流高電圧Hと接続される。第二トランジスタT2のそのゲート電極は、第一トランジスタT1のソース電極と接続され、ドレイン電極は、直流高電圧Hと接続され、ソース電極は、第一公共点P(N)と接続される。第三トランジスタT3のそのゲート電極は、第Nステージゲート電極信号Q(N)と接続され、ドレイン電極は、第一トランジスタT1のソース電極と接続され、ソース電極は、第一直流低電圧VSS1と接続される。第四トランジスタT4の

50

そのゲート電極は、第Nステージゲート電極信号点Q(N)と接続され、ドレイン電極は、公共点P(N)と接続される。第五トランジスタT5のそのゲート電極は、第Nステージゲート電極信号点Q(N)と接続され、ドレイン電極は、公共点P(N)と接続される。第六トランジスタT6のそのゲート電極は、第四トランジスタT4のソース電極と接続され、ドレイン電極は、第五トランジスタT5のソース電極と接続され、ソース電極は、第三直流低電圧VSS3と接続される。第七トランジスタT7のそのゲート電極は、第四トランジスタT4のソース電極と接続され、ソース電極は、第三直流低電圧VSS3と接続される。第八トランジスタT8のそのゲート電極及びドレイン電極は、直流高電圧Hと接続される。第九トランジスタT9のそのゲート電極は、第八トランジスタT8のソース電極と接続され、ドレイン電極は、直流高電圧Hと接続され、ソース電極は、第五トランジスタT5のソース電極と接続される。第十トランジスタT10のそのゲート電極は、公共点P(N)と接続され、ドレイン電極は、第Nステージゲート電極信号点Q(N)と接続され、ソース電極は、第二直流低電圧VSS2と接続される。第十一トランジスタT11のそのゲート電極は、公共点P(N)と接続され、ドレイン電極は、第Nステージ水平走査線G(N)と接続され、ソース電極は、第二直流低電圧VSS2と接続される。その内、第一直流低電圧VSS1は、第二直流低電圧VSS2より大きく、第二直流低電圧VSS2は、第三直流低電圧VSS3より大きい。

10

20

30

40

50

【0025】

図4を参照する。図4は、本発明のGOA回路の実施例2におけるGOAユニットの各ノードの第一種電圧波形を示した概略図である。前記波形において、Nステージプルダウン回路の制御端には、XCKN2を入力する。以下は第二クロック信号CKN2の二つの周期を例にあげて、回路作動原理を紹介する。

【0026】

第一作用区間は、以下の通りである。前ステージの伝送信号ST(N-1)は、低電位であるため、Nステージプルアップ制御回路301及びNステージ伝送回路は、いずれも閉鎖され、この時、T3と、T4と、T5も閉鎖される。しかしながら、T1とT2の開き、及びH信号の入力によって、公共点P(N)は高電位となり、それによりT10とT11が開き、プルダウン第Nステージゲート電極信号Q(N)及び第Nステージゲート電極信号点Q(N)の電位をそれぞれプルダウンする。

【0027】

第二作用区間は、以下の通りである。第一クロック信号CKN1だけが変化するため、その他クロック信号及び伝送信号は、変化しない。しかしながら、Nステージプルアップ回路の閉鎖によって、その他ノードの電位は、いずれも変化しない。

【0028】

第三作用区間は、以下の通りである。前ステージの伝送信号ST(N-1)は、高電位であり、Nステージプルアップ制御回路301は開き、第Nステージゲート電極信号点Q(N)は上昇し、公共点P(N)は低電位となり、Nステージプルアップ回路302及びNステージ伝送回路303はいずれも開き、G(N)は、CKN1と同じであり、ST(N)は、CKN2と同じである。

【0029】

第四作用区間は、以下の通りである。コンデンサCbのブートストラップ作用によって、第Nステージゲート電極信号点Q(N)は、高電位を継続的に保持させ、G(N)は、CKN1と同じであり、ST(N)は、CKN2と同じである。

【0030】

第五作用区間は以下の通りである。第二クロック信号CKN2は、高電位に変化し、高電位のNステージ伝送信号ST(N)を出力するとともに、コンデンサCbは、第Nステージゲート電極信号点Q(N)の電位を更に高く上昇させることにより、Nステージプルアップ回路302及びNステージ伝送回路303の自由な出力を保証する。

【0031】

第六作用区間は、以下の通りである。第Nステージゲート電極信号点Q(N)の電位は

、再度上昇し更に高くなり、 $C K N 1$ は、高電位となり、第 N ステージ水平走査線 $G(N)$ は、スムーズに高電位信号を出力する。

【0032】

第七作用区間では、 $X C K N 2$ は、高電位に変化し、プルダウン N ステージゲート電極信号点 $Q(N)$ の電位と、 N ステージプルアップ回路302及び N ステージ伝送回路303は、いずれも閉鎖され、第 N ステージ水平走査線 $G(N)$ 及び伝送信号 $S T(N)$ は、低電位である。

【0033】

第八作用区間は、以下の通りである。各電位は、第七作用区間と類似しており、各出力は、低電位を維持する。

【0034】

上記実施例において、 N ステージプルダウン回路の制御端には、第三クロック信号 $X C N K 2$ を入力する。その内、第一クロック信号 $C K N 1$ のデューティ比は、50%より小さいとともに、第一クロック信号 $C K N 1$ の高レベルの開始時間及び第二クロック信号 $C K N 2$ の高レベルの開始時間は同じである。第三クロック信号 $X C N K 2$ の高レベルは、第二クロック信号 $C K N 2$ の低レベルに対応し、第三クロック信号 $X C N K 2$ の低レベルは、第二クロック信号 $C K N 2$ の高レベルに対応する。

【0035】

図5を参照する。図5は、本発明の $G O A$ 回路の実施例2における $G O A$ ユニットの各ノードの第二種電圧波形を示した概略図である。

【0036】

前記第二種波形は、第一種波形と類似しているが、異なるのは、第一クロック信号 $C K N 1$ の位相が左に四分の一周期移動する点であり、それにより、第 N ステージゲート電極信号点 $Q(N)$ における第六作用区間の電位が若干下降し、第 N ステージ水平走査線 $G(N)$ が第五作用区間において出力する。

【0037】

上記実施例において、 N ステージプルダウン回路の制御端には、第三クロック信号 $X C N K 2$ を入力する。その内、第一クロック信号 $C K N 1$ のデューティ比は、50%より小さいとともに、第一クロック信号 $C K N 1$ の高レベルの終了時間及び第二クロック信号 $C K N 2$ の高レベルの終了時間は同じである。第三クロック信号 $X C N K 2$ の高レベルは、第二クロック信号 $C K N 2$ の低レベルに対応し、第三クロック信号 $X C N K 2$ の低レベルは、第二クロック信号 $C K N 2$ の高レベルに対応する。

【0038】

当然、第一クロック信号 $C K N 1$ の高レベルの開始時間と終了時間は、第二クロック信号 $C K N 2$ の高レベル開始時間と終了時間といずれも同じでなくてもよく、また、第一クロック信号 $C K N 1$ の高レベル区間は、第二クロック信号 $C K N 2$ の高レベル区間内でもいい。

【0039】

(実施例3)

図6を参照する。図6は、本発明の $G O A$ 回路の実施例3における $G O A$ ユニットの具体的な回路の接続を示した概略図である。本実施例と実施例2との違いは、 N ステージプルダウン維持回路605が第七トランジスタ $T 7$ 及び第八トランジスタ $T 8$ を備えない点である。第九トランジスタ $T 9$ のゲート電極は、公共点 $P(N)$ と接続される。本実施例は、 $T F T$ トランジスタを二つ減らすことで、回路を簡素化させ、消費電力を下げる。

【0040】

(実施例4)

図7を参照する。図7は、本発明の $G O A$ 回路の実施例4における $G O A$ ユニットの具体的な回路の接続を示した概略図である。本実施例と実施例3との違いは、 N ステージプルダウン維持回路705が、第五トランジスタ $T 5$ を備えない点である。第六トランジスタ $T 6$ のドレイン電極及び第九トランジスタ $T 9$ のソース電極は、第四トランジスタのソ

10

20

30

40

50

ース電極と接続され、第六トランジスタT 6のゲート電極及び第七トランジスタT 7のゲート電極は、第Nステージゲート電極信号点Q (N)と接続される。

【 0 0 4 1 】

(実施例 5)

図 8 を参照する。図 8 は、本発明の G O A 回路の実施例 5 における G O A ユニットの具体的な回路の接続を示した概略図である。本実施例と、実施例 4 との違いは、N ステージプルダウン維持回路 8 0 5 が、第七トランジスタ T 7 及び第八トランジスタ T 8 を備えない点である。第九トランジスタのゲート電極は、第二トランジスタ T 2 のゲート電極と接続される。本実施例は、従来の回路の要点を信号として利用し、直流高電位信号 H の接続を減らし、回路を簡素化させる。

10

【 0 0 4 2 】

(実施例 6)

図 9 を参照する。図 9 は、本発明の G O A 回路の実施例 6 における G O A ユニットの具体的な回路の接続を示した概略図である。本実施例は、実施例 5 の一種変形で、その原理は類似している。

【 0 0 4 3 】

上記各種実施例における N ステージ伝送回路のブーストラップコンデンサ C b は、全て取り除くことができる。

【 0 0 4 4 】

本発明の液晶ディスプレイの実施例 1 において、前記液晶ディスプレイは、上記のあらゆる実施例における G O A 回路を備える。

20

【 0 0 4 5 】

以上前記の内容は、本発明の実施例に過ぎず、本発明の特許請求の範囲を制限するものではない。本発明の明細書と図の内容を用いて行った同様の効果をもつ構造や同様の効果をもつ工程の変更（直接的に、或いは、間接的にその他関連のある技術領域に運用したもの）は、同様にいずれも、本発明の特許の保護範囲に含まれる。

【 符号の説明 】

【 0 0 4 6 】

1 0 1 N ステージステージプルアップ制御回路
 1 0 2 N ステージプルアップ回路
 1 0 3 N ステージ伝送回路
 1 0 4 N ステージプルダウン回路
 1 0 5 N ステージプルダウン維持回路
 3 0 1 N ステージプルアップ制御回路
 3 0 2 N ステージプルアップ回路
 3 0 3 N ステージ伝送回路
 3 0 4 N ステージプルダウン回路
 3 0 5 N ステージプルダウン維持回路
 C b N ステージブーストラップコンデンサ
 C K N 1 第一クロック信号
 C K N 2 第二クロック信号
 G (N) 第 N ステージ水平走査線
 H 直流高電圧
 P (N) 第一公共点
 Q (N) 第 N ステージゲート電極信号点
 S T (N) N ステージ伝送信号
 T 1 第一トランジスタ
 T 2 第二トランジスタ
 T 3 第三トランジスタ
 T 4 第四トランジスタ

30

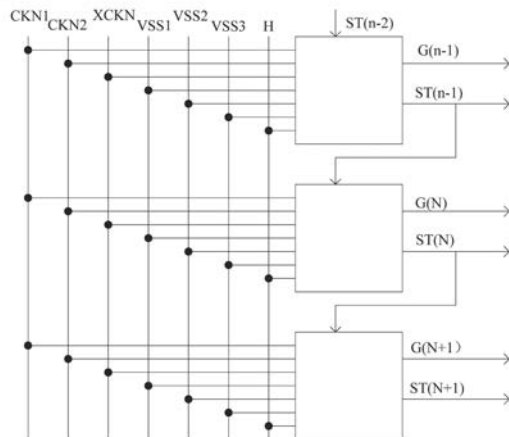
40

50

T 5	第五トランジスタ
T 6	第六トランジスタ
T 7	第七トランジスタ
T 8	第八トランジスタ
T 9	第九トランジスタ
T 1 0	第十トランジスタ
T 1 1	第十一トランジスタ
V S S 1	第一直流低電圧
V S S 2	第二直流低電圧
V S S 3	第三直流低電圧
X C N K 2	第三クロック信号

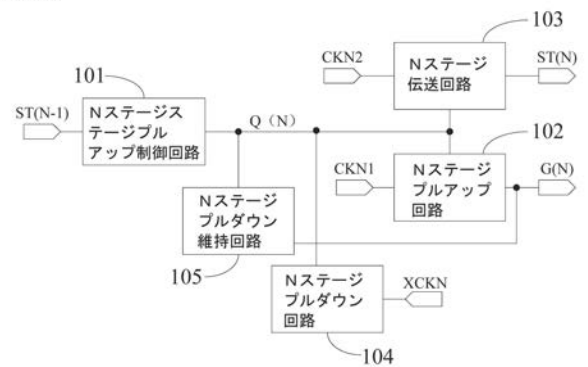
【図 1】

【図 1】



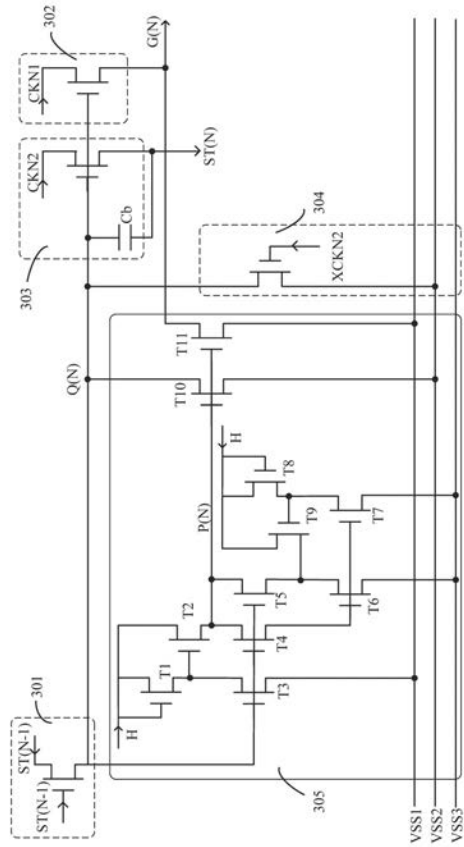
【図 2】

【図 2】



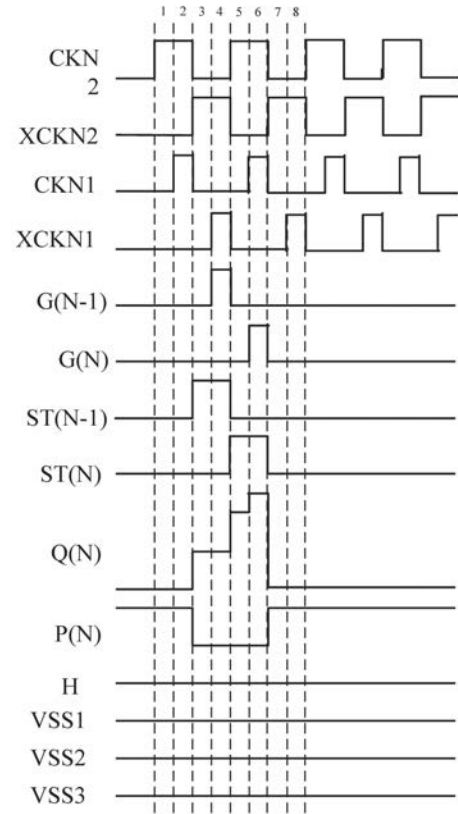
【図 3】

【図 3】



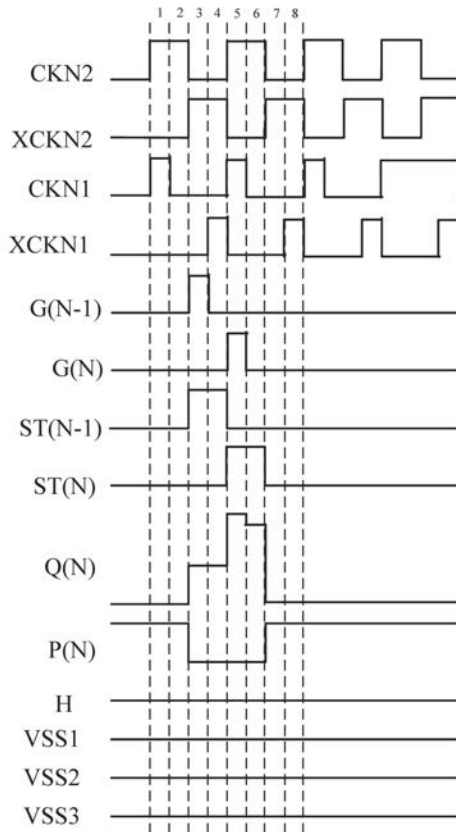
【図 4】

【図 4】



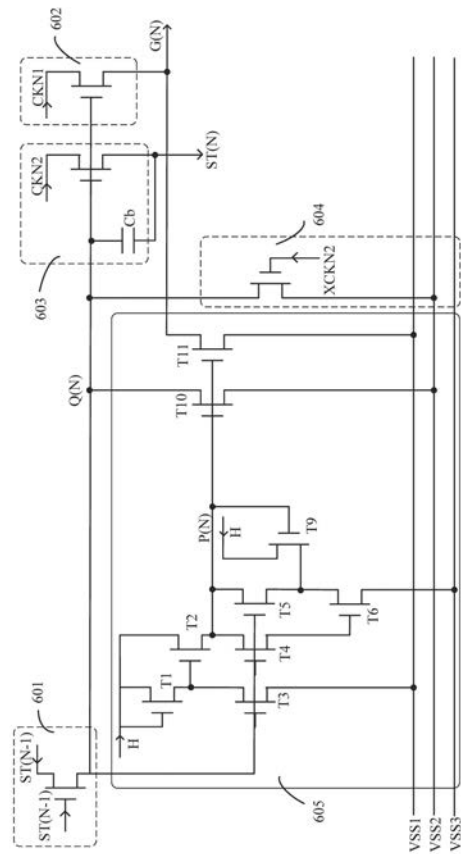
【図 5】

【図 5】



【図 6】

【図 6】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2015/078000
A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/36 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09G 3/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, CNKI, WPI, EPODOC: liquid crystal display, scan line, direct-current, LCD, scan+ w beam, GOA, gate, pull w up, pull w down, signal, clock, charge, pulse w width, voltage, DC, transistor.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104464665 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 March 2015 (25.03.2015), description, paragraphs 49-83, and figures 2-8	8, 16-17
Y	CN 104464665 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 March 2015 (25.03.2015), description, paragraphs 49-83, and figures 2-8	1-7, 9-15, 18
Y	CN 104464656 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 March 2015 (25.03.2015), description, paragraphs 43-60, and figures 1-5	1-7, 9-15, 18
Y	CN 104464660 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 March 2015 (25.03.2015), description, paragraphs 40-56, and figures 1-4	4-7, 12-15
A	CN 103928007 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 16 July 2014 (16.07.2014), the whole document	1-18
A	US 2004/0189585 A1 (MOON, S.H.), 30 September 2004 (30.09.2004), the whole document	1-18
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 August 2015 (10.08.2015)		Date of mailing of the international search report 07 January 2016 (07.01.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer LI, Ningxin Telephone No.: (86-10) 82245290

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/078000

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104464665 A	25 March 2015	None	
CN 104464656 A	25 March 2015	None	
CN 104464660 A	25 March 2015	None	
CN 103928007 A	16 July 2014	WO 2015161513 A1	29 October 2015
US 2004/0189585 A1	30 September 2004	KR 1022293 B1	21 March 2011
		KR 20040086516 A	11 October 2004
		JP 4854929 B2	18 January 2012
		JP 2004295126 A	21 October 2004
		US 7319452 B2	15 January 2008
		TW 200502908 A	16 January 2005
		TW I413965 B	01 November 2013

国际检索报告

国际申请号

PCT/CN2015/078000

A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPODOC: 液晶显示器, 扫描线, 栅极, 上拉, 下拉, 信号, 时钟, 充电, 脉宽, 电压, 直流, 晶体管, LCD, scan+ w beam, GOA, gate, pull w up, pull w down, signal, clock, charge, pulse w width, voltage, DC, transistor.		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104464665 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第49-83段以及附图2-8	8, 16-17
Y	CN 104464665 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第49-83段以及附图2-8	1-7, 9-15, 18
Y	CN 104464656 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第43-60段以及附图1-5	1-7, 9-15, 18
Y	CN 104464660 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第40-56段以及附图1-4	4-7, 12-15
A	CN 103928007 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-18
A	US 2004/0189585 A1 (MOON SEUNG-HWAN) 2004年 9月 30日 (2004 - 09 - 30) 全文	1-18
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 8月 10日		国际检索报告邮寄日期 2016年 1月 7日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 李宁馨 电话号码 (86-10) 82245290

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/078000

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104464665	A	2015年 3月 25日	无			
CN	104464656	A	2015年 3月 25日	无			
CN	104464660	A	2015年 3月 25日	无			
CN	103928007	A	2014年 7月 16日	WO	2015161513	A1	2015年 10月 29日
US	2004/0189585	A1	2004年 9月 30日	KR	1022293	B1	2011年 3月 21日
				KR	20040086516	A	2004年 10月 11日
				JP	4854929	B2	2012年 1月 18日
				JP	2004295126	A	2004年 10月 21日
				US	7319452	B2	2008年 1月 15日
				TW	200502908	A	2005年 1月 16日
				TW	1413965	B	2013年 11月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 5B074 AA01 CA01 DB02 EA01
5C006 AF72 BB16 BC03 BC20 BF03 BF34 FA14 FA41
5C080 AA10 BB05 DD09 DD22 FF01 FF11 FF12 JJ02 JJ03 JJ04

【要約の続き】

N + 1 級 G O A ユニットの作動を制御する。

【選択図】図 1

专利名称(译)	GOA电路和液晶显示器		
公开(公告)号	JP2018511071A	公开(公告)日	2018-04-19
申请号	JP2017540746	申请日	2015-04-30
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
当前申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	肖軍城		
发明人	肖軍城		
IPC分类号	G09G3/36 G09G3/20 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622E G09G3/20.612K G11C19/28.230 G09G3/20.680G		
F-TERM分类号	5B074/AA01 5B074/CA01 5B074/DB02 5B074/EA01 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF34 5C006/FA14 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD22 5C080/FF01 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	铃木 征四郎		
优先权	201510186029.8 2015-04-17 CN		
其他公开文献	JP6542901B2		
外部链接	Espacenet		

摘要(译)

[挑战] 发明, 我们可以确保更多的好在果阿电路线路的充电电路是果阿电路在每个节点的正常运行, 和液晶显示提供。根据本发明的电路GOA包括多个GOA台, 其中, N阶段GOA单元执行充电第一N级的水平扫描线的显示区域的G (N), N阶段GOA单元, 以及N级上拉控制电路, 以及N级上拉电路, 以及N级变速器电路, 以及N级下拉电路, N级下拉卫N级上拉电路在第N级栅极信号点Q (N) 处于高电平时打开, 接收第一时钟信号 (CKN1) 并输出第一时钟当信号 (CKN1) 处于高电位时, N级充电电路对N级水平扫描线G (N) 充电, 并且当第N级栅电极信号点Q (N) 处于高电平时, N级发送电路充电它接收第二时钟信号 (CKN 2) 并通过输出N级传输信号ST (N) 来控制N + 1级GOA单元的操作。

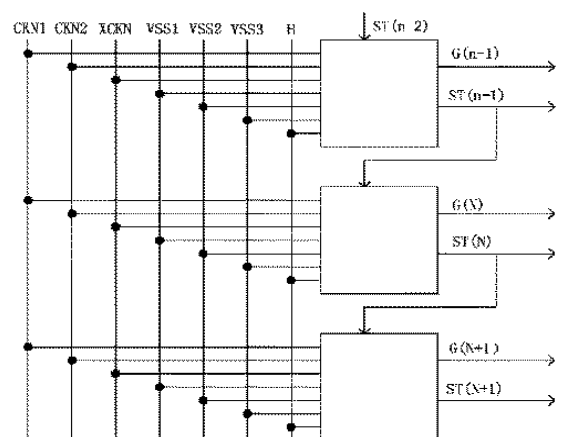


图 1