

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-507426

(P2018-507426A)

(43) 公表日 平成30年3月15日(2018.3.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5B074
G09G 3/20 (2006.01)	G09G 3/20 670E	5C006
G11C 19/28 (2006.01)	G09G 3/20 622E	5C080
	G09G 3/20 670J	
	G09G 3/20 670M	

審査請求 有 予備審査請求 未請求 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2017-533264 (P2017-533264)
 (86) (22) 出願日 平成27年1月8日 (2015.1.8)
 (85) 翻訳文提出日 平成29年8月18日 (2017.8.18)
 (86) 国際出願番号 PCT/CN2015/070318
 (87) 国際公開番号 W02016/106802
 (87) 国際公開日 平成28年7月7日 (2016.7.7)
 (31) 優先権主張番号 201410851563.1
 (32) 優先日 平成26年12月31日 (2014.12.31)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 516010618
 深▲せん▼市華星光電技術有限公司
 SHENZHEN CHINA STAR
 OPTOELECTRONICS TE
 CHNOLOGY CO., LTD.
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号
 (74) 代理人 110002262
 TRY国際特許業務法人
 (72) 発明者 肖 軍城
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号施北娜
 Fターム(参考) 5B074 BA02 CA01 DB01

最終頁に続く

(54) 【発明の名称】 液晶表示装置用GOA回路

(57) 【要約】

液晶表示装置用のアレイ基板行走駆動 (Gate Driver On Array; GOA) 回路であって、液晶表示装置は複数の走査線を備え、GOA回路はカスケード接続された複数のシフトレジスタを備える。第Nステージシフトレジスタは、第Nステージ走査線 (G(N)) に対する充電を制御する。第Nステージシフトレジスタは、正逆方向走査制御回路 (100)、プルアップ回路 (200)、ブートストラップコンデンサ回路 (300)、ゲート信号点漏電防止回路 (400) 及びプルダウン保持回路 (500) を備える。ブートストラップコンデンサ回路 (300)、ゲート信号点漏電防止回路 (400) 及びプルダウン保持回路 (500) は共に接続されてゲート信号点 (Q) を構成することによって、ゲート信号点 (Q) の安定性を向上させ、スイッチの使用を低減する。

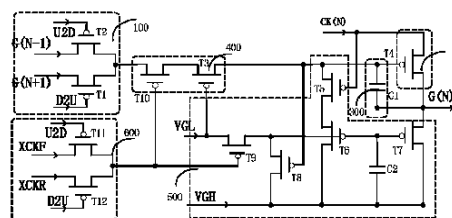


图 3 / Fig. 3

【特許請求の範囲】

【請求項 1】

液晶表示装置用 G O A 回路であって、前記液晶表示装置は複数の走査線を備え、前記 G O A 回路はカスケード接続された複数のシフトレジスタを備え、その中の第 N ステージシフトレジスタは、第 N ステージ走査線 (G (N)) に対する充電を制御し、前記第 N ステージシフトレジスタは、

前記第 N ステージ走査線 (G (N)) に接続されるプルダウン保持回路 (5 0 0) と、
前記プルダウン保持回路 (5 0 0) に接続されるブートストラップコンデンサ回路 (3 0 0) と、

前記ブートストラップコンデンサ回路 (3 0 0) に接続されるゲート信号点 (Q) 漏電防止回路 (4 0 0) と、

前記ゲート信号点 (Q) 漏電防止回路に接続される正逆方向走査制御回路 (1 0 0) と

、
前記ブートストラップコンデンサ回路 (3 0 0) に接続されるプルアップ回路 (2 0 0) と、を備え、

前記ブートストラップコンデンサ回路 (3 0 0) 、前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) 及び前記プルダウン保持回路 (5 0 0) は共に接続されてゲート信号点 (Q (N)) を構成し、

前記プルアップ回路 (2 0 0) 、前記ブートストラップコンデンサ回路 (3 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、それぞれ前記第 N ステージ走査線 (G (N)) に接続され、

前記正逆方向走査制御回路 (1 0 0) はそれぞれ第 N - 1 ステージ走査線 (G (N - 1)) 及び第 N + 1 ステージ走査線 (G (N + 1)) に接続され、

前記プルダウン保持回路 (5 0 0) は、第 1 スイッチ (T 9) 、第 2 スイッチ (T 8) 、第 3 スイッチ (T 7) 、第 4 スイッチ (T 6) 、第 5 スイッチ (T 5) 、及び第 1 コンデンサ (C 2) を備え、

前記第 1 スイッチ (T 9) は、その制御端が前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続され、その出力端が第 1 回路点 (P (N)) に接続され、

前記第 2 スイッチ (T 8) は、その制御端がゲート信号点 (Q (N)) に接続され、その出力端が前記第 1 回路点 (P (N)) に接続され、

前記第 3 スイッチ (T 7) は、その制御端が前記第 1 回路点 (P (N)) に接続され、その入力端が高定電圧源 (V G H) に接続され、その出力端が前記第 N ステージ走査線 (G (N)) に接続され、

前記第 4 スイッチ (T 6) は、その制御端が前記第 1 回路点 (P (N)) に接続され、その入力端が前記高定電圧源 (V G H) に接続され、

前記第 5 スイッチ (T 5) は、その制御端が第 N ステージの第 1 クロック信号 (C K (N)) を受信し、その入力端が前記第 4 スイッチ (T 6) の出力端に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続され、

前記第 1 コンデンサ (C 2) は、その両端がそれぞれ前記高定電圧源 (V G H) 及び前記第 1 回路点 (P (N)) に接続され、

前記正逆方向走査制御回路 (1 0 0) は、第 6 スイッチ (T 1) 及び第 7 スイッチ (T 2) を備え、

前記第 6 スイッチ (T 1) は、その制御端がダウンロード制御信号 (U 2 D) を受信し、その入力端が前記第 N - 1 ステージ走査線 (G (N - 1)) に接続され、その出力端が前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続され、

前記第 7 スイッチ (T 2) は、その制御端がアップロード制御信号 (D 2 U) を受信し、その入力端が前記第 N + 1 ステージ走査線 (G (N + 1)) に接続され、その出力端が前記第 5 スイッチ (T 1) の出力端及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に共に接続され、

前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、第 9 スイッチ (T 3) を備え、

10

20

30

40

50

前記第 9 スイッチ (T 3) は、その制御端が前記第 1 スイッチ (T 9) の制御端及び前記第 1 スイッチ (T 9) の入力端に共に接続されることによって第 N ステージの第 2 クロック信号 (X C K (N)) を受信し、その入力端が前記第 6 スイッチ (T 1) の出力端及び前記第 7 スイッチ (T 2) の出力端に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続され、

前記第 N ステージの第 2 クロック信号 (X C K (N)) と前記第 N ステージの第 1 クロック信号 (C K (N)) とは、互いに逆方向信号であり、

前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、第 9 スイッチ (T 3) 及び第 1 0 スイッチ (T 1 0) を備え、

前記第 9 スイッチ (T 3) は、その制御端及び前記第 1 スイッチ (T 9) の入力端がそれぞれ低定電圧源 (V G L) に接続され、出力端が前記ゲート信号点 (Q (N)) に接続され、

前記第 1 0 スイッチ (T 1 0) は、その制御端が前記第 1 スイッチ (T 9) の制御端に接続され、その入力端が前記第 6 スイッチ (T 1) の出力端及び前記第 7 スイッチ (T 2) の出力端に接続され、その出力端が前記第 9 スイッチ (T 3) の入力端に接続され、

前記ブートストラップコンデンサ回路 (3 0 0) は、第 2 コンデンサ (C 1) を備え、

前記第 2 コンデンサ (C 1) は、その両端がそれぞれ前記ゲート信号点 (Q (N)) 及び前記第 N ステージ走査線 (G (N)) に接続され、

ブルダウン制御回路 (6 0 0) は、第 1 1 スイッチ (T 1 1) 及び第 1 2 スイッチ (T 1 2) を備え、

前記第 1 1 スイッチ (T 1 1) は、その制御端がダウンロード制御信号 (U 2 D) を受信し、その入力端が第 2 正方向クロック信号 (X C K F) を受信し、その出力端が前記ブルダウン保持回路 (5 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続され、

前記第 1 2 スイッチ (T 1 2) は、その制御端がアップロード制御信号 (D 2 U) を受信し、その入力端が第 2 逆方向クロック信号 (X C K R) を受信し、その出力端が前記ブルダウン保持回路 (5 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続され、

前記第 1 1 スイッチ (T 1 1) の出力端、前記第 1 2 スイッチ (T 1 2) の出力端及び前記第 1 スイッチ (T 9) の制御端は共に接続され、

前記ブルダウン保持回路 (5 0 0) は、第 1 3 スイッチ (T 1 3) をさらに備え、

前記第 1 3 スイッチ (T 1 3) は、その制御端が前記ゲート信号点 (Q (N)) に接続され、その入力端が前記第 1 スイッチ (T 9) の制御端に接続され、その出力端が前記第 1 回路点 (P (N)) に接続される、液晶表示装置用 G O A 回路。

【請求項 2】

前記ブルアップ回路 (2 0 0) は第 8 スイッチ (T 4) を備え、

前記第 8 スイッチ (T 4) は、その制御端が前記ゲート信号点 (Q (N)) に接続され、その入力端が前記第 N ステージの第 1 クロック信号 (C K (N)) に接続され、その出力端が前記第 N ステージ走査線 (G (N)) に接続される、請求項 1 に記載の液晶表示装置用 G O A 回路。

【請求項 3】

前記ブルダウン保持回路 (5 0 0) は、第 1 4 スイッチ (T 1 4) をさらに備え、

前記第 1 4 スイッチ (T 1 4) は、その制御端が第 N - 1 ステージの第 2 クロック信号 (X C K (N - 1)) を受信し、その入力端が前記第 4 スイッチ (T 6) の出力端に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続される、請求項 1 に記載の液晶表示装置用 G O A 回路。

【請求項 4】

前記ブルダウン保持回路 (5 0 0) は、第 1 4 スイッチ (T 1 4) をさらに備え、

前記第 1 4 スイッチ (T 1 4) は、その制御端が第 N - 2 ステージの第 2 クロック信号 (X C K (N - 2)) を受信し、その入力端が前記第 4 スイッチ (T 6) の出力端に接続

10

20

30

40

50

され、その出力端が前記ゲート信号点 (Q (N)) に接続される、請求項 1 に記載の液晶表示装置用 G O A 回路。

【請求項 5】

液晶表示装置用 G O A 回路であって、前記液晶表示装置は複数の走査線を備え、前記 G O A 回路はカスケード接続された複数のシフトレジスタを備え、その中の第 N ステージシフトレジスタは、第 N ステージ走査線 (G (N)) に対する充電を制御し、前記第 N ステージシフトレジスタは、

前記第 N ステージ走査線 (G (N)) に接続されるプルダウン保持回路 (5 0 0) と、
前記プルダウン保持回路 (5 0 0) に接続されるブートストラップコンデンサ回路 (3 0 0) と、

前記ブートストラップコンデンサ回路 (3 0 0) に接続されるゲート信号点 (Q) 漏電防止回路 (4 0 0) と、

前記ゲート信号点 (Q) 漏電防止回路に接続される正逆方向走査制御回路 (1 0 0) と、

前記ブートストラップコンデンサ回路 (3 0 0) に接続されるプルアップ回路 (2 0 0) と、を備え、

前記ブートストラップコンデンサ回路 (3 0 0) 、前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) 及び前記プルダウン保持回路 (5 0 0) は共に接続されてゲート信号点 (Q (N)) を構成し、

前記プルアップ回路 (2 0 0) 、前記ブートストラップコンデンサ回路 (3 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、それぞれ前記第 N ステージ走査線 (G (N)) に接続され、

前記正逆方向走査制御回路 (1 0 0) はそれぞれ第 N - 1 ステージ走査線 (G (N - 1)) 及び第 N + 1 ステージ走査線 (G (N + 1)) に接続され、

前記プルダウン保持回路 (5 0 0) は、第 1 スイッチ (T 9) 、第 2 スイッチ (T 8) 、第 3 スイッチ (T 7) 、第 4 スイッチ (T 6) 、第 5 スイッチ (T 5) 、及び第 1 コンデンサ (C 2) を備え、

前記第 1 スイッチ (T 9) は、その制御端が前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続され、その出力端が第 1 回路点 (P (N)) に接続され、

前記第 2 スイッチ (T 8) は、その制御端がゲート信号点 (Q (N)) に接続され、その出力端が前記第 1 回路点 (P (N)) に接続され、

前記第 3 スイッチ (T 7) は、その制御端が前記第 1 回路点 (P (N)) に接続され、その入力端が高定電圧源 (V G H) に接続され、その出力端が前記第 N ステージ走査線 (G (N)) に接続され、

前記第 4 スイッチ (T 6) は、その制御端が前記第 1 回路点 (P (N)) に接続され、その入力端が前記高定電圧源 (V G H) に接続され、

前記第 5 スイッチ (T 5) は、その制御端が第 N ステージの第 1 クロック信号 (C K (N)) を受信し、その入力端が前記第 4 スイッチ (T 6) の出力端に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続され、

前記第 1 コンデンサ (C 2) は、その両端がそれぞれ前記高定電圧源 (V G H) 及び前記第 1 回路点 (P (N)) に接続される、液晶表示装置用 G O A 回路。

【請求項 6】

前記正逆方向走査制御回路 (1 0 0) は、第 6 スイッチ (T 1) 及び第 7 スイッチ (T 2) を備え、

前記第 6 スイッチ (T 1) は、その制御端がダウンロード制御信号 (U 2 D) を受信し、その入力端が前記第 N - 1 ステージ走査線 (G (N - 1)) に接続され、その出力端が前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続され、

前記第 7 スイッチ (T 2) は、その制御端がアップロード制御信号 (D 2 U) を受信し、その入力端が前記第 N + 1 ステージ走査線 (G (N + 1)) に接続され、その出力端が前記第 5 スイッチ (T 1) の出力端及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0)

10

20

30

40

50

に共に接続される、請求項 5 に記載の液晶表示装置用 G O A 回路。

【請求項 7】

前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、第 9 スイッチ (T 3) を備え、
前記第 9 スイッチ (T 3) は、その制御端が前記第 1 スイッチ (T 9) の制御端及び前記第 1 スイッチ (T 9) の入力端に共に接続されることによって第 N ステージの第 2 クロック信号 (X C K (N)) を受信し、その入力端が前記第 6 スイッチ (T 1) の出力端及び前記第 7 スイッチ (T 2) の出力端に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続される、請求項 6 に記載の液晶表示装置用 G O A 回路。

【請求項 8】

前記第 N ステージの第 2 クロック信号 (X C K (N)) と前記第 N ステージの第 1 クロック信号 (C K (N)) とは、互いに逆方向信号である、請求項 7 に記載の液晶表示装置用 G O A 回路。

10

【請求項 9】

前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、第 9 スイッチ (T 3) 及び第 1 0 スイッチ (T 1 0) を備え、

前記第 9 スイッチ (T 3) は、その制御端及び前記第 1 スイッチ (T 9) の入力端がそれぞれ低定電圧源 (V G L) に接続され、出力端が前記ゲート信号点 (Q (N)) に接続され、

前記第 1 0 スイッチ (T 1 0) は、その制御端が前記第 1 スイッチ (T 9) の制御端に接続され、その入力端が前記第 6 スイッチ (T 1) の出力端及び前記第 7 スイッチ (T 2) の出力端に接続され、その出力端が前記第 9 スイッチ (T 3) の入力端に接続される、請求項 6 に記載の液晶表示装置用 G O A 回路。

20

【請求項 1 0】

前記第 1 0 スイッチ (T 1 0) の制御端及び前記第 1 スイッチ (T 9) の制御端は共に接続されることによって前記第 N ステージの第 2 クロック信号 (X C K (N)) を受信する、請求項 9 に記載の液晶表示装置用 G O A 回路。

【請求項 1 1】

前記プルアップ回路 (2 0 0) は第 8 スイッチ (T 4) を備え、

前記第 8 スイッチ (T 4) は、その制御端が前記ゲート信号点 (Q (N)) に接続され、その入力端が前記第 N ステージの第 1 クロック信号 (C K (N)) に接続され、その出力端が前記第 N ステージ走査線 (G (N)) に接続される、請求項 5 に記載の液晶表示装置用 G O A 回路。

30

【請求項 1 2】

前記ブートストラップコンデンサ回路 (3 0 0) は、第 2 コンデンサ (C 1) を備え、

前記第 2 コンデンサ (C 1) は、その両端がそれぞれ前記ゲート信号点 (Q (N)) 及び前記第 N ステージ走査線 (G (N)) に接続される、請求項 5 に記載の液晶表示装置用 G O A 回路。

【請求項 1 3】

前記第 2 スイッチ (T 8) の入力端は、前記高定電圧源 (V G H) に接続される、請求項 5 に記載の液晶表示装置用 G O A 回路。

40

【請求項 1 4】

前記第 N ステージシフトレジスタは、プルダウン制御回路 (6 0 0) をさらに備え、前記プルダウン制御回路 (6 0 0) は、第 1 1 スイッチ (T 1 1) 及び第 1 2 スイッチ (T 1 2) を備え、

前記第 1 1 スイッチ (T 1 1) は、その制御端がダウンロード制御信号 (U 2 D) を受信し、その入力端が第 2 正方向クロック信号 (X C K F) を受信し、その出力端が前記プルダウン保持回路 (5 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続され、

前記第 1 2 スイッチ (T 1 2) は、その制御端がアップロード制御信号 (D 2 U) を受信し、その入力端が第 2 逆方向クロック信号 (X C K R) を受信し、その出力端が前記プ

50

ルダウン保持回路(500)及び前記ゲート信号点(Q)漏電防止回路(400)に接続される、請求項5に記載の液晶表示装置用GOA回路。

【請求項15】

前記第11スイッチ(T11)の出力端、前記第12スイッチ(T12)の出力端及び前記第1スイッチ(T9)の制御端は共に接続される、請求項14に記載の液晶表示装置用GOA回路。

【請求項16】

前記第2スイッチ(T8)の入力端は、前記第1スイッチ(T9)の制御端に接続される、請求項15に記載の液晶表示装置用GOA回路。

【請求項17】

前記プルダウン保持回路(500)は、第13スイッチ(T13)をさらに備え、前記第13スイッチ(T13)は、その制御端が前記ゲート信号点(Q(N))に接続され、その入力端が前記第1スイッチ(T9)の制御端に接続され、その出力端が前記第1回路点(P(N))に接続される、請求項15に記載の液晶表示装置用GOA回路。

10

【請求項18】

前記プルダウン保持回路(500)は、第14スイッチ(T14)をさらに備え、前記第14スイッチ(T14)は、その制御端が第N-1ステージの第2クロック信号(XCK(N-1))を受信し、その入力端が前記第4スイッチ(T6)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続される、請求項15に記載の液晶表示装置用GOA回路。

20

【請求項19】

前記プルダウン保持回路(500)は、第14スイッチ(T14)をさらに備え、前記第14スイッチ(T14)は、その制御端が第N-2ステージの第2クロック信号(XCK(N-2))を受信し、その入力端が前記第4スイッチ(T6)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続される、請求項15に記載の液晶表示装置用GOA回路。

【請求項20】

前記第1~第14スイッチは、PMOSトランジスタである、請求項1~19のいずれか一項に記載の液晶表示装置用GOA回路。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は液晶表示技術の分野に関し、特に、LTPS(Low-Temperature Poly-Si)に基づくPMOS(P-channel Metal Oxide Semiconductor)の液晶表示装置用GOA(Gate Driver On Array、アレイ基板行走査駆動)回路に関する。

【背景技術】

【0002】

GOAとは、既存の薄膜トランジスタ液晶ディスプレイのアレイ(Array)製造工程を利用して、ゲート(Gate)行走査駆動信号回路をアレイ基板上に作成して、ゲートに対する順次走査の駆動方式を実現する技術である。

40

【0003】

低温ポリシリコン半導体(LTPS)薄膜トランジスタ(TFT)の発展に伴い、LTPS半導体自体の超高キャリア移動度の特性のため、対応するパネル周辺集積回路、即ちGOAが注目されている。多くの人が、システム・オン・パネル(System on Panel、SOP)関連の技術研究に取り組み、この技術は徐々に現実のものになっている。LTPSによりイオン配置技術を用いてTFTの類型を調節することができるため、NMOS、PMOS又はCMOSの回路を選択することができる。しかし、CMOS及びNMOSのフォトマスクのコストはPMOSを大幅に上回り、且つCMOSの回路構造は複雑すぎるため、超狭額縁の設計は困難である。特に小サイズ表示装置の場合、これは

50

非常に重要である。PMOS回路は、コスト及び回路構造面で利点があるのため、主流となっている。さらに、回路の信号使用及び消費電力に関する考慮事項は、GOA回路にとって重要な考慮事項であるため、LTPS回路を設計するとき、このような問題を考慮する必要がある。そして、小サイズ製品の走査特性、正逆方向走査、及び正逆方向制御がより重要であることを考慮する前提として、LTPSに基づくPMOSのGOA回路は、上記の問題を解決するために非常に役立つ。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の目的は、LTPSに基づくPMOSの液晶表示装置用GOA回路を提供することである。

10

【課題を解決するための手段】

【0005】

上記目的を実現するために、本発明は、液晶表示装置用GOA回路を提供する。前記液晶表示装置は複数の走査線を備え、前記GOA回路は、カスケード接続された複数のシフトレジスタを備える。第Nステージシフトレジスタは、第Nステージ走査線に対する充電を制御する。この第Nステージシフトレジスタは、正逆方向走査制御回路、プルアップ回路、ブートストラップコンデンサ回路、ゲート信号点漏電防止回路及びプルダウン保持回路を備える。

【0006】

20

プルダウン保持回路は、前記第Nステージ走査線に接続される。ブートストラップコンデンサ回路は、前記プルダウン保持回路に接続される。ゲート信号点漏電防止回路は、前記ブートストラップコンデンサ回路に接続される。正逆方向走査制御回路は、前記ゲート信号点漏電防止回路に接続される。プルアップ回路は、前記ブートストラップコンデンサ回路に接続される。

【0007】

前記ブートストラップコンデンサ回路、前記ゲート信号点漏電防止回路及び前記プルダウン保持回路は共に接続されてゲート信号点を構成する。

【0008】

前記プルアップ回路、前記ブートストラップコンデンサ回路及び前記ゲート信号点漏電防止回路は、それぞれ前記第Nステージ走査線に接続される。前記正逆方向走査制御回路はそれぞれ第N-1ステージ走査線及び第N+1ステージ走査線に接続される。

30

【0009】

前記プルダウン保持回路は、第1スイッチ、第2スイッチ、第3スイッチ、第4スイッチ、第5スイッチ、及び第1コンデンサを備える。第1スイッチは、その制御端が前記ゲート信号点漏電防止回路に接続され、その出力端が第1回路点に接続される。第2スイッチは、その制御端がゲート信号点に接続され、その出力端が前記第1回路点に接続される。第3スイッチは、その制御端が前記第1回路点に接続され、その入力端が高定電圧源に接続され、その出力端が前記第Nステージ走査線に接続される。第4スイッチは、その制御端が前記第1回路点に接続され、その入力端が前記高定電圧源に接続される。第5スイッチは、その制御端が第Nステージの第1クロック信号を受信し、その入力端が前記第4スイッチの出力端に接続され、その出力端が前記ゲート信号点に接続される。第1コンデンサは、その両端がそれぞれ前記高定電圧源及び前記第1回路点に接続される。

40

【0010】

一実施例において、前記正逆方向走査制御回路は、第6スイッチ及び第7スイッチを備える。

【0011】

第6スイッチは、その制御端がダウンロード制御信号を受信し、その入力端が前記第N-1ステージ走査線に接続され、その出力端が前記ゲート信号点漏電防止回路に接続される。

50

【 0 0 1 2 】

第7スイッチは、その制御端がアップロード制御信号を受信し、その入力端が前記第N + 1ステージ走査線に接続され、その出力端が前記第5スイッチの出力端及び前記ゲート信号点漏電防止回路に共に接続される。

【 0 0 1 3 】

－実施例において、前記ゲート信号点漏電防止回路は、第9スイッチを備える。

【 0 0 1 4 】

第9スイッチは、その制御端が前記第1スイッチの制御端及び前記第1スイッチの入力端に共に接続されることによって第Nステージの第2クロック信号を受信し、その入力端が前記第6スイッチの出力端及び前記第7スイッチの出力端に接続され、その出力端が前記ゲート信号点に接続される。

10

【 0 0 1 5 】

－実施例において、前記ゲート信号点漏電防止回路は、第9スイッチ及び第10スイッチを備える。

【 0 0 1 6 】

第9スイッチは、その制御端及び前記第1スイッチの入力端がそれぞれ低定電圧源に接続され、出力端が前記ゲート信号点に接続される。

【 0 0 1 7 】

第10スイッチは、その制御端が前記第1スイッチの制御端に接続され、その入力端が前記第6スイッチの出力端及び前記第7スイッチの出力端に接続され、その出力端が前記第9スイッチの入力端に接続される。

20

【 0 0 1 8 】

－実施例において、前記第10スイッチの制御端及び前記第1スイッチの制御端は共に接続されることによって前記第Nステージの第2クロック信号を受信する。

【 0 0 1 9 】

－実施例において、前記プルアップ回路は第8スイッチを備える。

【 0 0 2 0 】

第8スイッチは、その制御端が前記ゲート信号点に接続され、その入力端が前記第Nステージの第1クロック信号に接続され、その出力端が前記第Nステージ走査線に接続される。

30

【 0 0 2 1 】

－実施例において、前記ブートストラップコンデンサ回路は第2コンデンサを備える。

【 0 0 2 2 】

第2コンデンサは、その両端がそれぞれ前記ゲート信号点及び前記第Nステージ走査線に接続される。

【 0 0 2 3 】

－実施例において、前記第2スイッチの入力端は前記高定電圧源に接続される。

【 0 0 2 4 】

－実施例において、前記第Nステージシフトレジスタはプルダウン制御回路をさらに備え、前記プルダウン制御回路は、第11スイッチ及び第12スイッチを備える。

40

【 0 0 2 5 】

第11スイッチは、その制御端がダウンロード制御信号を受信し、その入力端が第2正方向クロック信号を受信し、その出力端が前記プルダウン保持回路及び前記ゲート信号点漏電防止回路に接続される。

【 0 0 2 6 】

第12スイッチは、その制御端がアップロード制御信号を受信し、その入力端が第2逆方向クロック信号を受信し、その出力端が前記プルダウン保持回路及び前記ゲート信号点漏電防止回路に接続される。

【 0 0 2 7 】

－実施例において、前記第11スイッチの出力端、前記第12スイッチの出力端及び前

50

記第 1 スイッチの制御端は共に接続される。

【 0 0 2 8 】

一実施例において、前記第 2 スイッチの入力端は前記第 1 スイッチの制御端に接続される。

【 0 0 2 9 】

一実施例において、前記プルダウン保持回路は第 1 3 スイッチを更に備える。

【 0 0 3 0 】

第 1 3 スイッチは、その制御端が前記ゲート信号点に接続され、その入力端が前記第 1 スイッチの制御端に接続され、その出力端が前記第 1 回路点に接続される。

【 0 0 3 1 】

一実施例において、前記プルダウン保持回路は第 1 4 スイッチをさらに備える。

【 0 0 3 2 】

第 1 4 スイッチは、その制御端が第 N - 1 ステージの第 2 クロック信号を受信し、その入力端が前記第 4 スイッチの出力端に接続され、その出力端が前記ゲート信号点に接続される。

【 0 0 3 3 】

一実施例において、前記プルダウン保持回路は第 1 4 スイッチをさらに備える。

【 0 0 3 4 】

第 1 4 スイッチは、その制御端が第 N - 2 ステージの第 2 クロック信号を受信し、その入力端が前記第 4 スイッチの出力端に接続され、その出力端が前記ゲート信号点に接続される。

【 0 0 3 5 】

一実施例において、前記第 N ステージの第 2 クロック信号と前記第 N ステージの第 1 クロック信号とは互いに逆方向信号である。

【 0 0 3 6 】

一実施例において、前記第 1 ~ 第 1 4 スイッチは P M O S トランジスタである。

【 発明の効果 】

【 0 0 3 7 】

本発明の上記の技術的手段によれば、有益な技術的效果は以下のとおりである。

【 0 0 3 8 】

1 . L T P S に基づく P M O S G O A 回路を設計する。

【 0 0 3 9 】

2 . 正逆方向走査及び正逆方向制御の機能を有し、表示装置の様々な駆動形式を保證することができ、回路の長時間操作の安定性を保證することができる。

【 0 0 4 0 】

3 . 前記第 1 クロック信号、前記第 2 クロック信号及び前記第 1 コンデンサの組み合わせにより、前記ゲート信号点と前記第 N ステージ走査線のプルダウン保持機能を実現することができる。このような完璧な組み合わせによって、回路中の信号線の使用及びスイッチの数を低減する。同時に、前記第 2 スイッチの入力端と前記第 1 2 スイッチの入力端の接続によって、プルダウン保持回路の機能を改善する。

【 0 0 4 1 】

4 . 直流低電位を、非作用期間の前記第 1 回路点の保持のために用い、前記ゲート信号点と前記第 N ステージ走査線のリップル (R i p p l e) の除去を保證する。

【 0 0 4 2 】

5 . 常開の前記第 9 スイッチを設置することによって、回路漏電を調節して、回路を安定させる効果を得る。

【 図面の簡単な説明 】

【 0 0 4 3 】

【 図 1 】 本発明の第 1 の好ましい実施例の G O A 回路の模式図である。

【 図 2 】 本発明の第 2 の好ましい実施例の G O A 回路の模式図である。

10

20

30

40

50

- 【図3】本発明の第3の好ましい実施例のGOA回路の模式図である。
 【図4】本発明の第4の好ましい実施例のGOA回路の模式図である。
 【図5】本発明の第5の好ましい実施例のGOA回路の模式図である。
 【図6】本発明の第6の好ましい実施例のGOA回路の模式図である。
 【図7】本発明の第7の好ましい実施例のGOA回路の模式図である。
 【図8】図1～図5のGOA回路が逆方向走査するときの信号の波形模式図である。
 【図9】図1～図5のGOA回路が正方向走査するときの信号の波形模式図である。
 【図10】図6～図7のGOA回路が逆方向走査するときの信号の波形模式図である。
 【図11】図6～図7のGOA回路が正方向走査するときの信号の波形模式図である。
 【発明を実施するための形態】

10

【0044】

下記では、各実施例と図面を用いて、例を上げる方法で本発明の実施可能な実施例を説明する。本発明に開示されている方向の用語、例えば、「上」、「下」、「前」、「後」、「左」、「右」、「内」、「外」、「側面」等は、本発明の図面での方向を参照するためのものである。そのため、本明細書で使用される方向の用語は、本発明を説明、理解させるためのものであり、本発明を制限するものではない。

【0045】

図1は、本発明の第1の好ましい実施例のGOA回路の模式図である。前記GOA回路は、液晶表示装置に用いられる。前記液晶表示装置は、複数の走査線を備える。前記GOA回路は、カスケード接続された複数のシフトレジスタを備える。第Nステージシフトレジスタは、第Nステージ走査線に対する充電を制御する。この第Nステージシフトレジスタは、正逆方向走査制御回路(100)、プルアップ回路(200)、ブートストラップコンデンサ回路(300)、ゲート信号点(Q)漏電防止回路(400)及びプルダウン保持回路(500)を備える。

20

【0046】

プルダウン保持回路(500)は、前記第Nステージ走査線(G(N))に接続される。ブートストラップコンデンサ回路(300)は、前記プルダウン保持回路(500)に接続される。ゲート信号点(Q)漏電防止回路(400)は、前記ブートストラップコンデンサ回路(300)に接続される。正逆方向走査制御回路(100)は、前記ゲート信号点(Q)漏電防止回路に接続される。プルアップ回路(200)は、前記ブートストラップコンデンサ回路(300)に接続される。

30

【0047】

前記ブートストラップコンデンサ回路(300)、前記ゲート信号点(Q)漏電防止回路(400)及び前記プルダウン保持回路(500)は共に接続されてゲート信号点(Q(N))を構成する。

【0048】

前記前記プルアップ回路(200)、前記ブートストラップコンデンサ回路(300)及び前記ゲート信号点(Q)漏電防止回路(400)は、それぞれ前記第Nステージ走査線(G(N))に接続される。前記正逆方向走査制御回路(100)はそれぞれ第N-1ステージ走査線(G(N-1))及び第N+1ステージ走査線(G(N+1))に接続される。

40

【0049】

前記プルダウン保持回路(500)は、第1スイッチ(T9)、第2スイッチ(T8)、第3スイッチ(T7)、第4スイッチ(T6)、第5スイッチ(T5)、及び第1コンデンサ(C2)を備える。第1スイッチ(T9)は、その制御端が前記ゲート信号点(Q)漏電防止回路(400)に接続され、その出力端が第1回路点(P(N))に接続される。第2スイッチ(T8)は、その制御端がゲート信号点(Q(N))に接続され、その出力端が前記第1回路点(P(N))に接続される。前記第2スイッチ(T8)の入力端は、前記高定電圧源(VGH)に接続される。第3スイッチ(T7)は、その制御端が前記第1回路点(P(N))に接続され、その入力端が高定電圧源(VGH)に接続され、

50

その出力端が前記第 N ステージ走査線 (G (N)) に接続される。第 4 スイッチ (T 6) は、その制御端が前記第 1 回路点 (P (N)) に接続され、その入力端が前記高定電圧源 (V G H) に接続される。第 5 スイッチ (T 5) は、その制御端が第 N ステージの第 1 クロック信号 (C K (N)) を受信し、その入力端が前記第 4 スイッチ (T 6) の出力端に接続され、その出力端が前記ゲート信号点 (Q (N)) に接続される。第 1 コンデンサ (C 2) は、その両端がそれぞれ前記高定電圧源 (V G H) 及び前記第 1 回路点 (P (N)) に接続される。

【 0 0 5 0 】

前記正逆方向走査制御回路 (1 0 0) は、第 6 スイッチ (T 1) 及び第 7 スイッチ (T 2) を備える。前記第 6 スイッチ (T 1) は、その制御端がダウンロード制御信号 (U 2 D) を受信し、その入力端が前記第 N - 1 ステージ走査線 (G (N - 1)) に接続され、その出力端が前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続される。前記第 7 スイッチ (T 2) は、その制御端がアップロード制御信号 (D 2 U) を受信し、その入力端が前記第 N + 1 ステージ走査線 (G (N + 1)) に接続され、その出力端が前記第 5 スイッチ (T 1) の出力端及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に共に接続される。前記正逆方向走査制御回路 (1 0 0) は、前記 G O A 回路の正逆方向走査及びプルアップ信号の制御を担当し、回路の内部において回路のステージ間の伝送を担当する。

10

【 0 0 5 1 】

前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は第 9 スイッチ (T 3) を備え、前記第 9 スイッチ (T 3) の制御端は、前記第 1 スイッチ (T 9) の制御端及び入力端に共に接続されることによって、第 N ステージの第 2 クロック信号 (X C K (N)) を受信する。第 9 スイッチ (T 3) の入力端は、前記第 6 スイッチ (T 1) の出力端及び前記第 7 スイッチ (T 2) の出力端に接続され、その出力端は前記ゲート信号点 (Q (N)) に接続される。前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、前記ゲート信号点 (Q (N)) 電位漏電の問題を防止すると同時に、非作用期間において、前記ゲート信号点 (Q (N)) の電位を調節することを担当する。

20

【 0 0 5 2 】

前記プルアップ回路 (2 0 0) は第 8 スイッチ (T 4) を備える。第 8 スイッチ (T 4) は、その制御端が前記ゲート信号点 (Q (N)) に接続され、その入力端が前記第 N ステージの第 1 クロック信号 (C K (N)) に接続され、その出力端が前記第 N ステージ走査線 (G (N)) に接続される。前記プルアップ回路 (2 0 0) は、前記第 N ステージの第 1 クロック信号 (C K (N)) を出力し、前記ゲート信号点 (Q (N)) の電位を合理的に制御した後、必要な前記第 N ステージ走査線 (G (N)) の信号を効果的に出力することを担当する。

30

【 0 0 5 3 】

前記ブートストラップコンデンサ回路 (3 0 0) は第 2 コンデンサ (C 1) を備える。第 2 コンデンサ (C 1) は、その両端がそれぞれ前記ゲート信号点 (Q (N)) 及び前記第 N ステージ走査線 (G (N)) に接続される。前記ブートストラップコンデンサ回路 (3 0 0) は、回路の前記ゲート信号点 (Q (N)) の電位を上げ、前記第 N ステージの第 1 クロック信号 (C K (N)) の順調な出力を保證することを担当する。前記ゲート信号点 (Q (N)) の電位処理は、前記 G O A 回路のキーポイントとなり、回路の性能及びパネルの表示を直接決定する。

40

【 0 0 5 4 】

本好ましい実施例では、第 N ステージの第 1 クロック信号 (C K (N)) 及び第 N ステージの第 2 クロック信号 (X C K (N)) により、前記 G O A 回路のプルダウンを保持する。

【 0 0 5 5 】

図 2 は、本発明の第 2 の好ましい実施例の G O A 回路の模式図である。本好ましい実施例は、第 1 の好ましい実施例との相違点が以下のとおりである。前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) は、第 1 0 スイッチ (T 1 0) をさらに備える。また、前記第 1

50

スイッチ (T 9)、前記第 9 スイッチ (T 3) の接続方式も異なる。前記第 9 スイッチ (T 3) は、その制御端及び前記第 1 スイッチ (T 9) の入力端がそれぞれ低定電圧源 (V G L) に接続され、出力端が前記ゲート信号点 (Q (N)) に接続される。前記第 10 スイッチ (T 10) は、その制御端が前記第 1 スイッチ (T 9) の制御端に接続され、その入力端が前記第 6 スイッチ (T 1) の出力端及び前記第 7 スイッチ (T 2) の出力端に接続され、その出力端が前記第 9 スイッチ (T 3) の入力端に接続される。前記第 1 スイッチ (T 9) の入力端及び前記第 9 スイッチ (T 3) は共に低定電圧源 (V G L) に接続される。前記第 10 スイッチ (T 10) の制御端及び前記第 1 スイッチ (T 9) の制御端は共に接続されることによって前記第 N ステージの第 2 クロック信号 (X C K (N)) を受信する。

10

【 0 0 5 6 】

本の好ましい実施例では、前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) において前記第 10 スイッチ (T 10) を設置し回路の一部を変更し、さらに、漏電問題を改善し前記ゲート信号点 (Q (N)) の波形異常の問題を解消する。

【 0 0 5 7 】

図 3 は、本発明の第 3 の好ましい実施例の G O A 回路の模式図である。本好ましい実施例は、第 2 の好ましい実施例との相違点が以下のとおりである。前記第 N ステージシフトレジスタは、プルダウン制御回路 (6 0 0) をさらに備える。前記プルダウン制御回路 (6 0 0) は、第 11 スイッチ (T 11) 及び第 12 スイッチ (T 12) を備える。第 11 スイッチ (T 11) は、その制御端がダウロード制御信号 (U 2 D) を受信し、その入力端が第 2 正方向クロック信号 (X C K F) を受信し、その出力端が前記プルダウン保持回路 (5 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続される。第 12 スイッチ (T 12) は、その制御端がアップロード制御信号 (D 2 U) を受信し、その入力端が第 2 逆方向クロック信号 (X C K R) を受信し、その出力端が前記プルダウン保持回路 (5 0 0) 及び前記ゲート信号点 (Q) 漏電防止回路 (4 0 0) に接続される。前記プルダウン制御回路 (6 0 0) は、回路の保持段階のプルダウンを担当し、正逆方向の制御構造の独立を維持し、前記第 N ステージ走査線 (G (N)) のカスケード伝送 (C a s c a d e t r a n s f e r) を担当する。

20

【 0 0 5 8 】

本好ましい実施例において、前記プルダウン保持回路 (5 0 0) は、1組の互いに逆となる前記第 N ステージの第 1 クロック信号 (C K (N)) 及び前記第 N ステージの第 2 クロック信号 (X C K (N)) の信号を用いて作用する。前記第 2 正方向クロック信号 (X C K F) 及び前記第 2 逆方向クロック信号 (X C K R) は、第 1 段階において、前記低定電圧源 (V G L) を前記第 4 スイッチ (T 6) 及び前記第 3 スイッチ (T 7) の制御端に導入し、前記第 1 コンデンサ (C 2) により低電位を記憶する。このときの前記第 5 スイッチ (T 5) はオフ状態となる。前記第 N ステージの第 1 クロック信号 (C K (N)) が低電位であるときにだけ、前記第 5 スイッチ (T 5)、前記第 4 スイッチ (T 6) は連通路を形成し、前記 G O A 回路の前記ゲート信号点 (Q (N)) をプルダウンする。このように、前記第 2 正方向クロック信号 (X C K F) 及び前記第 2 逆方向クロック信号 (X C K R) と前記第 1 コンデンサ (C 2) との組み合わせは、前記ゲート信号点 (Q (N)) と前記第 N ステージ走査線 (G (N)) の高電位を良好的に保持し、前記 G O A 回路の正常出力を保証することができる。

30

40

【 0 0 5 9 】

図 4 は、本発明の第 4 の好ましい実施例の G O A 回路の模式図である。本好ましい実施例は、第 3 の好ましい実施例との相違点が以下のとおりである。前記第 2 スイッチ (T 8) は、前記高定電圧源 (V G H) に接続されておらず、前記第 1 スイッチ (T 9) の制御端に接続される。

【 0 0 6 0 】

本好ましい実施例では、作用期間において、前記第 2 正方向クロック信号 (X C K F) 及び前記第 2 逆方向クロック信号 (X C K R) の高電位を前記第 4 スイッチ (T 6) 及び

50

前記第3スイッチ(T7)の制御端に導入することにより、前記第4スイッチ(T6)及び前記第3スイッチ(T7)を良好的にオフし、漏電を回避することができる。

【0061】

図5は、本発明の第5の好ましい実施例のGOA回路の模式図である。本好ましい実施例は、第3の好ましい実施例との相違点が以下のとおりである。前記プルダウン保持回路(500)は、第13スイッチ(T13)をさらに備える。第13スイッチ(T13)は、その制御端が前記ゲート信号点(Q(N))に接続され、その入力端が前記第1スイッチ(T9)の制御端に接続され、その出力端が前記第1回路点(P(N))に接続される。

【0062】

本好ましい実施例では、前記第13スイッチ(T13)を追加し、回路の出力期間において、前記第4スイッチ(T6)及び前記第3スイッチ(T7)の制御端を高電位にプルする効用を強化して、前記GOAの回路性能をさらに強化する。

【0063】

図6は、本発明の第6の好ましい実施例のGOA回路の模式図である。本好ましい実施例は、第3の好ましい実施例との相違点が以下のとおりである。前記プルダウン保持回路(500)は、第14スイッチ(T14)をさらに備える。第14スイッチ(T14)は、その制御端が第N-1ステージの第2クロック信号(XCK(N-1))を受信し、その入力端が前記第4スイッチ(T6)の出力端に接続され、その出力端が前記ゲート信号点(Q(N))に接続される。

【0064】

本好ましい実施例では、前記第14スイッチ(T14)を追加し、回路の出力期間において、前記第4スイッチ(T6)及び前記第3スイッチ(T7)の制御端を低電位にプルする効用を強化して、前記GOAの回路性能をさらに強化する。プルダウンの時間の延長を保証し、プルダウンの機能を強化する。

【0065】

図7は、本発明の第7の好ましい実施例のGOA回路の模式図である。本好ましい実施例は、第6の好ましい実施例との相違点が以下のとおりである。前記第14スイッチ(T14)の制御端は、第N-2ステージの第2クロック信号(XCK(N-2))を受信する。

【0066】

本好ましい実施例では、第14スイッチ(T14)の制御端の改良により、回路の出力期間において、前記第4スイッチ(T6)及び前記第3スイッチ(T7)の制御端を低電位にプルする効用を強化し、波形をずらしてプルダウンして、前記GOAの回路性能をさらに強化する。プルダウンの時間の延長を保証し、プルダウンの機能を強化する。

【0067】

図1～図8において、前記第1～第14スイッチは、PMOSFTFである。その制御端はゲートを意味し、その入力端はソースを意味し、その出力端はドレインを意味する。

【0068】

図8及び図9を参照する。図8は、図1～図5のGOA回路が逆方向走査するときの信号の波形模式図である。図9は、図1～図5のGOA回路が正方向走査するときの信号の波形模式図である。アップロード制御信号(D2U)は逆方向走査の制御信号であり、ダウンロード制御信号(U2D)は正方向走査の制御信号であり、これらはそれぞれ正逆走査機能の開始を担当する。

【0069】

第Nステージの第1クロック信号(CK(N))及び第Nステージの第2クロック信号(XCK(N))は、前記GOA回路の信号出力、及び前記ゲート信号点(Q(N))の電位のプルダウン保持を担当し、1組の互いに逆となるClock信号である。

【0070】

高定電圧源(VGH)、低定電圧源(VGL)は、入力された定電圧制御信号であり、

10

20

30

40

50

高定電圧源 (VGH) は高電位であり、高定電圧源 (VGH) は定電圧低電位であり、前記GOA回路中の高低電位の提供を担当する必要がある。その他は、前記GOA回路のキートンで生成される出力信号である。

【0071】

図10及び図11を参照する。図10は、図6～図7のGOA回路が逆方向走査するときの信号の波形模式図である。図11は、図6～図7のGOA回路が正方向走査するときの信号の波形模式図である。アップロード制御信号(D2U)とダウンロード制御信号(U2D)は、正逆方向走査の制御信号であり、正逆走査機能の開始を担当し、4組の信号を用いて、対応する第Nステージの第1クロック信号(CK(N))と第Nステージの第2クロック信号(XCK(N))は、異なる回路技術により順序が相互に変更される。

10

【0072】

上述したように、本発明は好ましい実施例を挙げていたが、前記好ましい実施例は本発明を制限するものではなく、当業者にとって、本発明の精神と範囲から離れない前提で、いろんな更新と修飾を行うことができ、そのため、本発明の保護範囲は特許請求の範囲に記載されている技術特徴を基準にするべきである。

【図1】

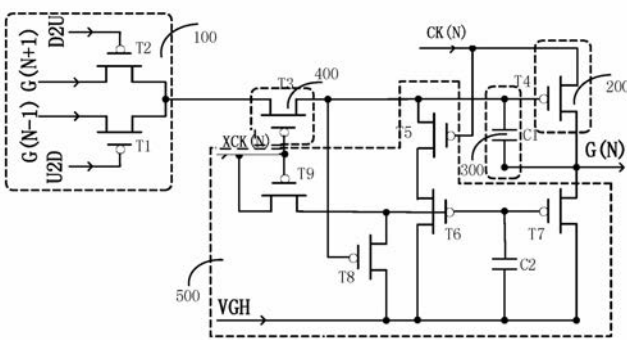


图 1

【図3】

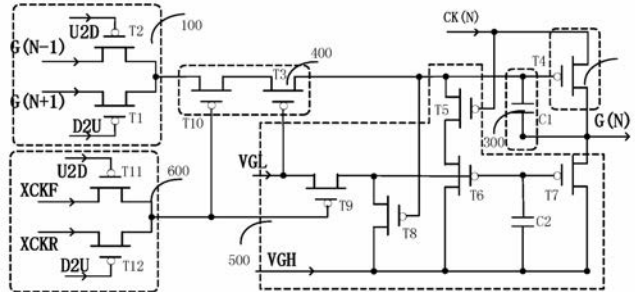


图 3

【図2】

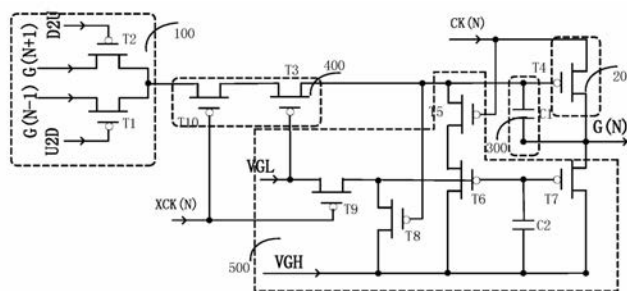


图 2

【図4】

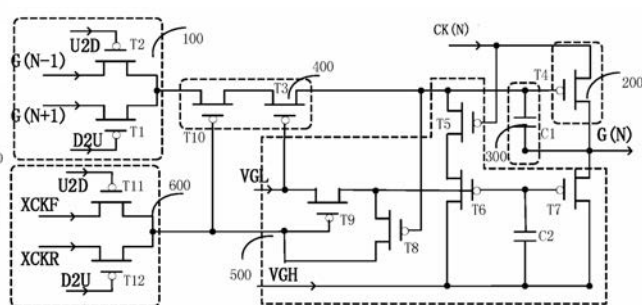


图 4

【 图 5 】

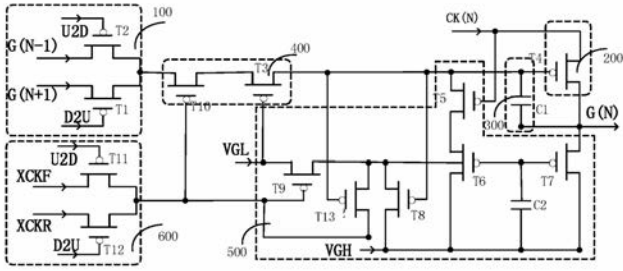


图 5

【 图 7 】

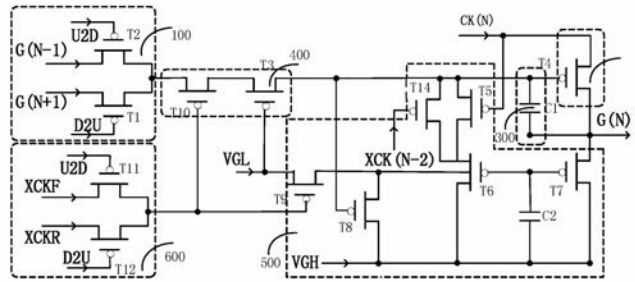


图 7

【 图 6 】

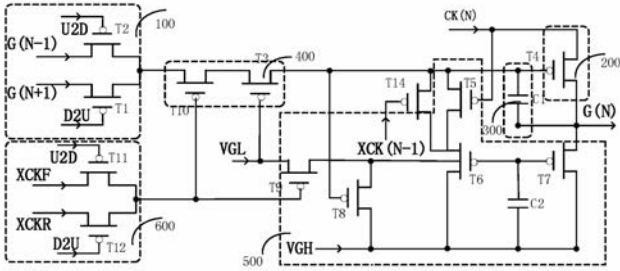


图 6

【 图 8 】

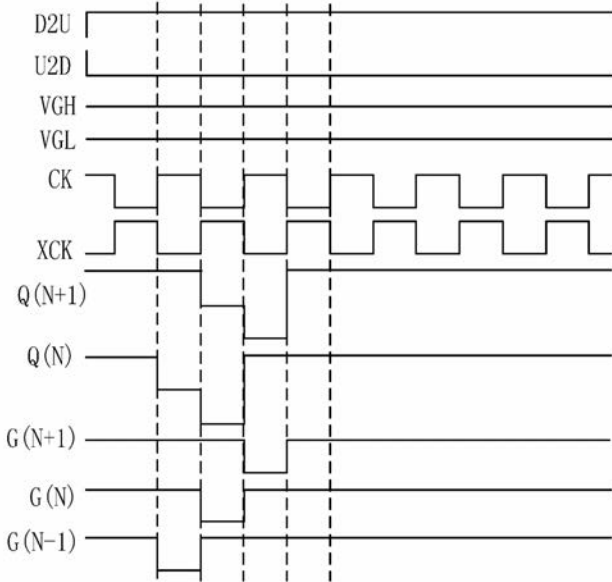


图 8

【 图 9 】

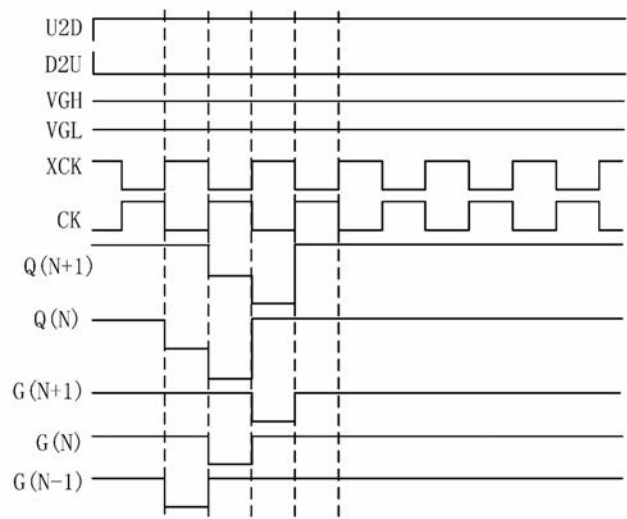


图 9

【 図 1 0 】

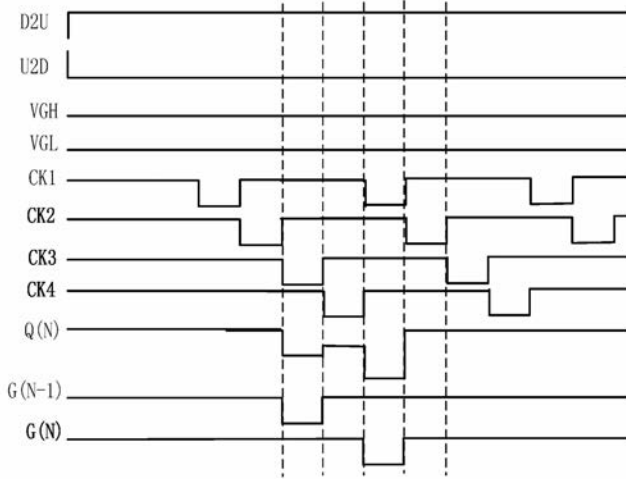


图 10

【 图 1 1 】

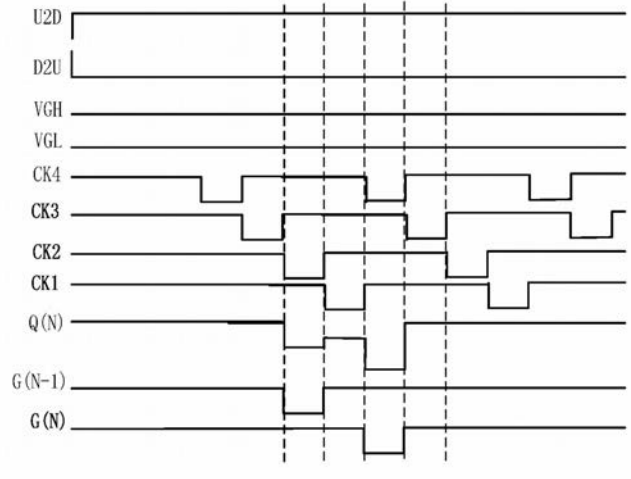


图 11

【 国际调查报告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2015/070318
A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/36 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09G 3, G02F, G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNTXT; CNABS; VEN: liquid crystal, LCD, GOA, shift register, array, substrate, line scan, capacitance, leakage, positive and negative, liquid crystal display, gate on array, pull up, pull down, bootstrap, capacitor, positive, reverse, scan, drain, maintain		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103680388 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 March 2014 (26.03.2014), description, paragraphs [0038], [0041]-[0042], and [0044]-[0045], and figure 1	1-20
A	CN 104078022 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 01 October 2014 (01.10.2014), the whole document	1-20
A	CN 103426414 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 December 2013 (04.12.2013), the whole document	1-20
A	CN 103680451 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 March 2014 (26.03.2014), the whole document	1-20
A	US 2004189585 A1 (SAMSUNG DISPLAY CO., LTD. et al.), 30 September 2004 (30.09.2004), the whole document	1-20
A	US 2011150169 A1 (AU OPTRONICS CORP.), 23 June 2011 (23.06.2011), the whole document	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 17 August 2015 (17.08.2015)		Date of mailing of the international search report 09 September 2015 (09.09.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer LIU, Shikui Telephone No.: (86-10) 62085842

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/070318

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103680388 A	26 March 2014	WO 2015096246 A1	02 July 2015
CN 104078022 A	01 October 2014	None	
CN 103426414 A	04 December 2013	WO 2015007031 A1	22 January 2015
CN 103680451 A	26 March 2014	WO 2015089914 A1	25 June 2015
US 2004189585 A1	30 September 2004	US 7319452 B2	15 January 2008
		JP 4854929 B2	18 January 2012
		JP 2004295126 A	21 October 2004
		KR 1022293 B	21 March 2011
		KR 20040086516 A	11 October 2004
		TW 200502908 A	16 January 2005
		TW I413965 B	01 November 2013
US 2011150169 A1	23 June 2011	TW 201123728 A	01 July 2011
		TW I384756 B	01 February 2013
		US 8098791 B2	17 January 2012

国际检索报告		国际申请号 PCT/CN2015/070318
A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3, G02F, G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT:CNABS;VEN:液晶, LCD, GOA, 移位寄存器, 阵列, 基板, 行扫描, 下拉, 维持, 上拉, 自举, 电容, 漏电, 正反, liquid crystal display, gate on array, pull up, pull down, bootstrap, capacitor, positive, reverse, scan, drain, maintain		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103680388 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 说明书第【0038】、【0041】-【0042】、【0044】-【0045】段, 图1	1-20
A	CN 104078022 A (深圳市华星光电技术有限公司) 2014年 10月 1日 (2014 - 10 - 01) 全文	1-20
A	CN 103426414 A (北京京东方光电科技有限公司) 2013年 12月 4日 (2013 - 12 - 04) 全文	1-20
A	CN 103680451 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-20
A	US 2004189585 A1 (SAMSUNG DISPLAY CO LTD等) 2004年 9月 30日 (2004 - 09 - 30) 全文	1-20
A	US 2011150169 A1 (AU OPTRONICS CORP) 2011年 6月 23日 (2011 - 06 - 23) 全文	1-20
<input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 8月 17日		国际检索报告邮寄日期 2015年 9月 9日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		受权官员 刘士奎 电话号码 (86-10)62085842

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/070318

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103680388	A	2014年 3月 26日	WO	2015096246	A1	2015年 7月 2日
CN	104078022	A	2014年 10月 1日	无			
CN	103426414	A	2013年 12月 4日	WO	2015007031	A1	2015年 1月 22日
CN	103680451	A	2014年 3月 26日	WO	2015089914	A1	2015年 6月 25日
US	2004189585	A1	2004年 9月 30日	US	7319452	B2	2008年 1月 15日
				JP	4854929	B2	2012年 1月 18日
				JP	2004295126	A	2004年 10月 21日
				KR	1022293	B	2011年 3月 21日
				KR	20040086516	A	2004年 10月 11日
				TW	200502908	A	2005年 1月 16日
US	2011150169	A1	2011年 6月 23日	TW	201123728	A	2011年 7月 1日
				TW	I384756	B	2013年 2月 1日
				US	8098791	B2	2012年 1月 17日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
G 1 1 C 19/28 2 3 0

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 5C006 BC03 BC20 BF03 BF06 BF34 BF37 BF46 FA31 FA33 FA36
FA41
5C080 AA10 DD09 DD12 DD22 DD29 FF11 FF12 JJ03 JJ04

专利名称(译)	液晶表示装置用GOA回路		
公开(公告)号	JP2018507426A	公开(公告)日	2018-03-15
申请号	JP2017533264	申请日	2015-01-08
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	肖軍城		
发明人	肖 軍城		
IPC分类号	G09G3/36 G09G3/20 G11C19/28		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2310/0286 G11C19/28 G09G2310/08 G09G2230/00 G09G2330/04		
FI分类号	G09G3/36 G09G3/20.670.E G09G3/20.622.E G09G3/20.670.J G09G3/20.670.M G11C19/28.230		
F-TERM分类号	5B074/BA02 5B074/CA01 5B074/DB01 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF06 5C006/BF34 5C006/BF37 5C006/BF46 5C006/FA31 5C006/FA33 5C006/FA36 5C006/FA41 5C080/AA10 5C080/DD09 5C080/DD12 5C080/DD22 5C080/DD29 5C080/FF11 5C080/FF12 5C080/JJ03 5C080/JJ04		
优先权	201410851563.1 2014-12-31 CN		
其他公开文献	JP6637981B2		
外部链接	Espacenet		

摘要(译)

一种用于液晶显示装置的阵列基板行扫描阵列 (GOA) 电路, 该液晶显示装置包括多条扫描线, 以及包括多个级联移位寄存器的GOA电路。第N级移位寄存器控制第N级扫描线 (G(N)) 的充电。第N级移位寄存器包括正向/反向扫描控制电路 (100), 上拉电路 (200), 自举电容电路 (300), 栅极信号点泄漏防止电路 (400) 和下拉保持电路。自举电容器电路 (300), 栅极信号点泄漏防止电路 (400) 和下拉保持电路 (500) 都连接在一起以形成栅极信号点 (Q), 从而栅极信号点的稳定性并减少了开关的使用。

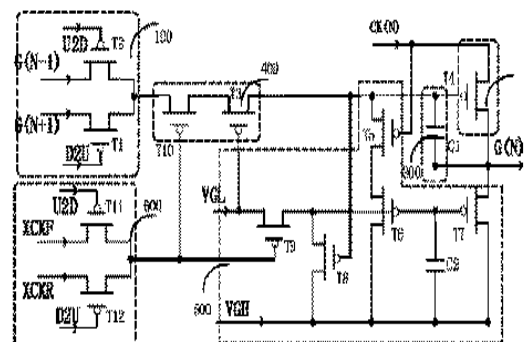


图 3 / Fig. 3