

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-159951

(P2018-159951A)

(43) 公開日 平成30年10月11日(2018.10.11)

|                                    |                |             |
|------------------------------------|----------------|-------------|
| (51) Int.Cl.                       | F I            | テーマコード (参考) |
| <b>G09G 3/36 (2006.01)</b>         | G09G 3/36      | 2H192       |
| <b>G09G 3/20 (2006.01)</b>         | G09G 3/20 611A | 2H193       |
| <b>G09F 9/30 (2006.01)</b>         | G09G 3/20 611G | 5C006       |
| <b>G02F 1/1368 (2006.01)</b>       | G09G 3/20 611E | 5C080       |
| <b>G02F 1/133 (2006.01)</b>        | G09G 3/20 611D | 5C094       |
| 審査請求 有 請求項の数 3 O L (全 42 頁) 最終頁に続く |                |             |

(21) 出願番号 特願2018-118405 (P2018-118405)  
 (22) 出願日 平成30年6月22日 (2018.6.22)  
 (62) 分割の表示 特願2013-245580 (P2013-245580)  
 の分割  
 原出願日 平成25年11月28日 (2013.11.28)  
 (31) 優先権主張番号 特願2012-262538 (P2012-262538)  
 (32) 優先日 平成24年11月30日 (2012.11.30)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 三宅 博之  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 2H192 AA24 BB13 BC31 CB05 CB37  
 CB52 CB56 DA12 DA15 DA43  
 DA65 EA22 EA43 EA67 GB61  
 GD61 JA32  
 2H193 ZA04 ZA07 ZA09 ZB02 ZB03  
 ZB07 ZB14 ZC02 ZC12 ZC15  
 ZC25 ZC26 ZD23 ZE01 ZF03  
 ZF13 ZF16 ZF21 ZF31 ZF59  
 ZF60 ZJ02 ZQ16  
 最終頁に続く

(54) 【発明の名称】 液晶表示装置

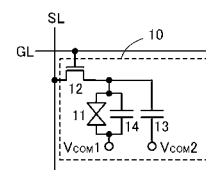
(57) 【要約】

【課題】フリッカの発生を防ぐ液晶表示装置

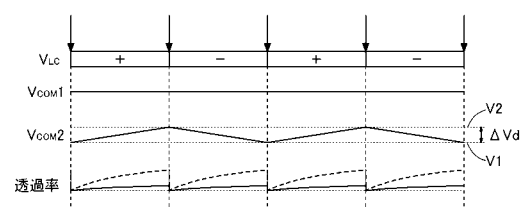
【解決手段】トランジスタと、トランジスタを介して互いに逆の極性を有する第1信号及び第2信号が交互に与えられる液晶素子と、第1電極及び第2電極を有する容量素子とを、複数の画素にそれぞれ有し、液晶素子は、絶縁膜を挟んで重なる領域を有する画素電極及び共通電極と、画素電極及び共通電極上の液晶層と、を有し、共通電極は複数の画素間で電氣的に接続されており、容量素子が有する第1電極は、画素電極に電氣的に接続されており、第1信号が液晶素子に与えられた後、第2信号が液晶素子に与えられるまでの間に、液晶層に加わる電圧の変化が小さくなるように、第2電極の電位を、高さの異なる第1の電位と第2の電位の間で変化させる。

【選択図】 図1

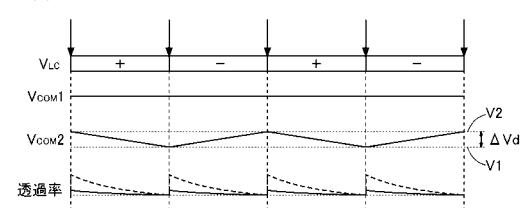
(A)



(B)



(C)



## 【特許請求の範囲】

## 【請求項 1】

トランジスタと、液晶素子と、容量素子と、を有し、

前記液晶素子は、絶縁膜を介して重なる領域を有する画素電極及び共通電極と、前記画素電極上及び前記共通電極上の液晶層と、を有し、

前記画素電極は、前記共通電極の開口部を介して、前記トランジスタのソース又はドレインの一方と電氣的に接続されており、

前記共通電極の開口部は、前記トランジスタのチャネル形成領域と重なっており、

前記トランジスタのチャネル形成領域は、前記共通電極と重なっておらず、

前記容量素子の第 1 の電極は、前記画素電極に電氣的に接続され、

10

前記容量素子の第 2 の電極は、第 1 の配線に電氣的に接続される液晶表示装置であって

、  
前記トランジスタがオフの状態であり、かつ、前記液晶素子における透過率の変化が小さくなるように前記第 1 の配線に供給される電位が第 1 の電位と第 2 の電位との間で変化する期間を有する液晶表示装置。

## 【請求項 2】

トランジスタと、液晶素子と、容量素子と、を有し、

前記液晶素子は、絶縁膜を介して重なる第 1 の領域を有する画素電極及び共通電極と、前記画素電極上及び前記共通電極上の液晶層と、を有し、

前記画素電極は、前記共通電極の開口部を介して、前記トランジスタのソース又はドレインの一方と電氣的に接続されており、

20

前記共通電極の開口部は、前記トランジスタのチャネル形成領域と重なっており、

前記トランジスタのチャネル形成領域は、前記共通電極と重なっておらず、

前記容量素子の第 1 の電極は、前記画素電極に電氣的に接続され、

前記容量素子の第 2 の電極は、第 1 の配線に電氣的に接続され、

前記トランジスタのソース又はドレインとしての機能を有する第 1 の導電膜は、前記容量素子の第 1 の電極としての機能を有し、

前記容量素子の第 2 の電極としての機能を有する第 2 の導電膜は、前記トランジスタのゲート絶縁膜を介して前記第 1 の導電膜と重なる第 2 の領域を有し、

前記第 1 の領域は、前記第 2 の領域と重なる領域を有する液晶表示装置であって、

30

前記トランジスタがオフの状態であり、かつ、前記液晶素子における透過率の変化が小さくなるように前記第 1 の配線に供給される電位が第 1 の電位と第 2 の電位との間で変化する期間を有する液晶表示装置。

## 【請求項 3】

請求項 1 または請求項 2 において、

前記トランジスタは、チャネル形成領域に酸化物半導体を含む液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関する。特に、本発明は、アクティブマトリクス型の液晶表示装置に関する。

40

## 【背景技術】

## 【0002】

結晶性を有するシリコンによって得られる高い移動度と、非晶質シリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置や発光装置などで透光性を有する画素電極に用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られて

50

いる（特許文献１及び特許文献２）。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００７－１２３８６１号公報

【特許文献２】特開２００７－９６０５５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

ところで、半導体表示装置の性能を評価する上で低消費電力であることは重要なポイントの一つであるが、液晶表示装置も例外ではない。特に、携帯電話などの携帯型の電子機器だと、液晶表示装置の消費電力の高さは、連続使用時間の短縮化というデメリットに繋がるため、低消費電力化を図ることが強く要求される。

【０００５】

上述したような技術的背景のもと、本発明の一態様は、消費電力の低減を実現することができる液晶表示装置の提案を、課題の一つとする。

【課題を解決するための手段】

【０００６】

本発明の一態様に係る液晶表示装置では、画像信号の画素部への書き込みが停止した後も、画素部における画像の表示を維持するために、オフ電流が極めて小さい絶縁ゲート電界効果型トランジスタ（以下、単にトランジスタとする）を、画素に設ける。上記トランジスタを、画素が有する液晶素子への電圧の供給を制御するための素子として用いることで、液晶素子への電圧の供給が維持される期間を長く確保することができる。よって、静止画のように、連続する幾つかのフレーム期間に渡って、画素部に同じ画像情報を有する画像信号が繰り返し書き込まれる場合などは、画像信号の画素部への書き込みを一時的に停止することで、駆動周波数を低くしても、言い換えると一定期間内における画像信号の書き込み回数を少なくしても、画像の表示を維持することができる。

【０００７】

さらに、本発明の一態様に係る液晶表示装置では、液晶素子が、絶縁膜を挟んで重なる領域を有する画素電極及び共通電極と、上記画素電極及び共通電極から電界が加えられる液晶層と、を有するものとする。また、画素には、トランジスタ及び液晶素子に加えて容量素子が設けられており、当該容量素子が有する第１電極は、画素電極に電氣的に接続されている。そして、第１の極性を有する画像信号を画素に書き込んだ後、当該画素に第２の極性を有する画像信号を書き込むまでの間に、当該容量素子が有する第２電極を、高さの異なる第１の電位と第２の電位の間で推移させるものとする。

【発明の効果】

【０００８】

本発明の一態様により、消費電力の低減を実現することができる液晶表示装置を提供することができる。

【図面の簡単な説明】

【０００９】

【図１】画素の構成を示す図と、タイミングチャート。

【図２】パネルの構成を示す図。

【図３】タイミングチャート。

【図４】パネルの構成を示す図。

【図５】パネルの構成を示す図。

【図６】画素の接続構成を示す図。

【図７】液晶表示装置の構成を示す図。

【図８】電源回路に含まれる回路の構成を示す図。

【図９】タイミングチャート。

10

20

30

40

50

- 【図 1 0】画素の上面図。  
【図 1 1】パネルの断面図。  
【図 1 2】トランジスタの作製方法を示す図。  
【図 1 3】トランジスタの作製方法を示す図。  
【図 1 4】トランジスタの断面図。  
【図 1 5】トランジスタの断面図。  
【図 1 6】液晶表示装置の上面図と断面図。  
【図 1 7】画素の構成を示す図と、タイミングチャート。  
【図 1 8】電子機器の図。  
【図 1 9】液晶素子の断面構造を示す図と、等価回路を示す図。  
【図 2 0】液晶素子の断面構造を示す図と、等価回路を示す図。  
【図 2 1】電圧保持率と時間との関係を示すグラフ。  
【図 2 2】電圧と規格化透過率の関係を示すグラフ。  
【発明を実施するための形態】  
【0010】

10

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0011】

なお、本明細書において液晶表示装置とは、液晶素子が各画素に形成されたパネルと、駆動回路またはコントローラを含む IC 等を当該パネルに実装した状態にあるモジュールとを、その範疇に含む。さらに、本発明の一態様に係る液晶表示装置は、当該液晶表示装置を作製する過程における、液晶素子が完成する前の一形態に相当する素子基板をその範疇に含み、当該素子基板は、トランジスタと、液晶素子に用いられる画素電極及び共通電極と、容量素子とを、複数の各画素に備える。

【0012】

また、本発明の一態様に係る液晶表示装置には、指またはスタイラスなどが指し示した位置を検出し、その位置情報を含む信号を生成することができる位置入力装置であるタッチパネルが、構成要素に含まれていても良い。

30

【0013】

〈画素の構成例〉

図 1 (A) に、本発明の一態様に係る液晶表示装置の、画素の構成例を示す。図 1 (A) に示す画素 1 0 は、液晶素子 1 1 と、当該液晶素子 1 1 への画像信号の供給を制御するトランジスタ 1 2 と、容量素子 1 3 とを有する。

【0014】

液晶素子 1 1 は、画素電極と、共通電極と、画素電極と共通電極の間の電圧が印加される液晶材料を含んだ液晶層とを有している。そして、図 1 (A) では、液晶素子 1 1 が F F S (F r i n g e F i e l d S w i t c h i n g) モードである場合を示しており、画素電極と共通電極とが絶縁膜を挟んで重なる領域を有している。当該領域は、画素電極と共通電極の間に印加される電圧  $V_{LC}$  を保持するための容量としての機能を有する。図 1 (A) では、上記容量を容量素子 1 4 として、図示する。

40

【0015】

トランジスタ 1 2 は、配線 S L に入力される画像信号の電位を、液晶素子 1 1 の画素電極に与えるか否かを制御する。液晶素子 1 1 の共通電極には、所定の基準電位  $V_{COM1}$  が与えられている。

【0016】

以下、液晶素子 1 1 と、トランジスタ 1 2 と、容量素子 1 3 の、具体的な接続関係について説明する。

【0017】

50

なお、本明細書において接続とは電氣的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの素子を介して間接的に接続している状態も、その範疇を含む。

#### 【0018】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

10

#### 【0019】

また、トランジスタが有するソースとドレインは、トランジスタのチャネル型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

#### 【0020】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

20

#### 【0021】

図1(A)に示す画素10では、トランジスタ12のゲートが配線GLに電氣的に接続されている。トランジスタ12のソース及びドレインの一方は、配線SLに接続され、トランジスタ12のソース及びドレインの他方は、液晶素子11の画素電極に接続されている。そして、容量素子13は一对の電極を有しており、一方の電極は液晶素子11の画素電極に電氣的に接続されており、他方の電極には所定の電位 $V_{COM2}$ が与えられている。

30

#### 【0022】

なお、画素10は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

#### 【0023】

図1(A)では、画素10において、画像信号の画素10への入力を制御するスイッチとして、一のトランジスタ12を用いる場合を例示している。しかし、画素10において、複数のトランジスタを一のスイッチとして機能させても良い。複数のトランジスタが一のスイッチとして機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

#### 【0024】

なお、本明細書において、トランジスタが直列に接続されている状態とは、例えば、第1のトランジスタのソースまたはドレインの一方のみが、第2のトランジスタのソースまたはドレインの一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第1のトランジスタのソースまたはドレインの一方が第2のトランジスタのソースまたはドレインの一方に接続され、第1のトランジスタのソースまたはドレインの他方が第2のトランジスタのソースまたはドレインの他方に接続されている状態を意味する。

40

#### 【0025】

そして、本発明の一態様では、トランジスタ12のオフ電流が極めて小さいものとする。上記構成により、液晶素子11に与えられる電圧が保持される期間を長く確保することが

50

できる。そのため、静止画のように、連続する幾つかのフレーム期間に渡って、画素10に同じ画像情報を有する画像信号が書き込まれる場合などは、駆動周波数を低くする、言い換えると一定期間内における画素10への画像信号の書き込み回数を少なくしても、階調の表示を維持することができる。例えば、高純度化された酸化物半導体をチャネル形成領域に含むトランジスタ12を用いることで、画像信号の書き込みの間隔を10秒以上、好ましくは30秒以上、さらに好ましくは1分以上にすることができる。そして、画像信号が書き込まれる間隔を長くすればするほど、消費電力をより低減することができる。

#### 【0026】

また、画像信号の電位の極性を、共通電極の電位 $V_{COM1}$ を基準として反転させる反転駆動を行うことで、焼き付きと呼ばれる液晶材料の劣化を防ぐことができる。しかし、反転駆動を行うと、画像信号の極性が変化する際に配線SLに与えられる電位の変化が大きくなるため、スイッチとして機能するトランジスタ12のソースとドレインの電位差が大きくなる。よって、トランジスタ12は、閾値電圧がシフトするなどの特性劣化が生じやすい。特に、本発明の一態様のように、FFSモードなどの横電界方式の液晶表示装置の場合、正の極性の画像信号と負の極性の画像信号の電位差が、他のモードの液晶表示装置よりも大きい傾向にある。例えばTN液晶を液晶層に含んでいる場合だと、上記電位差が十数V程度であるのに対し、ブルー相を示す液晶を液晶層が含んでいる場合は、上記電位差が数十Vにも及ぶ。そのため、横電界方式の液晶表示装置の場合、上記電位差がより大きくなり、トランジスタ12の電気的特性の劣化が顕著に生じやすい。また、液晶素子11に保持されている電圧を維持するために、トランジスタ12には、ソースとドレインの電位差が大きくても、オフ電流が小さいことが要求される。トランジスタ12に、シリコンまたはゲルマニウムよりもバンドギャップが大きく、真性キャリア密度が低い酸化物半導体などの半導体を用いることで、トランジスタ12の耐圧性を高め、オフ電流を著しく小さくすることができる。よって、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタを用いた場合に比べて、トランジスタ12の劣化を防ぎ、液晶素子11に保持されている電圧を維持することができる。

#### 【0027】

なお、トランジスタ12を介してリークする電荷の量が少なくても、幾つかの要因により、画像信号の書き込みが終了した後に、液晶層にかかる電界が変化することがある。

#### 【0028】

液晶層にかかる電界を変化させる一因として、配向膜へのイオン性の不純物の吸着が挙げられる。液晶材料の中にはイオン性の不純物が含まれるが、当該不純物が配向膜に吸着すると、配向膜付近に残留DCと呼ばれる電界が発生するのである。不純物の吸着に起因する残留DCが発生すると、画像信号の書き込みが終了した後でも液晶層にかかる電界が変化するので、液晶素子11の透過率も変化してしまう。そして、直流の電圧が液晶素子に印加される時間が長いほど残留DCは強くなるので、本発明の一態様のように、画像信号の書き込みの間隔が長い駆動方法の場合、フレーム周波数が60Hz程度の通常の駆動方法に比べて、透過率の変化が大きくなりやすい。

#### 【0029】

また、液晶層にかかる電界を変化させる別の一因として、液晶素子11に流れるリーク電流が挙げられる。液晶素子11に電圧が印加されているとき、画素電極と共通電極の間に液晶層を介して僅かにリーク電流が流れるため、時間の経過に伴い、液晶素子11に印加される電圧の絶対値が小さくなるのである。よって、本発明の一態様のように、画像信号の書き込みの間隔が長い駆動方法の場合、フレーム周波数が60Hz程度の通常の駆動方法に比べて、透過率の変化が大きくなりやすい。

#### 【0030】

また、液晶層にかかる電界を変化させる別の一因として、配向膜と液晶層の電気的特性の違いにより生じる電荷の蓄積が挙げられる。液晶素子11に流れるリーク電流は、配向膜及び液晶層を介して流れる。そのため、配向膜に流れるリーク電流の電流密度と、液晶層に流れるリーク電流の電流密度とは、同じ値になる。しかし、配向膜と液晶層とは、誘電

10

20

30

40

50

率  $\varepsilon$  と抵抗率  $\rho$  の積に比例する緩和時間  $\tau$  に差がある。よって、液晶素子 11 にリーク電流が流れると、Maxwell-Wagner 分極により、配向膜と液晶層の界面近傍に電荷が蓄積し、当該界面近傍に残留 DC と呼ばれる電界が発生する。具体的に、配向膜の方が液晶層よりも緩和時間  $\tau$  が大きい場合、画素電極と共通電極間の電界とは逆方向に、緩和時間  $\tau$  の差に起因する残留 DC が生じ、液晶層に加わる電界が時間の経過に伴い小さくなる方向に変化する。逆に、配向膜の方が液晶層よりも緩和時間  $\tau$  が小さい場合、画素電極と共通電極間の電界と同じ方向に、緩和時間  $\tau$  の差に起因する残留 DC が生じ、液晶層に加わる電界が時間の経過に伴い大きくなる方向に変化する。緩和時間  $\tau$  の差に起因する残留 DC が発生すると、画像信号の書き込みが終了した後も液晶層にかかる電界が変化するので、液晶素子 11 の透過率も変化してしまう。そして、直流の電圧が液晶素子に印加される時間が長いほど残留 DC は強くなるので、本発明の一態様のように、画像信号の書き込みの間隔が長い駆動方法の場合、フレーム周波数が 60 Hz 程度の通常の駆動方法に比べて、透過率の変化が大きくなりやすい。

10

#### 【0031】

〈画素の比較例〉

画像信号の書き込みが終了した後における透過率の変化について説明するために、図 17 (A) に、画素 20 の構成を比較例として示す。図 17 (A) に示す画素 20 は、液晶素子 21 と、当該液晶素子 21 への画像信号の供給を制御するトランジスタ 22 と、容量素子 23 とを有する。

#### 【0032】

液晶素子 21 は、画素電極と、共通電極と、画素電極と共通電極の間の電圧が印加される液晶材料を含んだ液晶層とを有している。そして、図 17 (A) では、液晶素子 21 が、FFS (Fringe Field Switching) モードのように画素電極と共通電極とが絶縁膜を挟んで重なる領域を有していても良いし、TN (Twisted Nematic) モードのように画素電極と共通電極とが液晶層を挟んで重なる領域を有していても良い。液晶素子 21 が FFS モードである場合、容量素子 23 は、画素電極と共通電極とが重なる領域に形成される容量に相当する。液晶素子 21 が FFS モードでも TN モードでも、容量素子 23 は、画素電極と共通電極の間に印加される電圧  $V_{LC}$  を保持するための容量としての機能を有する。

20

#### 【0033】

そして、図 17 (A) に示す画素 20 では、トランジスタ 22 のゲートが配線 GL に接続されている。トランジスタ 22 のソース及びドレインの一方は、配線 SL に接続され、トランジスタ 22 のソース及びドレインの他方は、液晶素子 21 の画素電極に接続されている。そして、容量素子 23 は一対の電極を有しており、一方の電極は液晶素子 21 の画素電極に接続されており、他方の電極は液晶素子 21 の共通電極に接続されている。共通電極には、電位  $V_{COM}$  が与えられている。

30

#### 【0034】

図 17 (A) に示した画素 20 の動作と、液晶素子 21 の透過率の変化について説明する。

#### 【0035】

図 17 (B) に、液晶素子 21 の画素電極と共通電極の間に印加される電圧  $V_{LC}$  の極性と、電位  $V_{COM}$  と、液晶素子 21 の透過率の、時間変化の一例を模式的に示す。なお、図 17 (B) では、液晶素子 21 の液晶層に用いられる液晶材料がノーマリーホワイトである場合を例に挙げている。よって、図 17 (B) では、液晶層に加わる電界が強いほど、液晶素子 21 の透過率は低くなり、液晶層に加わる電界が弱いほど、液晶素子 21 の透過率は高くなるものとする。図 17 (B) では、画像信号が画素 20 に書き込まれるタイミングを矢印で示しており、一の中間階調を画像情報として有する画像信号が、連続して画素 20 に書き込まれている場合を例に挙げている。

40

#### 【0036】

画素 20 において、配線 SL に入力された画像信号の電位がトランジスタ 22 を介して液

50

晶素子 2 1 の画素電極に与えられると、液晶素子 2 1 には電圧  $V_{LC}$  が印加される。そして、画像信号の電位が電位  $V_{COM}$  よりも高い場合、すなわち、画像信号の極性が正である場合、電圧  $V_{LC}$  は正の極性を有することとなる。また、画像信号の電位が電位  $V_{COM}$  よりも低い場合、すなわち、画像信号の極性が負である場合、電圧  $V_{LC}$  は負の極性を有することとなる。図 1 7 (B) に示すように、液晶素子 2 1 に印加される電圧  $V_{LC}$  は、画像信号が画素 2 0 に書き込まれるタイミングに合わせて、交互に正 (+) の極性と負 (-) の極性とを有することとなる。

#### 【0037】

そして、画像信号の書き込みが終了した後に、上述したような幾つかの原因により、液晶素子 2 1 の液晶層に加わる電界が時間の経過に伴って弱くなる場合、図 1 7 (B) に示すように、画像信号が画素 2 0 に書き込まれてから、次に画像信号が画素 2 0 に書き込まれるまでの間に、液晶素子 2 1 の透過率は高くなる方向へ変化する。

10

#### 【0038】

逆に、画像信号の書き込みが終了した後に、上述したような幾つかの原因により、液晶素子 2 1 の液晶層に加わる電界が時間の経過に伴って強くなる場合がある。この場合、画像信号が画素 2 0 に書き込まれてから、次に画像信号が画素 2 0 に書き込まれるまでの間に、液晶素子 2 1 の透過率は低くなる方向へ変化する。

#### 【0039】

図 1 7 (B) に示すように、透過率の変化は、画像信号の書き込みの間隔が長いほど大きくなる。そして、変化した透過率は、画像信号の書き込みのタイミングに合わせて、元の高さにリセットされる。そのため、画像信号の書き込みの間隔が長いほど、画像信号の書き込み時に生じる透過率の変化が人間の目にフリッカとして視認されやすくなる。

20

#### 【0040】

そこで、本発明の一態様では、第 1 の極性を有する画像信号を画素 1 0 に書き込んだ後、画素 1 0 に第 2 の極性を有する画像信号を書き込むまでの間に、容量素子 1 3 が有する他方の電極を、高さの異なる第 1 の電位と第 2 の電位の間で推移させるものとする。

#### 【0041】

図 1 (B) に、図 1 (A) に示した画素 1 0 における、液晶素子 1 1 の画素電極と共通電極の間に印加される電圧  $V_{LC}$  の極性と、電位  $V_{COM1}$  と、電位  $V_{COM2}$  と、液晶素子 1 1 の透過率の、時間変化の一例を模式的に示す。なお、図 1 (B) では、図 1 7 (B) の場合と同様に、液晶素子 1 1 の液晶層に用いられる液晶材料がノーマリーホワイトである場合を例に挙げている。そして、図 1 (B) では、画像信号が画素 1 0 に書き込まれるタイミングを矢印で示しており、一の中間階調を画像情報として有する画像信号が、連続して画素 1 0 に書き込まれている場合を例に挙げている。また、図 1 (B) では、実線で示す液晶素子 1 1 の透過率に加えて、図 1 7 (A) の画素 2 0 が有する液晶素子 2 1 の透過率を、破線で示す。

30

#### 【0042】

画素 1 0 において、配線  $SL$  に入力された画像信号の電位がトランジスタ 1 2 を介して液晶素子 1 1 の画素電極に与えられると、液晶素子 1 1 には電圧  $V_{LC}$  が印加される。図 1 (B) に示すように、液晶素子 1 1 に印加される電圧  $V_{LC}$  は、画像信号が画素 1 0 に書き込まれるタイミングに合わせて、交互に正 (+) の極性と負 (-) の極性とを有することとなる。

40

#### 【0043】

また、図 1 (B) では、電位  $V_{COM2}$  が、画像信号の画素 1 0 への書き込みのタイミングに合わせて、第 1 の電位 ( $V1$ ) と第 2 の電位 ( $V2$ ) の間において推移している。ただし、第 1 の電位 ( $V1$ ) は、第 2 の電位 ( $V2$ ) よりも  $\Delta Vd$  だけ低いものとする。具体的には、正の極性を有する画像信号が画素 1 0 に書き込まれてから、次に負の極性を有する画像信号が、画素 1 0 に書き込まれるまでの間に、電位  $V_{COM2}$  は第 1 の電位 ( $V1$ ) から第 2 の電位 ( $V2$ ) まで、 $\Delta Vd$  だけ高くなるように推移している。よって、電荷保存則に従って、液晶素子 1 1 の画素電極の電位も  $\Delta Vd$  だけ高くなるため、液晶素子

50



11に印加される電圧 $V_{LC}$ の絶対値も $\Delta V_d$ だけ大きくなる。

【0044】

画像信号の書き込みが終了した後に、上述したような幾つかの原因により、液晶層に加わる電界が時間の経過に伴って弱くなる液晶素子11の場合、画像信号が画素10に書き込まれてから、次に画像信号が画素10に書き込まれるまでの間に、電圧 $V_{LC}$ の絶対値を $\Delta V_d$ だけ大きくすることで、液晶層に加わる電界の時間変化を小さく抑えることができる。よって、図1(B)に示すように、実線で示す液晶素子11の透過率の変化を、破線で示す液晶素子21の透過率の変化に比べて、小さく抑えることができ、フリッカが視認されるのを防ぐことができる。

【0045】

逆に、画像信号の書き込みが終了した後に、上述したような幾つかの原因により、液晶素子11の液晶層に加わる電界が時間の経過に伴って強くなる場合、画像信号が画素10に書き込まれてから、次に画像信号が画素10に書き込まれるまでの間に、液晶素子11の透過率は低くなる方向へ変化する。この場合、図1(C)に示すように、正の極性を有する画像信号が画素10に書き込まれてから、次に負の極性を有する画像信号が、画素10に書き込まれるまでの間に、電位 $V_{COM2}$ を第2の電位( $V_2$ )から第1の電位( $V_1$ )まで、 $\Delta V_d$ だけ低くなるように推移させる。上記構成により、液晶素子11の画素電極の電位も $\Delta V_d$ だけ低くなるため、液晶素子11に印加される電圧 $V_{LC}$ の絶対値も $\Delta V_d$ だけ小さくなる。よって、液晶層に加わる電界が時間の経過に伴って強くなる液晶素子11の場合、画像信号が画素10に書き込まれてから、次に画像信号が画素10に書き込まれるまでの間に、電圧 $V_{LC}$ の絶対値を $\Delta V_d$ だけ小さくすることで、液晶層に加わる電界の時間変化を小さく抑えることができる。したがって、液晶素子11の透過率の変化を小さく抑えることができ、フリッカが視認されるのを防ぐことができる。

【0046】

なお、ノーマリーホワイトではなく、ノーマリーブラックの液晶層が用いられている場合も同様である。すなわち、液晶層に加わる電界の時間変化を小さくするように、電位 $V_{COM2}$ を第1の電位( $V_1$ )と第2の電位( $V_2$ )の間において推移させることで、液晶素子11の透過率の変化を小さく抑えることができ、フリッカが視認されるのを防ぐことができる。

【0047】

また、本発明の一態様に係る液晶表示装置では、液晶素子の電圧 $V_{LC}$ を保持する機能は、容量素子14で賄うことができるため、容量素子13の面積を小さく抑えることができる。すなわち、容量素子13の面積を小さく抑えつつ、フリッカが視認されるのを抑制することができる。そのため、画素の高精細化を図ることができ、なおかつ、画素に画像信号が書き込まれる間隔を長くすることができるので、目の疲労が軽減される、目に優しい液晶表示装置を実現することができる。

【0048】

〈パネルの構成例〉

次いで、液晶表示装置の一形態に相当する、パネルの構成例について説明する。

【0049】

図2に示すパネル30には、画素部31に、複数の画素10と、画素10を行毎に選択するための、配線 $GL_1$ 乃至配線 $GL_y$ ( $y$ は自然数)で示される配線 $GL$ と、選択された画素10に画像信号を供給するための、配線 $SL_1$ 乃至配線 $SL_x$ ( $x$ は自然数)で示される配線 $SL$ とが、設けられている。配線 $GL$ への信号の入力は、駆動回路32により制御されている。配線 $SL$ への画像信号の入力は、駆動回路33により制御されている。複数の画素10は、配線 $GL$ の少なくとも一つと、配線 $SL$ の少なくとも一つとに、それぞれ接続されている。

【0050】

なお、画素部31に設けられる配線の種類及びその数は、画素10の構成、数及び配置によって決めることができる。具体的に、図2に示す画素部31の場合、 $x$ 列 $\times y$ 行の画素

10

20

30

40

50

10がマトリクス状に配置されており、配線SL1乃至配線SLx、配線GL1乃至配線GLyが、画素部31内に配置されている場合を例示している。

#### 【0051】

〈画素部の動作例〉

次いで、図1(A)及び図2を例に挙げて、画素部31の動作の一例について説明する。

#### 【0052】

図3に、画素部31のタイミングチャートを例示する。具体的に、図3では、配線GL1に与えられる信号の電位と、配線SL1に与えられる画像信号の電位と、配線GL1及び配線SL1に接続された画素10において、液晶素子11が有する画素電極(GL1-SL1)の電位の、時間変化を示している。また、図3では、図1(A)に示した画素10

10

#### 【0053】

まず、第1フレーム期間において、配線GL1にパルスをもつ信号が入力されることで、配線GL1が選択される。選択された配線GL1に接続された複数の各画素10において、トランジスタ12が導通状態になる。そして、トランジスタ12が導通状態である期間(1ライン期間)に、配線SL1から配線SLxに画像信号の電位が与えられる。そして、配線SL1から配線SLxに与えられた画像信号の電位に従い、導通状態のトランジスタ12を介して、容量素子13及び容量素子14に電荷が蓄積される。また、上記画像信号の電位は、導通状態のトランジスタ12を介して、液晶素子11の画素電極に与えられる。

20

#### 【0054】

図3に示すタイミングチャートでは、第1フレーム期間の配線GL1が選択されている期間において、配線SL1に、正の極性の画像信号が入力されている例を示している。よって、配線GL1及び配線SL1に接続された画素10内の画素電極(GL1-SL1)には、正の極性の画像信号が与えられる。

#### 【0055】

なお、液晶素子11が有する共通電極には、接地電位などの基準となる電位 $V_{COM1}$ が与えられる。画像信号は、電位 $V_{COM1}$ よりも高い電位を有する場合に正の極性を有するものとし、電位 $V_{COM1}$ よりも低い電位を有する場合に負の極性を有するものとする。なお、画像信号の有する画像情報によっては、画像信号の電位が、電位 $V_{COM1}$ と同じ高さとなる場合もあり得る。画像信号の電位が、電位 $V_{COM1}$ と同じ高さである場合、当該画像信号は正の極性を有すると見なすことができるし、負の極性を有すると見なすこともできる。

30

#### 【0056】

液晶素子11では、画素電極と共通電極の間に与えられる電圧の値に従って、液晶分子の配向が変化し、透過率が変化する。よって、液晶素子11は、画像信号の電位によってその透過率が制御されることで、階調を表示することができる。

#### 【0057】

配線SL1から配線SLxへの画像信号の入力が終了すると、配線GL1の選択は終了する。配線GL1の選択が終了すると、該配線GL1を有する画素10において、トランジスタ12が非導通状態になる。すると、液晶素子11は、画素電極と共通電極の間に与えられた電圧を保持することで、階調の表示を維持する。

40

#### 【0058】

同様に、配線GL2から配線GLyが順に選択され、配線GL1が選択されていた期間と同様の動作が、配線GL2から配線GLyの各配線に接続された画素10において順次繰り返される。上記動作により、画素部31において、一の画像を表示することができる。

#### 【0059】

そして、図3に示すタイミングチャートでは、第1フレーム期間において、容量素子13の他方の電極に与えられる電位 $V_{COM2}$ が、第2の電位( $V2$ )から第1の電位( $V1$ )まで、 $\Delta Vd$ だけ低くなるように推移する。上記構成により、液晶素子11の画素電極

50

の電位も  $\Delta V_d$  だけ低くなるため、液晶素子 11 に印加される電圧  $V_{LC}$  の絶対値も  $\Delta V_d$  だけ小さくなる。よって、液晶層に加わる電界が時間の経過に伴って強くなる液晶素子 11 の場合、画像信号が画素 10 に書き込まれてから、次に画像信号が画素 10 に書き込まれるまでの間に、電圧  $V_{LC}$  の絶対値を  $\Delta V_d$  だけ小さくすることで、液晶層に加わる電界の時間変化を小さく抑えることができる。よって、電位  $V_{COM2}$  が一定の場合は、破線で示すように透過率が変動したとしても、電位  $V_{COM2}$  を第 2 の電位 ( $V_2$ ) から第 1 の電位 ( $V_1$ ) まで推移させる場合は、実線で示すように透過率の変動を小さく抑えることができる。

#### 【0060】

なお、本発明の一態様では、必ずしも配線 GL1 乃至配線 GLy を順に選択する必要はない。

10

#### 【0061】

次いで、第 2 フレーム期間において、配線 GL1 にパルス有する信号が入力されることで、配線 GL1 が選択される。選択された配線 GL1 に接続された複数の各画素 10 において、トランジスタ 12 が導通状態になる。そして、トランジスタ 12 が導通状態である期間に、配線 SL1 から配線 SLx に画像信号の電位が与えられる。そして、配線 SL1 から配線 SLx に与えられた画像信号の電位に従い、導通状態のトランジスタ 12 を介して、容量素子 13 及び容量素子 14 に電荷が蓄積される。また、上記画像信号の電位は、導通状態のトランジスタ 12 を介して、液晶素子 11 の画素電極に与えられる。

#### 【0062】

20

図 3 に示すタイミングチャートでは、第 2 フレーム期間の配線 GL1 が選択されている期間において、配線 SL1 に、負の極性の画像信号が入力されている例を示している。よって、画素電極 (GL1-SL1) には、負の極性の画像信号が与えられる。

#### 【0063】

そして、液晶素子 11 では、画像信号の電位によってその透過率が制御されることで、階調を表示することができる。

#### 【0064】

配線 SL1 から配線 SLx への画像信号の入力が終了すると、配線 GL1 の選択は終了する。配線 GL1 の選択が終了すると、該配線 GL1 を有する画素 10 において、トランジスタ 12 が非導通状態になる。すると、液晶素子 11 は、画素電極と共通電極の間に与えられた電圧を保持することで、階調の表示を維持する。

30

#### 【0065】

そして、同様に、配線 GL2 から配線 GLy が順に選択され、配線 GL1 が選択されていた期間と同様の動作が、配線 GL2 から配線 GLy の各配線に接続された画素 10 において順次繰り返される。上記動作により、画素部 31 において、画像を表示することができる。

#### 【0066】

そして、後に続く第 3 フレーム期間及び第 4 フレーム期間においても、第 1 フレーム期間及び第 2 フレーム期間と同様にパネル 30 を動作させることができる。

#### 【0067】

40

なお、本発明の一態様では、任意の一フレーム期間において、画素部 31 が有する全ての画素 10 への、画像信号の入力が終了した後、次のフレーム期間が開始されるまでの間に、駆動回路 32 及び駆動回路 33 を停止状態にすることができる。駆動回路 32 が停止状態になると、駆動回路 32 による配線 GL の選択が停止される。また、駆動回路 33 が停止状態になると、駆動回路 33 による配線 SL への画像信号の入力が停止される。上記動作により、画素部 31 では画像の表示が維持される。

#### 【0068】

なお、液晶素子 11 が階調の表示を維持できる期間には限りがある。よって、液晶素子 11 が階調の表示を維持できる期間を考慮し、画像信号の書き換えの命令がない間における、フレーム期間が取り得る最大の長さをあらかじめ定めておく。すなわち、静止画の表示

50

を行う期間が、フレーム期間の取り得る最大の長さよりも長い場合は、画像信号の書き換えの命令がなくても、自動的に当該フレーム期間を終了させる。そして、次のフレーム期間において同じ画像信号を画素部 3 1 に再度書き込み、画素部 3 1 において、前のフレーム期間において表示されていた画像を、再度表示するようにする。

#### 【0069】

また、入力装置などからの画像信号の書き換えの命令に従って、フレーム期間を強制的に終了させても良い。

#### 【0070】

本発明の一態様では、間欠的に駆動回路 3 2 及び駆動回路 3 3 を動作状態とすることで、画像の表示を維持しつつ、画像信号の画素部 3 1 への書き込み回数を大幅に削減することができる。例えば、高純度化された酸化物半導体をチャネル形成領域に含むトランジスタ 1 2 を用いる場合、フレーム期間の長さを 1 0 秒以上、好ましくは 3 0 秒以上、さらに好ましくは 1 分以上にすることができる。よって、駆動回路 3 2 及び駆動回路 3 3 の駆動周波数を大幅に低減することができ、液晶表示装置の消費電力を低減することができる。

#### 【0071】

なお、本発明の一態様では、駆動回路 3 3 から配線 S L 1 乃至配線 S L x に、画像信号を順に入力する点順次駆動を用いていても良いし、駆動回路 3 3 から配線 S L 1 乃至配線 S L x に一斉に画像信号を入力する線順次駆動を用いていても良い。或いは、本発明の一態様に係る液晶表示装置は、複数の配線 S L ごとに順に、画像信号を入力する駆動方法を用いていても良い。

#### 【0072】

また、配線 G L の選択は、プログレッシブ方式を用いていても良いし、インターレース方式を用いていても良い。

#### 【0073】

なお、液晶は、電圧が印加されてからその透過率が収束するまでの応答時間が、一般的に十数 m s e c 程度である。よって、液晶の応答の遅さが動画のぼやけとして視認されやすい。そこで、本発明の一態様では、液晶素子 1 1 に印加する電圧を一時的に大きくして液晶の配向を速く変化させるオーバードライブ駆動を用いるようにしても良い。オーバードライブ駆動を用いることで、液晶の応答速度を上げ、動画のぼやけを防ぎ、動画の画質を改善することができる。

#### 【0074】

また、トランジスタ 1 2 が非導通状態になった後においても、液晶素子 1 1 の透過率が収束せずに変化し続けると、液晶の比誘電率が変化するため、液晶素子 1 1 の保持する電圧が変化しやすい。特に、本発明の一態様のように、液晶素子 1 1 に接続される容量素子 1 3 及び容量素子 1 4 の容量値が小さい場合、上述した液晶素子 1 1 の保持する電圧の変化は顕著に起こりやすい。しかし、上記オーバードライブ駆動を用いることで、応答時間を短くすることができるので、トランジスタ 1 2 が非導通状態になった後における液晶素子 1 1 の透過率の変化を小さくすることができる。したがって、液晶素子 1 1 に並列で接続される容量素子 1 3 及び容量素子 1 4 の容量値が小さい場合でも、トランジスタ 1 2 が非導通状態になった後に、液晶素子 1 1 の保持する電圧が変化するのを防ぐことができる。

#### 【0075】

〈パネルの具体的な構成例〉

また、本発明の一態様では、フレーム反転駆動、ソースライン反転駆動、ゲートライン反転駆動、またはドット反転駆動を用いることができる。フレーム反転駆動は、任意の一フレーム期間において全ての画素 1 0 に同一の極性を有する画像信号を入力する駆動方法に相当する。ソースライン反転駆動は、一の配線 S L に接続されている複数の画素 1 0 と、上記配線 S L に隣接する一の配線 S L に接続されている複数の画素 1 0 とに、任意の一フレーム期間において逆の極性を有する画像信号を入力する駆動方法に相当する。ゲートライン反転駆動は、一の配線 G L に接続されている複数の画素 1 0 と、上記配線 G L に隣接する一の配線 G L に接続されている複数の画素 1 0 とに、任意の一フレーム期間において

逆の極性を有する画像信号を入力する駆動方法に相当する。ドット反転駆動は、一の配線  $SL$  に接続されている複数の画素  $10$  のうち、隣接する画素  $10$  どうしには、任意の一フレーム期間において逆の極性を有する画像信号を入力し、一の配線  $GL$  に接続されている複数の画素  $10$  のうち、隣接する画素  $10$  どうしには、任意の一フレーム期間において逆の極性を有する画像信号を入力する駆動方法に相当する。

#### 【0076】

上記各駆動方法に合わせて、容量素子  $13$  が有する他方の電極に接続させる配線  $CL$  のレイアウトを、適宜設定すればよい。

#### 【0077】

図4に、ソースライン反転駆動を行うパネル30の、具体的な構成例について説明する。

10

#### 【0078】

図4に示すパネル30には、図2に示したパネル30と同様に、画素部31に、複数の画素  $10$  と、画素  $10$  を行毎に選択するための、配線  $GL1$  乃至配線  $GLy$  で示される配線  $GL$  と、選択された画素  $10$  に画像信号を供給するための、配線  $SL1$  乃至配線  $SLx$  で示される配線  $SL$  とが、設けられている。配線  $GL$  への信号の入力は、駆動回路32により制御されている。配線  $SL$  への画像信号の入力は、駆動回路33により制御されている。複数の画素  $10$  は、配線  $GL$  の少なくとも一つと、配線  $SL$  の少なくとも一つとに、それぞれ接続されている。

#### 【0079】

さらに、図4に示すパネル30には、配線  $CL1$  乃至配線  $CLx$  で示される複数の配線  $CL$  が設けられている。そして、図4では、一の配線  $SL$  に接続されている複数の画素  $10$  が一の配線  $CL$  に接続されている。そして、配線  $CL2m+1$  ( $m$  は  $0$  以上の整数であり、 $2m+2 \leq x$  を満たす) で表される全ての配線  $CL$  は、電氣的に接続されており、同一の電位  $V_{COM2a}$  が与えられている。また、配線  $CL2m+2$  で表される全ての配線  $CL$  は、電氣的に接続されており、同一の電位  $V_{COM2b}$  が与えられている。そして、配線  $CL2m+1$  に与えられる電位  $V_{COM2a}$  と、配線  $CL2m+2$  に与えられる電位  $V_{COM2b}$  とは、画像信号の画素  $10$  への書き込みのタイミングに合わせて、一方が第1の電位 ( $V1$ ) から第2の電位 ( $V2$ ) へ推移し、他方が第2の電位 ( $V2$ ) から第1の電位 ( $V1$ ) へ推移する。

20

#### 【0080】

図6(A)に、図4に示すパネル30において、配線  $SLi$  ( $i$  は  $1$  以上  $x$  以下の自然数) 及び配線  $GLj$  ( $j$  は  $1$  以上  $y-1$  以下の自然数) に接続された画素  $10$  と、配線  $SLi$  及び配線  $GLj+1$  に接続された画素  $10$  との具体的な接続の構成例を示す。図6(A)に示すように、図4に示すパネル30では、一の配線  $SLi$  に接続された複数の画素  $10$  において、容量素子  $13$  が有する他方の電極が、一の配線  $CLi$  に電氣的に接続されている。

30

#### 【0081】

図5に、ゲートライン反転駆動を行うパネル30の、具体的な構成例について説明する。

#### 【0082】

図5に示すパネル30には、図2に示したパネル30と同様に、画素部31に、複数の画素  $10$  と、画素  $10$  を行毎に選択するための、配線  $GL1$  乃至配線  $GLy$  で示される配線  $GL$  と、選択された画素  $10$  に画像信号を供給するための、配線  $SL1$  乃至配線  $SLx$  で示される配線  $SL$  とが、設けられている。配線  $GL$  への信号の入力は、駆動回路32により制御されている。配線  $SL$  への画像信号の入力は、駆動回路33により制御されている。複数の画素  $10$  は、配線  $GL$  の少なくとも一つと、配線  $SL$  の少なくとも一つとに、それぞれ接続されている。

40

#### 【0083】

さらに、図5に示すパネル30には、配線  $CL1$  乃至配線  $CLy$  で示される複数の配線  $CL$  が設けられている。そして、図5では、一の配線  $GL$  に接続されている複数の画素  $10$  が一の配線  $CL$  に接続されている。そして、配線  $CL2n+1$  ( $n$  は  $0$  以上の整数であり

50

、 $2n+2 \leq y$ を満たす)で表される全ての配線CLは、電氣的に接続されており、同一の電位 $V_{COM2a}$ が与えられている。また、配線CL $2n+2$ で表される全ての配線CLは、電氣的に接続されており、同一の電位 $V_{COM2b}$ が与えられている。そして、配線CL $2n+1$ に与えられる電位 $V_{COM2a}$ と、配線CL $2n+2$ に与えられる電位 $V_{COM2b}$ とは、画像信号の画素10への書き込みのタイミングに合わせて、一方が第1の電位( $V1$ )から第2の電位( $V2$ )へ推移し、他方が第2の電位( $V2$ )から第1の電位( $V1$ )へ推移する。

#### 【0084】

図6(B)に、図5に示すパネル30において、配線SL $i$ 及び配線GL $j$ に接続された画素10と、配線SL $i+1$ 及び配線GL $j$ に接続された画素10との具体的な接続の構成例を示す。図6(B)に示すように、図5に示すパネル30では、一の配線GL $j$ に接続された複数の画素10において、容量素子13が有する他方の電極が、一の配線CL $j$ に電氣的に接続されている。

10

#### 【0085】

なお、液晶素子11が有する画素電極と、画素10に画像信号を入力するための配線SLとの間には寄生容量が形成される。そして、液晶素子11に接続される容量素子13及び容量素子14が小さい場合、画素電極の電位は上記寄生容量の影響を受けやすい。そのため、画像信号の電位を保持する期間において配線SLの電位が変化すると、その変化に伴って上記画素電極の電位も変動する、クロストークと呼ばれる現象が起こりやすい。クロストークが起こると、コントラストが低下する。

20

#### 【0086】

そこで、画素を反転駆動させる際に、画素電極を間に挟んで配置されている一対の配線SLに、互いに逆の極性を有する画像信号を入力するソースライン反転駆動またはドット反転駆動を採用することで、隣接する一対の配線SLの電位が互いに逆の方向に変動するため、任意の画素電極が受ける電位の変動が打ち消される。よって、クロストークの発生を抑えることができる。

#### 【0087】

なお、配線CLは、様々な機能を有することが可能である。例えば、インセル型のタッチセンサ用の配線として、配線CLを利用することも可能である。例えば、図6(A)の配線CL $i$ と、図6(B)の配線CL $j$ との間において、容量値の変化を読み取って、タッチセンサとして利用することが可能である。

30

#### 【0088】

〈液晶表示装置の構成例〉

次いで、本発明の一態様に係る液晶表示装置の構成例について説明する。

#### 【0089】

図7に、本発明の一態様に係る液晶表示装置の構成を、一例としてブロック図で示す。図7に示す液晶表示装置40は、画素10を画素部31に複数有するパネル30と、コントローラ41と、電源回路47とを有する。さらに、図7に示す液晶表示装置40は、入力装置42と、CPU43と、画像処理回路44と、画像メモリ45とを有する。また、図7に示す液晶表示装置40は、パネル30に、駆動回路32と、駆動回路33とを有する。

40

#### 【0090】

なお、コントローラ41は、駆動回路32や駆動回路33などの動作を制御する各種の駆動信号を、パネル30に供給する機能を有する。駆動信号には、駆動回路33の動作を制御する駆動回路33用のスタートパルス信号、駆動回路33用のクロック信号、駆動回路32の動作を制御する駆動回路32用のスタートパルス信号、駆動回路32用のクロック信号などが含まれる。

#### 【0091】

入力装置42は、液晶表示装置40が有するCPU43に、情報や命令を与える機能を有する。例えば、入力装置42から、パネル30を動作状態から停止状態に移行させるため

50

の命令、或いは、画素部 3 1 を停止状態から動作状態に移行させるための命令を、CPU 4 3 に与えることができる。入力装置 4 2 として、キーボード、マウス、タッチパネルなどを用いることができる。

【0092】

CPU 4 3 は、入力装置 4 2 から入力された命令をデコードし、液晶表示装置 4 0 が有する各種回路の動作を統括的に制御することで、当該命令を実行する機能を有する。

【0093】

例えば、入力装置 4 2 から、画素部 3 1 を動作状態から停止状態に移行させる命令が送られてきた場合、CPU 4 3 は、電源回路 4 7 から画素部 3 1 への電源電圧  $V_p$  の供給を停止させ、なおかつ、パネル 3 0 への駆動信号の供給を停止させるように、コントローラ 4 1 に命令を出す。

10

【0094】

或いは、入力装置 4 2 から、画素部 3 1 を停止状態から動作状態に移行させる命令が送られてきた場合、CPU 4 3 は、電源回路 4 7 から画素部 3 1 への電源電圧  $V_p$  の供給を再開させるように、なおかつ、パネル 3 0 への駆動信号の供給を再開させるように、コントローラ 4 1 に命令を出す。

【0095】

画像メモリ 4 5 は、液晶表示装置 4 0 に入力された画像情報を有するデータ 4 6 を、記憶する機能を有する。なお、図 7 では、画像メモリ 4 5 を 1 つだけ液晶表示装置 4 0 に設ける場合を例示しているが、複数の画像メモリ 4 5 が液晶表示装置 4 0 に設けられていても良い。例えば、赤、青、緑などの色相にそれぞれ対応する 3 つのデータ 4 6 により、画素部 3 1 にフルカラーの画像が表示される場合、各色相のデータ 4 6 に対応した画像メモリ 4 5 を、それぞれ設けるようにしても良い。

20

【0096】

画像メモリ 4 5 には、例えば DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等の記憶回路を用いることができる。或いは、画像メモリ 4 5 に、VRAM (Video RAM) を用いても良い。

【0097】

画像処理回路 4 4 は、コントローラ 4 1 からの命令に従い、データ 4 6 の画像メモリ 4 5 への書き込みと、データ 4 6 の画像メモリ 4 5 からの読み出しを行い、データ 4 6 から画像信号を生成する機能を有する。

30

【0098】

電源回路 4 7 は、電源電圧  $V_p$  をパネル 3 0 に供給する機能の他に、電位  $V_{COM1}$  及び電位  $V_{COM2}$  を画素 1 0 に供給する機能を有する。電位  $V_{COM2}$  は、電源回路 4 7 が有する回路 1 5 0 (図 8 参照)において、生成される。図 8 に示す回路 1 5 0 は、スイッチ 1 5 1 及びスイッチ 1 5 2 と、抵抗素子 1 5 3 及び抵抗素子 1 5 4 と、容量素子 1 5 5 と、アンプ 1 5 6 と、インバータ 1 6 1 と、を有する。

【0099】

抵抗素子 1 5 3 と抵抗素子 1 5 4 とは直列に電氣的に接続されている。スイッチ 1 5 1 は、抵抗素子 1 5 3 の第 1 端子と、第 2 の電位 ( $V_2$ ) が与えられている配線 1 5 9 との電氣的な接続を制御する機能を有する。スイッチ 1 5 2 は、抵抗素子 1 5 4 の第 1 端子と、第 1 の電位 ( $V_1$ ) が与えられている配線 1 6 0 との電氣的な接続を制御する機能を有する。なお、電位差を有する第 1 の電位 ( $V_1$ ) 及び第 2 の電位 ( $V_2$ ) は、電源電圧  $V_p$  により生成されても良いし、別途、液晶表示装置 4 0 の外部から電源回路 4 7 に与えられていても良い。

40

【0100】

端子 1 5 7 に与えられた電位は、スイッチ 1 5 1 に与えられる。また、端子 1 5 7 に与えられた電位は、インバータ 1 6 1 によってその極性が反転させられて、スイッチ 1 5 2 に与えられる。よって、スイッチ 1 5 1 とスイッチ 1 5 2 とは、端子 1 5 7 に与えられた電

50

位に従って、一方が導通状態、他方が非導通状態となる。

【0101】

抵抗素子153の第2端子及び抵抗素子154の第2端子は、アンプ156の非反転入力端子(+)に電氣的に接続されている。容量素子155の第1電極は、アンプ156の非反転入力端子(+)に電氣的に接続されており、容量素子155の第2電極には、所定の電位が与えられている。アンプ156の反転入力端子(-)は、アンプ156の出力端子に電氣的に接続されている。アンプ156の出力端子の電位は、電位 $V_{COM2}$ として端子158に与えられる。

【0102】

反転入力端子(-)が出力端子に接続されたアンプ156は、インピーダンス変換器としての機能を有する。また、直列に接続された抵抗素子153及び抵抗素子154は、抵抗分圧回路としての機能を有し、抵抗素子153及び抵抗素子154の抵抗値の比と、第1の電位( $V1$ )及び第2の電位( $V2$ )の電位差と、に応じて、抵抗素子153及び抵抗素子154の第2端子に与えられる電位が定まる。

【0103】

上記構成を有する回路150を用いることで、第1の電位( $V1$ )と第2の電位( $V2$ )の間を推移する電位 $V_{COM2}$ を生成することができる。

【0104】

なお、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動のように、1フレーム期間内に画素部に電位 $V_{COM2a}$ 及び電位 $V_{COM2b}$ を並列して供給する必要がある駆動方法を採用する場合、電源回路47に回路150を2つ用意することが望ましい。

【0105】

図9に、図8に示した回路150が有する端子157の電位のタイミングチャートと、端子158に与えられる電位 $V_{COM2a}$ 及び電位 $V_{COM2b}$ の電位のタイミングチャートとを示す。また、図9には、図2に示すパネル30が有する、配線GLの電位のタイミングチャートと、図1(A)に示す液晶素子11が有する画素電極の電位のタイミングチャート及び極性と、電位 $V_{COM1}$ の電位のタイミングチャートとを示す。

【0106】

図8に示した回路150では、分圧回路としての機能を抵抗素子153及び抵抗素子154で実現しているが、分圧回路としての機能を、抵抗素子153または抵抗素子154の代わりに定電流源を用いることでも実現することは可能である。ただし、抵抗素子153及び抵抗素子154で分圧回路としての機能を実現することで、図9に示すように、電位 $V_{COM2a}$ 及び電位 $V_{COM2b}$ で示される電位 $V_{COM2}$ を、その時間あたりの変化量が時間の経過に伴って小さくなるように、第1の電位( $V1$ )と第2の電位( $V2$ )の間において推移させることができる。

【0107】

具体的に、図9では、端子157に与えられる電位がハイレベルからローレベルに切り替わることで、電位 $V_{COM2a}$ が第1の電位( $V1$ )から時間の経過に伴い徐々に高くなる。そして、電位 $V_{COM2a}$ の値の変化量は、時間の経過と共に小さくなりつつも、電位 $V_{COM2a}$ は第2の電位( $V2$ )に達する。次いで、端子157に与えられる電位がローレベルからハイレベルに切り替わると、電位 $V_{COM2a}$ が第2の電位( $V2$ )から時間の経過に伴い徐々に低くなる。そして、電位 $V_{COM2a}$ の値の変化量は、時間の経過と共に小さくなりつつも、第1の電位( $V1$ )に達する。

【0108】

また、具体的に、図9では、端子157に与えられる電位がローレベルからハイレベルに切り替わることで、電位 $V_{COM2b}$ が第2の電位( $V2$ )から時間の経過に伴い徐々に低くなる。そして、電位 $V_{COM2b}$ の値の変化量は、時間の経過と共に小さくなりつつも、電位 $V_{COM2b}$ は第1の電位( $V1$ )に達する。次いで、端子157に与えられる電位がハイレベルからローレベルに切り替わると、電位 $V_{COM2b}$ が第1の電位( $V1$

10

20

30

40

50



）から時間の経過に伴い徐々に高くなる。そして、電位  $V_{COM2}$  の値の変化量は、時間の経過と共に小さくなりつつも、第2の電位（ $V2$ ）に達する。

【0109】

電位  $V_{COM2}$  が第1の電位（ $V1$ ）である状態において、端子157に与えられる電位がローレベルからハイレベルに切り替わった瞬間からの時間を  $t$  とすると、時間  $t$  と電位  $V_{COM2}$  の関係は、以下の式1で示される。ただし、式1において、 $R$  は抵抗素子153の抵抗値、 $C$  は容量素子155の容量値を意味する。

【0110】

（式1）

$$V_{COM2}(t) = V2 - (V2 - V1) \exp[-t / (CR)]$$

10

【0111】

なお、図17（A）に示した画素20の場合、図17（B）に示すように、画像信号の画素への書き込みが終了した後における、液晶素子21の透過率の時間あたりの変化量は常に一定ではなく、当該変化量は時間の経過と共に小さくなる。よって、図1（A）に示す画素10において、図8に示した回路150を用いて生成された電位  $V_{COM2}$  を用いることで、電位  $V_{COM2}$  の値の推移を上述したような透過率の変化量に合わせることができる。従って、電位  $V_{COM2}$  の推移が一定である場合に比べて、液晶素子11の透過率の変化をより小さく抑えることができる。

【0112】

〈画素のレイアウト〉

20

次いで、図1（A）に示す画素10の、レイアウトの一例を図10に示す。なお、図10では、画素10のレイアウトを明確にするために、ゲート絶縁膜などの各種の絶縁膜を省略している。また、図10に示す素子基板を用いて形成された液晶表示装置の断面図を、図11に示す。図11に示す液晶表示装置のうち、基板50を含む素子基板は、図10の破線A1-A2における断面図に相当する。

【0113】

図10及び図11に示す画素10は、絶縁表面を有する基板50上に、トランジスタ12のゲートとしての機能と、配線GLとしての機能を有する導電膜51が、設けられている。また、基板50上には、容量素子13の電極としての機能と、配線CLとしての機能を有する導電膜52が、設けられている。すなわち、導電膜52には、電位  $V_{COM2}$  が供給される。

30

【0114】

また、導電膜51及び導電膜52を覆うように、基板50上には絶縁膜53が設けられている。そして、絶縁膜53を間に挟んで導電膜51と重なる位置に、トランジスタ12の半導体膜54が設けられている。半導体膜54上には、導電膜55及び導電膜56が設けられている。導電膜55は、配線SLとしての機能と、トランジスタ12のソースまたはドレインとしての機能を有する。導電膜56は、トランジスタ12のソースまたはドレインとしての機能と、容量素子13の電極としての機能を有する。

【0115】

導電膜52と導電膜56とが、絶縁膜53を間に挟んで重なり合っている部分が、容量素子13として機能する。

40

【0116】

半導体膜54、導電膜55、及び導電膜56上には、酸化物膜57、絶縁膜58、及び絶縁膜59が順に積層されている。そして、絶縁膜59上には、有機樹脂膜60が設けられている。酸化物膜57、絶縁膜58、及び絶縁膜59と、有機樹脂膜60とには開口部62が設けられている。

【0117】

有機樹脂膜60上の開口部62以外の領域には、共通電極としての機能を有する導電膜61が設けられている。そして、導電膜61上には、絶縁膜63が設けられており、絶縁膜63上において導電膜61と重なる位置には画素電極としての機能を有する導電膜64が

50

設けられている。絶縁膜 63 には、開口部 62 と重なる位置に開口部を有しており、絶縁膜 63 の当該開口部において、導電膜 64 が導電膜 56 に接続されている。また、導電膜 64 上には配向膜 65 が設けられている。

#### 【0118】

また、基板 50 と対峙するように、基板 70 が設けられている。基板 70 上には、可視光を遮る機能を有する遮蔽膜 71 と、特定の波長範囲の可視光を透過する着色層 72 とが、設けられている。遮蔽膜 71 及び着色層 72 上には、樹脂膜 73 が設けられており、樹脂膜 73 上には配向膜 74 が設けられている。樹脂膜 73 は、遮蔽膜 71 及び着色層 72 の表面の形状が、配向膜 74 の平坦性を損なうのを防ぐ機能を有する。

#### 【0119】

そして、基板 50 と基板 70 の間には、配向膜 65 と配向膜 74 に挟まれるように、液晶材料を含む液晶層 75 が設けられている。液晶素子 11 は、導電膜 61、導電膜 64、及び液晶層 75 を有する。

#### 【0120】

なお、半導体膜 54 に酸化物半導体が用いられている場合、導電膜 55 及び導電膜 56 に用いられる導電性材料によっては、導電膜 55 及び導電膜 56 中の金属が、酸化物半導体から酸素を引き抜くことがある。この場合、半導体膜 54 のうち、導電膜 55 及び導電膜 56 に接する領域が、酸素欠損の形成により n 型化される。図 11 のトランジスタ 12 の一部の領域を、図 15 に拡大して図示する。図 15 では、半導体膜 54 のうち、導電膜 55 及び導電膜 56 に接する領域 54n が n 型化されている。

#### 【0121】

n 型化された領域 54n は、ソース領域またはドレイン領域として機能するため、半導体膜 54 と導電膜 55 及び導電膜 56 との間におけるコンタクト抵抗を下げることができる。よって、n 型化された領域 54n が形成されることで、トランジスタ 12 の移動度及びオン電流を高めることができ、それにより、トランジスタ 12 を用いた半導体装置の高速動作を実現することができる。

#### 【0122】

なお、導電膜 55 及び導電膜 56 中の金属による酸素の引き抜きは、導電膜 55 及び導電膜 56 をスパッタリング法などにより形成する際に起こりうるし、導電膜 55 及び導電膜 56 を形成した後に行われる加熱処理によっても起こりうる。

#### 【0123】

また、n 型化される領域は、酸素と結合し易い導電性材料を導電膜 55 及び導電膜 56 に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

#### 【0124】

##### 〈作製方法〉

次いで、図 10 に示した素子基板の作製方法について、一例を挙げて説明する。

#### 【0125】

図 12 (A) に示すように、基板 50 上に導電膜を形成した後、上記導電膜をエッチング等により形状を加工（パターニング）することで、導電膜 51 及び導電膜 52 を形成する。

#### 【0126】

基板 50 としては、後の作製工程において耐えうる程度の耐熱性を有する基板が望ましく、例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等が用いられる。

#### 【0127】

導電膜 51 及び導電膜 52 としては、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを一種以上含む導電性材料でなる膜を 1 層または 2 層以上積層させて用いるとよい。例えば、導電膜 51 及び導電膜 52 として、窒化タングステン膜上に銅膜を積層した導電膜や、単層のタングステン膜を用いることができる。

## 【0128】

次いで、導電膜51及び導電膜52を覆うように、絶縁膜53を形成した後、絶縁膜53上において導電膜51と重なる位置に、半導体膜54を形成する（図12（B）参照）。

## 【0129】

絶縁膜53としては、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを一種以上含む絶縁膜を、単層で、または積層させて用いればよい。

## 【0130】

例えば、2層構造の絶縁膜53とする場合、1層目を窒化珪素膜とし、2層目を酸化珪素膜とした多層膜とすればよい。2層目の酸化珪素膜は酸化窒化珪素膜にすることができる。また、1層目の窒化珪素膜を窒化酸化珪素膜とすることができる。

10

## 【0131】

酸化珪素膜は、欠陥密度の小さい酸化珪素膜を用いると好ましい。具体的には、電子スピン共鳴（ESR：Electron Spin Resonance）にてg値が2.001の信号に由来するスピンのスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化珪素膜を用いる。酸化珪素膜は、過剰に酸素を有する酸化珪素膜を用いると好ましい。窒化珪素膜は水素及びアンモニアの放出量が少ない窒化珪素膜を用いる。水素、アンモニアの放出量は、TDS（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）分析にて測定すればよい。

20

## 【0132】

半導体膜54として、酸化物半導体膜を用いることができる。半導体膜54として用いる酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないようにすることが好ましい。

## 【0133】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

30

## 【0134】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化またはi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。

## 【0135】

次いで、半導体膜54及び絶縁膜53上に導電膜を形成した後、当該導電膜の形状をエッチング等により加工することにより、半導体膜54に接する導電膜55及び導電膜56を形成する（図12（C）参照）。導電膜56は、絶縁膜53上において導電膜52と重なる位置に設けられる。導電膜55及び導電膜56は、導電膜51または導電膜52と同じ導電性材料を用いることができる。

40

## 【0136】

次いで、基板50を覆うように、酸化物膜または絶縁膜を形成する。図12（D）では、酸化物膜57、絶縁膜58及び絶縁膜59を順に積層するように形成する場合を例示する。

## 【0137】

酸化物膜57には、金属酸化物を用いることが望ましい。上記構成を有する酸化物膜57を用いることで、シリコンが含まれた絶縁膜58と、半導体膜54とを、離隔することができる。よって、半導体膜54に、インジウムを含む金属酸化物が用いられている場合に

50

、酸素との結合エネルギーがインジウムよりも大きいシリコンが、半導体膜 54 の端部において、インジウムと酸素の結合を切断し、酸素欠損を形成するのを防ぐことができる。それにより、本発明の一態様では、トランジスタの信頼性をさらに高めることができる。

#### 【0138】

具体的に、酸化物膜 57 は、スパッタリング法により、金属の原子数比が 1 : 6 : 4、若しくは 1 : 3 : 2 である、In-Ga-Zn 系酸化物ターゲットを用いて、形成することができる。

#### 【0139】

絶縁膜 59 は、絶縁膜 58 を形成した後、大気に曝すことなく連続的に形成することが好ましい。絶縁膜 58 を形成した後、大気開放せず、原料ガスの流量、圧力、高周波電力及び基板温度の一以上を調整して、絶縁膜 59 を連続的に形成することで、絶縁膜 58、及び絶縁膜 59 における界面の不純物濃度を低減することができると共に、絶縁膜 59 に含まれる酸素を半導体膜 54 に移動させることが可能であり、半導体膜 54 の酸素欠損量を低減することができる。

#### 【0140】

プラズマ CVD 装置の真空排気された処理室内に載置された基板を 180℃ 以上 400℃ 以下、さらに好ましくは 200℃ 以上 370℃ 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 30 Pa 以上 250 Pa 以下、さらに好ましくは 40 Pa 以上 200 Pa 以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、絶縁膜 58 として酸化珪素膜または酸化窒化珪素膜を形成する。

#### 【0141】

絶縁膜 58 の原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

#### 【0142】

上記条件を用いることで、絶縁膜 58 として酸素を透過する酸化絶縁膜を形成することができる。また、絶縁膜 58 を設けることで、後に形成する絶縁膜 59 の形成工程において、酸化物膜 57 へのダメージ低減が可能である。

#### 【0143】

なお、シリコンを含む堆積性気体に対する酸化性気体量を 100 倍以上とすることで、絶縁膜 58 における水素の含有量を低減することが可能であると共に、絶縁膜 58 に含まれるダングリングボンドを低減することができる。絶縁膜 59 から移動する酸素は、絶縁膜 58 に含まれるダングリングボンドによって捕獲される場合があるため、化学量論的組成よりも多くの酸素を有する絶縁膜 59 に含まれる酸素を効率よく半導体膜 54 へ移動させ、半導体膜 54 に含まれる酸素欠損を補填することが可能である。この結果、半導体膜 54 に混入する水素量を低減できると共に半導体膜 54 に含まれる酸素欠損を低減させることが可能であるため、トランジスタの閾値電圧のマイナスシフトを抑制することができる。また、トランジスタのソース及びドレインにおけるリーク電流を低減することが可能であり、トランジスタの電気的特性を向上させることができる。

#### 【0144】

本実施の形態では、絶縁膜 58 として、流量 20 sccm のシラン及び流量 3000 sccm の一酸化二窒素を原料ガスとし、処理室の圧力を 40 Pa、基板温度を 220℃ とし、27.12 MHz の高周波電源を用いて 100 W の高周波電力を平行平板電極に供給したプラズマ CVD 法により、厚さ 50 nm の酸化窒化珪素膜を形成する。なお、プラズマ CVD 装置は電極面積が 6000 cm<sup>2</sup> である平行平板型のプラズマ CVD 装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると 1.6 × 10<sup>-2</sup> W/cm<sup>2</sup> である。当該条件により、酸素を透過する酸化窒化珪素膜を形成することができる。

#### 【0145】

絶縁膜 59 は、プラズマ CVD 装置の真空排気された処理室内に載置された基板を 180

℃以上260℃以下、さらに好ましくは180℃以上230℃以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられる電極に0.17W/cm<sup>2</sup>以上0.5W/cm<sup>2</sup>以下、さらに好ましくは0.25W/cm<sup>2</sup>以上0.35W/cm<sup>2</sup>以下の高周波電力を供給する条件により、酸化珪素膜または酸化窒化珪素膜を形成する。

#### 【0146】

絶縁膜59の成膜条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜59中における酸素含有量が化学量論的組成よりも多くなる。しかしながら、基板温度が、上記温度であると、シリコンと酸素の結合力が弱いため、加熱により酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成することができる。また、酸化物膜57上に絶縁膜58が設けられている。このため、絶縁膜59の形成工程において、絶縁膜58が酸化物膜57の保護をする機能を有する。この結果、半導体膜54へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁膜59を形成することができる。

#### 【0147】

本実施の形態では、絶縁膜59として、流量160sccmのシラン及び流量4000sccmの一酸化二窒素を原料ガスとし、処理室の圧力を200Pa、基板温度を220℃とし、27.12MHzの高周波電源を用いて1500Wの高周波電力を平行平板電極に供給したプラズマCVD法により、厚さ400nmの酸化窒化珪素膜を形成する。なお、プラズマCVD装置は電極面積が6000cm<sup>2</sup>である平行平板型のプラズマCVD装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると2.5×10<sup>-1</sup>W/cm<sup>2</sup>である。

#### 【0148】

次いで、少なくとも絶縁膜59を形成した後に加熱処理を行い、絶縁膜58または絶縁膜59に含まれる酸素を酸化物膜57及び半導体膜54に移動させ、酸化物膜57及び半導体膜54の酸素欠損を補填することが好ましい。なお、該加熱処理は、半導体膜54の脱水素化または脱水化を行う加熱処理として行えばよい。

#### 【0149】

次いで、基板50を覆うように有機樹脂膜60を形成する。有機樹脂膜60は、導電膜61及び導電膜64の下地となる膜であり、トランジスタや導電膜等により、共通電極として機能する導電膜61と、画素電極として機能する導電膜64とに、凹凸が形成されるのを防ぐ機能を有する。有機樹脂膜60には、アクリル樹脂、ポリイミド樹脂等を用いることができる。

#### 【0150】

そして、有機樹脂膜60、酸化物膜57、絶縁膜58、絶縁膜59に開口部62を形成する（図13（A）参照）。開口部62において、導電膜56が部分的に露出される。

#### 【0151】

なお、開口部62は、一のフォトリソマスクを用いて形成しても良いし、有機樹脂膜60に開口部を形成するためのフォトリソマスクと、酸化物膜57、絶縁膜58、絶縁膜59に開口部を形成するためのフォトリソマスクとを、それぞれ用いて形成することもできる。

#### 【0152】

次いで、有機樹脂膜60上に透明導電膜を形成し、当該透明導電膜をエッチング等により所望の形状に加工して導電膜61を形成した後、導電膜61及び有機樹脂膜60上に絶縁膜63を形成する。そして、開口部62において、導電膜56が部分的に露出されるような開口部を絶縁膜63に形成する（図13（B）参照）。

#### 【0153】

絶縁膜63は、外部から水や不純物の侵入を防ぐ機能を有する。また、絶縁膜63は、導

10

20

30

40

50

電膜 6 1 と導電膜 6 4 が重なった領域に形成される容量素子 1 4 の誘電体としての機能を有する。絶縁膜 6 3 は、窒化物または窒化酸化物となる絶縁膜が好ましく、例えば、窒化シリコン膜、窒化酸化シリコン膜を形成すればよい。

#### 【0154】

次いで、絶縁膜 6 3 上に透明導電膜を形成し、エッチング等により当該透明導電膜の形状を加工することで、導電膜 6 4 を形成する。導電膜 6 4 は導電膜 5 6 に接続されている。その後、導電膜 6 4 上に配向膜 6 5 を形成する（図 1 3（C）参照）。

#### 【0155】

なお、導電膜 6 1 及び導電膜 6 4 を形成するのに用いられる透明導電膜としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等を含む導電膜を用いることができる。

#### 【0156】

以上までの作製工程により、図 1 0 に示す素子基板を形成することができる。素子基板を形成した後は、図 1 1 に示すように基板 7 0 と素子基板との間に液晶層を封入すれば、液晶表示装置のパネルを形成することができる。

#### 【0157】

〈半導体膜について〉

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（*purified Oxide Semiconductor*）は、i 型（真性半導体）又は i 型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

#### 【0158】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が  $1 \times 10^6 \mu\text{m}$  でチャネル長が  $10 \mu\text{m}$  の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち  $1 \times 10^{-13} \text{ A}$  以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA} / \mu\text{m}$  以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十  $\text{yA} / \mu\text{m}$  という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

#### 【0159】

なお、特に断りがない限り、本明細書でオフ電流とは、n チャネル型トランジスタにおいては、ドレインをソースとゲートよりも高い電位とした状態において、ソースの電位を基準としたときのゲートの電位が 0 以下であるときに、ソースとドレインの間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、p チャネル型トランジスタにおいては、ドレインをソースとゲートよりも低い電位とした状態において、ソースの電位を基準としたときのゲートの電位が 0 以上であるときに、ソースとドレインの間に流れる電流のことを意味する。

#### 【0160】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体

10

20

30

40

50

を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を含むことが好ましい。

#### 【0161】

酸化物半導体の中でもIn-Ga-Zn系酸化物、In-Sn-Zn系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記In-Ga-Zn系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

10

#### 【0162】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでいてもよい。

#### 【0163】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

20

30

#### 【0164】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

#### 【0165】

例えば、In:Ga:Zn=1:1:1（=1/3:1/3:1/3）あるいはIn:Ga:Zn=2:2:1（=2/5:2/5:1/5）の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn=1:1:1（=1/3:1/3:1/3）、In:Sn:Zn=2:1:3（=1/3:1/6:1/2）あるいはIn:Sn:Zn=2:1:5（=1/4:1/8:5/8）の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

40

#### 【0166】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

#### 【0167】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非

50

単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、C A A C - O S ( C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r ) 膜などをいう。

【0168】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0169】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0170】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【0171】

C A A C - O S 膜を透過型電子顕微鏡（T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0172】

C A A C - O S 膜を、試料面と概略平行な方向からT E Mによって観察（断面T E M観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0173】

本明細書において、「平行」とは、二つの直線が $-10^{\circ}$ 以上 $10^{\circ}$ 以下の角度で配置されている状態をいう。従って、 $-5^{\circ}$ 以上 $5^{\circ}$ 以下の場合も含まれる。また、「垂直」とは、二つの直線が $80^{\circ}$ 以上 $100^{\circ}$ 以下の角度で配置されている状態をいう。従って、 $85^{\circ}$ 以上 $95^{\circ}$ 以下の場合も含まれる。

【0174】

一方、C A A C - O S 膜を、試料面と概略垂直な方向からT E Mによって観察（平面T E M観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0175】

断面T E M観察および平面T E M観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0176】

C A A C - O S 膜に対し、X線回折（X R D : X - R a y D i f f r a c t i o n）装置を用いて構造解析を行うと、例えばInGaZnO<sub>4</sub>の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、回折角（ $2\theta$ ）が $31^{\circ}$ 近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の（009）面に帰属されることから、C A A C - O S 膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0177】



一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる *i n - p l a n e* 法による解析では、 $2\theta$  が  $56^\circ$  近傍にピークが現れる場合がある。このピークは、 $\text{InGaZnO}_4$  の結晶の (110) 面に帰属される。 $\text{InGaZnO}_4$  の単結晶化合物半導体膜であれば、 $2\theta$  を  $56^\circ$  近傍に固定し、試料面の法線ベクトルを軸 ( $\phi$  軸) として試料を回転させながら分析 ( $\phi$  スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 $2\theta$  を  $56^\circ$  近傍に固定して  $\phi$  スキャンした場合でも、明瞭なピークが現れない。

#### 【0178】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

10

#### 【0179】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

#### 【0180】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

20

#### 【0181】

なお、 $\text{InGaZnO}_4$  の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、 $2\theta$  が  $31^\circ$  近傍のピークの他に、 $2\theta$  が  $36^\circ$  近傍にもピークが現れる場合がある。 $2\theta$  が  $36^\circ$  近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 $2\theta$  が  $31^\circ$  近傍にピークを示し、 $2\theta$  が  $36^\circ$  近傍にピークを示さないことが好ましい。

30

#### 【0182】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

#### 【0183】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

#### 【0184】

C A A C - O S 膜は、例えば、多結晶である金属酸化物ターゲットを用い、スパッタリング法によって成膜する。当該ターゲットにイオンが衝突すると、ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状またはペレット状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

40

#### 【0185】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

#### 【0186】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が  $-80^\circ\text{C}$  以下、好ましくは  $-100^\circ\text{C}$  以下である成膜ガスを用いる。

50

## 【0187】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100℃以上740℃以下、好ましくは200℃以上500℃以下として成膜する。成膜時の基板加熱温度を高めることで、平板状またはペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

## 【0188】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

10

## 【0189】

ターゲットの一例として、In-Ga-Zn系酸化物ターゲットについて以下に示す。

## 【0190】

InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末及びZnO<sub>z</sub>粉末を所定のmol数比で混合し、加圧処理後、1000℃以上1500℃以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系酸化物ターゲットとする。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末及びZnO<sub>z</sub>粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するターゲットによって適宜変更すればよい。

20

## 【0191】

また、半導体膜は、単数の酸化物半導体膜で構成されているとは限らず、積層された複数の酸化物半導体膜で構成されていても良い。半導体膜が、3層の酸化物半導体膜で構成されている場合の、トランジスタ100の構成例を、図14に示す。

## 【0192】

図14に示すトランジスタ100は、絶縁表面を有する基板111上に、ゲート電極としての機能を有する導電膜112と、導電膜112上のゲート絶縁膜113と、ゲート絶縁膜113を間に挟んで導電膜112と重なる位置に設けられた半導体膜114と、半導体膜114に接し、ソースまたはドレインとしての機能を有する導電膜115及び導電膜116とを有する。

30

## 【0193】

また、図14では、半導体膜114、導電膜115及び導電膜116上に、酸化物膜117が設けられている。本発明の一態様では、酸化物膜117をトランジスタ100の構成要素に含めても良い。

## 【0194】

そして、トランジスタ100では、酸化物半導体膜114a乃至酸化物半導体膜114cは、ゲート電極としての機能を有する導電膜112側から順に積層されている。

## 【0195】

そして、酸化物半導体膜114a及び酸化物半導体膜114cは、酸化物半導体膜114bを構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜114bよりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜114bは、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

40

## 【0196】

上記構成をトランジスタ100が有する場合、ゲート電極としての機能を有する導電膜112に電圧を印加することで、半導体膜114に電界が加わると、半導体膜114のうち、伝導帯下端のエネルギーが小さい酸化物半導体膜114bにチャネル領域が形成される。即ち、酸化物半導体膜114bとゲート絶縁膜113との間に酸化物半導体膜114cが設けられていることによって、ゲート絶縁膜113と離隔している酸化物半導体膜11

50

4 b に、チャネル領域を形成することができる。

【0197】

また、酸化物半導体膜 1 1 4 c は、酸化物半導体膜 1 1 4 b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 1 1 4 b と酸化物半導体膜 1 1 4 c の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタ 1 0 0 の電界効果移動度が高くなる。

【0198】

また、酸化物半導体膜 1 1 4 b と酸化物半導体膜 1 1 4 a の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタ 1 0 0 の閾値電圧が変動してしまう。しかし、酸化物半導体膜 1 1 4 a は、酸化物半導体膜 1 1 4 b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 1 1 4 b と酸化物半導体膜 1 1 4 a の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタ 1 0 0 の閾値電圧等の電気的特性のばらつきを、低減することができる。

10

【0199】

また、酸化物半導体膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないように、複数の酸化物半導体膜を積層させることが望ましい。積層された酸化物半導体膜の膜間に不純物が存在していると、酸化物半導体膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の酸化物半導体膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化する U 字型の井戸構造を有している状態）が形成されやすくなる。

20

【0200】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $5 \times 10^{-7}$  Pa 乃至  $1 \times 10^{-4}$  Pa 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

30

【0201】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 $-40^{\circ}\text{C}$  以下、好ましくは  $-80^{\circ}\text{C}$  以下、より好ましくは  $-100^{\circ}\text{C}$  以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

【0202】

例えば、酸化物半導体膜 1 1 4 a または酸化物半導体膜 1 1 4 c は、アルミニウム、シリコン、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、スズ、ランタン、セリウムまたはハフニウムを、酸化物半導体膜 1 1 4 b よりも高い原子数比で含む酸化物膜であればよい。具体的に、酸化物半導体膜 1 1 4 a または酸化物半導体膜 1 1 4 c として、酸化物半導体膜 1 1 4 b よりも上述の元素を 1.5 倍以上、好ましくは 2 倍以上、さらに好ましくは 3 倍以上高い原子数比で含む酸化物膜を用いると良い。前述の元素は酸素と強く結合するため、酸素欠損が酸化物膜に生じることを抑制する機能を有する。よって、上記構成により、酸化物半導体膜 1 1 4 a または酸化物半導体膜 1 1 4 c を、酸化物半導体膜 1 1 4 b よりも酸素欠損が生じにくい酸化物膜にすることができる。

40

【0203】

具体的に、酸化物半導体膜 1 1 4 b と、酸化物半導体膜 1 1 4 a または酸化物半導体膜 1 1 4 c とが、共に In-M-Zn 系酸化物を含む場合、酸化物半導体膜 1 1 4 a または酸

50

化物半導体膜 114c の原子数比を  $In:M:Zn = x_1:y_1:z_1$ 、酸化物半導体膜 114b の原子数比を  $In:M:Zn = x_2:y_2:z_2$  とすると、 $y_1/x_1$  が  $y_2/x_2$  よりも大きくなるように、その原子数比を設定すれば良い。なお、元素 M は In よりも酸素との結合力が強い金属元素であり、例えば Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd または Hf 等が挙げられる。好ましくは、 $y_1/x_1$  が  $y_2/x_2$  よりも 1.5 倍以上大きくなるように、その原子数比を設定すれば良い。さらに好ましくは、 $y_1/x_1$  が  $y_2/x_2$  よりも 2 倍以上大きくなるように、その原子数比を設定すれば良い。より好ましくは、 $y_1/x_1$  が  $y_2/x_2$  よりも 3 倍以上大きくなるように、その原子数比を設定すれば良い。さらに、酸化物半導体膜 114b において、 $y_1$  が  $x_1$  以上であると、トランジスタ 100 に安定した電気的特性を付与できるため好ましい。ただし、 $y_1$  が  $x_1$  の 3 倍以上になると、トランジスタ 100 の電界効果移動度が低下してしまうため、 $y_1$  は、 $x_1$  の 3 倍未満であると好ましい。

10

#### 【0204】

なお、酸化物半導体膜 114a 及び酸化物半導体膜 114c の厚さは、3 nm 以上 100 nm 以下、好ましくは 3 nm 以上 50 nm 以下とする。また、酸化物半導体膜 114b の厚さは、3 nm 以上 200 nm 以下、好ましくは 3 nm 以上 100 nm 以下であり、さらに好ましくは 3 nm 以上 50 nm 以下である。

#### 【0205】

3 層構造の半導体膜において、酸化物半導体膜 114a 乃至酸化物半導体膜 114c は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される酸化物半導体膜 114b が結晶質であることにより、トランジスタ 100 に安定した電気的特性を付与することができるため、酸化物半導体膜 114b は結晶質であることが好ましい。

20

#### 【0206】

なお、チャネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

#### 【0207】

例えば、酸化物半導体膜 114a 及び酸化物半導体膜 114c として、スパッタリング法により形成した  $In-Ga-Zn$  系酸化物膜を用いる場合、酸化物半導体膜 114a 及び酸化物半導体膜 114c の成膜には、 $In-Ga-Zn$  系酸化物 ( $In:Ga:Zn = 1:3:2$  [原子数比]) であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力 0.4 Pa とし、基板温度を 200 °C とし、DC 電力 0.5 kW とすればよい。

30

#### 【0208】

また、酸化物半導体膜 114b を CAAC-OS 膜とする場合、酸化物半導体膜 114b の成膜には、 $In-Ga-Zn$  系酸化物 ( $In:Ga:Zn = 1:1:1$  [原子数比]) であり、多結晶の  $In-Ga-Zn$  系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度 300 °C とし、DC 電力 0.5 kW とすることができる。

40

#### 【0209】

上記で開示された、酸化物半導体膜はスパッタ法により形成することができるが、他の方法、例えば、熱 CVD 法により形成してもよい。熱 CVD 法の例として MOCVD (Metal Organic Chemical Vapor Deposition) 法や ALD (Atomic Layer Deposition) 法を使っても良い。

#### 【0210】

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

#### 【0211】

熱 CVD 法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧ま

50

たは減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

#### 【0212】

例えば、 $\text{In-Ga-Zn-O}$ 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

10

#### 【0213】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば $\text{In-Ga-Zn-O}$ 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと $\text{O}_3$ ガスを順次繰り返し導入して $\text{In-O}$ 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと $\text{O}_3$ ガスを同時に導入して $\text{Ga-O}$ 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と $\text{O}_3$ ガスを同時に導入して $\text{Zn-O}$ 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて $\text{In-Ga-O}$ 層や $\text{In-Zn-O}$ 層、 $\text{Ga-Zn-O}$ 層などの混合化合物層を形成しても良い。なお、 $\text{O}_3$ ガスに変えて $\text{Ar}$ 等の不活性ガスでパブリングして得られた $\text{H}_2\text{O}$ ガスを用いても良いが、 $\text{H}$ を含まない $\text{O}_3$ ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

20

#### 【0214】

なお、図14に示すトランジスタ100は、半導体膜114の端部が傾斜している構造を有していても良いし、半導体膜114の端部が丸みを帯びる構造を有していても良い。

#### 【0215】

なお、図14では、3層の酸化物半導体膜が積層されている半導体膜114を例示しているが、半導体膜114は、3以外の複数の酸化物半導体膜が積層された構造を有していても良い。

#### 【0216】

なお、半導体膜114が複数の酸化物半導体膜を積層させた構造を有する場合において、酸化物膜117に用いられる金属酸化物は、半導体膜114全体の導電性よりも、導電性が低いものとする。例えば、金属酸化物として $\text{In-Ga-Zn}$ 系酸化物を酸化物膜117に用いる場合、当該金属酸化物は、 $\text{In}$ の原子数比が、半導体膜114よりも低いものとする。

30

#### 【0217】

また、図15に示したトランジスタ12の場合と同様に、半導体膜114のうち、導電膜115及び導電膜116に接する領域が、 $n$ 型化されていても良い。上記構成により、トランジスタ100の移動度及びオン電流を高め、トランジスタ100を用いた液晶表示装置の高速動作を実現することができる。さらに、トランジスタ100の場合、 $n$ 型化される領域は、チャネル領域となる酸化物半導体膜114bにまで達していることが、トランジスタ100の移動度及びオン電流を高め、液晶表示装置のさらなる高速動作を実現する上で、より好ましい。

40

#### 【0218】

〈液晶表示装置の上面図と断面図〉

本発明の一態様に係る液晶表示装置の外観について、図16を用いて説明する。図16(A)は、基板4001と基板4006とを封止材4005によって接着させた液晶表示装置の上面図である。また、図16(B)は、図16(A)の破線B1-B2における断面図に相当し、図16(C)は、図16(A)の破線C1-C2における断面図に相当する。なお、図16では、FFS(Fringe Field Switching)モード

50

の液晶表示装置を例示している。

【0219】

基板4001上に設けられた画素部4002と、一对の駆動回路4004とを囲むように、封止材4005が設けられている。また、画素部4002、駆動回路4004の上に基板4006が設けられている。よって、画素部4002と、駆動回路4004とは、基板4001と封止材4005と基板4006とによって封止されている。

【0220】

また、基板4001上の封止材4005によって囲まれている領域とは異なる領域に、駆動回路4003が実装されている。

【0221】

また、基板4001上に設けられた画素部4002、駆動回路4004は、トランジスタを複数有している。図16(B)では、画素部4002に含まれるトランジスタ4010と、駆動回路4004に含まれるトランジスタ4022とを例示している。また、図16(C)では、画素部4002に含まれるトランジスタ4010を例示している。

【0222】

画素部4002及び駆動回路4004において、トランジスタ4010及びトランジスタ4022上には、樹脂を用いた絶縁膜4020が設けられている。そして、絶縁膜4020上には、液晶素子4023の画素電極4021と、導電膜4024とが設けられている。導電膜4024は、絶縁膜4020に蓄積された電荷の放電経路として機能させることができる。或いは、導電膜4024及び絶縁膜4020をトランジスタ4022の構成要素とし、導電膜4024をバックゲートとして機能させることもできる。

【0223】

また、絶縁膜4020、画素電極4021、及び導電膜4024上には、絶縁膜4025が設けられている。絶縁膜4025は、水、水素などのブロッキング効果が高いことが望ましい。絶縁膜4025として、窒化シリコン膜、窒化酸化シリコン膜などを用いることができる。

【0224】

また、図16(B)及び図16(C)に示すように、本発明の一態様では、絶縁膜4020は、パネルの端部において除去されている。そして、絶縁膜4020上の絶縁膜4025は、封止材4005と基板4001の間において、トランジスタ4010及びトランジスタ4022のゲート絶縁膜として機能する絶縁膜4026と接している。

【0225】

絶縁膜4025及び絶縁膜4026の、水、水素などのブロッキング効果が高い場合、パネルの端部において絶縁膜4025と絶縁膜4026とが接することで、パネルの端部から、または封止材4005から、水、水素などがトランジスタ4010及びトランジスタ4022がそれぞれ有する半導体膜に侵入するのを、防ぐことができる。

【0226】

また、絶縁膜4025上には、液晶素子4023の共通電極4027が設けられている。そして、共通電極4027及び絶縁膜4025と、基板4006との間には、液晶層4028が設けられている。液晶素子4023は、画素電極4021、共通電極4027、及び液晶層4028を有する。

【0227】

液晶素子4023では、画素電極4021と共通電極4027の間に与えられる電圧の値に従って、液晶層4028に含まれる液晶分子の配向が変化し、透過率が変化する。よって、液晶素子4023は、画素電極4021に与えられる画像信号の電位によって、その透過率が制御されることで、階調を表示することができる。

【0228】

なお、本発明の一態様に係る液晶表示装置では、カラーフィルタを用いることでカラーの画像を表示しても良いし、異なる色相の光を発する複数の光源を順次点灯させることで、カラーの画像を表示しても良い。

10

20

30

40

50

## 【0229】

また、駆動回路4003からの画像信号や、FPC4018からの各種制御信号及び電源電位は、引き回し配線4030及び4031を介して、駆動回路4004または画素部4002に与えられる。

## 【0230】

〈液晶表示装置を用いた電子機器の構成例〉

本発明の一態様に係る液晶表示装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る液晶表示装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図18に示す。

10

## 【0231】

図18（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。表示部5003または表示部5004に、本発明の一態様に係る液晶表示装置を用いることができる。なお、図18（A）に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

## 【0232】

図18（B）は表示機器であり、筐体5201、表示部5202、支持台5203等を有する。表示部5202に、本発明の一態様に係る液晶表示装置を用いることができる。なお、表示機器には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

## 【0233】

図18（C）はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。表示部5402に、本発明の一態様に係る液晶表示装置を用いることができる。

30

## 【0234】

図18（D）は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能となっている。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602の間の角度に従って、切り替える構成としても良い。第1表示部5603または第2表示部5604に、本発明の一態様に係る液晶表示装置を用いることができる。なお、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された液晶表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、液晶表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を液晶表示装置の画素部に設けることでも、付加することができる。

40

## 【0235】

図18（E）はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー580

50

4 及びレンズ 5805 は第 1 筐体 5801 に設けられており、表示部 5803 は第 2 筐体 5802 に設けられている。そして、第 1 筐体 5801 と第 2 筐体 5802 とは、接続部 5806 により接続されており、第 1 筐体 5801 と第 2 筐体 5802 の間の角度は、接続部 5806 により変更が可能となっている。表示部 5803 における映像の切り替えを、接続部 5806 における第 1 筐体 5801 と第 2 筐体 5802 の間の角度に従って行う構成としても良い。表示部 5803 に、本発明の一態様に係る液晶表示装置を用いることができる。

#### 【0236】

図 18 (F) は携帯電話であり、筐体 5901 に、表示部 5902、マイク 5907、スピーカー 5904、カメラ 5903、外部接続部 5906、操作用のボタン 5905 が設けられている。携帯電話が有する回路に、本発明の一態様に係る液晶表示装置を用いることができる。また、本発明の一態様に係る液晶表示装置を、可撓性を有する基板に形成した場合、図 18 (F) に示すような曲面を有する表示部 5902 に当該液晶表示装置を適用することが可能である。

#### 【0237】

##### 〈電圧保持率と透過率の比較〉

TN モードなどの、液晶層に縦方向の電界が加わる縦電界方式に比べて、IPS モードでは液晶素子の電圧保持率が高くなることが知られている。これは、ガラス基板の容量が液晶層と電氣的に並列に接続されることに起因すると考えられる。同様の効果は IPS モードと同じく、横電界方式である FFS モードにも、期待することができる。なお、横電界方式の液晶表示装置は、液晶層を挟んで配置される一対の基板のうちのトランジスタが作製される基板側に、画素電極と共通電極が共に設けられており、概ね横方向の電界が液晶分子に印加される。

#### 【0238】

図 19 (A) に、TN モードの液晶素子の断面構造を模式的に示し、図 19 (B) に、図 19 (A) に示した断面構造に対応する等価回路図を示す。また、図 20 (A) に、FFS モードの液晶素子の断面構造を模式的に示し、図 20 (B) に、図 20 (A) に示した断面構造に対応する等価回路図を示す。

#### 【0239】

図 19 (A) では、基板 201 上に電極 202 が設けられており、電極 202 上に配向膜 203 が設けられている。また、基板 207 上に電極 206 が設けられており、電極 206 上に配向膜 205 が設けられている。そして、配向膜 203 と配向膜 205 の間には、液晶層 204 が設けられている。電極 202 と電極 206 の間に電圧を印加すると、矢印で示す方向に電界が生じる。

#### 【0240】

図 19 (A) に示す断面構造を有する TN モードの液晶素子の場合、図 19 (B) に示すように、電極 202 と電極 206 の間には、配向膜 203、液晶層 204、及び配向膜 205 が、順に直列に電氣的に接続されている。

#### 【0241】

図 20 (A) では、基板 211 上に配向膜 212 が設けられている。また、基板 218 上に電極 217 が設けられており、電極 217 上に絶縁膜 216 が設けられており、絶縁膜 216 上に、電極 217 の一部と重なる電極 215 が設けられており、電極 215 及び電極 217 上に配向膜 214 が設けられている。そして、配向膜 212 と配向膜 214 の間には、液晶層 213 が設けられている。電極 217 と電極 215 の間に電圧を印加すると、矢印で示す方向に電界が生じる。

#### 【0242】

図 20 (A) に示す断面構造を有する FFS モードの液晶素子の場合、図 20 (B) に示すように、電極 215 と電極 217 の間には、絶縁膜 216 が電氣的に接続されている。また、電極 215 と電極 217 の間には、配向膜 214、絶縁膜 216 が順に直列に電氣的に接続されている。また、電極 215 と電極 217 の間には、配向膜 214、液晶層 2



1 3、配向膜 2 1 4、及び絶縁膜 2 1 6 が、順に直列に電氣的に接続されている。

【0 2 4 3】

図 2 0 (B) から、F F S モードの液晶素子では、電極 2 1 5 と電極 2 1 7 の間に絶縁膜 2 1 6 が挟まれた部分が容量として機能し、当該容量が液晶層 2 1 3 と電氣的に並列に接続されていることがわかる。よって、F F S モードの液晶素子では、T N モードの液晶素子に比べて、電圧保持率が高いことがわかる。

【0 2 4 4】

次いで、図 2 1 に、縦電界方式の液晶素子と、F F S モードの液晶素子の、電圧保持率 V H R (%) の時間変化を測定した結果を示す。なお、縦電界方式の液晶素子は、一対の電極間にネマティック液晶を含む液晶層を挟んだ構造とし、配向膜は設けなかった。F F S モードの液晶素子は、一対の電極が絶縁膜を間に挟んで部分的に重なる構造とし、配向膜は設けなかった。また、測定は基板温度を 3 0 °C として行い、測定開始時において一対の電極間に印加する電圧は、液晶層の閾値電圧よりも高い値に設定した。

【0 2 4 5】

図 2 1 に示すように、F F S モードの液晶素子は、縦電界方式の液晶素子に比べて、時間の経過に伴う電圧保持率 V H R (%) の変化が、小さいことが分かった。よって、F F S モードなどの横電界方式の液晶表示装置は、T N モードなどの縦電界方式の液晶素子に比べて、透過率の変化量が小さく、フリッカなどの透過率の変動に起因する画面のちらつきを、抑制できることがわかった。

【0 2 4 6】

次いで、T N モードの液晶素子の透過率と、F F S モードの液晶素子の透過率を、シミュレーションにより算出した結果を、図 2 2 に示す。二つの液晶素子が有する配向膜と液晶層とは、それぞれ同一の材料が用いられた。また、セルギャップは、透過率が最大となるようにそれぞれの液晶素子において調整した。また、シミュレーションでは、画素における開口率は考慮されていない。そして、図 2 2 では、それぞれの液晶素子における最大の透過率が 1 となるように規格化された透過率（規格化透過率）を示しているが、T N モードの液晶素子と、F F S モードの液晶素子は、最大の透過率が実測値でも同程度であった。

【0 2 4 7】

図 2 2 から、F F S モードの液晶素子の方が、電圧に対する透過率の変化を示すグラフの傾きが小さく、液晶素子に印加される電圧  $V_{LC}$  に変動が生じた場合に発生する階調の変化が、抑制できることが分かった。また、飽和電圧は、T N モードの液晶素子よりも F F S モードの液晶素子の方が高くなっているが、パネルにおける画素の開口率は、F F S モードの方が高いため、パネルの内部における光の損失を低減することができ、低消費電力化を実現することができる。

【0 2 4 8】

また、横電界方式である F F S モードは押圧に対する信頼性が高いというメリットを有するため、タッチパネルを構成要素に含んでいる液晶表示装置には好適である。

【符号の説明】

【0 2 4 9】

- 1 0 画素
- 1 1 液晶素子
- 1 2 トランジスタ
- 1 3 容量素子
- 1 4 容量素子
- 2 0 画素
- 2 1 液晶素子
- 2 2 トランジスタ
- 2 3 容量素子
- 3 0 パネル

10

20

30

40

50

|         |         |    |
|---------|---------|----|
| 3 1     | 画素部     |    |
| 3 2     | 駆動回路    |    |
| 3 3     | 駆動回路    |    |
| 4 0     | 液晶表示装置  |    |
| 4 1     | コントローラ  |    |
| 4 2     | 入力装置    |    |
| 4 3     | C P U   |    |
| 4 4     | 画像処理回路  |    |
| 4 5     | 画像メモリ   |    |
| 4 6     | データ     | 10 |
| 4 7     | 電源回路    |    |
| 5 0     | 基板      |    |
| 5 1     | 導電膜     |    |
| 5 2     | 導電膜     |    |
| 5 3     | 絶縁膜     |    |
| 5 4     | 半導体膜    |    |
| 5 4 n   | 領域      |    |
| 5 5     | 導電膜     |    |
| 5 6     | 導電膜     |    |
| 5 7     | 酸化物膜    | 20 |
| 5 8     | 絶縁膜     |    |
| 5 9     | 絶縁膜     |    |
| 6 0     | 有機樹脂膜   |    |
| 6 1     | 導電膜     |    |
| 6 2     | 開口部     |    |
| 6 3     | 絶縁膜     |    |
| 6 4     | 導電膜     |    |
| 6 5     | 配向膜     |    |
| 7 0     | 基板      |    |
| 7 1     | 遮蔽膜     | 30 |
| 7 2     | 着色層     |    |
| 7 3     | 樹脂膜     |    |
| 7 4     | 配向膜     |    |
| 7 5     | 液晶層     |    |
| 1 0 0   | トランジスタ  |    |
| 1 1 1   | 基板      |    |
| 1 1 2   | 導電膜     |    |
| 1 1 3   | ゲート絶縁膜  |    |
| 1 1 4   | 半導体膜    |    |
| 1 1 4 a | 酸化物半導体膜 | 40 |
| 1 1 4 b | 酸化物半導体膜 |    |
| 1 1 4 c | 酸化物半導体膜 |    |
| 1 1 5   | 導電膜     |    |
| 1 1 6   | 導電膜     |    |
| 1 1 7   | 酸化物膜    |    |
| 1 5 0   | 回路      |    |
| 1 5 1   | スイッチ    |    |
| 1 5 2   | スイッチ    |    |
| 1 5 3   | 抵抗素子    |    |
| 1 5 4   | 抵抗素子    | 50 |

|         |        |    |
|---------|--------|----|
| 1 5 5   | 容量素子   |    |
| 1 5 6   | アンプ    |    |
| 1 5 7   | 端子     |    |
| 1 5 8   | 端子     |    |
| 1 5 9   | 配線     |    |
| 1 6 0   | 配線     |    |
| 1 6 1   | インバータ  |    |
| 2 0 1   | 基板     |    |
| 2 0 2   | 電極     |    |
| 2 0 3   | 配向膜    | 10 |
| 2 0 4   | 液晶層    |    |
| 2 0 5   | 配向膜    |    |
| 2 0 6   | 電極     |    |
| 2 0 7   | 基板     |    |
| 2 1 1   | 基板     |    |
| 2 1 2   | 配向膜    |    |
| 2 1 3   | 液晶層    |    |
| 2 1 4   | 配向膜    |    |
| 2 1 5   | 電極     |    |
| 2 1 6   | 絶縁膜    | 20 |
| 2 1 7   | 電極     |    |
| 2 1 8   | 基板     |    |
| 4 0 0 1 | 基板     |    |
| 4 0 0 2 | 画素部    |    |
| 4 0 0 3 | 駆動回路   |    |
| 4 0 0 4 | 駆動回路   |    |
| 4 0 0 5 | 封止材    |    |
| 4 0 0 6 | 基板     |    |
| 4 0 1 0 | トランジスタ |    |
| 4 0 1 8 | F P C  | 30 |
| 4 0 2 0 | 絶縁膜    |    |
| 4 0 2 1 | 画素電極   |    |
| 4 0 2 2 | トランジスタ |    |
| 4 0 2 3 | 液晶素子   |    |
| 4 0 2 4 | 導電膜    |    |
| 4 0 2 5 | 絶縁膜    |    |
| 4 0 2 6 | 絶縁膜    |    |
| 4 0 2 7 | 共通電極   |    |
| 4 0 2 8 | 液晶層    |    |
| 4 0 3 0 | 配線     | 40 |
| 5 0 0 1 | 筐体     |    |
| 5 0 0 2 | 筐体     |    |
| 5 0 0 3 | 表示部    |    |
| 5 0 0 4 | 表示部    |    |
| 5 0 0 5 | マイクロホン |    |
| 5 0 0 6 | スピーカー  |    |
| 5 0 0 7 | 操作キー   |    |
| 5 0 0 8 | スタイラス  |    |
| 5 2 0 1 | 筐体     |    |
| 5 2 0 2 | 表示部    | 50 |

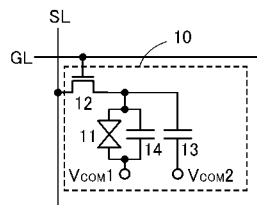
|         |             |
|---------|-------------|
| 5 2 0 3 | 支持台         |
| 5 4 0 1 | 筐体          |
| 5 4 0 2 | 表示部         |
| 5 4 0 3 | キーボード       |
| 5 4 0 4 | ポインティングデバイス |
| 5 6 0 1 | 筐体          |
| 5 6 0 2 | 筐体          |
| 5 6 0 3 | 表示部         |
| 5 6 0 4 | 表示部         |
| 5 6 0 5 | 接続部         |
| 5 6 0 6 | 操作キー        |
| 5 8 0 1 | 筐体          |
| 5 8 0 2 | 筐体          |
| 5 8 0 3 | 表示部         |
| 5 8 0 4 | 操作キー        |
| 5 8 0 5 | レンズ         |
| 5 8 0 6 | 接続部         |
| 5 9 0 1 | 筐体          |
| 5 9 0 2 | 表示部         |
| 5 9 0 3 | カメラ         |
| 5 9 0 4 | スピーカー       |
| 5 9 0 5 | ボタン         |
| 5 9 0 6 | 外部接続部       |
| 5 9 0 7 | マイク         |

10

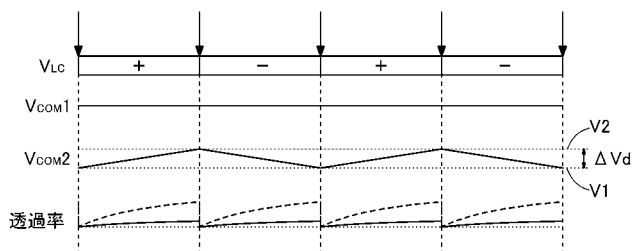
20

【図 1】

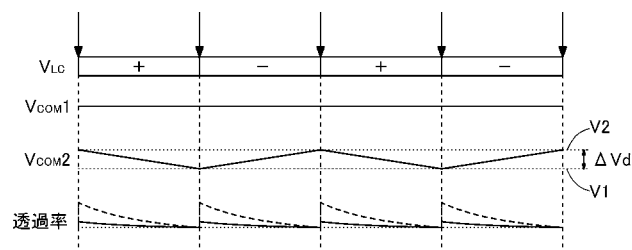
(A)



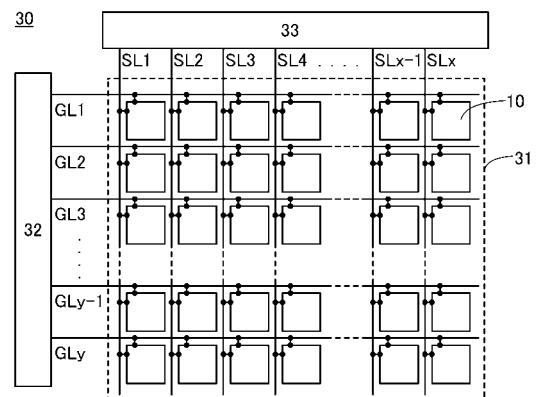
(B)



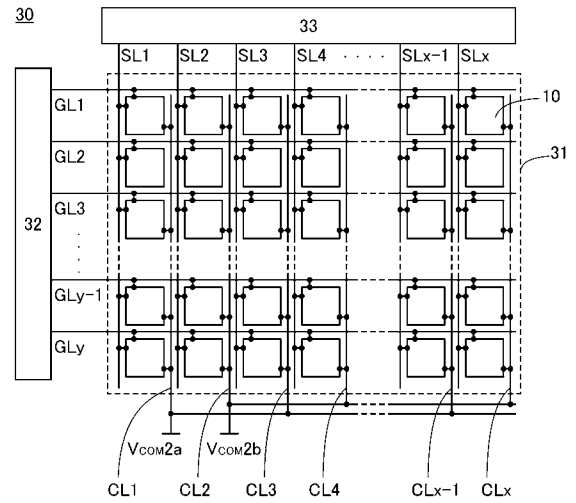
(C)



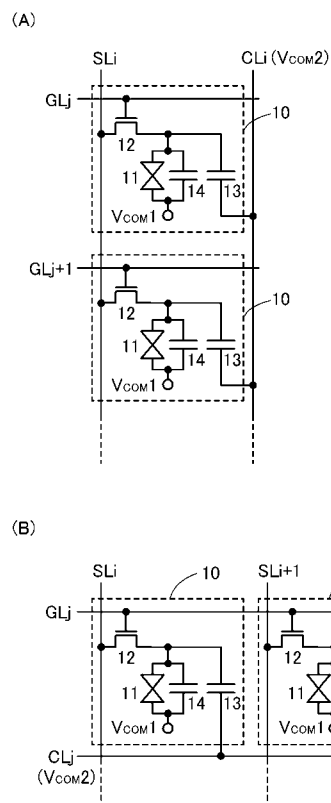
【図 2】



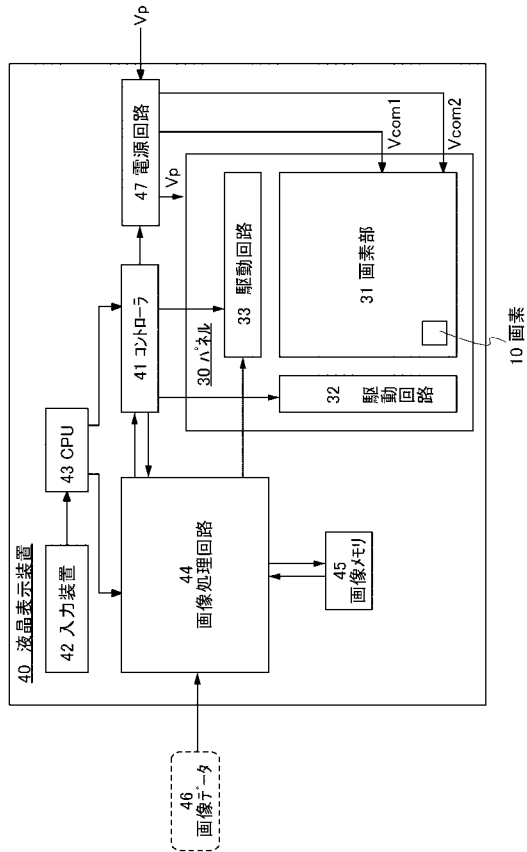
【図 4】



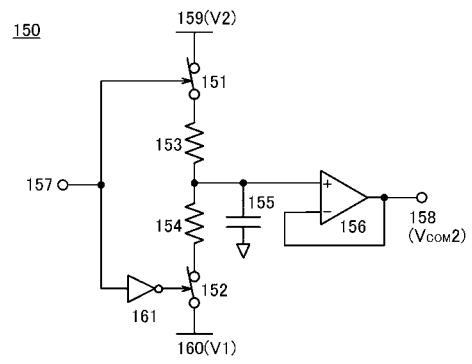
【図 6】



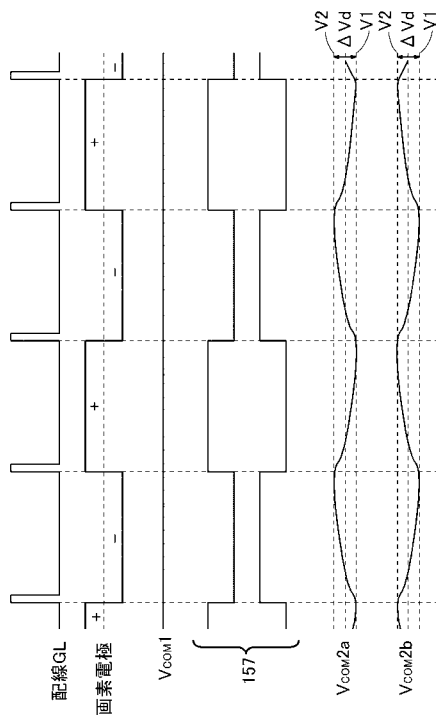
【図 7】



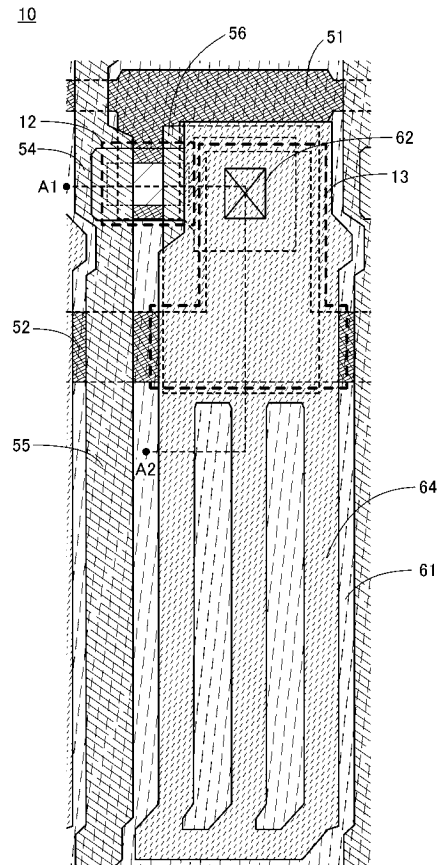
【図 8】



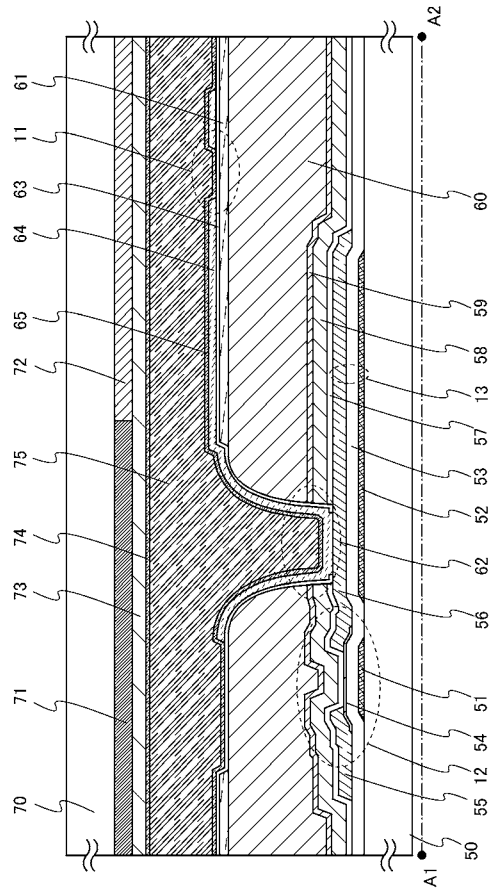
【図 9】



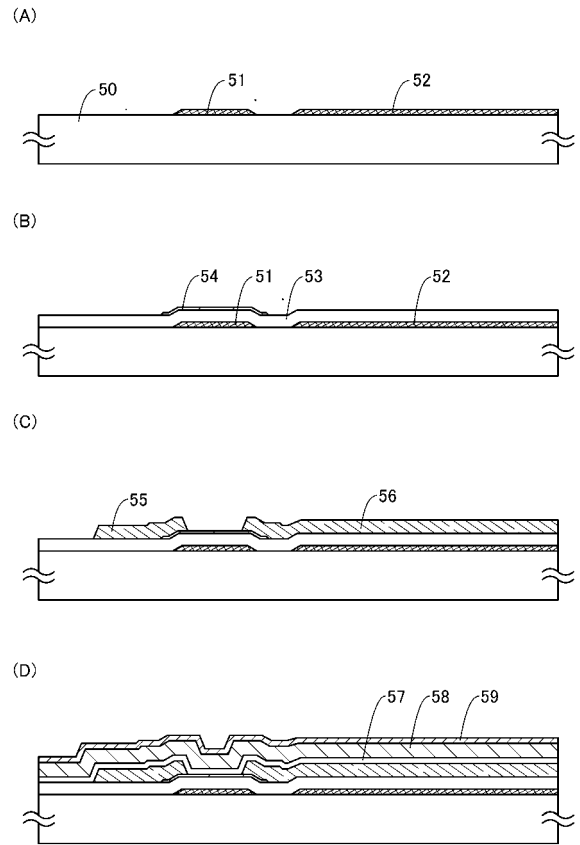
【図 10】



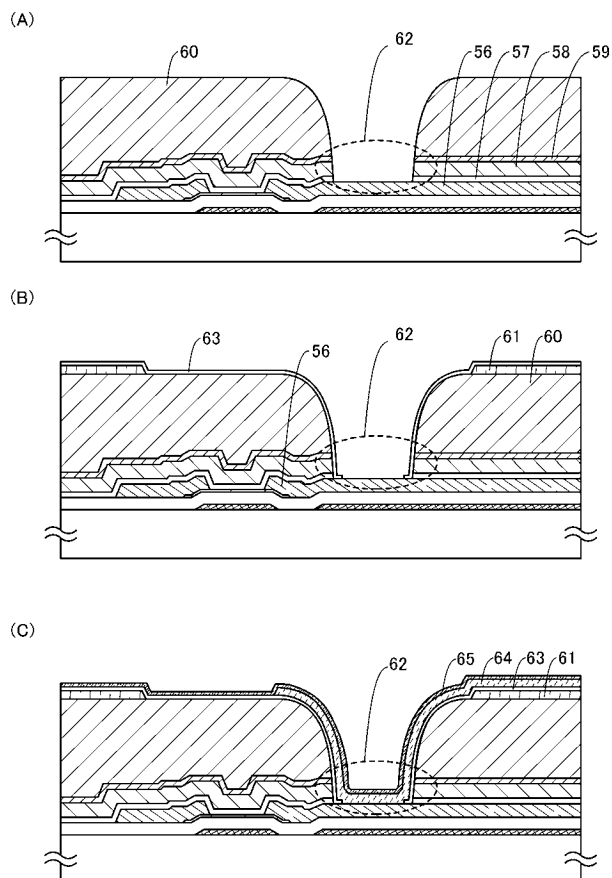
【図 1 1】



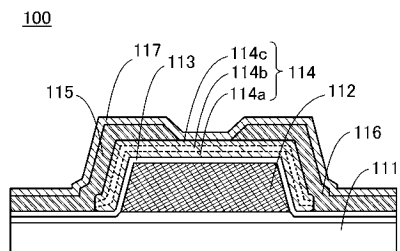
【図 1 2】



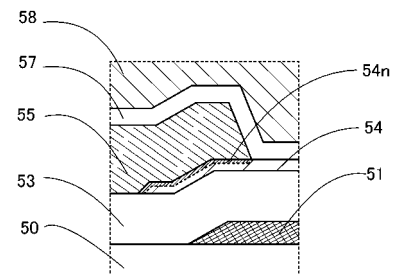
【図 1 3】



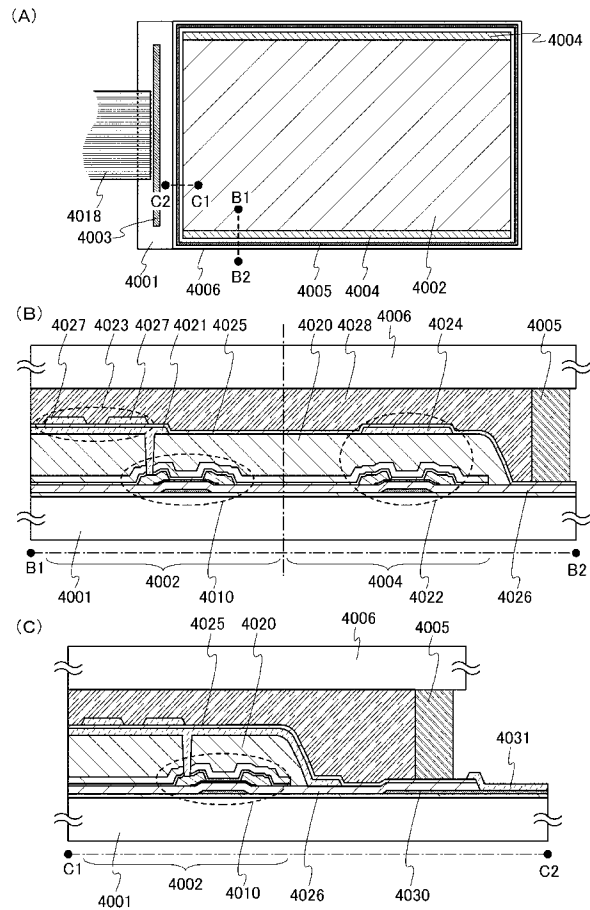
【図 1 4】



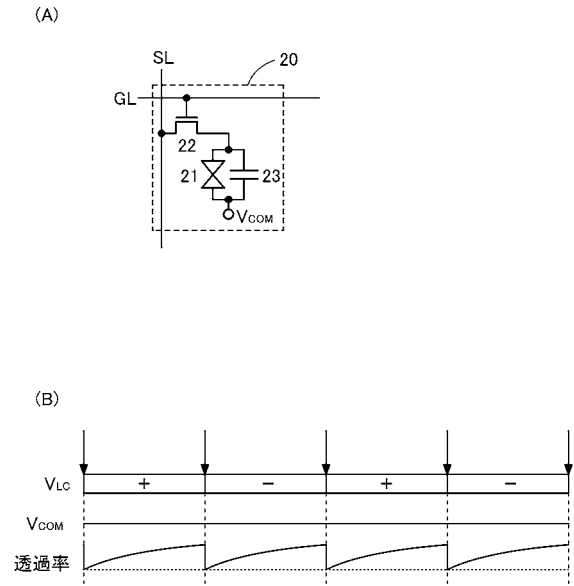
【図 1 5】



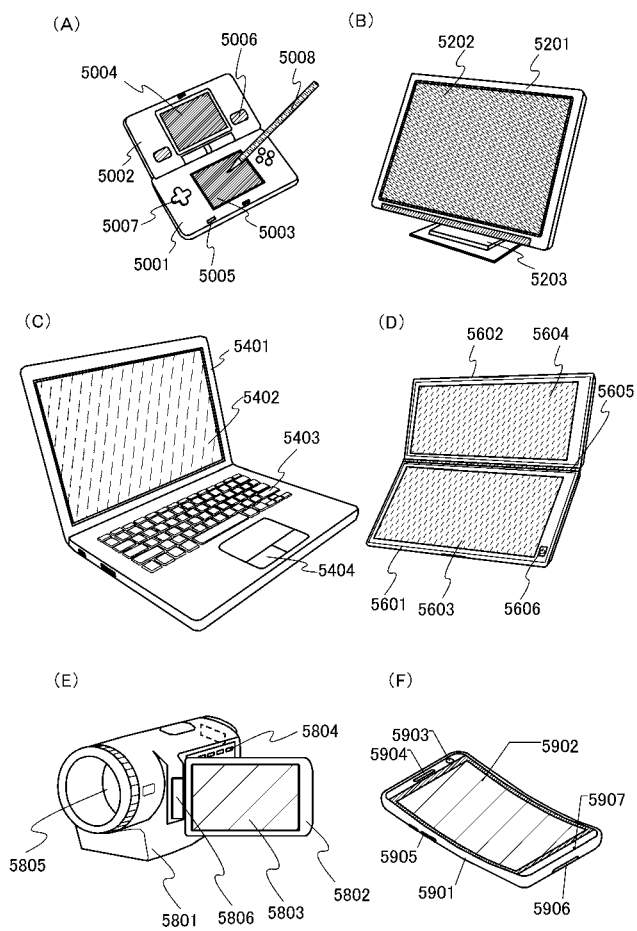
【図 16】



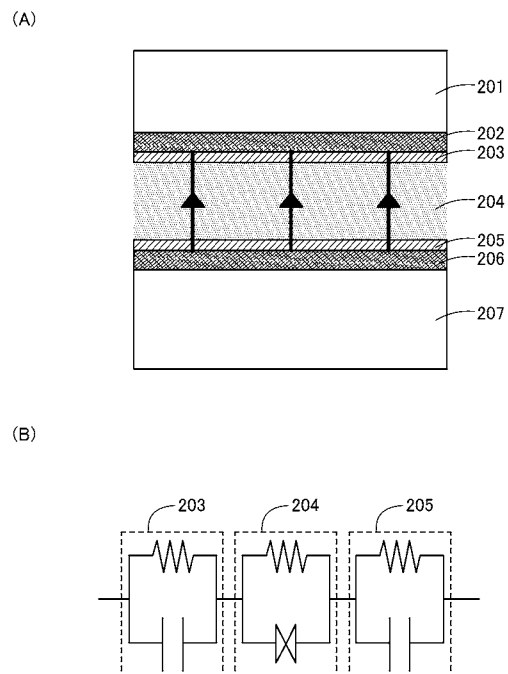
【図 17】



【図 18】



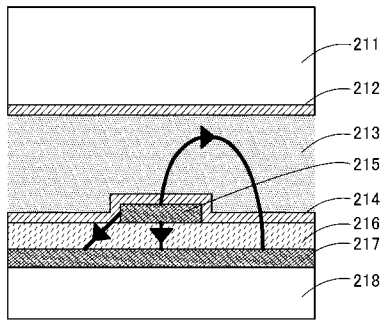
【図 19】



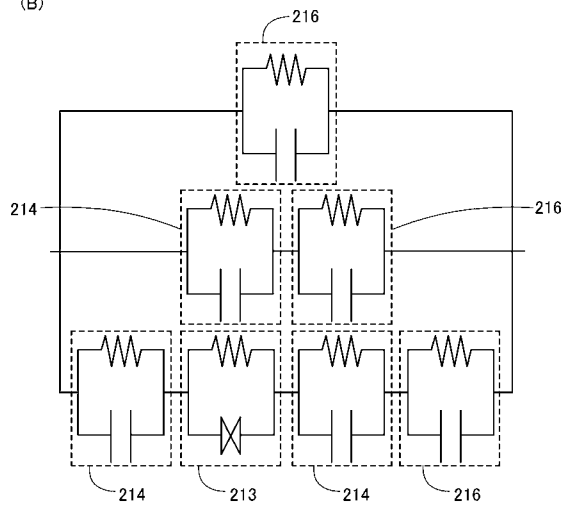


【図 20】

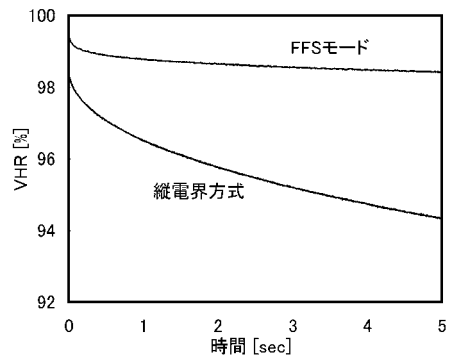
(A)



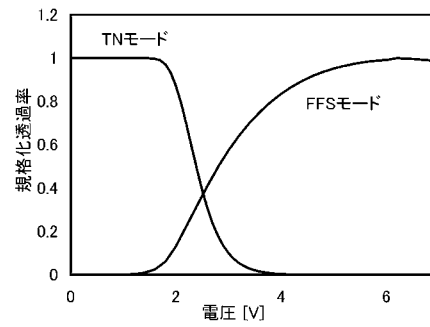
(B)



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

|         |        |         |
|---------|--------|---------|
| G 0 9 G | 3/20   | 6 2 4 B |
| G 0 9 G | 3/20   | 6 2 1 A |
| G 0 9 F | 9/30   | 3 3 8   |
| G 0 2 F | 1/1368 |         |
| G 0 2 F | 1/133  | 5 2 5   |
| G 0 2 F | 1/133  | 5 5 0   |

F ターム(参考) 5C006 AA02 AA22 AC25 AC26 AC27 AC28 AC29 AC30 AF42 AF43  
 AF44 AF51 AF68 BB16 BC02 BC03 BC06 BC11 BC22 BC23  
 BF02 BF25 BF27 BF37 BF42 EC02 FA12 FA14 FA18 FA23  
 FA29 FA34 FA36 FA48 GA02  
 5C080 AA10 BB05 CC03 DD06 DD08 DD10 DD26 EE19 EE29 FF11  
 FF12 JJ02 JJ03 JJ04 JJ05 JJ06 KK07 KK43 KK50  
 5C094 AA22 BA03 BA43 CA19 DB04 EA04 EA07 FA02 FB02 FB14  
 HA04 HA05 HA06 HA07 HA08

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| 公开(公告)号        | <a href="#">JP2018159951A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 公开(公告)日 | 2018-10-11 |
| 申请号            | JP2018118405                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | 申请日     | 2018-06-22 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| 申请(专利权)人(译)    | 半导体能源研究所有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| [标]发明人         | 三宅博之                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| 发明人            | 三宅 博之                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G09F9/30 G02F1/1368 G02F1/133                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| CPC分类号         | G02F1/136213 G02F2001/134372 G09G3/3614 G09G3/3655 G09G2300/0876                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| FI分类号          | G09G3/36 G09G3/20.611.A G09G3/20.611.G G09G3/20.611.E G09G3/20.611.D G09G3/20.624.B G09G3/20.621.A G09F9/30.338 G02F1/1368 G02F1/133.525 G02F1/133.550                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| F-TERM分类号      | 2H192/AA24 2H192/BB13 2H192/BC31 2H192/CB05 2H192/CB37 2H192/CB52 2H192/CB56 2H192/DA12 2H192/DA15 2H192/DA43 2H192/DA65 2H192/EA22 2H192/EA43 2H192/EA67 2H192/GB61 2H192/GD61 2H192/JA32 2H193/ZA04 2H193/ZA07 2H193/ZA09 2H193/ZB02 2H193/ZB03 2H193/ZB07 2H193/ZB14 2H193/ZC02 2H193/ZC12 2H193/ZC15 2H193/ZC25 2H193/ZC26 2H193/ZD23 2H193/ZE01 2H193/ZF03 2H193/ZF13 2H193/ZF16 2H193/ZF21 2H193/ZF31 2H193/ZF59 2H193/ZF60 2H193/ZJ02 2H193/ZQ16 5C006/AA02 5C006/AA22 5C006/AC25 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AC29 5C006/AC30 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF51 5C006/AF68 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC22 5C006/BC23 5C006/BF02 5C006/BF25 5C006/BF27 5C006/BF37 5C006/BF42 5C006/EC02 5C006/FA12 5C006/FA14 5C006/FA18 5C006/FA23 5C006/FA29 5C006/FA34 5C006/FA36 5C006/FA48 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD08 5C080/DD10 5C080/DD26 5C080/EE19 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK43 5C080/KK50 5C094/AA22 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB04 5C094/EA04 5C094/EA07 5C094/FA02 5C094/FB02 5C094/FB14 5C094/HA04 5C094/HA05 5C094/HA06 5C094/HA07 5C094/HA08 |         |            |
| 优先权            | 2012262538 2012-11-30 JP                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |

### 摘要(译)

要解决的问题：提供一种用于防止闪烁发生的液晶显示装置 解决方案：具有彼此相反极性的第一和第二信号通过晶体管提供给晶体管 交替施加第一信号和第二信号的液晶元件，以及具有第一电极和第二电极的电容元件 在多个像素中的每个像素中，液晶元件具有像素电极，该像素电极具有与绝缘膜重叠的区域 以及公共电极，以及像素电极和公共电极上的液晶层，其中公共电极设置在多个像素之间 并且，电容器元件的第一电极电连接到像素电极 在将第一信号施加到液晶元件之后，直到第二信号施加到液晶元件 因此，施加到液晶层的电压的变化变小，第二电极的电位变为 1 和第二个潜力。 点域1

