

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-212441

(P2016-212441A)

(43) 公開日 平成28年12月15日(2016.12.15)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192

審査請求 有 請求項の数 9 O L (全 21 頁)

(21) 出願番号	特願2016-173702 (P2016-173702)	(71) 出願人	512187343 三星ディスプレイ株式会社 Samsung Display Co., Ltd. 大韓民国京畿道龍仁市器興区三星路1
(22) 出願日	平成28年9月6日(2016.9.6)	(74) 代理人	110000051 特許業務法人共生国際特許事務所
(62) 分割の表示	特願2011-172298 (P2011-172298) の分割	(72) 発明者	金 容 照 大韓民国 忠清南道 牙山市 排芳面 北水里 排芳サイ2次アパート 104棟 602号
原出願日	平成23年8月5日(2011.8.5)	(72) 発明者	金 潤 ジャン 大韓民国 ソウル特別市 銅雀区 舍堂五洞 ジーエスザイアパート 102棟 1502号
(31) 優先権主張番号	10-2010-0075588		
(32) 優先日	平成22年8月5日(2010.8.5)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

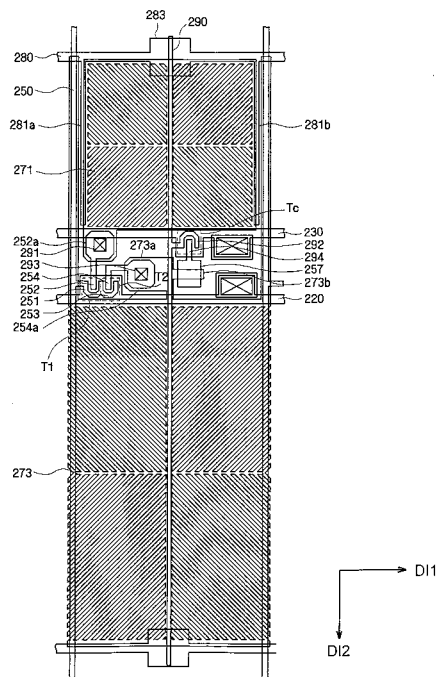
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示品質が向上した表示装置の提供。

【解決手段】第1表示基板、第1表示基板と対向する第2表示基板、及び第1表示基板と第2表示基板との間に介在している液晶層を含み、第1表示基板は、互いに離隔して配置された第1ゲートライン及び第2ゲートラインと、第1ゲートラインから印加される第1ゲート信号の印加を受ける第1スイッチング素子及び第2スイッチング素子と、制御ラインに接続し、第2ゲートラインから第2ゲート信号の印加を受ける第3スイッチング素子と、第1スイッチング素子に接続した第1サブ画素電極と、第2スイッチング素子に接続した第2サブ画素電極と、第3スイッチング素子に接続したカップリング電極を含み、第2サブ画素電極はカップリング電極とオーバーラップしている。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 表示基板、

第 1 表示基板と対向する第 2 表示基板、及び

前記第 1 表示基板と前記第 2 表示基板との間に介在している液晶層を含み、

前記第 1 表示基板は、

互いに離隔して配置された第 1 ゲートライン及び第 2 ゲートラインと、

前記第 1 ゲートラインから印加される第 1 ゲート信号の印加を受ける第 1 スイッチング素子及び第 2 スイッチング素子と、

制御ラインに接続し、前記第 2 ゲートラインから第 2 ゲート信号の印加を受ける第 3 スイッチング素子と、

前記第 1 スイッチング素子に接続した第 1 サブ画素電極と、

前記第 2 スイッチング素子に接続した第 2 サブ画素電極と、

前記第 3 スイッチング素子に接続したカップリング電極を含み、

前記第 2 サブ画素電極は前記カップリング電極とオーバーラップしていることを特徴とする表示装置。

【請求項 2】

前記カップリング電極は、前記第 2 サブ画素電極と重畳して前記第 2 サブ画素電極の電圧を減少させることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 ゲートライン及び前記第 2 ゲートラインは第 1 方向に延長され、

前記第 1 表示基板は前記第 1 方向と互いに異なる第 2 方向に延長された複数のデータラインをさらに含み、

前記制御ラインは前記複数のデータラインと離隔して前記第 2 方向に延長されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記制御ラインは互いに離隔した第 1 制御ライン及び第 2 制御ラインを含み、

前記第 1 ゲートライン及び前記第 2 ゲートラインは第 1 方向に延長され、

前記第 1 制御ラインと前記第 2 制御ラインは前記第 1 ゲートライン及び前記第 2 ゲートラインと離隔して前記第 1 方向に延長されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記第 1 表示基板は前記第 1 サブ画素電極及び第 2 サブ画素電極を各々含む第 1 画素部及び第 2 画素部を含み、

前記第 1 画素部の前記第 3 スイッチング素子は前記第 1 制御ラインに接続し、

前記第 2 画素部の前記第 3 スイッチング素子は前記第 2 制御ラインに接続し、

前記第 1 制御ラインは第 1 制御信号の印加を受け、前記第 2 制御ラインは第 2 制御信号の印加を受け、前記第 1 制御信号と前記第 2 制御信号は互いに相補的であることを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記第 3 スイッチング素子は、前記第 2 ゲートラインと部分的に重畳して前記制御ラインから分岐した第 1 ソース電極と、前記第 2 ゲートラインと部分的に重畳して前記第 1 ソース電極と離隔された第 1 ドレイン電極を含み、

前記カップリング電極は前記第 1 ドレイン電極と接続していることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記第 1 表示基板は前記第 1 サブ画素電極及び第 2 サブ画素電極を各々含む第 1 画素部及び第 2 画素部をさらに含み、

前記第 2 表示基板は赤色カラーフィルタ、緑色カラーフィルタ及び青色カラーフィルタが形成されたカラーフィルタ層を含み、

10

20

30

40

50

前記第 1 画素部には前記赤色カラーフィルタ又は緑色カラーフィルタが、前記第 2 画素部には前記青色カラーフィルタが対応して配置され、
前記第 1 画素部の前記カップリング電極の面積は前記第 2 画素部の前記カップリング電極の面積より小さく、
共通電極は前記第 1 表示基板又は前記第 2 表示基板のいずれかに配置されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 8】

前記第 1 画素部の前記第 1 サブ画素電極は第 1 方向の垂直方向に対して第 1 鋭角に傾いた第 1 スリットパターンを含み、
前記第 2 画素部の前記第 1 サブ画素電極は前記第 1 方向の垂直方向に対して第 2 鋭角に傾いた第 2 スリットパターンを含み、
前記第 2 鋭角は前記第 1 鋭角より小さい角度であることを特徴とする請求項 7 に記載の表示装置。

10

【請求項 9】

前記第 1 画素部の前記第 1 サブ画素電極は、第 1 オープン部と第 1 電極部を含む第 1 スリットパターンを含み、
前記第 2 画素部の前記第 1 サブ画素電極は、第 2 オープン部と第 2 電極部を含む第 2 スリットパターンを含み、
前記第 2 オープン部の幅は前記第 1 オープン部の幅より大きいことを特徴とする請求項 7 に記載の表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に係り、より詳しくは、表示品質を大幅に向上させた表示装置に関する。

【背景技術】

【0002】

現在の情報化社会において、電子表示装置 (electronic display device) の役割は、非常に重要なものであり、各種電子表示装置が種々の産業分野で広範囲に使用されている。また、半導体技術の急速な進歩により、各種電子装置は、固体化、低電圧化、省電力化、電子機器の小型化及び軽量化が進み、新しい環境に適した電子表示装置、すなわち薄くて軽く、かつ低駆動電圧及び低消費電力のフラットパネル (flat panel) 型ディスプレイ装置に対する要求が急速に増大している。

30

【0003】

最近、最も広く使用されているフラットパネルディスプレイ装置の 1 つである液晶表示装置は、画素電極と共通電極などの電界生成電極が形成された 2 枚の表示板とその間に挿入された液晶層からなり、電界生成電極に電圧を印加して液晶層に電界を生成し、これによって液晶層の液晶分子の配向を決定して入射光の偏光を制御し映像を表示している。

【0004】

液晶表示パネルは、通常視野角 (コントラスト比 1 / 10 である角度) の面において、自発光表示パネルに比べ視野角補償を要するという問題点を有している。この液晶表示パネルの短所である視野角補償に対して、VA (vertically aligned) モードについて、PVA (上、下板電極切開パターン形成) モード、MVA (上、下板突起パターン形成) モード、Mixed VA (下板電極切開パターンと上板突起パターン形成) モードなどの技術が開発されている。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】米国特許公開 2009 - 0027578 号明細書

【発明の概要】

50

【発明が解決しようとする課題】**【0006】**

しかしながら、上記のような新たに開発された液晶表示パネルにおいても、見る角度によって色感が変わるという問題点を依然として有していた。色感が変わる理由は、画素で表現される赤、緑、青が見る角度によって互いに異なる減摩階調変化を有するためであり、それぞれの色が統合されて1つの色に表現されるとき、見る角度によって色感が変わるという問題点が発生する。

【0007】

これを改善するために、1つの画素内に互いに異なる階調を表現する画素電極を、メイン画素電極とサブ画素電極に分ける新たなモード技術が開発された。このような新規モードは、互いに異なる画素電圧を印加するために、メイン画素電極とサブ画素電極に各々接続されたスイッチング素子を有する構造、又はスイッチング素子とメイン画素電極の接続とは異なり、スイッチング素子とサブ画素電極との間に別個のキャパシタをさらに具備した構造を有している。そして、新規モードにおいては、メイン画素電極とサブ画素電極に互いに異なる画素電圧を印加するために、さらに効率的な方法というものが研究されている。

10

【0008】

本発明が解決しようとする課題は、見る角度によって色感が変わるという問題点を解決するために開発された新規モードにおいて、表示品質が大幅に向上した表示装置を提供するものである。

20

本発明が解決しようとする課題は、上記課題に制限されず、言及されていない他の課題については本願明細書の記載から当業者に明確に理解できるであろう。

【課題を解決するための手段】**【0009】**

前記課題を解決するための本発明の一実施形態に係る表示装置は、第1表示基板と、第1表示基板と対向する第2表示基板と、第1表示基板と第2表示基板との間に介在する液晶層を含み、第1表示基板は第1方向に延長された第1ゲートラインと、第1ゲートラインと離隔して第1方向に延長された第2ゲートラインと、第1ゲートラインと離隔して第1方向に延長された第1ストレージラインと、第1ストレージラインと離隔して第1方向に延長された第2ストレージラインと、第1ゲートラインから第1ゲート信号の印加を受ける第1スイッチング素子及び第2スイッチング素子と、第1スイッチング素子に接続した第1サブ画素電極と、第2スイッチング素子に接続した第2サブ画素電極と、第2ゲートラインから第2ゲート信号の印加を受ける第3スイッチング素子と、第3スイッチング素子に接続して第2ストレージラインと部分的に重畳したカップリング電極を含み、第1ストレージラインは第1電圧の印加を受け、第2ストレージラインは第1電圧と異なる第2電圧の印加を受けることを特徴とする。

30

【0010】

前記課題を解決するための本発明の他の実施形態に係る表示装置は、第1表示基板と、第1表示基板と対向する第2表示基板と、第1表示基板と第2表示基板との間に介在する液晶層を含み、第1表示基板は、互いに離隔して配置された第1ゲートライン及び第2ゲートラインと、第1ゲートラインから印加される第1ゲート信号の印加を受ける第1スイッチング素子及び第2スイッチング素子と、制御ラインに接続し第2ゲートラインから第2ゲート信号の印加を受ける第3スイッチング素子と、第1スイッチング素子に接続した第1サブ画素電極と、第2スイッチング素子に接続した第2サブ画素電極と、第3スイッチング素子に接続したカップリング電極とを含み、第2サブ画素電極はカップリング電極とオーバーラップしていることを特徴とする。

40

【0011】

前記課題を解決するための本発明のまた他の実施形態に係る表示装置は、第1ゲートラインと、第1ゲートラインから離隔した第2ゲートラインと、第1ゲートライン及び第2ゲートラインから離隔したストレージラインと、第1ゲートラインから第1ゲート信号の印

50

加を受ける第1スイッチング素子及び第2スイッチング素子と、第2ゲートラインから第2ゲート信号の印加を受ける第3スイッチング素子と、第1スイッチング素子に接続した第1サブ画素電極と、第2スイッチング素子に接続した第2サブ画素電極、及び第3スイッチング素子に接続したストレージラインと部分的に重畳したカップリング電極を含む第1表示基板を有することを特徴とする。

【発明の効果】

【0012】

本発明の表示装置によれば、互いに分離した第1ストレージライン及び第2ストレージラインが形成され、第1ストレージライン及び第2ストレージラインに互いに異なる電圧を印加することによって、画素領域付近で光漏れ現象やテクスチャ(texture)が発生することを防止することができる。

また、本発明の表示装置によれば、低階調範囲のレディッシュ現象と高階調範囲のイエローイッシュ現象を同時に減少させることによって、表示装置の表示品質を従来のものに比べ、大幅に向上させることができる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態に係る表示装置のブロック図である。

【図2】本発明の一実施形態に係る表示基板に使用される画素Iの等価回路図である。

【図3】本発明の一実施形態に係る表示装置を説明するためのレイアウト図である。

【図4】図3に示すI-I'線に沿って切断した断面図である。

【図5】本発明の一実施形態に係る表示装置の第2ストレージラインの電圧変化を説明するためのグラフである。

【図6】本発明の他の実施形態に係る表示装置に使用される画素Iの等価回路図である。

【図7】本発明の他の実施形態に係る表示装置を説明するためのレイアウト図である。

【図8】本発明のまた他の実施形態に係る表示装置に使用される画素Iの等価回路図である。

【図9】本発明のまた他の実施形態に係る表示装置を説明するためのレイアウト図である。

【図10】(A)は本発明のまた他の実施形態を説明するための図9に示すA1領域を拡大した部分拡大図であり、(B)は本発明のまた他の実施形態を説明するための図9に示すA2領域を拡大した部分拡大図である。

【図11】(A)は本発明のまた他の実施形態を説明するための図9に示すA1領域を拡大した部分拡大図であり、(B)は本発明のまた他の実施形態を説明するための図9に示すA2領域を拡大した部分拡大図である。

【発明を実施するための形態】

【0014】

以下、本発明の好ましい実施形態について、図面を参照して詳述する。

しかしながら、本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で具現されるものであり、本実施形態は、本発明が属する技術分野において通常の知識を有する者に発明の範疇を十分に知らしめるために提供されるものであり、本発明は請求項の範囲によってのみ定義される。

また、明細書において、同一参照符号は同一構成要素を指称している。

【0015】

本願明細書において、素子(elements)又は層が、異なる素子又は層の「上」と記載される場合は、異なる素子又は層の直ぐ上のみではなく、中間に他の層又は他の素子を介在した場合も含んでいる。一方、素子が「直接上」又は「真上」と記載されている場合は、中間に他の素子又は層を介在しないことを示す。また、「及び/又は」の表記は、言及されたアイテムの各々及びそれらのすべての組合せを含む。

【0016】

相対的な空間位置を表す用語である「下」、「下部」、「上」、「上部」などは、図面に

10

20

30

40

50

図示した1つの素子又は構成要素と異なる素子又は構成要素との相関関係の記述にも用いている。また、相対的な空間位置を表すこれらの用語は、図面に図示した方向に加え、使用時又は動作時における素子の互いに異なる方向を含む用語としても用いている。

【0017】

本明細書に記載の実施形態は、本発明の例示的な概略図である平面図や断面図を参照して説明しているが、製造技術及び/又は許容誤差などによって例示図の形態が変形される場合があり、本発明の実施形態は図示した特定形態に制限されるものではなく、図面で示す領域は概略的な属性を有するものであって、図面で例示された領域の形態は素子の領域の特定形態を例示するためであり、発明の範疇を制限するものではない。

【0018】

他に定義されなければ、本明細書で使用されるすべての用語（技術及び科学的用語を含む）は、本発明が属する技術分野において通常の知識を有する者に共通に理解され得る意味において使用されるものであり、一般的に使用される辞典に定義されている用語は、明確に特別に定義されていない限り過度に解釈するものではない。

【0019】

図1は、本発明の実施形態に係る表示装置のブロック図である。

本発明の実施形態に係る表示装置は、表示パネル100及びパネル駆動部500を含み、表示パネル100にはマトリクス形態で配列された複数の画素Iが形成されている。表示パネル100は、例えば、液晶パネルであり、第1表示基板、第2表示基板及び両表示基板の間に介在する液晶層を含み、パネル駆動部500は、ゲート駆動部510、駆動電圧生成部520、データ駆動部530、階調電圧生成部540及びこれらを駆動する信号制御部550を含む。

【0020】

駆動電圧生成部520は、スイッチング素子T1, T2, Tcをターン-オンさせるゲートオン電圧Vonとターン-オフさせるゲートオフ電圧Voff、そして共通電極に印加される共通電圧Vcomなどを生成し、階調電圧生成部540は表示装置の輝度と関連する複数の階調電圧(gray scale voltage)を生成することができる。

【0021】

ゲート駆動部510は、ゲートラインG1~Gmに接続して駆動電圧生成部520からのゲートオン電圧Vonとゲートオフ電圧Voffの組合せからなるゲート信号をゲートラインG1~Gmに印加する。

データ駆動部530は、階調電圧生成部540から階調電圧の印加を受けて、信号制御部550の駆動によって選択された階調電圧をデータラインに印加する。

【0022】

信号制御部550は、外部のグラフィック駆動部(graphic controller)からRGB信号RGB及びこれを制御する制御入力信号(input control signal)、例えば垂直同期信号(vertical synchronizing signal: Vsync)と水平同期信号(horizontal synchronizing signal: Hsync)、メインクロック(main clock: CLK)、データイネーブル信号(data enable signal: DE)などの提供を受ける。

また、信号制御部550は、制御入力信号に基づいてゲート制御信号、データ制御信号及び電圧選択制御信号(voltage selection control signal: VSC)を生成することができる。

【0023】

ゲート制御信号は、ゲートオンパルス(ゲート信号のハイ区間)の出力開始を指示する垂直同期開始信号(vertical synchronization start signal: STV)、ゲートオンパルスの出力時期を駆動するゲートクロック信号(gate clock)及びゲートオンパルスの幅を限定するゲートオンイネーブル信号(gate on enable signal: OE)などを含む。

10

20

30

40

50

データ制御信号は、階調信号の入力開始を指示する水平同期開始信号 (horizontal synchronization start signal: STH) とデータラインに該当データ電圧の印加を命令するロード信号 (load signal: LOAD 又は TP)、データ電圧の極性を反転させる反転駆動信号 RVS 及びデータクロック信号 HCLK などを含む。

【0024】

画素 I は独立的に色相を表現する基本色相の最小単位であり、一般的には赤、青又は緑を表現する独立的な最小単位である。例えば、画素 I はデータラインとゲートラインによって囲まれた領域で定義してもよいが、これに限定されるものでなく、データラインとストレージライン又はデータライン、ゲートライン及びストレージラインによって囲まれた領域で定義してもよい。

10

【0025】

図 2 は、本発明の一実施形態に係る表示基板に使用される画素 I の等価回路図である。図 2 を参照すれば、画素 I は、第 1 ゲートライン G_n 、第 2 ゲートライン G_{n+1} 及びデータライン D に接続し、第 1 サブ画素 SP1、第 2 サブ画素 SP2、及び制御部 CP を含む。2 個のゲートライン G_n 、 G_{n+1} は互いに隣接して配置され、第 2 ゲートライン G_{n+1} は、第 1 ゲートライン G_n に対して後端ゲートラインであり、第 1 ゲートライン G_n にゲート電圧が印加された後、第 2 ゲートライン G_{n+1} にゲート電圧が印加される。図 2 には、 n と $n+1$ で第 1 ゲートラインと第 2 ゲートラインが順次に配列された例を示したが、これは一例であり、第 2 ゲートラインは第 1 ゲートラインに対して 2 つ以上後端のゲートラインであってよく、第 3 スイッチング素子 T_c を制御するための専用ゲートラインであってよい。

20

【0026】

図 2 に示すように、第 1 サブ画素 SP1 は、第 1 液晶キャパシタ C_{mlc} 、第 1 ストレージキャパシタ C_{mst} 、及び第 1 スイッチング素子 T_1 を含む。第 1 スイッチング素子 T_1 の各端子の接続は、制御端は第 1 ゲートライン G_n に、入力端はデータライン D に、出力端は第 1 液晶キャパシタ C_{mlc} 及び第 1 ストレージキャパシタ C_{mst} に、それぞれ接続している。そして、第 1 ストレージキャパシタ C_{mst} は第 1 ストレージライン MS に接続している。

【0027】

第 2 サブ画素 SP2 は、第 2 液晶キャパシタ C_{slc} 、第 2 ストレージキャパシタ C_{sst} 、及び第 2 スイッチング素子 T_2 を含む。ここで、第 2 スイッチング素子 T_2 の各端子の接続は、制御端は第 1 ゲートライン G_n に、入力端はデータライン D に、出力端は第 2 液晶キャパシタ C_{slc} 及び第 2 ストレージキャパシタ C_{sst} に、それぞれ接続している。そして、第 2 ストレージキャパシタ C_{sst} は第 2 ストレージライン SS に接続している。

30

【0028】

制御部 CP は、ダウンキャパシタ C_d と第 3 スイッチング素子 T_c を含む。第 3 スイッチング素子 T_c の各端子の接続は、制御端は第 2 ゲートライン G_{n+1} に、入力端は第 2 スイッチング素子 T_2 の出力端に、出力端はダウンキャパシタ C_d に、それぞれ接続している。このような接続により、第 3 スイッチング素子 T_c は第 2 ゲートライン G_{n+1} にゲート電圧が印加されるとターンオンし、第 2 液晶キャパシタ C_{slc} 、第 2 ストレージキャパシタ C_{sst} 、及びダウンキャパシタ C_d は互いに電荷分配 (charge sharing) することができる。また、このような過程により、第 2 液晶キャパシタ C_{slc} に充電される電圧が変わる。

40

【0029】

図 3 は、本発明の一実施形態に係る表示装置を説明するためのレイアウト図であり、図 4 は、図 3 に示す I-I' 線に沿って切断した断面図であり、図 5 は、本発明の一実施形態に係る表示装置の第 2 ストレージラインの電圧変化を説明するためのグラフである。

【0030】

50

図3及び図4を参照すれば、画素Iは3個のスイッチング素子T1、T2、Tcを含み、第1スイッチング素子T1は第1サブ画素電極271を駆動し、第2スイッチング素子T2は第2サブ画素電極273を駆動し、第3スイッチング素子Tcは第2サブ画素電極273の印加電圧を変化させる。すなわち、第1スイッチング素子T1は第1サブ画素電極271と電氣的に接続し、第2スイッチング素子T2は第2サブ画素電極273と電氣的に接続し、第3スイッチング素子Tcはカップリング電極257と電氣的に接続している。また、カップリング電極257は第2ストレージライン260と少なくとも一部分が重畳している。

【0031】

本発明の一実施形態に係る表示装置は、画素電極271、273を含む第1表示基板200と、第1表示基板200と対向し共通電極350を含む第2表示基板300と、第1表示基板200及び第2表示基板300の間に介在した液晶層400を含む。

第1表示基板200は、基板210上に形成された第1ゲートライン220、第2ゲートライン230、第1ストレージライン(280、283、281a、281b)、及び第2ストレージライン260、261を含む。基板210は、例えば、ソーダ石灰ガラス(soda lime glass)又はホウケイ酸ガラスなどのガラス又はプラスチックで形成することができる。

【0032】

第1ゲートライン220、第2ゲートライン230、第1ストレージライン280及び第2ストレージライン260は互いに離隔して第1方向DI1(図3における横方向)に延長している。第1ストレージライン280、283、281a、281b及び第2ストレージライン260、261は、それぞれ第1サブ画素電極271及び第2サブ画素電極273と重畳してキャパシタを形成し、このとき、第1ストレージライン280、283、281a、281bに印加される第1電圧と第2ストレージライン260、261に印加される第2電圧とは、互いに異なる電圧である。

【0033】

図4に示すように、第1ゲートライン220、第2ゲートライン230、第1ストレージライン280、283、281a、281b、及び第2ストレージライン260、261は同一レベルに形成することができる。ここで、「同一レベルに形成する」とは、同一物質で同一工程により作られることを意味し、したがって、第1ゲートライン220、第2ゲートライン230、第1ストレージライン280、283、281a、281b、及び第2ストレージライン260、261は互いに同一物質で形成することができる。また、これら第1、第2ゲートライン、第1、第2ストレージラインは、互いに異なるレベルに形成されてもよく、第1ゲートライン220と第2ストレージライン260、261との間に絶縁層が介在してもよい。

【0034】

第1ゲートライン220、第2ゲートライン230、第1ストレージライン280、283、281a、281b及び第2ストレージライン260、261は金属単一層又は多重層で形成することができ、例えば、アルミニウム(Al)とアルミニウム合金などのアルミニウム系金属、銀(Ag)と銀合金などの銀系金属、銅(Cu)と銅合金などの銅系金属、モリブデン(Mo)とモリブデン合金などのモリブデン系金属、マンガン(Mn)とマンガン合金などのマンガン系金属、クロム(Cr)、チタニウム(Ti)、タンタル(Ta)などで形成することができる。

【0035】

また、第1ゲートライン220、第2ゲートライン230、第1ストレージライン280、283、281a、281b及び第2ストレージライン260、261を形成する導電膜は、物理的性質が異なる2つの導電膜を含む多重膜構造を有するものであってもよい。このような導電膜は、第1ゲートライン220、第2ゲートライン230、第1ストレージライン280、283、281a、281b及び第2ストレージライン260、261の信号遅延や電圧降下を減らすために低比抵抗(resistivity)の金属、例え

10

20

30

40

50

ばアルミニウム系金属、銀系金属、銅系金属などで形成されてもよい。これとは異なり、導電膜は他の物質、特に酸化亜鉛 (ZnO)、ITO (indium tin oxide) 及びIZO (indium zinc oxide) との接触特性が優れた物質、例えばモリブデン系金属、クロム、チタニウム、タンタルなどで形成されてもよい。このような組合せの例としては、クロム下部膜とアルミニウム上部膜及びアルミニウム下部膜とモリブデン上部膜、又は銅マンガ (CuMn) 合金下部膜と銅上部膜、又はチタニウム下部膜と銅上部膜などが挙げられる。

【0036】

図3に示すように、第1ゲートライン220、第2ゲートライン230、及び第2ストレージライン260は、第1サブ画素電極271と第2サブ画素電極273との間に、互いに離隔し隣接して配置され、第1ストレージライン280、283、281a、281bとこれらの中に第1サブ画素電極271が配置されてもよい。また、第1ストレージライン280、283、281a、281b、第1ゲートライン220、第2ゲートライン230、及び第2ストレージライン260、261が形成された領域の間に、第2サブ画素電極273が配置されてもよい。

10

【0037】

第1ストレージラインは、第1ストレージライン280から分地されて第1方向DI1 (図3における横方向) と互いに異なる第2方向DI2 (図3における縦方向) に延長したサブストレージライン281a、281bを含み、サブストレージライン281a、281bは、第1サブ画素電極271と一部分が重畳しているが、第2サブ画素電極273とは重畳しない場合もある。前述のように、第1ストレージライン280、283、281a、281bは、第2ストレージライン260と離隔して形成されるため、互いに分離した状態で延長してもよく、第1ストレージライン280、283、281a、281bに印加される第1電圧と第2ストレージライン260に印加される第2電圧とは、互いに異なる電圧であってもよい。

20

【0038】

基板210上において、ゲート絶縁層215は、第1ゲートライン220、第2ゲートライン230、第1ストレージライン280、283、281a、281b及び第2ストレージライン260を覆っている。このゲート絶縁層215は、シリコン酸化物 (SiOx) などの無機絶縁物質、BCB (Benzocyclobutene)、アクリル系物質、ポリイミドのような有機絶縁物質で形成することができる。

30

【0039】

第1ゲートライン220のメインゲート電極上のゲート絶縁層230の上には、水素化非晶質シリコンなどの半導体からなる半導体層241が形成されており、半導体層241の上には、シリサイド又はn型不純物が高濃度でドーピングされたn+非晶質シリコンなどの物質で作られた抵抗接触層242が形成されている。

【0040】

ゲート絶縁層215、半導体層241、及び抵抗接触層242の上にはデータ配線250、251、252、253、254、255、256、257が形成され、これらのデータ配線も金属層からなる単一層又は多重層で形成することができる。データ配線を形成する金属層からなる単一層または多重層の例としては、Ni、Co、Ti、Ag、Cu、Mo、Al、Be、Nb、Au、Fe、Se、Mn又はTaなどの単一膜や、Ta/Al、Ta/Al、Ni/Al、Co/Al、Mo (Mo合金) / Cu、Mo (Mo合金) / Cu、Ti (Ti合金) / Cu、TiN (TiN合金) / Cu、Ta (Ta合金) / Cu、TiOx / Cu、Al / Nd、Mo / Nb、Mn (Mn合金) / Cuなどの二重膜構造が挙げられる。

40

【0041】

データ配線250、251、252、253、255、256、257は、基板210上の第2方向DI2 (図3における縦方向) に形成され、第1ゲートライン220、第2ゲートライン230、及び第2ストレージライン260と交差して、画素Iを定義するデー

50

タライン 250、ソース電極 251、253、255、ソース電極 251、253、255 と分離しており、ソース電極 251、253、255 の反対側に形成されるドレーン電極 252、254、256 を含んでもよい。さらに、カップリング電極 257 は後述する第 3 ドレーン電極 256 と接続してもよい。

また、データ配線 250、251、252、253、255、256、257 は、第 1 ゲートライン 220 及び第 2 ゲートライン 230 と共に第 1 ~ 第 3 スイッチング素子 T1、T2、Tc を構成する。

【0042】

第 1 スイッチング素子 T1 は、第 1 ゲートライン 220 と少なくとも一部分が重畳し、データライン 250 に接続した第 1 ソース電極 251 と、第 1 ゲートライン 220 と少なくとも一部分が重畳し、第 1 ソース電極 251 と離隔された第 1 ドレーン電極 252 を含む。第 2 スイッチング素子 T2 は、第 1 ゲートライン 220 と少なくとも一部分が重畳し、第 1 ソース電極 251 に接続した第 2 ソース電極 253 と、第 1 ゲートライン 220 と少なくとも一部分が重畳し、第 2 ソース電極と離隔した第 2 ドレーン電極 254 を含む。同様に、第 3 スイッチング素子 Tc は、第 2 ゲートライン 230 と少なくとも一部分が重畳して第 2 ドレーン電極 254 に接続した第 3 ソース電極 255 と、ダウンゲートライン 230 と少なくとも一部分が重畳して第 3 ソース電極 255 と離隔した第 3 ドレーン電極 256 を含む。

10

【0043】

第 1 ゲートライン 220 を介して、第 1 ゲート信号が印加されれば、第 1 ゲートライン 220 と少なくとも一部分がオーバーラップしたソース電極 251、253 及びドレーン電極 252、254 を含む第 1 スイッチング素子 T1 と第 2 スイッチング素子 T2 は、第 1 ゲート信号によって制御される。これと同様に、第 2 ゲートライン 230 を介して第 2 ゲート信号が印加されれば、第 2 ゲートライン 230 と少なくとも一部分がオーバーラップしたソース電極 255 及びドレーン電極 256 を含む第 3 スイッチング素子 Tc は、第 2 ゲート信号によって制御される。第 2 ゲート信号によって第 3 スイッチング素子 Tc がターンオンされれば、第 2 液晶キャパシタ Cs1c に充電された電圧が変化する。

20

【0044】

第 1 ドレーン電極 252 は、コンタクトホール 291 を介して第 1 サブ画素電極 271 と電氣的に接続し、第 2 ドレーン電極 254 は、コンタクトホール 293 を介して第 2 サブ画素電極 273 と電氣的に接続している。図 3 に示すように、安定的な電氣的接続のために、第 1 サブ画素電極 271 と第 2 サブ画素電極 273 は、各々拡張部 271a、273a を含み、第 1 ドレーン電極 252 と第 2 ドレーン電極 254 は、各々拡張部 252a、254a を含む。

30

【0045】

データ配線 250、251、252、253、255、256、257 上には、保護層 245 が形成され、保護層 245 内には、コンタクトホール 291、293 が形成されている。第 1 の実施形態に係る保護層 245 は、例えば、有機膜、無機膜又は有機膜と無機膜の多重膜で形成され、図面には図示していないが、データ配線 250、251、252、253、255、256、257 及びゲート絶縁層 230 のプロファイルに沿って、コンフォーマルに形成された無機物層と、前記無機物層上に形成された有機物層を含む。有機物層は平坦化特性が高い物質を使用する。

40

【0046】

保護層 245 の上部には画素電極 271、273 が形成され、画素電極 271、273 は通常 ITO (indium tin oxide) 又は IZO (indium zinc oxide) などの透明な導電物質で形成されている。画素電極 271、273 は、第 1 ドレーン電極 252 と電氣的に接続した第 1 サブ画素電極 271 と、第 2 ドレーン電極 254 と電氣的に接続した第 2 サブ画素電極 273 を含む。図 3 に示すように、第 1 サブ画素電極 271 及び第 2 サブ画素電極 273 はスリットパターンを含む。

【0047】

50

第2ストレージライン260とカップリング電極257の重複領域は、ダウンキャパシタCdを形成し、第2サブ画素電極273の充電電圧を下降させることができる。第2ストレージライン260に印加される電圧を調節して、ダウンキャパシタCdのキャパシタンスを調節することができるが、第2ストレージライン260に印加した電圧によって起こる第2サブ画素電極273の電圧変化については、図5を参照して後述する。

【0048】

図3及び図4に示すように、第2ストレージライン260は、カップリング電極257と重畳する領域において、面積が拡張された拡張部261を含み、この第2ストレージラインの拡張部261は、カップリング電極257とダウンキャパシタCdを形成して、第2サブ画素電極273の充電電圧を下降させることができる。

10

【0049】

さらに、第2ストレージライン260は、第1ストレージライン280、283、281a、281bと分離して形成され、第1ストレージラインのサブストレージライン281a、281bは、第1サブ画素電極271と一部分が重畳するように形成される。また、第1ストレージラインは、2つ以上のサブストレージライン281a、281bを含んでもよく、データライン250に隣接して第1サブ画素電極271と重畳して形成してもよい。

【0050】

図3に示すように、第1ストレージライン280、283は2つのサブストレージライン281a、281bを含み、第1サブ画素電極271の外周部に沿って「」のような形状を有してもよい。このとき、第1ストレージライン280、283、281a、281bは第2サブ画素電極273とはオーバーラップしなくてもよい。ただし、前述した第1ストレージライン280、283、281a、281bの形状は一つの例示であり、第1サブ画素電極271の形状に応じてサブストレージライン281a、281bの形状を変更することができることはもちろんである。

20

【0051】

また、第1ストレージライン280、283、281a、281bは第2ストレージライン260と分離して形成される。図4のX部分に示すように、第1ストレージライン280、283、281a、281bの終端は第2ストレージライン260と離隔して形成される。すなわち、第1ストレージライン280、283、281a、281bと第2ストレージライン260は、物理的、電氣的に分離して形成される。

30

このことによって、第1ストレージライン280、283、281a、281bに印加される第1電圧と、第2ストレージライン260に印加される第2電圧は、互いに異なる電圧とすることができる。図示していないが、第1ストレージライン280、283、281a、281bと第2ストレージライン260は、表示パネル100の回路部（図示せず）に形成されて互いに異なる電圧を印加する第1電圧配線及び第2電圧配線と各々接続して、互いに異なる電圧の印加を受けることができる。

【0052】

図5に示すように、第2ストレージライン260に印加する電圧は変化させることができ、共通電極に印加される共通電圧と異なる電圧であってもよい。第2サブ画素電極273に印加された電圧は、ダウンキャパシタCdによって変化するため、第2ストレージライン260に印加される電圧レベルを調節することによってダウンキャパシタCdのキャパシタンスを調節することができる。すなわち、第2サブ画素電極273に印加された電圧をシェアリング（sharing）する電圧レベルを調節することができる。

40

【0053】

図5を参照すれば、例えば、第1サブ画素電極及び第2サブ画素電極271、273が反転駆動方式で駆動するとするとき、第2ストレージライン260に印加するストレージ電圧Vssは、共通電圧Vcomを基準にスイング（swing）するハイレベルもしくはローレベル電圧とすることができる。すなわち、陽電圧で反転駆動する場合、共通電圧Vcomを基準にハイレベルの電圧をストレージ電圧Vssとして印加し、陰電圧で反転駆

50

動する場合、共通電圧 V_{com} を基準にローレベルの電圧をストレージ電圧 V_{ss} として印加することができる。

【0054】

したがって、ダウンキャパシタ C_d による電荷共有 (charge sharing) が起きる前の第2サブ画素電極 273 に印加されるデータ電圧 V_{sp2a} は、電荷共有が起きた後の第2サブ画素電極 273 の電圧 V_{sp2b} に変化してもよく、第2ストレージライン 260 に印加されるストレージ電圧 V_{ss} が、共通電圧 V_{com} との電圧差が大きいほど、電荷共有が起きた後の第2サブ画素電極 273 の電圧 V_{sp2b} は、電荷共有が起きる前の第2サブ画素電極 273 の電圧 V_{sp2a} に比べ大きく減少する。

【0055】

再び図4を参照すれば、第2表示基板 300 では第2基板 310 の上に遮光層 320 が形成されており、遮光層 320 は、一般的に赤、緑及び青フィルタの間を区分し、第1表示基板 200 に位置する薄膜トランジスタへの直接的な光照射を遮断する役割を果たしている。このような遮光層 320 は、通常黒色顔料を添加した感光性有機物質又はクロム/クロムオキサイド (Cr/CrO_x) などの物質を含むことができる。

【0056】

カラーフィルタ層 330 は、遮光層 320 を境界とし、赤、緑及び青フィルタが反復して形成されており、バックライトユニット (図示せず) から照射されて液晶層 400 を通過した光に、色相を付与する役割を果たし、通常、感光性有機物質で形成されている。

カラーフィルタ層 330 と遮光層 320 の上部には、オーバーコート層 340 が形成され、オーバーコート層 340 は、カラーフィルタ層 330 を平坦化し、かつカラーフィルタ層 330 を保護する役割を果たしている。また、オーバーコート層 340 は、通常アクリル系エポキシ材料が用いられるが、これに限定されるものではない。

【0057】

オーバーコート層 340 の上部には、共通電極 350 が形成され、共通電極 350 は、ITO (indium tin oxide) 又はIZO (indium zinc oxide) などの透明な導電物質からなり、第1表示基板 200 の画素電極 270 と共に液晶層 400 に電圧を印加する。また、共通電極 350 には共通電極切開パターン 351 が形成されていてもよい。

【0058】

本発明の一実施形態に係る表示装置によれば、互いに分離した第1ストレージライン及び第2ストレージラインを形成し、第1ストレージライン及び第2ストレージラインに互いに異なる電圧を印加することによって、画素領域付近で光漏れ現象やテクスチャ (texture) が発生することを防止することができる。

【0059】

次に、図6及び図7を参照して、本発明の他の実施形態に係る表示装置について説明する。図6は、本発明の他の実施形態に係る表示装置に使用される画素Iの等価回路図である。図7は、本発明の他の実施形態に係る表示装置を説明するためのレイアウト図である。

【0060】

本発明の他の実施形態に係る表示装置と前述の実施形態に係る表示装置との区別点は、カップリングゲートラインである第2ゲートラインに印加されるカップリングゲート信号 (第2ゲート信号) によって制御される制御スイッチング素子 (第3スイッチング素子) と、接続された制御ラインを含むという点である。以下ではこのような区別点を中心に説明し、前述した構成要素と実質的に同一構成要素に対する具体的な説明は省略する。

【0061】

図6を参照すれば、画素Iは、第1ゲートライン G_n 、第2ゲートライン G_{n+1} 、データライン D 、及び制御ライン C と接続し、第1サブ画素 SP_1 、第2サブ画素 SP_2 、及び制御部 CP を含む。2個のゲートライン G_n 、 G_{n+1} は、互いに隣接して配置してもよく、例えば、第2ゲートライン G_{n+1} が第1ゲートライン G_n に対して後端ゲートラインであってもよく、第1ゲートライン G_n にゲート電圧を印加した後、次いで第2ゲ-

10

20

30

40

50

トライン G_{n+1} にゲート電圧を印加するようにしてもよい。

【0062】

特に、制御部 CP の制御スイッチング素子である第 3 スwitchング素子 T_c の入力端は制御ライン C に接続し、第 3 スwitchング素子 T_c の制御団は第 2 ゲートライン G_{n+1} に接続し、第 3 スwitchング素子 T_c の出力端はカップリングキャパシタ C_{cp} と接続する。このとき、第 3 スwitchング素子 T_c の出力端と、第 2 スwitchング素子 T_2 の出力端によってカップリングキャパシタ C_{cp} が形成される。図 6 において、 n と $n+1$ の符号で第 1 ゲートラインと第 2 ゲートラインが順次配列した場合を図示したが、これは 1 つの例であり、第 2 ゲートラインは第 1 ゲートラインに対して 2 つ以上の後端ゲートライン又は専用ゲートラインであってもよい。

10

【0063】

図 7 を参照すれば、本発明の他の実施形態に係る表示装置は、第 1 表示基板 200、第 2 表示基板（図 4 の 300 参照）及び液晶層（図 4 の 400 参照）を含む。

第 1 表示基板 200 は、基板 210 上に形成された第 1 ゲートライン 220、第 1 ゲートライン 220 と隔離して配置されたカップリングゲートラインである第 2 ゲートライン 230、及び第 2 ゲートライン 230 に印加される第 2 ゲート信号によって制御される第 3 スwitchング素子 T_c に接続した制御ライン 290 を含む。

【0064】

第 1 ゲートライン 220 及び第 2 ゲートライン 230 は互いに隔離して第 1 方向 DI1（図 7 における横方向）、に延長されている。第 1 ゲートライン 220 を介して印加される第 1 ゲート信号は第 1 スwitchング素子 T_1 と第 2 スwitchング素子 T_2 を制御する。

20

第 2 ゲートライン 230 は、第 3 スwitchング素子 T_c を制御するためのものであり、第 2 ゲートライン 230 に印加される第 2 ゲート信号は、例えば後端のゲート信号であってもよい。

第 1 スwitchング素子 T_1 は、第 1 サブ画素電極 271 と電氣的に接続し、第 2 スwitchング素子 T_2 は第 2 サブ画素電極 273 に電氣的に接続する。

【0065】

制御ライン 290 は、第 3 スwitchング素子 T_c に接続したカップリング電極 257 を含む。より具体的には、第 3 スwitchング素子 T_c は、第 2 ゲートライン 230 と少なくとも一部分が重畳して制御ライン 290 から分地した制御ソース電極 292 と、第 2 ゲートライン 230 と少なくとも一部分が重畳して制御ソース電極 292 と隔離された制御ドレーン電極 294 を含む。カップリング電極 257 は、制御ドレーン電極 294 に接続し、制御ドレーン電極 294 の面積よりさらに拡張した面積を有していても良い。さらに、カップリング電極 257 は、第 2 サブ画素電極 273 のカップリング領域 273b とオーバーラップし、第 2 サブ画素電極 273 のカップリング領域 273b とカップリング電極 257 が重畳した領域は、第 2 サブ画素電極 273 の充電電圧を下降させるカップリングキャパシタ C_{cp} を形成することができる。ここで、カップリング領域 273b は、第 2 サブ画素電極 273 の拡張部としてカップリング電極 257 と重畳した領域を意味する。

30

【0066】

図 7 に示すように、第 1 表示基板 200 は、第 1 方向 DI1（図 7 における横方向）と互いに異なる第 2 方向 DI2（図 7 における縦方向）に延長された複数のデータライン 250 を含み、制御ライン 290 は複数のデータライン 250 と隔離して第 2 方向 DI2（図 7 における縦方向）に延長されている。

40

【0067】

また、図 7 に示すように、複数のデータライン 250 の間に制御ライン 290 が形成されていてもよく、複数のデータライン 250 と制御ライン 290 が同一レベルに形成されてもよい。ここで、「同一レベルに形成される」とは、同一の物質を用いて同一工程によって形成されることを意味する。したがって、制御ライン 290 は、データ配線 250、251、252、253、254 と同一の物質で形成されていてもよい。

【0068】

50

さらに、前述の第 1 の実施形態と同様に、第 1 ゲートライン 220 及び第 2 ゲートライン 230 は、第 1 サブ画素電極 271 と第 2 サブ画素電極 273 との間に配置されてもよい。すなわち、第 1 サブ画素電極 271 と第 2 サブ画素電極 273 が配置された間の領域に、第 1 ゲートライン 220、第 2 ゲートライン 230、第 1 スイッチング素子 T1、第 2 スイッチング素子 T2、第 3 スイッチング素子 Tc、第 1 スイッチング素子 T1 と第 1 サブ画素電極 271 を電氣的に接続する第 1 コンタクトホール 291、第 2 スイッチング素子 T2 と第 2 サブ画素電極 273 を電氣的に接続する第 2 コンタクトホール 293、及びカップリングキャパシタ Ccp を形成するための第 2 サブ画素電極 273 のカップリング領域 273b とカップリング電極 257 が配置されていてもよい。

【0069】

前述のように、第 2 ゲートライン 230 に第 2 ゲート信号が印加された後、制御ライン 290 を介して伝達された制御信号が第 3 スイッチング素子 Tc を介してカップリングキャパシタに印加され、カップリングキャパシタによって第 2 サブ画素電極 273 の電圧変化が誘導される。このように、第 2 サブ画素電極 273 のカップリング領域 273b とカップリング電極 257 によってカップリングキャパシタ Ccp が形成されるため、第 1 の実施形態での第 2 ストレージライン（図 3 の 260 参照）を省略することができる。これによって、第 1 サブ画素電極 271 と第 2 サブ画素電極 273 との間に配置される構成要素、例えば、第 1 ゲートライン 220、第 2 ゲートライン 230、第 1 及び第 2 コンタクトホール 291、293 を、無理なく配置することができる。のみならず、第 1 サブ画素電極 271 と第 2 サブ画素電極 273 との間の間隔を減少させることができるので、開口率を向上させることができる。

【0070】

図 7 に示すように、隣接する 2 つのデータライン 250 の間に制御ライン 290 が配置されている場合、制御ライン 290 と一方のデータライン 250 の間には第 1 スイッチング素子 T1 及び第 2 スイッチング素子 T2 を配置し、制御ライン 290 と他方のデータライン 250 の間に第 3 スイッチング素子 Tc 及びカップリングキャパシタ Ccp を配置することができる。ただし、これは 1 つの実施形態に過ぎず、制御ライン 290 とデータライン 250 の相対的配置と、これらによって形成される空間に対する構成要素の配置は、多様に変形することができる。

【0071】

例えば、図 8 に示すように制御ライン 290 は、第 1 ゲートライン 220 及び第 2 ゲートライン 230 と同一な第 1 方向 DI1（図 7 における横方向）に延長するように形成してもよい。図 8 は、本発明の第 3 の実施形態に係る表示装置に使用される画素 I の等価回路図である。

【0072】

図 8 に示すように、制御ライン 290 は、互いに離隔された第 1 制御ライン Ck 及び第 2 制御ライン Ck+1 を含み、第 1 ゲートライン Gn 及び第 2 ゲートライン Gn+1 と同一な第 1 方向 DI1（図 7 における横方向）、に延長されている。

【0073】

また、画素 I は第 1 サブ画素 SP11、SP21 と第 2 サブ画素 SP21、SP22 及び制御部 CP1、SP2 を各々含む第 1 画素部と第 2 画素部を含んでもよい。第 1 画素部の制御部 CP1 に含まれた制御スイッチング素子 Tc は第 1 制御ライン Ck に接続し、第 2 画素部の制御部 CP2 に含まれた制御スイッチング素子 Tc は第 2 制御ライン Ck+1 と接続してもよい。このとき、第 1 制御ライン Ck に印加される第 1 制御信号と、第 2 制御ライン Ck+1 に印加される第 2 制御信号は互いに相補的であってもよい。

【0074】

次に、図 9 ~ 図 11B を参照して本発明のまた他の実施形態に係る表示装置について説明する。図 9 は、本発明のまた他の実施形態に係る表示装置を説明するためのレイアウト図であり、図 10 (A)、(B) 及び図 11 (A)、(B) は、図 9 に示す A1 及び A2 の領域を拡大した部分拡大図である。

10

20

30

40

50

【0075】

図9を参照すれば、本発明のまた他の実施形態において、第1表示基板(図4の200参照)は、第1サブ画素271__1, 271__2及び第2サブ画素273__1, 273__2を各々含む第1画素部PX1及び第2画素部PX2を含む。第2表示基板(図4の300参照)は、赤色カラーフィルタ、緑色カラーフィルタ及び青色カラーフィルタがそれぞれ形成されたカラーフィルタ層(図4の330参照)を含む。第2表示基板300上には、第1画素部PX1に対応して赤色カラーフィルタ又は緑色カラーフィルタが配置され、第2画素部PX2に対応して青色カラーフィルタが配置されてもよい。このとき、第1画素部PX1のカップリング電極257aの面積(第1面積)は、第2画素部PX2のカップリング電極257bの面積(第2面積)より小さい。

10

【0076】

図10(A)、(B)を参照すれば、第1画素部PX1の第1サブ画素電極271__1は、第1方向DI1の垂直方向(図10における縦方向)に対して第1鋭角1に傾いた第1スリットパターン271__1a、271__1bを含み、第2画素部PX2の第1サブ画素電極271__2は、第1方向DI1の垂直方向(図10における縦方向)に対して第2鋭角2に傾いた第2スリットパターン271__2a、271__2bを含む。このとき、第2鋭角2のは第1鋭角1より小さい角度である。例えば、第2鋭角2の角度は約35度以下であっても、約30度~約35度であってもよく、第1鋭角1の角度は例えば、約40度であってもよい。異なる実施形態においては、第2鋭角2の角度を第1鋭角1の角度より約5度以上小さいように第1スリットパターン271__1a、271__1bと第2スリットパターン271__2a、271__2bを形成してもよい。このように、青色カラーフィルタに対応する第2画素部PX2のスリットパターン271__2a、271__2bの傾きを減少させることにより、青色画素の輝度を減少させることができ、低階調範囲のレディッシュ(reddish)現象を減少させることができる。

20

【0077】

すなわち、青色カラーフィルタが配置された第2画素部PX2のカップリング電極257bの第2面積を、赤色カラーフィルタ又は緑色カラーフィルタが配置された第1画素部PX1のカップリング電極257aの第1面積より小さく形成することにより、高階調範囲のイエローイッシュ(yellowish)現象を減少させ、これと共に、青色カラーフィルタに対応する第2画素部PX2の第2スリットパターン271__2a、271__2bの傾きを第1画素部PX1の第1スリットパターン271__1a、271__1bの傾きより小さく形成して、低階調範囲のレディッシュ(reddish)現象を減少させることができる。言い換えれば、本発明の他の実施形態に係る表示装置は、低階調範囲のレディッシュ現象と高階調範囲のイエローイッシュ現象を同時に減少させることができ、表示品質を従来のものに比べ大幅に向上させることができる。

30

【0078】

また、他のいくつかの実施形態において、図11(A)、(B)に示すように、第1画素部PX1の第1サブ画素電極271__1は第1オープン部271__1bと第1電極部271__1aを含む第1スリットパターン271__1a、271__1bを含み、第2画素部PX2の第1サブ画素電極271__2は第2オープン部271__2bと第2電極部271__2aを含む第2スリットパターン271__2a、271__2bを含み、第2オープン部271__2bの幅D2は、第1オープン部271__1bの幅D1より大きく形成することができる。第2表示基板300上には、第1画素部PX1に対応して赤色カラーフィルタ又は緑色カラーフィルタを配置し、第2画素部PX2に対応して青色カラーフィルタを配置してもよい。

40

【0079】

すなわち、図10(A)、(B)の場合には、第1スリットパターン271__1a、271__1b及び第2スリットパターン271__2a、271__2bの傾きに差異を与えることによって、青色画素の輝度を赤色画素及び緑色画素の輝度に比べて相対的に減少させたが、図11A及び図11Bの場合には、第1スリットパターン271__1a、271__1

50

bと第2スリットパターン271__2 a、271__2 bのオープン部271__1 b、271__2 bの幅D1, D2に差異を与えることによって、青色画素の輝度を赤色画素及び緑色画素の輝度に比べて相対的に減少させている。

【0080】

言い換えると、図11(A)、(B)に示した実施形態の場合には、青色カラーフィルタが配置された第2画素部PX2のカップリング電極257bの第2面積を、赤色カラーフィルタ又は緑色カラーフィルタが配置された第1画素部PX1のカップリング電極257aの第1面積より小さく形成して、高階調範囲のイエローイッシュ(yellowish)現象を減少させ、これと共に、青色カラーフィルタに対応する第2画素部PX2の第2スリットパターンの第2オープン部271__2 bの幅D2を第1画素部PX1の第1スリットパターンの第1オープン部271__1 bの幅D1より大きく形成して低階調範囲のレディッシュ(reddish)現象を減少させている。このように、本発明の第3の実施形態に係る表示装置は、低階調範囲のレディッシュ現象と高階調範囲のイエローイッシュ現象を同時に減少させることによって表示品質を従来のものに比べ大幅に向上させることができる。

10

【0081】

以上、本発明の実施形態について図面を参照して説明したが、本発明が属する技術分野において通常の知識を有する者は、本発明がその技術的思想や必須の特徴を変更せず、他の具体的な形態で実施され得ることを理解することができるはずである。したがって、上記実施形態はすべての面で例示的なものであり、本発明はこれに限定されるものではない。

20

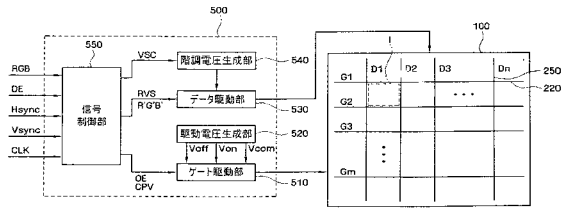
【符号の説明】

【0082】

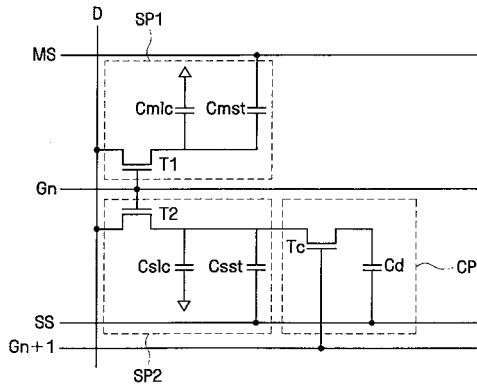
100	表示パネル	
200	第1表示基板	
210	基板	
215	ゲート絶縁層	
220	第1ゲートライン	
230	第2ゲートライン	
241	半導体層	
242	抵抗接触層	30
245	保護層	
250	データライン	
251	第1ソース電極	
252	第1ドレーン電極	
252 a、254 a	ドレーン電極拡張部	
253	第2ソース電極	
255	第3ソース電極	
254	第2ドレーン電極	
256	第3ドレーン電極	
257	カップリング電極	40
257 a	第1画素部のカップリング電極	
257 b	第2画素部のカップリング電極	
260、261	第2ストレージライン、その拡張部	
271	第1サブ画素電極	
271__1、271__2	第1サブ画素	
271__1 a、271__1 b	第1画素部の第1スリットパターン(第1オープン部、第1電極部)	
271__2 a、271__2 b	第1画素部の第2スリットパターン(第2オープン部、第2電極部)	
271 a、273 a	サブ画素電極拡張部	50

2 7 3	第 2 サブ画素電極	
2 7 3 __ 1、 2 7 3 __ 2	第 2 サブ画素	
2 7 3 __ 1 a、 2 7 3 __ 1 b	第 2 画素部の第 1 スリットパターン	
2 7 3 __ 2 a、 2 7 3 __ 2 b	第 2 画素部の第 2 スリットパターン	
2 7 3 b	サブ画素電極のカップリング領域	
2 8 0、 2 8 3	第 1 ストレージライン	
2 8 1 a、 2 8 1 b	第 1 ストレージラインのサブストレージライン	
2 9 0	制御ライン	
2 9 1	第 1 コンタクトホール	
2 9 2	制御ソース電極	10
2 9 3	第 2 コンタクトホール	
2 9 4	制御ドレーン電極	
3 0 0	第 2 表示基板	
3 1 0	第 2 基板	
3 2 0	遮光層	
3 3 0	カラーフィルタ層	
3 4 0	オーバーコート層	
3 5 0	共通電極	
3 5 1	共通電極切開パターン	
4 0 0	液晶層	20
5 0 0	パネル駆動部	
5 1 0	ゲート駆動部	
5 2 0	駆動電圧生成部	
5 3 0	データ駆動部	
5 4 0	階調電圧生成部	
5 5 0	信号制御部	

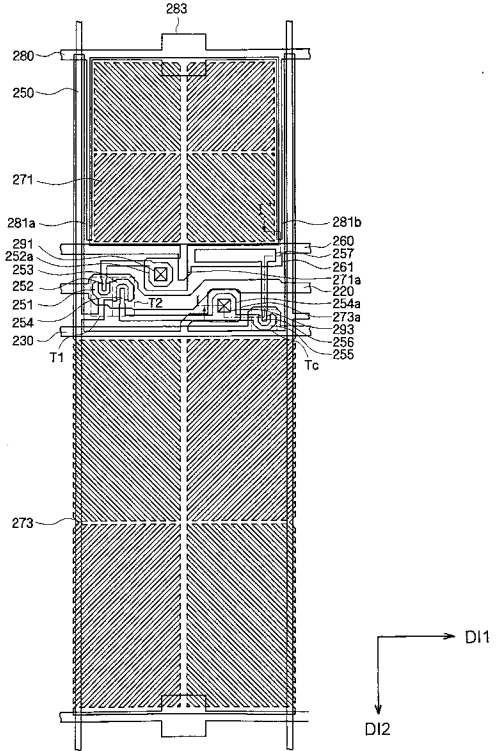
【図1】



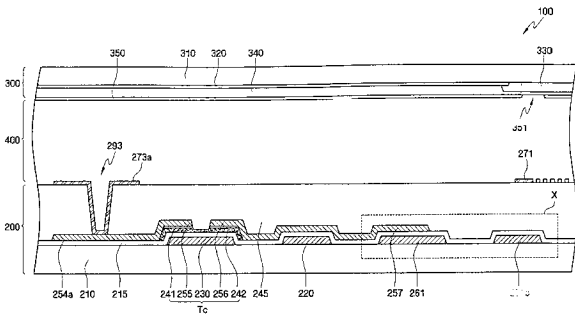
【図2】



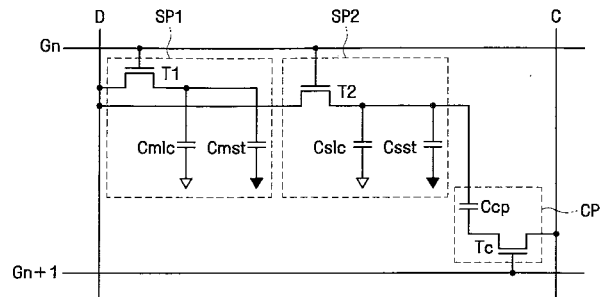
【図3】



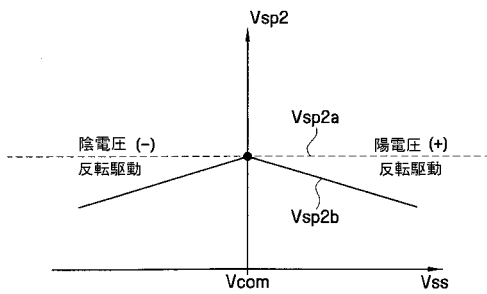
【図4】



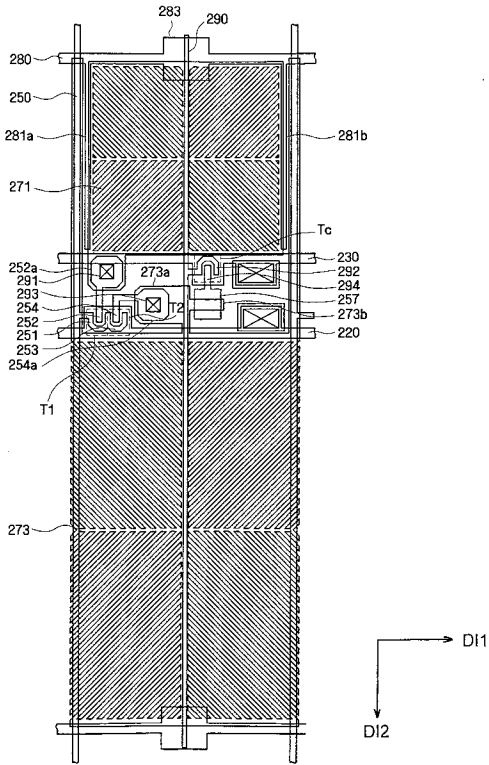
【図6】



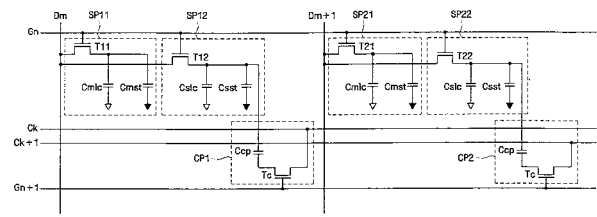
【図5】



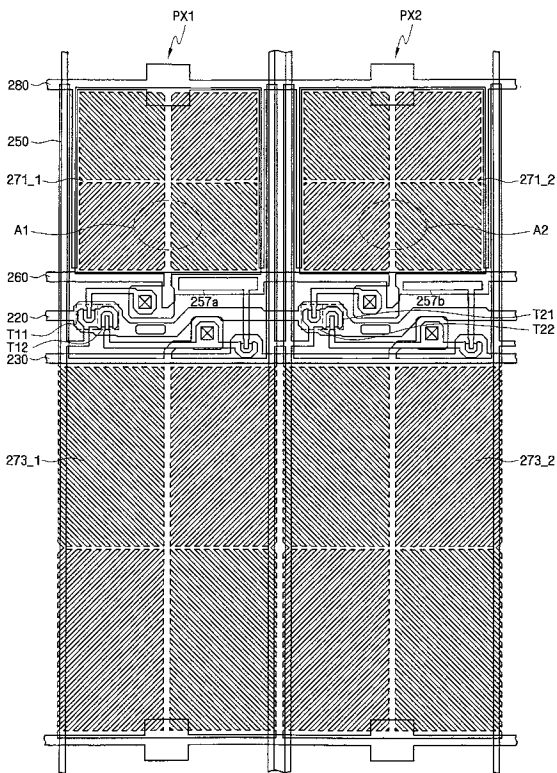
【図7】



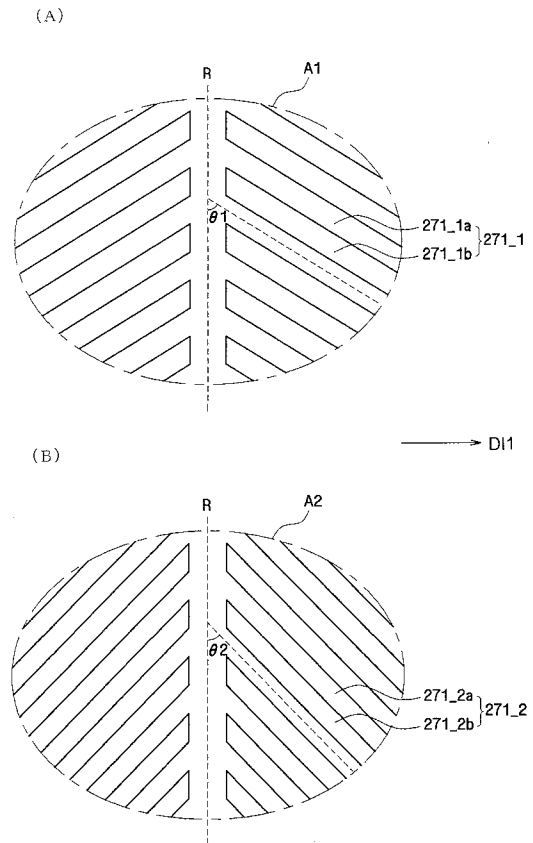
【図8】



【図9】

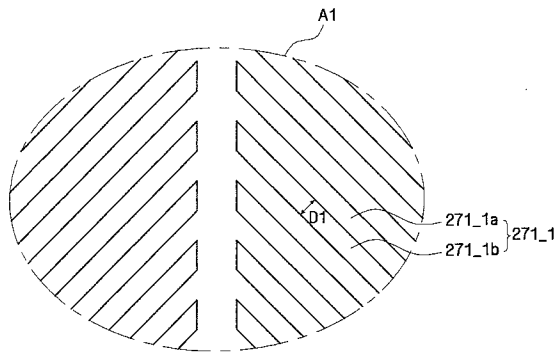


【図10】

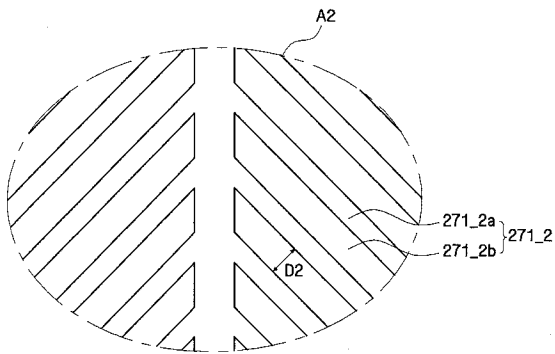


【 図 1 1 】

(A)



(B)



フロントページの続き

(72)発明者 嚴 允 成

大韓民国 京畿道 龍仁市 水枝区 上現洞 上現マウル 雙龍2次アパート 216棟 170
2号

(72)発明者 羅 鍾 熙

大韓民国 忠清南道 牙山市 湯井面 三星クリスタル寄宿舍 青玉棟 702号

(72)発明者 崔 永 ミン

大韓民国 京畿道 華城市 餅店洞 安和マウル 住公7団地アパート 703棟 1502号

Fターム(参考) 2H092 GA14 JA26 JA46 JB05 JB42 JB64 JB66 JB69 NA01 PA06

PA08 QA09

2H192 AA24 BA25 BC24 BC26 BC31 CB05 CC04 CC15 CC22 DA13

DA42 DA52 DA65 EA22 EA43 GD61 JA13

专利名称(译)	表示装置		
公开(公告)号	JP2016212441A	公开(公告)日	2016-12-15
申请号	JP2016173702	申请日	2016-09-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金容照 金潤ジャン 嚴允成 羅鍾熙 崔永ミン		
发明人	金容照 金潤ジャン 嚴允成 羅鍾熙 崔永ミン		
IPC分类号	G02F1/1368 G02F1/1343		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB42 2H092/JB64 2H092/JB66 2H092/JB69 2H092/NA01 2H092/PA06 2H092/PA08 2H092/QA09 2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC15 2H192/CC22 2H192/DA13 2H192/DA42 2H192/DA52 2H192/DA65 2H192/EA22 2H192/EA43 2H192/GD61 2H192/JA13		
优先权	1020100075588 2010-08-05 KR		
其他公开文献	JP6347811B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有改善的显示质量的显示器。解决方案：显示器包括：第一显示基板；面向所述第一显示基板的第二显示基板；以及插入在第一显示基板和第二显示基板之间的液晶层。第一显示基板包括：彼此分离布置的第一栅极线和第二栅极线；第一开关元件和第二开关元件，其被施加有从第一栅极线施加的第一栅极信号；第三开关元件，其与控制线连接并且被施加有来自所述第二栅极线的第二栅极信号；与第一开关元件连接的第一子像素电极；与第二开关元件连接的第二子像素电极；以及与第三开关元件连接的耦合电极。第二子像素电极与耦合电极重叠。选择图：图7

