

【選択図】 図5

【特許請求の範囲】

【請求項 1】

第 1 の絶縁層の上層にある第 1 の電極層に設けられるゲート電極膜、
前記ゲート電極膜の上方に第 2 の絶縁層を介して配置される半導体膜、
前記半導体膜の上にある第 2 の電極層に設けられ、前記半導体膜の上面の一部に接する
ドレイン電極、および
前記第 2 の電極層に設けられ、前記半導体膜の上面の一部に接するソース電極、
を含む薄膜トランジスタと、
前記第 1 の絶縁層の下層に配置され、平面的にみて少なくとも一部が前記半導体膜およ
び前記ゲート電極膜と重なるように設けられる遮光膜と、
を含み、
前記ドレイン電極および前記ソース電極のうち一方は、画素回路にオン信号を供給する
ゲート線に接続され、
前記遮光膜は金属の膜であり、前記ソース電極と電氣的に接続される
ことを特徴とする液晶表示装置。

10

【請求項 2】

前記ドレイン電極および前記ソース電極のうち他方は、周期的なパルスを供給するクロ
ック信号線に接続される、
ことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記ゲート電極は前記第 2 の電極層にある配線と前記第 2 の絶縁層を貫く第 1 の孔を介
して接続され、
前記遮光膜は前記ソース電極と前記第 1 および第 2 の絶縁層を貫く第 2 の孔を介して接
続される、
ことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

30

【請求項 4】

金属を含む遮光膜を形成する工程と、
前記遮光膜の上層に第 1 の絶縁層を形成する工程と、
前記第 1 の絶縁層の上層に平面的にみて少なくとも一部が前記遮光膜と重なるゲート電
極膜を形成する工程と、
前記ゲート電極膜の上層に第 2 の絶縁層を形成する工程と、
前記第 2 の絶縁層を貫き前記ゲート電極膜に至る第 1 の孔と、前記第 1 および第 2 の絶
縁層を貫き前記遮光膜に至る第 2 の孔とを一回のエッチングにより形成する工程と、
前記第 2 の絶縁層の上層かつ平面的にみて少なくとも一部が前記ゲート電極と重なる半
導体膜を形成する工程と、
前記半導体膜の上面に接するドレイン電極と、前記半導体膜の上面に接しかつ前記第 2
の孔において遮光膜と接するソース電極と、前記第 1 の孔において前記ゲート電極膜に接
する配線とを含む層を形成する工程と、
を含むことを特徴とする液晶表示装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置および液晶表示装置の製造方法に関する。

【背景技術】

【0002】

液晶表示パネルは、複数の画素回路が配置される表示領域と、その周辺にある額縁領域
とを有するアレイ基板を含んでいる。アレイ基板には、多くの薄膜トランジスタが形成さ
れている。アレイ基板上に形成される半導体膜の少なくとも一部は各薄膜トランジスタの
チャネルであるが、この半導体膜にバックライトからの光が当たるとリーク電流が生じる

50

ことが知られている。このリーク電流を防ぐために、ゲート電極の下方に遮光膜を設けることがある。この遮光膜は、半導体膜にバックライトからの光が当たることを防ぐように配置されている。

【0003】

特許文献1には、ゲート電極の下方に遮光膜を設け、ゲート電極と遮光膜との間に絶縁膜を設けた薄膜トランジスタ、およびその薄膜トランジスタを用いた液晶表示装置が開示されている。

【先行技術文献】

【特許文献】

【0004】

10

【特許文献1】特開2011-238835号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

表示領域を確保しつつ液晶表示装置を小型化するために、表示領域の周りにある額縁領域を狭くすることが求められている。近年は、額縁領域に多くの薄膜トランジスタを含むゲート線駆動回路が形成されるようになり、額縁領域を狭くするにはゲート線駆動回路を小型化する必要性が生じている。一方、遮光膜を設けると、ゲート電極に印加される信号に対する薄膜トランジスタの反応が悪化してしまうこともあった。

【0006】

20

本発明は上記課題を鑑みてなされたものであって、その目的は、ゲート線駆動回路を小型化することを可能にする技術を提供することにある。また、本発明の他の目的は、薄膜トランジスタが、ゲート電極に印加される信号に対して本構成を有しない場合より確実に反応することを可能にする技術を提供することにある。

【課題を解決するための手段】

【0007】

本出願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0008】

(1) 第1の絶縁層の上層にある第1の電極層に設けられるゲート電極膜、前記ゲート電極膜の上方に第2の絶縁層を介して配置される半導体膜、前記半導体膜の上にある第2の電極層に設けられ、前記半導体膜の上面の一部に接するドレイン電極、および、前記第2の電極層に設けられ、前記半導体膜の上面の一部に接するソース電極、を含む薄膜トランジスタと、前記第1の絶縁層の下層に配置され、平面的にみて少なくとも一部が前記半導体膜および前記ゲート電極膜と重なるように設けられる遮光膜と、を含み、前記ドレイン電極および前記ソース電極のうち一方は、画素回路にオン信号を供給するゲート線に接続され、前記遮光膜は金属の膜であり、前記ソース電極と電氣的に接続されることを特徴とする液晶表示装置。

30

【0009】

(2) (1)において、前記ドレイン電極および前記ソース電極のうち他方は、周期的なパルスを供給するクロック信号線に接続される、ことを特徴とする液晶表示装置。

40

【0010】

(3) (1)または(2)において、前記ゲート電極は前記第2の電極層にある配線と前記第2の絶縁層を貫く第1の孔を介して接続され、前記遮光膜は前記ソース電極と前記第1および第2の絶縁層を貫く第2の孔を介して接続される、ことを特徴とする液晶表示装置。

【0011】

(4) 金属を含む遮光膜を形成する工程と、前記遮光膜の上層に第1の絶縁層を形成する工程と、前記第1の絶縁層の上層に平面的にみて少なくとも一部が前記遮光膜と重なるゲート電極膜を形成する工程と、前記ゲート電極膜の上層に第2の絶縁層を形成する工程

50

と、前記第2の絶縁層を貫き前記ゲート電極膜に至る第1の孔と、前記第1および第2の絶縁層を貫き前記遮光膜に至る第2の孔とを一回のエッチングにより形成する工程と、前記第2の絶縁層の上層かつ平面的にみて少なくとも一部が前記ゲート電極と重なる半導体膜を形成する工程と、前記半導体膜の上面に接するドレイン電極と、前記半導体膜の上面に接しかつ前記第2の孔において遮光膜と接するソース電極と、前記第1の孔において前記ゲート電極膜に接する配線とを含む層を形成する工程と、を含むことを特徴とする液晶表示装置の製造方法。

【発明の効果】

【0012】

本発明によれば、ゲート線駆動回路を小型化することができる。また、ゲート電極に印加される信号に対して、薄膜トランジスタを本構成を有しない場合より確実に反応させることができる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態にかかるアレイ基板における回路配置の一例を示す図である。

【図2】表示領域内にある画素回路の等価回路の一例を示す回路図である。

【図3】ゲート線駆動回路の等価回路の一例を示す回路図である。

【図4】回路Aの構造を示す平面図である。

【図5】図4のV-V切断線における断面図である。

【図6】回路Bの構造を示す平面図である。

【図7】図6のVII-VII切断線における断面図である。

【図8】画素スイッチおよびゲート線の構造を示す平面図である。

【図9】図8のIX-IX切断線における断面図である。

【発明を実施するための形態】

【0014】

以下では、本発明の実施形態について図面に基づいて説明する。出現する構成要素のうち同一機能を有するものには同じ符号を付し、その説明を省略する。

【0015】

本発明の実施形態にかかる液晶表示装置は、アレイ基板ARと、当該アレイ基板に対向し、カラーフィルタが設けられた対向基板と、これらの基板に挟まれた領域に封入された液晶材料と、アレイ基板の外側から光を照射するバックライトと、を含んで構成されている。

【0016】

図1は、本発明の実施形態にかかるアレイ基板ARにおける回路配置の一例を示す図であり、図2は表示領域DA内にある画素回路PCの等価回路の一例を示す回路図である。アレイ基板AR上には、表示領域DAと、その表示領域の左右に設けられるゲート線駆動回路GDと、フレキシブルプリント基板などと接続する端子が設けられる端子部TPとを含む。表示領域DAにはn行×m列の画素回路PCが配置されている。

【0017】

表示領域DA内ではn本のゲート線GLとm本のデータ線DLとが延びている。n本のゲート線GLはそれぞれ画素回路PCの行に対応しており、図1および図2の左右方向に延びている。ゲート線GLの両端のうち少なくとも一方はゲート線駆動回路GDに接続される。m本のデータ線DLは、それぞれ画素回路PCの列に対応しており、図2の上下方向に延びている。以下では画素回路PCのk番目の行に対応するゲート線GLをGLk、画素回路PCのi番目の列に対応するデータ線DLをDLiと表記する。

【0018】

各画素回路PCは、画素スイッチPSWと、液晶容量Clとを含む。画素スイッチPSWは薄膜トランジスタであり、液晶容量Clとデータ線DLとの間に設けられ、ゲート線GLから供給されるオン信号に応じて液晶容量Clとデータ線DLとを接続する。液晶容

10

20

30

40

50

量 $C1$ は画素電極とコモン電極とそれらの間にある液晶とからなり、データ線 DL から供給される信号に基づく電位差を記憶する。なお、画素電極は画素スイッチ PSW に接続されており、コモン電極にはデータ線 DL に供給される信号と関係なく決まる電位が供給されている。

【0019】

液晶容量 $C1$ が記憶する電位差に基づいて液晶の偏光の度合いが変化し、画素回路 PC を透過する光の量も変化する。これにより、液晶表示装置は画像を表示する。なお、破線で囲まれた回路 C の詳細については後述する。

【0020】

図3は、ゲート線駆動回路 GD の等価回路の一例を示す図である。図3には、ゲート線駆動回路 GD のうち、 k 番目のゲート線 GL にオン信号を供給する部分（以下では「ライン回路」と記載する）を示している。図3において、例えば「 $GLk-1$ 」から延びる矢印はゲート線 $GLk-1$ から信号が入力されることを示し、「 GLk 」に向かって延びる矢印は、ゲート線 GLk に向けて信号を出力することを示す。ゲート線駆動回路 GD には、4つのクロック信号線 $V1 \sim V4$ が接続されており、それらのクロック信号線 $V1$ から $V4$ は、その番号の順にパルス信号を供給する。なお、クロック信号線の数4つでなくともよく、3つ以上であればよい。図3における Vj の j は例えば k を4でわった余りであり、便宜上、 $Vj+2$ の「 $j+2$ 」が5の場合は $V1$ を、6の場合は $V2$ を示すこととする。

【0021】

ライン回路は、8つの薄膜トランジスタ $T1 \sim T8$ と、2つのキャパシタ $C1, C2$ とを含む。薄膜トランジスタ $T5$ はクロック信号線 Vj から供給されるクロックをオン信号としてゲート線 GLk に向けて供給するか否かを制御する。薄膜トランジスタ $T5$ のゲート電極はライン回路のノード $N1$ に接続されており、ノード $N1$ の電位がハイレベルになるとオンになり、その間にドレイン電極に供給されるクロックの電位をゲート線 GLk に供給する。クロックは周期的なパルスであり、ライン回路がゲート線 GLk にオン信号を送るタイミングでハイレベルの電位となる。キャパシタ $C1$ は薄膜トランジスタ $T1$ のソース電極とゲート電極とに接続されている。ゲート線 GLk の電位がハイレベルになると、キャパシタ $C1$ によりノード $N1$ の電位はそれまでよりさらに高い電位になり、クロックのパルスの形状はキャパシタ $C1$ を用いない場合よりきれいになる。キャパシタ $C1$ は

【0022】

ノード $N1$ にはダイオード接続された薄膜トランジスタ $T1$ のソース電極と、薄膜トランジスタ $T2, T8$ のドレイン電極とが接続されている。薄膜トランジスタ $T1$ のゲート電極およびドレイン電極はゲート線 $GLk-1$ に接続されており、ゲート線 $GLk-1$ の電位がハイレベルになると薄膜トランジスタ $T1$ はノード $N1$ にハイレベルの電位を入力し、ノード $N1$ の電位はハイレベルとなる。薄膜トランジスタ $T2$ のゲート電極はノード $N2$ に接続され、ソース電極はローレベルの基準電位を供給する接地線 VGL に接続されている。薄膜トランジスタ $T2$ は、ノード $N2$ がハイレベルの期間（ゲート線 GLk に音信号を供給する水平期間 $1H$ と、その前後のそれぞれ1水平期間とを除く期間）にノード $N1$ の電位をローレベルに保持させる。

【0023】

薄膜トランジスタ $T6$ のゲート電極はノード $N2$ に接続され、ドレイン電極はゲート線 GLk に、ソース電極は接地線 VGL に接続されている。薄膜トランジスタ $T6$ は、ノード $N2$ がハイレベルの期間にオンとなり、ゲート線 GLk の電位をローレベルに保持させる。

【0024】

キャパシタ $C2$ の一端はノード $N2$ に、他端は接地線 VGL に接続されており、ノード $N2$ の電位を保持するためのものである。また薄膜トランジスタ $T3$ はダイオード接続されており、クロック信号線 $Vj+2$ からクロックとして周期的に入力されるハイレベルの

電位をノードN2に供給する。こうすることで、ゲート線GLkにオン信号を供給する水平期間1Hと、その前後のそれぞれ1水平期間とを除く期間においてノードN2の電位がハイレベルに保持される。

【0025】

薄膜トランジスタT4、T7のドレイン電極はノードN2に接続され、ソース電極は接地線VGLに接続されている。薄膜トランジスタT4のゲート電極はノードN1に接続されており、ゲート線GLk-1からのオン信号によりノードN1の電位がハイレベルになると、薄膜トランジスタT4はオンになりノードN2の電位をローレベルにする。また薄膜トランジスタT7のゲート電極はゲート線GLk-1に接続されており、薄膜トランジスタT7は、ノードN1の電位がローレベルからハイレベルになる際に、ノードN2の電位をハイレベルからローレベルに遅延なく変化させるためのものである。

10

【0026】

薄膜トランジスタT8のゲート電極は、ゲート線GLk+2に接続されており、薄膜トランジスタT8は、ノードN2の電位がローレベルからハイレベルに変化する際に、ノードN1の電位をハイレベルからローレベルに遅延なく変化させるためのものである。

【0027】

以下では、アレイ基板AR上に実装される回路の構造について説明する。図3に示す回路のうち薄膜トランジスタT5とキャパシタC1とが接続されている部分を回路A、薄膜トランジスタT8の部分を回路Bと呼ぶ。

【0028】

図4は、回路Aの構造を示す平面図であり、図5は、図4のV-V切断線における断面図である。アレイ基板ARは、矩形の透明なガラス基板である。アレイ基板ARの上層には、そのアレイ基板ARの上面に接するように遮光膜US1が形成されている。平面的にみて、遮光膜US1は、後述する矩形の半導体膜S1より一回り大きい矩形の部分と、その矩形の部分からスルーホールTH1の下層まで延びる接続部とを有する。遮光膜US1は、平面的にみて半導体膜S1の全てと重なっており、バックライトから半導体膜S1に向かう光は遮光膜US1により反射される。

20

【0029】

遮光膜US1の上層には、遮光膜US1を覆う絶縁体の膜からなる第1の絶縁層I1が形成されている。第1の絶縁層I1の上層には薄膜トランジスタT5のゲート電極GT1が形成される第1の電極層が設けられる。ゲート電極GT1は平面的にみて、その上方にある半導体膜S1より一回り大きい矩形の部分と、その矩形の部分からスルーホールTH2の下層まで延びる接続部とを有する。ゲート電極GT1は平面的にみて半導体膜S1の全てと重なっている。図4ではゲート電極GT1の矩形の部分は半導体膜S1や遮光膜US1の矩形の部分より一回り大きい、必ずしもそうでなくてもよい。

30

【0030】

ゲート電極GT1の上層には絶縁体の膜からなる第2の絶縁層I2が形成されている。第2の絶縁層I2の上層には半導体膜S1が形成される。半導体膜S1は、上述のようにゲート電極GT1や遮光膜US1より一回り小さく、平面的にみてそれらと重なっている。

40

【0031】

半導体膜S1の上層には、薄膜トランジスタT5のドレイン電極DT1、ソース電極ST1およびゲート電極GT1をノードN1に接続する配線を含む第2の電極層が設けられる。ドレイン電極DT1とソース電極ST1はそれぞれ楕円形状を有する。より具体的には、ドレイン電極DT1とソース電極ST1とは、それぞれ図4の上下方向に延びる複数の線状部を有し、隣り合うドレイン電極DT1の線状部の間にソース電極ST1の線状部が配置されている。ドレイン電極DT1の複数の線状部の上端は横方向に延びる部分により互いに接続され、ソース電極ST1の複数の線状部の下端も横方向に延びる部分により互いに接続されている。そしてソース電極ST1のその横方向に延びる部分はゲート線GLkと電氣的に接続されている。また、ソース電極ST1は途中で分岐してスルーホール

50

TH 1 まで延び、スルーホール TH 1 を介して遮光膜 US 1 と接している。スルーホール TH 1 は第 1 の絶縁層 I 1 と第 2 の絶縁層 I 2 とのそれぞれの絶縁膜に設けられた孔からなり、その底は遮光膜 US 1 である。またノード N 1 の配線は、スルーホール TH 2 を介してゲート電極 GT 1 と接している。スルーホール TH 2 は第 2 の絶縁層 I 2 の絶縁膜に設けられた孔からなり、その底はゲート電極 GT 1 である。

【0032】

これまでに説明した薄膜トランジスタ T 5 のドレイン電極 DT 1、ソース電極 ST 1 などは第 3 の絶縁層 I 3 に覆われている。

【0033】

ここで、ゲート電極 GT 1 と遮光膜 US 1 とは間に第 1 の絶縁層 I 1 を有するキャパシタ C 1 でもある。ソース電極 ST 1 と遮光膜 US 1 とが電氣的に接続しているからである。このように、遮光膜 US 1 をキャパシタの構成部材にすることで、いわゆるチャージポンプ容量を形成することができ、別の領域にキャパシタ C 1 を設けるよりも回路面積を縮小することが可能となる。

【0034】

例えば、第 1 の絶縁層 I 1 の誘電率が 6.8、膜厚が 200 nm であり、必要な容量が 1.6 pF とすると、キャパシタ C 1 として必要な面積は $5.32 \times 10^{-3} \text{ } \mu\text{m}^2$ となる。これは、単純計算で考えると、ゲート線 GL 間のピッチが 90 μm である場合に、それに直交する向きの長さを 59 μm 削減できることを示す。

【0035】

図 6 は、回路 B の構造を示す平面図であり、図 7 は、図 6 の VII-VII 切断線における断面図である。アレイ基板 AR の上層には、そのアレイ基板 AR の上面に接するように遮光膜 US 2 が形成されている。平面的にみて、遮光膜 US 2 は、後述する矩形の半導体膜 S 2 より一回り大きい矩形の部分と、その矩形の部分から図 6 の左方向にスルーホール TH 3 の底部分まで延びる接続部とを有する。遮光膜 US 2 は、平面的にみて半導体膜 S 2 の全てと重なっており、バックライトからの光が半導体膜 S 2 に当たらないようになっている。

【0036】

遮光膜 US 2 の上層には、第 1 の絶縁層 I 1 が形成されている。第 1 の絶縁層 I 1 の上層には薄膜トランジスタ T 8 のゲート電極 GT 2 が形成される第 1 の電極層が設けられる。ゲート電極 GT 2 は平面的にみて、その上方にある半導体膜 S 1 より一回り小さい矩形の部分と、その矩形の部分から図 6 の左方向に向かってスルーホール TH 4 の下層まで延びる接続部とを有する。ゲート電極 GT 2 は平面的にみて半導体膜 S 2 の一部と重なっている。ここで、ゲート電極 GT 2 は平面的にみて遮光膜 US 2 の領域内にあり、スルーホール TH 4 はその領域内にある。またスルーホール TH 3 はスルーホール TH 4 より左側にあり、ゲート電極 GT 2 はスルーホール TH 3 の下までは延びていない。

【0037】

ゲート電極 GT 2 の上層には第 2 の絶縁層 I 2 が形成されている。第 2 の絶縁層 I 2 の上層には半導体膜 S 2 が形成される。半導体膜 S 2 は、上述のようにゲート電極 GT 2 より一回り大きく、遮光膜 US 1 より一回り小さい。

【0038】

半導体膜 S 2 の上層には、薄膜トランジスタ T 8 のドレイン電極 DT 2、ソース電極 ST 2 およびゲート電極 GT 2 および遮光膜 US 2 をゲート線 GL k+2 と電氣的に接続する配線を含む第 2 の電極層が設けられる。ドレイン電極 DT 2 は、図 6 の上下方向に延びる 2 つの線状部を有し、ソース電極 ST 2 も、その上下方向に延びる 1 つの線状部を有する。隣り合うドレイン電極 DT 2 の線状部の間にソース電極 ST 1 の線状部が配置されており、ドレイン電極 DT 2 の線状部は上端で互いに接続され、ソース電極 ST 2 の線状部の下端には左右方向に延びる部分が接続されている。ドレイン電極 DT 2 はノード N 1 と電氣的に接続され、ソース電極 ST 2 は接地線 VGL と電氣的に接続されている。

【0039】

上述の配線は、スルーホールTH3を介して遮光膜US2と接し、スルーホールTH4を介してゲート電極GT2と接している。スルーホールTH3は第1の絶縁層I1と第2の絶縁層I2とのそれぞれの絶縁膜に設けられた孔からなり、その底は遮光膜US2である。スルーホールTH4は第1の絶縁層I1に設けられた孔からなり、その底はゲート電極GT2である。

【0040】

これまでに説明した薄膜トランジスタT8のドレイン電極DT2、ソース電極ST2などは、その上層に設けられた第3の絶縁層I3により覆われている。

【0041】

薄膜トランジスタT8では、半導体膜S2とゲート電極GT2との間に寄生容量Cgtが生じ、半導体膜S2と遮光膜US2との間に寄生容量Cusが生じる。一方、ゲート電極GT2と遮光膜US2とは電氣的に接続されており、内部抵抗を無視すれば同電位となることから、これらの間に生じる容量は問題にならない。ここで、半導体膜S2とゲート電極GT2との間には第2の絶縁層I2のみであるが、半導体膜S2と遮光膜US2との間には第1の絶縁層I1と第2の絶縁層I2があるため、単位面積当たりのCusは単位面積当たりのCgtより小さくなる。従って、ゲート電極GT2の面積を極力小さくし、ゲート電極GT2に電氣的に接続された遮光膜US2で半導体膜S2を覆うことで、薄膜トランジスタT8に生じる寄生容量Cgt、Cumを削減し、そのゲート電極GT2に、薄膜トランジスタT8をオンさせる信号が供給された際のスイッチ速度を向上させることが可能となる。

【0042】

図8は、画素スイッチPSWおよびゲート線GL（回路C）の構造を示す平面図である。図9は、図8のIX-IX切断線における断面図である。図8および図9の右側の部分は表示領域DA内にあるデータ線DLや画素スイッチPSWの構造を示し、図8および図9の右側の部分は表示領域DA外でゲート線GLと遮光膜US3とを接続する部分を示している。

【0043】

アレイ基板ARの上層には、そのアレイ基板ARの上面に接する遮光膜US3が形成されている。遮光膜US3は、図8の左右方向に延びる帯状の部分と、帯状の部分から膨らんだ部分であって平面的にみて後述する半導体膜S3の全てと平面的に重なる部分と、表示領域DAの外で図8の上方に屈曲しスルーホールTH5の底まで延びる部分とを有する。遮光膜US3は、バックライトからの光が半導体膜S3に当たらないように形成されている。

【0044】

遮光膜US3の上層には、第1の絶縁層I1が形成されている。第1の絶縁層I1の上層には遮光膜US3の上方を左右に延びるゲート線GLを含む第1の電極層が設けられている。ゲート線GLは半導体膜S3の下で膨らんだ部分を有する。その膨らんだ部分はほぼ矩形であり、平面的にみて半導体膜S3より一回り小さく、また重なっている。この膨らんだ部分は画素スイッチPSWのゲート電極でもある。

【0045】

ゲート線GLの上層には第2の絶縁層I2が形成されている。第2の絶縁層I2の上層には半導体膜S3が形成される。半導体膜S3は、ゲート線GLの膨らんだ部分より一回り大きく、遮光膜US3の膨らんだ部分より一回り小さい。

【0046】

半導体膜S3の上層には、データ線DL、ソース電極ST3およびスルーホールTH5、TH6を介してゲート線GLと遮光膜US3とを接続する配線を含む第2の電極層が設けられる。データ線DLは画素スイッチPSWのドレイン電極でもあり、平面的に見て一部が半導体膜S3の一部の上面に接している。ソース電極ST3は、平面的にみて一部が半導体膜S3の一部の上面に接しており、図示しないが画素電極にも接続されている。

【0047】

上述の配線は、スルーホールTH5の底で遮光膜US3と接し、スルーホールTH6の底でゲート線GLと接している。スルーホールTH3は第1の絶縁層I1と第2の絶縁層I2とのそれぞれの絶縁膜に設けられた孔からなり、その底は遮光膜US3である。スルーホールTH6は第1の絶縁層I1に設けられた孔からなり、その底はゲート線GLである。

【0048】

これまでに説明したデータ線DL、ソース電極ST3などは、その上層に設けられた第3の絶縁層I3により覆われている。さらに第3の絶縁層I3の上層には、図示しない透明導電膜であるコモン電極や画素電極が形成されている。

【0049】

この回路Cにおける画素スイッチPSWは、回路Bと同様にゲート電極に相当するゲート線GLと遮光膜US3とが電氣的に接続されている。したがって、画素スイッチPSWに生じる寄生容量を削減し、そのゲート電極に、画素スイッチPSWをオンさせる信号が供給された際のスイッチ速度を向上させることが可能となる。

【0050】

次にこれらの回路の製造方法について説明する。はじめに、アレイ基板AR上にスパッタリングでMo合金などの金属の膜を形成し、エッチングにより遮光膜US1～US3等をパターンニングする。次に、窒化シリコンの膜をCVD装置などで成膜することで第1の絶縁層I1を形成する。第1の絶縁層I1の上にMo合金などの金属をスパッタリングすることで第1の電極層を形成し、さらに、エッチングによりゲート線GLやゲート電極GT1, GT2を形成する。そして、窒化シリコンの膜をCVD装置などで成膜することで第2の絶縁層I2を形成し、続いてアモルファスシリコンを成膜することで半導体層を形成する。

【0051】

半導体層をエッチングすることにより半導体膜S1～S3を形成し、さらに第1の絶縁層I1や第2の絶縁層I2をエッチングすることでスルーホールTH1～TH6を形成する。第1の絶縁層I1および第2の絶縁層I2のエッチングは一度に行い、ゲート電極GT1等の上にてできるスルーホールTH2等は第2の絶縁層I2のみを貫く孔ができ、遮光膜US1等の上にてできるスルーホールTH1等は第1の絶縁層I1および第2の絶縁層I2を貫く孔ができる。

【0052】

次に、スパッタリングでMo合金などの金属の膜を形成し、エッチングによりドレイン電極DT1～DT2、データ線DLなどの配線を形成する。このプロセスにより第2の電極層の配線等とスルーホールTH1～TH6等の底にある配線等とが接続される。その上に窒化シリコンを成膜しエッチングすることで第3の絶縁層I3を形成する。

【0053】

さらにスパッタリングで透明導電膜を成膜しそれをエッチングすることで図示しないコモン電極を形成し、その上に窒化シリコンを成膜しエッチングする第3の絶縁層I3の上にはスパッタリングで透明導電膜を成膜し、それをエッチングすることで画素電極を形成する。

【0054】

これらの工程によりアレイ基板AR上にゲート線駆動回路GDや画素回路PCなどが形成される。このアレイ基板ARに対向基板を貼り、アレイ基板ARと対向基板との間に液晶を充填する。そしてそのアレイ基板ARにフレキシブルプリント基板などの回路や配線を接続することで液晶表示パネルが形成される。

【符号の説明】

【0055】

AR アレイ基板、C1 液晶容量、DA 表示領域、DL データ線、GD ゲート線駆動回路、GL ゲート線、PC 画素回路、PSW 画素スイッチ、TP 端子部、C1, C2 キャパシタ、N1, N2 ノード、T1, T2, T3, T4, T5, T6,

10

20

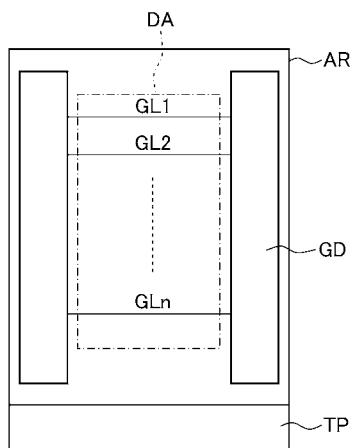
30

40

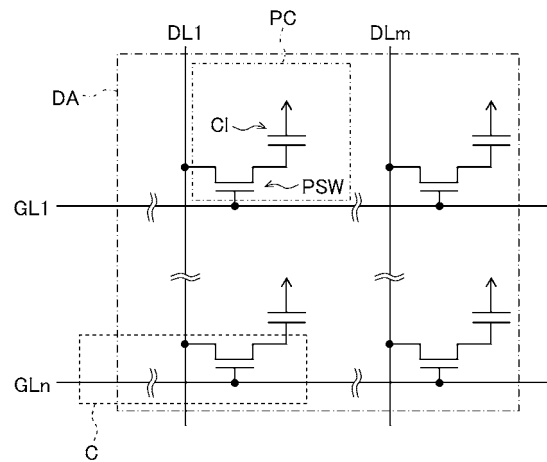
50

T 7, T 8 薄膜トランジスタ、V j, V j + 2 クロック信号線、V G L 接地線、D T 1, D T 2 ドレイン電極、G T 1, G T 2 ゲート電極、I 1 第 1 の絶縁層、I 2 第 2 の絶縁層、I 3 第 3 の絶縁層、S 1, S 2, S 3 半導体膜、S T 1, S T 2, S T 3 ソース電極、T H 1, T H 2, T H 3, T H 4, T H 5, T H 6 スルーホール、U S 1, U S 2, U S 3 遮光膜、C g t, C u s 寄生容量。

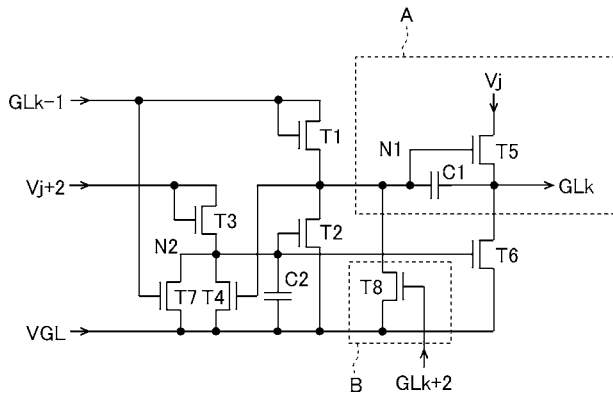
【図 1】



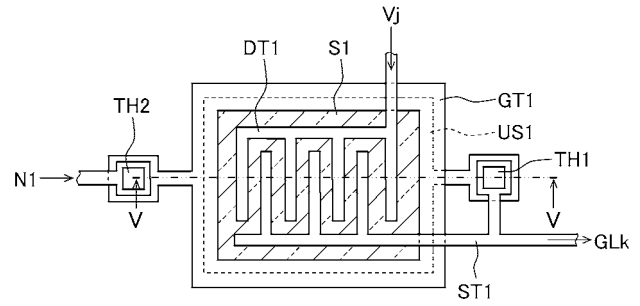
【図 2】



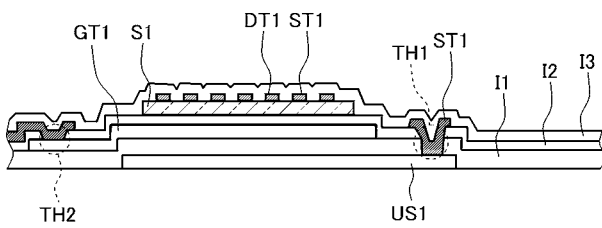
【図 3】



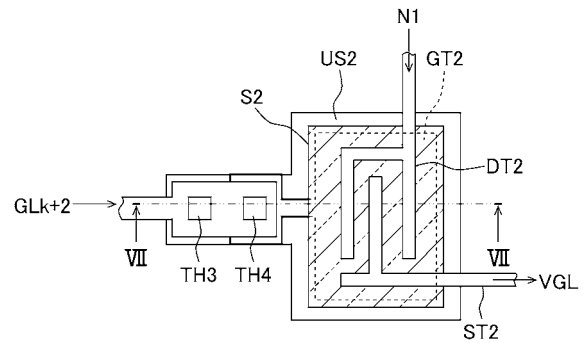
【図 4】



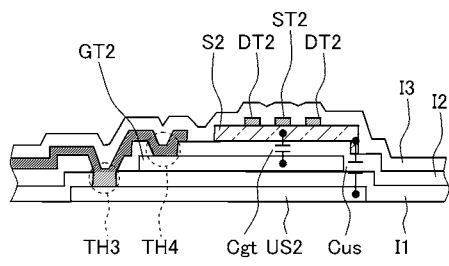
【図 5】



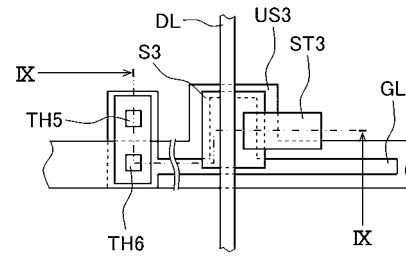
【図 6】



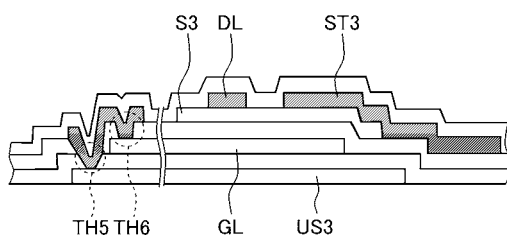
【図 7】



【図 8】



【図 9】



フロントページの続き

Fターム(参考)	2H092	GA59	JA26	JA40	JA44	JB53	JB54	KA05	KA07	MA05	MA07
		MA13	MA17	NA22	NA25	PA06	PA09				
	5F110	AA02	AA04	BB02	CC07	DD02	DD12	DD14	EE04	EE06	EE25
		EE44	FF03	FF29	GG02	GG15	GG26	HK04	HK06	HK33	HL07
		HL23	HM04	HM12	NN02	NN24	NN44	NN46	NN54	NN73	

专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	JP2014149429A	公开(公告)日	2014-08-21
申请号	JP2013018188	申请日	2013-02-01
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	落合孝洋 宫本素明 干场正博		
发明人	落合 孝洋 宫本 素明 干场 正博		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 G02F1/1345		
CPC分类号	G02F1/136209 G02F1/133512 G02F1/13454 G02F1/136227 G02F1/1368 G09G3/3677 G09G3/3688 G09G2300/0809 G09G2310/0202 H01L27/1222 H01L27/124 H01L29/78609 H01L29/78633 H01L29/78669		
FI分类号	G02F1/1368 H01L29/78.612.C H01L29/78.619.B G02F1/1345		
F-TERM分类号	2H092/GA59 2H092/JA26 2H092/JA40 2H092/JA44 2H092/JB53 2H092/JB54 2H092/KA05 2H092/KA07 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/NA22 2H092/NA25 2H092/PA06 2H092/PA09 5F110/AA02 5F110/AA04 5F110/BB02 5F110/CC07 5F110/DD02 5F110/DD12 5F110/DD14 5F110/EE04 5F110/EE06 5F110/EE25 5F110/EE44 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG26 5F110/HK04 5F110/HK06 5F110/HK33 5F110/HL07 5F110/HL23 5F110/HM04 5F110/HM12 5F110/NN02 5F110/NN24 5F110/NN44 5F110/NN46 5F110/NN54 5F110/NN73 2H192/AA24 2H192/CB05 2H192/CC07 2H192/CC42 2H192/EA04 2H192/EA15 2H192/FA73 2H192/FB22 5B074/AA10 5B074/CA01 5B074/DB01		
外部链接	Espacenet		

摘要(译)

解决的问题：为了使栅极线驱动电路小型化。解决方案：液晶显示装置包括：薄膜晶体管，其包括设置在第一绝缘层上方的第一电极层上的栅极电极膜，布置在第一绝缘层上方的半导体膜。栅电极膜通过第二绝缘层，设置在半导体膜上方的第二电极层上并与半导体膜的上表面的一部分接触的漏电极以及设置在第二膜上的源电极 电极层与半导体膜的上面的一部分接触。遮光膜以俯视时至少一部分与半导体膜和栅电极膜重叠的方式配置在第一绝缘层的下方。漏电极和源电极中的一个连接到将导通信号提供给像素电路的栅极线，并且遮光膜是金属膜并且电连接到源电极。

