

第1フレーム期間	+	-
↓	↓	↓
第2フレーム期間	-	+
↓	↓	↓
第3フレーム期間	+	-

【特許請求の範囲】

【請求項 1】

任意の画素に設けられた液晶素子の画素電極を間に挟んで配置されている第 1 の信号線と第 2 の信号線には、互いに逆の極性を有する画像信号が入力され、
前記画素電極への前記画像信号の電位の供給と、前記画素電極の電位の保持は、前記画素に設けられたトランジスタにより制御されており、
前記トランジスタは、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料をチャンネル形成領域に含む液晶表示装置の駆動方法。

【請求項 2】

任意の画素に設けられた液晶素子の画素電極を間に挟んで配置されている第 1 の信号線と第 2 の信号線には、互いに逆の極性を有する画像信号が入力され、なおかつ、一のフレーム期間内において、前記第 1 の信号線に入力される前記画像信号は同一の極性を有しており、
前記画素電極への前記画像信号の電位の供給と、前記画素電極の電位の保持は、前記画素に設けられたトランジスタにより制御されており、
前記トランジスタは、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料をチャンネル形成領域に含む液晶表示装置の駆動方法。

10

【請求項 3】

任意の画素に設けられた液晶素子の画素電極を間に挟んで配置されている第 1 の信号線と第 2 の信号線には、互いに逆の極性を有する画像信号が入力され、なおかつ、一のフレーム期間内において、前記第 1 の信号線に入力される前記画像信号の極性は交互に反転しており、
前記画素電極への前記画像信号の電位の供給と、前記画素電極の電位の保持は、前記画素に設けられたトランジスタにより制御されており、
前記トランジスタは、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料をチャンネル形成領域に含む液晶表示装置の駆動方法。

20

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、
前記半導体材料は、酸化物半導体である液晶表示装置の駆動方法。

30

【請求項 5】

請求項 4 において、
前記酸化物半導体は、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系の酸化物半導体である液晶表示装置の駆動方法。

【請求項 6】

請求項 4 または請求項 5 において、
前記チャンネル形成領域の水素濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以下である液晶表示装置の駆動方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、
前記トランジスタのオフ電流密度は、 $100 \text{ yA} / \mu\text{m}$ 以下である液晶表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

トランジスタを画素に有するアクティブマトリクス型の液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

近年、ポリシリコンや微結晶シリコンによって得られる高い移動度と、アモルファスシリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体素子のための材料とし

50

て、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置において画素電極の材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献１及び特許文献２）。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００７－１２３８６１号公報

10

【特許文献２】特開２００７－９６０５５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

ところで、半導体表示装置の性能を評価する上で低消費電力であることは重要なポイントの一つであるが、液晶表示装置も例外ではない。特に、携帯電話などの携帯型の電子機器だと、液晶表示装置の消費電力の高さは、連続使用時間の短縮化というデメリットに繋がるため、消費電力の低さが求められる。

【０００５】

そして、透過型の液晶表示装置の場合、光を透過する領域の画素に占める割合、すなわち開口率を高めると、バックライトから発せられる光を有効的に利用することができるため、消費電力を低減させることができる。しかし、開口率の向上を優先させて画素のレイアウトを定めるならば、画素を構成しているトランジスタや容量素子などの半導体素子のサイズも縮小化せざるを得ない。容量素子の容量値が小さくなると、画像信号の電位を保持できる期間が短くなるため、表示する画質が低下する。

20

【０００６】

上述の課題に鑑み、本発明の一態様は、画質の低下を防ぎつつ、消費電力の低減を実現することができる、液晶表示装置の駆動方法の提案を課題とする。

【課題を解決するための手段】

【０００７】

本発明の一態様では、液晶素子と、当該液晶素子への画像信号の供給を制御するトランジスタとを画素に有する。そして、本発明の一態様では、上記トランジスタが、オフ電流の極めて小さい絶縁ゲート電界効果型トランジスタ（以下、単にトランジスタとする）であることを特徴とする。上記トランジスタは、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むことを特徴とする。上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が著しく低く、なおかつ高耐圧であるトランジスタを実現することができる。このような半導体材料としては、例えば、シリコンの約２倍以上の大きなバンドギャップを有する酸化物半導体が挙げられる。

30

【０００８】

本発明の一態様は、オフ電流が著しく低いトランジスタを画素に用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、画像信号の電位をより長い期間に渡って保持することができる。従って、画像信号の電位を保持するために、液晶素子に容量素子を接続しなくても、表示される画質が低下するのを防ぐことができる。

40

【０００９】

なお、液晶素子が有する画素電極と、画素に画像信号を入力するための信号線との間には寄生容量が形成される。そして、液晶素子に容量素子を接続しない場合、画素電極の電位は上記寄生容量の影響を受けやすい。そのため、画像信号の電位を保持する期間において信号線の電位が変化すると、その変化に伴って上記画素電極の電位も変動する、クロスト

50

ークと呼ばれる現象が起こりやすい。クロストークが起こると、コントラストが低下する。

【0010】

そこで、本発明の一態様では、画素を反転駆動させる際に、画素電極を間に挟んで配置されている一对の信号線に、互いに逆の極性を有する画像信号を入力する。なお、互いに逆の極性を有する画像信号とは、液晶素子の対向電極の電位を基準電位としたときに、一方が基準電位よりも高い電位を有する画像信号であり、他方が基準電位よりも低い電位を有する画像信号であることを意味する。

【0011】

具体的には、一の信号線に接続されている複数の画素と、上記信号線に隣接する一の信号線に接続されている複数の画素とに、任意の一フレーム期間において逆の極性を有する画像信号を入力するソースライン反転を行う。或いは、一の信号線に接続されている複数の画素と、前記複数の画素にそれぞれ隣接し、なおかつ前記一の信号線に隣接した他の信号線に接続されている複数の画素とに、任意の一フレーム期間において逆の極性を有する画像信号を入力し、なおかつ同一の信号線に接続されている複数の画素において、隣接する画素に逆の極性を有する画像信号を入力するドット反転を行う。

10

【0012】

上記反転駆動を行うことで、隣接する一对の信号線の電位が互いに逆の方向に変動するため、任意の画素電極が受ける電位の変動が打ち消される。よって、クロストークの発生を抑えることができる。

20

【0013】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減されて高純度化された酸化物半導体（*purified OS*）は、*i*型（真性半導体）又は*i*型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。具体的に、高純度化された酸化物半導体は、二次イオン質量分析法（*SIMS: Secondary Ion Mass Spectrometry*）による水素濃度の測定値が、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下とする。これにより、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、あるいは $1 \times 10^{12} / \text{cm}^3$ 未満、あるいは $1 \times 10^{11} / \text{cm}^3$ 未満となる。また、酸化物半導体のバンドギャップは、 2 eV 以上、あるいは 2.5 eV 以上、あるいは 3 eV 以上となる。水分または水素などの不純物濃度が十分に低減されて高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

30

【0014】

ここで、酸化物半導体膜中の、水素濃度の分析について触れておく。酸化物半導体膜中及び導電膜中の水素濃度測定は、二次イオン質量分析法（*SIMS: Secondary Ion Mass Spectrometry*）で行う。*SIMS*は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布を*SIMS*で分析する場合、対象となる膜が存在する範囲において、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の極大値または極小値を、当該膜中の水素濃度として採用する。さらに、当該膜が存在する領域において、極大値のピーク、極小値の谷が存在しない場合、変曲点の値を水素濃度として採用する。

40

【0015】

具体的に、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$

50

でチャネル長が $10\ \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流（ゲート電極とソース電極間の電圧を 0V 以下としたときのドレイン電流）が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100\text{zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに低いオフ電流密度が得られることが分かった。したがって、本発明の一態様に係る半導体装置では、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流密度を、ソース電極とドレイン電極間の電圧によっては、 $100\text{yA}/\mu\text{m}$ 以下、好ましくは $10\text{yA}/\mu\text{m}$ 以下、更に好ましくは $1\text{yA}/\mu\text{m}$ 以下にすることができる。従って、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0016】

また、高純度化された酸化物半導体を用いたトランジスタは、オフ電流の温度依存性がほとんど現れない。これは、酸化物半導体中で電子供与体（ドナー）となる不純物を除去して、酸化物半導体が高純度化することによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するためと言える。また、これは、酸化物半導体のエネルギーギャップが 3eV 以上であり、熱励起キャリアが極めて少ないことにも起因する。また、ソース電極及びドレイン電極が縮退した状態にあることも、温度依存性が現れない要因となっている。トランジスタの動作は、縮退したソース電極から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度には温度依存性がないことから、オフ電流の温度依存性がみられないことを説明することができる。

【0017】

なお、酸化物半導体は、四元系金属酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属酸化物である In-Ga-Zn-O 系酸化物半導体、 In-Sn-Zn-O 系酸化物半導体、 In-Al-Zn-O 系酸化物半導体、 Sn-Ga-Zn-O 系酸化物半導体、 Al-Ga-Zn-O 系酸化物半導体、 Sn-Al-Zn-O 系酸化物半導体や、二元系金属酸化物である In-Zn-O 系酸化物半導体、 Sn-Zn-O 系酸化物半導体、 Al-Zn-O 系酸化物半導体、 Zn-Mg-O 系酸化物半導体、 Sn-Mg-O 系酸化物半導体、 In-Mg-O 系酸化物半導体、 In-Ga-O 系酸化物半導体や、 In-O 系酸化物半導体、 Sn-O 系酸化物半導体、 Zn-O 系酸化物半導体などを用いることができる。なお、本明細書においては、例えば、 In-Sn-Ga-Zn-O 系酸化物半導体とは、インジウム（ In ）、錫（ Sn ）、ガリウム（ Ga ）、亜鉛（ Zn ）を有する金属酸化物、という意味であり、その化学量論的組成比は特に問わない。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0018】

或いは、酸化物半導体は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、 m は自然数であるとは限らない) で表記することができる。ここで、 M は、 Ga 、 Al 、 Mn および Co から選ばれた一または複数の金属元素を示す。

【発明の効果】

【0019】

本発明の一態様では、オフ電流の著しく低いトランジスタを画素に用いることで、液晶素子に容量素子を接続しなくても、表示される画質が低下するのを防ぐことができる。よって、開口率を高めることができ、消費電力を低減させることができる。そして、本発明の一態様では、ソースライン反転またはドット反転を用いることで、容量素子を用いずとも

クロストークを抑えることができ、画質の向上を図ることができる。

【図面の簡単な説明】

【0020】

【図1】画素部の回路図と、その駆動方法を模式的に示す図。

【図2】ソースライン反転を用いた場合の、各画素に与えられる画像信号の極性を模式的に示す図。

【図3】ドット反転を用いた場合の、各画素に与えられる画像信号の極性を模式的に示す図。

【図4】画素部をソースライン反転で動作させた場合のタイミングチャート。

【図5】画素の上面図及び断面図。

10

【図6】トランジスタの作製方法を示す断面図。

【図7】トランジスタの断面図。

【図8】特性評価回路の回路図。

【図9】特性評価回路のタイミングチャート。

【図10】特性評価回路における経過時間Timeと、出力信号の電位Voutとの関係を示す図。

【図11】特性評価回路における経過時間Timeと、該測定によって算出されたリーク電流との関係を示す図。

【図12】特性評価回路におけるノードAの電位とリーク電流の関係を示す図。

【図13】液晶表示装置のブロック図。

20

【図14】画素の断面図。

【図15】液晶表示装置の構成を示す斜視図。

【図16】電子機器の図。

【図17】画素の上面図及び断面図。

【発明を実施するための形態】

【0021】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0022】

(実施の形態1)

本発明の一態様に係る駆動方法において用いられる液晶表示装置は、液晶素子と、当該液晶素子への画像信号の供給を制御するトランジスタとを複数の画素にそれぞれ有する。そして、上記複数の画素には、上記複数の画素を選択するための複数の走査線と、選択された画素に画像信号を供給するための複数の信号線とが、それぞれ接続されている。

【0023】

図1(A)に、複数の画素100が設けられた画素部101の構成を、一例として示す。図1(A)において、各画素100は、信号線S1から信号線Sxの少なくとも1つと、走査線G1から走査線Gyの少なくとも1つとを有している。また、画素100は、スイッチング素子として機能するトランジスタ102と、液晶素子103とを有する。液晶素子103は、画素電極と、対向電極と、画素電極と対向電極間の電圧が印加される液晶とを有している。

40

【0024】

トランジスタ102は、液晶素子103の画素電極に、信号線の電位、すなわち画像信号の電位を与えるか否かを制御する。液晶素子103の対向電極には、所定の基準電位が与えられている。

【0025】

そして、本発明の一態様では、上記トランジスタ102のチャネル形成領域に、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体を含

50

むことを特徴とする。上記半導体の一例として、炭化珪素（SiC）、窒化ガリウム（GaN）などの化合物半導体、酸化亜鉛（ZnO）などの金属酸化物でなる酸化物半導体などを適用することができる。この中でも酸化物半導体は、スパッタリング法や湿式法（印刷法など）により作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンのプロセス温度は約1500、窒化ガリウムのプロセス温度は約1100であるが、酸化物半導体膜の成膜は室温でも可能である。よって、酸化物半導体は、安価で入手しやすいガラス基板上への成膜が可能であり、また、1500～2000もの高温での熱処理に対する耐性を有さない半導体を用いた集積回路上に、酸化物半導体による半導体素子を積層させることも可能である。また、基板の大型化にも対応が可能である。よって、上述した半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能（例えば電界効果移動度）を向上させるために結晶性の酸化物半導体を得ようとする場合でも、250から800の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

10

【0026】

以下の説明では、バンドギャップが広い半導体として、上記のような利点を有する酸化物半導体を用いる場合を例に挙げている。

【0027】

上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低く、なおかつ高耐圧であるトランジスタ102を実現することができる。そして、上記構成を有するトランジスタ102をスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、液晶素子103に蓄積された電荷のリークを防ぐことができる。よって、画像信号の電位をより長い期間に渡って保持することができるため、画像信号の電位を保持するために液晶素子103に容量素子を接続しなくても、表示される画質が低下するのを防ぐことができる。よって、容量素子を設けないこと、或いは容量素子のサイズを小さく抑えることで、開口率を高めることができるため、液晶表示装置の消費電力を低減させることができる。

20

【0028】

なお、本明細書において、容量素子は、液晶素子自体が有する容量とは区別される。

【0029】

また、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が0以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が0以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。

30

【0030】

また、トランジスタが有するソース電極とドレイン電極は、トランジスタの極性及び各電極に与えられる電位の差によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる電極がソース電極と呼ばれ、高い電位が与えられる電極がドレイン電極と呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる電極がドレイン電極と呼ばれ、高い電位が与えられる電極がソース電極と呼ばれる。以下、ソース電極とドレイン電極のいずれか一方を第1端子、他方を第2端子とし、トランジスタ102と液晶素子103の具体的な接続関係について説明する。

40

【0031】

トランジスタ102のゲート電極は走査線G1から走査線Gyのいずれか1つに接続されている。トランジスタ102の第1端子は信号線S1から信号線Sxのいずれか1つに接続され、トランジスタ102の第2端子は、液晶素子103の画素電極に接続されている。

50

【 0 0 3 2 】

なお、画素 1 0 0 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【 0 0 3 3 】

図 1 (A) では、画素 1 0 0 において、一のトランジスタ 1 0 2 をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。一のスイッチング素子として機能する複数のトランジスタを用いていても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

10

【 0 0 3 4 】

本明細書において、トランジスタが直列に接続されている状態とは、例えば、第 1 のトランジスタの第 1 端子と第 2 端子のいずれか一方のみが、第 2 のトランジスタの第 1 端子と第 2 端子のいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第 1 のトランジスタの第 1 端子が第 2 のトランジスタの第 1 端子に接続され、第 1 のトランジスタの第 2 端子が第 2 のトランジスタの第 2 端子に接続されている状態を意味する。

【 0 0 3 5 】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。

20

【 0 0 3 6 】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【 0 0 3 7 】

図 1 (B) に、任意の信号線 S_i (i は 1 から $x - 1$ のいずれか) に接続された一列の画素 1 0 0 の構成を示す。ただし、図 1 (B) では、図 1 (A) とは異なり、液晶素子 1 0 3 の替わりに、液晶素子 1 0 3 が有する画素電極 1 0 4 を図示している。

30

【 0 0 3 8 】

信号線 S_i に接続されている画素 1 0 0 では、画素電極 1 0 4 が、信号線 S_i と、信号線 S_i に隣接している信号線 S_{i+1} に挟まれるように、画素 1 0 0 内に配置されている。トランジスタ 1 0 2 がオフの状態であるならば、画素電極 1 0 4 と信号線 S_i は、理想的には電気的に分離している。また、画素電極 1 0 4 と信号線 S_{i+1} も、理想的には、電気的に分離している。しかし、実際には、画素電極 1 0 4 と信号線 S_i の間には寄生容量 1 0 6 が存在しており、なおかつ、画素電極 1 0 4 と信号線 S_{i+1} の間には寄生容量 1 0 7 が存在している。

40

【 0 0 3 9 】

液晶素子 1 0 3 に容量素子を接続しない場合、或いは液晶素子 1 0 3 に接続されている容量素子の容量値が小さい場合は、画素電極 1 0 4 の電位が上記寄生容量 1 0 6 と寄生容量 1 0 7 の影響を受けやすい。そのため、画像信号の電位を保持する期間においてトランジスタ 1 0 2 がオフの状態であっても、信号線 S_i または信号線 S_{i+1} の電位の変化に伴って上記画素電極 1 0 4 の電位が変動する、所謂クロストークと呼ばれる現象が起こりやすい。そのため、液晶素子 1 0 3 にノーマリーホワイトの液晶素子を用いた場合、画像が白っぽくなり、コントラストが低下する。

【 0 0 4 0 】

そこで、本発明の一態様では、任意の一フレーム期間において、画素電極 1 0 4 を間に挟

50

んで配置されている信号線 S_i と信号線 S_{i+1} に、互いに逆の極性を有する画像信号を入力する。

【0041】

例えば、図1(B)に示すように、まず第1フレーム期間において、信号線 S_i に正(+)の極性を有する画像信号を入力し、信号線 S_{i+1} に負(-)の極性を有する画像信号を入力する。次いで、第2フレーム期間において、信号線 S_i に負(-)の極性を有する画像信号を入力し、信号線 S_{i+1} に正(+)の極性を有する画像信号を入力する。次いで、第3フレーム期間において、信号線 S_i に正(+)の極性を有する画像信号を入力し、信号線 S_{i+1} に負(-)の極性を有する画像信号を入力する。

【0042】

このように、信号線 S_i と信号線 S_{i+1} に、互いに逆の極性を有する画像信号を入力することで、信号線 S_i の電位の変化によってもたらされるはずの画素電極104の電位の変動と、信号線 S_{i+1} の電位の変化によってもたらされるはずの画素電極104の電位の変動とが逆方向に働き、互いに打ち消しあう。よって、液晶素子103に容量素子を接続しない場合、或いは液晶素子103に接続されている容量素子の容量値が小さい場合であっても、画素電極104の電位の変動を小さく抑えることができる。したがって、クロストークの発生を抑え、画質を向上させることができる。

【0043】

なお、隣接する信号線に、互いに逆の極性を有する画像信号を入力する駆動方法には、ソースライン反転と、ドット反転とがある。

【0044】

図2(A)と、図2(B)に、ソースライン反転を用いた場合の、各画素に与えられる画像信号の極性を模式的に示す。図2(A)では、任意の一フレーム期間において与えられる画像信号が正の極性の画素を、+の記号で示している。また、図2(A)では、任意の一フレーム期間において与えられる画像信号が負の極性の画素を、-の記号で示している。また、図2(B)では、図2(A)の次のフレーム期間において与えられる画像信号が正の極性の画素を、+の記号で示している。また、図2(B)では、図2(A)の次のフレーム期間において与えられる画像信号が負の極性の画素を、-の記号で示している。

【0045】

図2(A)と図2(B)に示すように、ソースライン反転では、同一の信号線に接続されている複数の画素の全てに、同一の極性を有する画像信号が与えられている。そして、隣接する信号線に接続されている複数の画素の全てに、上記極性とは逆の極性を有する画像信号が与えられている。

【0046】

また、図3(A)と、図3(B)に、ドット反転を用いた場合の、各画素に与えられる画像信号の極性を模式的に示す。図3(A)では、任意の一フレーム期間において与えられる画像信号が、正の極性の画素を+の記号で、または負の極性の画素を-の記号で示している。また、図3(B)では、図3(A)の次のフレーム期間において与えられる画像信号が、正の極性の画素を+の記号で、または負の極性の画素を-の記号で示している。

【0047】

図3(A)と図3(B)に示すように、ドット反転では、一の信号線に接続されている複数の画素と、前記複数の画素にそれぞれ隣接し、なおかつ前記一の信号線に隣接した他の信号線に接続されている複数の画素とに、互いに逆の極性を有する画像信号が与えられている。なおかつ、同一の信号線に接続されている複数の画素において、隣接する画素どうし、互いに逆の極性を有する画像信号が与えられている。すなわち、一のフレーム期間に着目すると、一の信号線に入力される画像信号の極性は、交互に反転することになる。

【0048】

次いで、図4に、図1(A)に示した画素部101をソースライン反転で動作させた場合のタイミングチャートを示す。具体的に、図4では、走査線G1に与えられる信号の電位と、信号線S1から信号線Sxに与えられる画像信号の電位と、走査線G1に接続された

10

20

30

40

50

各画素の有する画素電極の電位の、時間変化を示している。

【0049】

まず、走査線 G 1 にパルスを与え、信号が入力されることで、走査線 G 1 が選択される。選択された走査線 G 1 に接続された複数の各画素 100 において、トランジスタ 102 がオンになる。そして、トランジスタ 102 がオンの状態の時に、信号線 S 1 から信号線 S x に画像信号の電位が与えられると、オンのトランジスタ 102 を介して、画像信号の電位が液晶素子 103 の画素電極に与えられる。

【0050】

図 4 に示すタイミングチャートでは、第 1 のフレーム期間の走査線 G 1 が選択されている期間において、奇数番目の信号線 S 1、信号線 S 3、... に、正の極性の画像信号が順に入力されており、偶数番目の信号線 S 2、信号線 S 4、... 信号線 S x に、負の極性の画像信号が入力されている例を示している。よって、奇数番目の信号線 S 1、信号線 S 3、... 信号線 S x - 1 に接続された画素 100 内の画素電極 (S 1)、画素電極 (S 3)、... 画素電極 (S x - 1) には、正の極性の画像信号が与えられている。また、偶数番目の信号線 S 2、信号線 S 4、... 信号線 S x に接続された画素 100 内の画素電極 (S 2)、画素電極 (S 4)、... 画素電極 (S x) には、負の極性の画像信号が与えられている。

10

【0051】

液晶素子 103 では、画素電極と対向電極の間に与えられる電圧の値に従って、液晶分子の配向が変化し、透過率が変化する。よって、液晶素子 103 は、画像信号の電位によってその透過率が制御されることで、階調を表示することができる。

20

【0052】

信号線 S 1 から信号線 S x への画像信号の入力が終了すると、走査線 G 1 の選択は終了する。走査線の選択が終了すると、該走査線を有する画素 100 において、トランジスタ 102 がオフになる。すると、液晶素子 103 は、画素電極と対向電極の間に与えられた電圧を保持することで、階調の表示を維持する。そして、走査線 G 2 から走査線 G y が順に選択され、走査線 G 1 が選択されていた期間と同様の動作が、上記各走査線に接続された画素において行われる。

【0053】

次いで、第 2 のフレーム期間において、再び、走査線 G 1 が選択される。そして、第 2 のフレーム期間の走査線 G 1 が選択されている期間では、第 1 のフレーム期間の走査線 G 1 が選択されている期間とは異なり、奇数番目の信号線 S 1、信号線 S 3、... 信号線 S x - 1 に、負の極性の画像信号が順に入力されており、偶数番目の信号線 S 2、信号線 S 4、... 信号線 S x に、正の極性の画像信号が入力されている。よって、奇数番目の信号線 S 1、信号線 S 3、... 信号線 S x - 1 に接続された画素 100 内の画素電極 (S 1)、画素電極 (S 3)、... 画素電極 (S x - 1) には、負の極性の画像信号が与えられている。また、偶数番目の信号線 S 2、信号線 S 4、... 信号線 S x に接続された画素 100 内の画素電極 (S 2)、画素電極 (S 4)、... 画素電極 (S x) には、正の極性の画像信号が与えられている。

30

【0054】

第 2 のフレーム期間においても、信号線 S 1 から信号線 S x への画像信号の入力が終了すると、走査線 G 1 の選択は終了する。そして、走査線 G 2 から走査線 G y が順に選択され、走査線 G 1 が選択されていた期間と同様の動作が、上記各走査線に接続された画素において行われる。

40

【0055】

そして、第 3 のフレーム期間と、第 4 のフレーム期間においても、上記動作が同様に繰り返される。

【0056】

なお、図 4 に示すタイミングチャートでは、信号線 S 1 から信号線 S x に、順に画像信号が入力されている場合を例示しているが、本発明はこの構成に限定されない。信号線 S 1

50

から信号線 S x に、一斉に画像信号が入力されていても良いし、複数の信号線ごとに順に画像信号が入力されていても良い。

【 0 0 5 7 】

また、本実施の形態では、プログレッシブ方式を用いた場合における、走査線の選択について説明したが、インターレース方式を用いて走査線の選択を行うようにしても良い。

【 0 0 5 8 】

なお、画像信号の電位の極性を、対向電極の電位を基準として反転させる反転駆動を行うことで、焼き付きと呼ばれる液晶の劣化を防ぐことができる。しかし、反転駆動を行うと、画像信号の極性が変化する際に信号線に与えられる電位の変化が大きくなるため、スイッチング素子として機能するトランジスタ 1 0 2 のソース電極とドレイン電極の電位差が大きくなる。よって、トランジスタ 1 0 2 は、閾値電圧がシフトするなどの特性劣化が生じやすい。また、液晶素子 1 0 3 に保持されている電圧を維持するために、ソース電極とドレイン電極の電位差が大きくても、オフ電流が低いことが要求される。本発明の一態様では、トランジスタ 1 0 2 に、シリコンまたはゲルマニウムよりもバンドギャップが大きく、真性キャリア密度が低い酸化物半導体などの半導体を用いているので、トランジスタ 1 0 2 の耐圧性を高め、オフ電流を著しく低くすることができる。よって、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ 1 0 2 の劣化を防ぎ、液晶素子 1 0 3 に保持されている電圧を維持することができる。

10

【 0 0 5 9 】

なお、液晶は、電圧が印加されてからその透過率が収束するまでの応答時間が、一般的に十数 m s e c 程度である。よって、液晶の応答の遅さが動画のぼやけとして視認されやすい。そこで、本発明の一態様では、液晶素子 1 0 3 に印加する電圧を一時的に大きくして液晶の配向を速く変化させるオーバードライブ駆動を用いるようにしても良い。オーバードライブ駆動を用いることで、液晶の応答速度を上げ、動画のぼやけを防ぎ、動画の画質を改善することができる。

20

【 0 0 6 0 】

また、トランジスタ 1 0 2 がオフした後においても、液晶素子の透過率が収束せずに変化し続けると、液晶の比誘電率が変化するため、液晶素子の保持する電圧が変化しやすい。特に、本発明の一態様のように、液晶素子に並列で容量素子を接続しない場合、或いは、液晶素子に並列で容量素子を接続していてもその容量値が小さい場合、上述した液晶素子の保持する電圧の変化は顕著に起こりやすい。しかし、上記オーバードライブ駆動を用いることで、応答時間を短くすることができるので、トランジスタ 1 0 2 がオフした後における液晶素子の透過率の変化を小さくすることができる。したがって、液晶素子に並列で容量素子を接続しない場合、或いは、液晶素子に並列で容量素子を接続していてもその容量値が小さい場合でも、トランジスタ 1 0 2 がオフした後に、液晶素子の保持する電圧が変化するのを防ぐことができる。

30

【 0 0 6 1 】

次に、本発明の一態様における、画素の具体的な構成について説明する。図 5 (A) に、本発明の一態様における、画素の上面図の一例を示す。また、図 5 (A) の破線 A 1 — A 2 における断面図を、図 5 (B) に示す。

40

【 0 0 6 2 】

図 5 (A) に示す画素 1 0 0 では、基板 2 0 0 上に絶縁膜 2 0 1 が形成されており、なおかつ、絶縁膜 2 0 1 上に導電膜 2 0 2 が形成されている。導電膜 2 0 2 は、走査線及びトランジスタ 1 0 2 のゲート電極として機能する。また、導電膜 2 0 2 上にゲート絶縁膜 2 0 4 が形成されており、ゲート絶縁膜 2 0 4 上において導電膜 2 0 2 と重なる位置に半導体膜 2 0 5 が形成されている。半導体膜 2 0 5 は、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体、例えば酸化物半導体を含んでおり、トランジスタ 1 0 2 の活性層として機能する。

【 0 0 6 3 】

50

また、半導体膜 205 上に、導電膜 206 と導電膜 207 が形成されている。導電膜 206 と導電膜 207 は、ゲート絶縁膜 204 及び半導体膜 205 上に形成された一の導電膜を、エッチング等により所望の形状に加工することで形成することができる。導電膜 206 は、信号線及びトランジスタ 102 の第 1 端子として機能する。また、導電膜 207 は、トランジスタ 102 の第 2 端子として機能する。

【0064】

半導体膜 205、導電膜 206 及び導電膜 207 上には、絶縁膜 208 が形成されており、絶縁膜 208 上には、液晶素子 103 が有する画素電極 104 が形成されている。画素電極 104 は、絶縁膜 208 に形成されたコンタクトホールを介して、導電膜 207 に接続されている。

10

【0065】

図 5 (A) に示すように、本発明の一態様では、液晶素子に並列で容量素子を接続していない。換言すると、導電膜 207 は画素電極 104 と半導体膜 205 とだけに電氣的に接続している。従って、画素 100 の開口率を大幅に向上させることができる。

【0066】

なお、図 5 (A) では、逆スタガ型のトランジスタ 102 を一例として示したが、トランジスタ 102 はボトムコンタクト型やトップゲート型など、他のトランジスタの構造を有していても良い。

【0067】

画素電極 104 には、透光性を有する導電膜を用いる。透光性を有する導電膜は、酸化インジウムや酸化インジウム酸化スズ混合酸化物（以下 ITO と略記する）などをスパッタ法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませた Al-Zn-O 系酸化物半導体、窒素を含ませた Zn-O 系酸化物半導体、窒素を含ませた Sn-Zn-O 系酸化物半導体を用いてもよい。

20

【0068】

なお、実際には、画素部に上記画素 100 が複数配置される。複数の画素 100 は、ストライプ配置、デルタ配置、或いはベイヤー配置を用いて画素部に配列されていても良い。

【0069】

また、カラー表示する際に用いる色は、RGB（R は赤、G は緑、B は青）の三色に限定されず、それ以上の数の色を用いていても良い。例えば、RGBW（W は白）、又は RGB に、イエロー、シアン、マゼンタなどを一色以上追加して、カラー表示を行うようにしても良い。

30

【0070】

なお、図 5 に示した画素に、光を遮蔽することができる遮蔽膜が設けられていても良い。図 17 (A) に、遮蔽膜 210 を図 5 に示した画素 100 に重ねた場合の、上面図の一例を示す。また、図 17 (A) の破線 A1—A2 における断面図を、図 17 (B) に示す。図 17 に示すように、遮蔽膜 210 が、画素電極 104 と重なる領域に開口部を有している。よって、遮蔽膜 210 により半導体膜 205 が遮光されるので、半導体膜 205 に含まれる酸化物半導体の光劣化を防ぎ、トランジスタ 102 の閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。また、遮蔽膜 210 を画素間に設けることで、画素間における液晶の配向の乱れに起因するディスクリネーションが視認されるのを防ぐことができる。

40

【0071】

また、図 17 に示すように、半導体膜 205 を、ゲート電極として機能する導電膜 202 と完全に重なる位置に形成することで、半導体膜 205 に基板 200 側から光が入射するのを防ぐことができる。よって、半導体膜 205 に含まれる酸化物半導体の光劣化を防ぎ、トランジスタ 102 の閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【0072】

なお、駆動回路をパネルに形成する場合、駆動回路に用いられるトランジスタにも、ゲー

50

ト電極或いは遮蔽膜による遮光を行うことで、トランジスタの閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【0073】

次に、本発明の一態様における酸化物半導体膜を用いたトランジスタにより、どの程度、液晶表示装置の各画素での開口率が向上するかについて概算を見積もる。

【0074】

画素の開口率を見積もるためのパラメータは、酸化物半導体膜を用いたトランジスタのオフ電流を 1 yA 、画素部のサイズを対角 3.4 インチ、表示する階調を 256 階調、入力する電圧を 10 V 、 1 フレーム期間を $1.66 \times 10^{-2}\text{ sec}$ と仮定する。また、ゲート絶縁膜の比誘電率を 3.7 、膜厚を 100 nm と仮定する。

10

【0075】

まず画素数 $540 \times \text{RGB} \times 960$ のパネル（第1のパネルとする）に上記パラメータを適用した際の容量素子の面積、及び開口率について概算を見積もる。当該パネルにおいては、画素サイズが $26\text{ }\mu\text{m} \times 78\text{ }\mu\text{m}$ 、即ち画素の面積が $2.03 \times 10^{-9}\text{ m}^2$ となる。このうち、配線及びトランジスタが占める領域を除いた面積は $1.43 \times 10^{-9}\text{ m}^2$ となり、配線及びトランジスタが占める領域の面積は $6.00 \times 10^{-10}\text{ m}^2$ となる。

【0076】

第1のパネルで必要最低限の容量値を有する容量素子は、酸化物半導体膜を有するトランジスタを備えた画素で、 $4.25 \times 10^{-25}\text{ F}$ となる。この場合、必要な容量面積が $1.30 \times 10^{-21}\text{ m}^2$ となり、画素に占める容量素子の面積の割合が $6.4 \times 10^{-11}\%$ 、開口率が 70.4% となる。

20

【0077】

また、画素数 $480 \times \text{RGB} \times 640$ のパネル（第2のパネルとする）に上記パラメータを適用した際の容量素子の面積、及び開口率について概算を見積もる。当該パネルにおいては、画素サイズが $36\text{ }\mu\text{m} \times 108\text{ }\mu\text{m}$ 、即ち画素の面積が $3.89 \times 10^{-9}\text{ m}^2$ となる。このうち、配線及びトランジスタが占める領域を除いた面積は $3.29 \times 10^{-9}\text{ m}^2$ となり、配線及びトランジスタが占める領域の面積は $6.00 \times 10^{-10}\text{ m}^2$ となる。

【0078】

第2のパネルで必要最低限の容量値を有する容量素子は、酸化物半導体膜を有するトランジスタを備えた画素で、 $4.25 \times 10^{-25}\text{ F}$ となる。この場合、必要な容量面積が $1.30 \times 10^{-21}\text{ m}^2$ となり、画素に占める容量素子の面積の割合が $3.3 \times 10^{-11}\%$ 、開口率が 84.6% となる。

30

【0079】

従って、第1のパネル及び第2のパネルに、本発明の一態様におけるオフ電流の低いトランジスタを用いることで、必要最低限の容量値を有する容量素子の面積は殆ど無視できる程度に小さくすることができる。よって、第1のパネルで 70.4% 、第2のパネルで 84.6% という、高い開口率が得られることが分かる。

【0080】

（実施の形態2）

本実施の形態では、酸化物半導体を用いたトランジスタの作製方法について説明する。

40

【0081】

まず、図6（A）に示すように、基板700の絶縁表面上に、絶縁膜701を形成し、絶縁膜701上にゲート電極702を形成する。

【0082】

基板700として使用することができる基板は透光性を有していれば良く、その他には特に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板700には、フュージョン法やフロート法で作製されるガラス基板、石英基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。プラ

50

スティック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0083】

絶縁膜701は、後の作製工程における加熱処理の温度に耐えうる材料を用いる。具体的に、絶縁膜701として、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、酸化アルミニウムなどを用いるのが望ましい。

【0084】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

10

【0085】

ゲート電極702の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

20

【0086】

例えば、二層の積層構造を有するゲート電極702として、アルミニウム膜上にモリブデン膜が積層された二層構造、銅膜上にモリブデン膜を積層した二層構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、または、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート電極702としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。

30

【0087】

また、ゲート電極702に酸化インジウム、酸化インジウム酸化スズ混合酸化物、酸化インジウム酸化亜鉛混合酸化物、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0088】

ゲート電極702の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、タングステナーゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターニング）することで、ゲート電極702を形成する。なお、形成されたゲート電極の端部がテーパ形状であると、上に積層するゲート絶縁膜の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0089】

次いで、図6(B)に示すように、ゲート電極702上にゲート絶縁膜703を形成した後、ゲート絶縁膜703上においてゲート電極702と重なる位置に、島状の酸化物半導体膜704を形成する。

【0090】

ゲート絶縁膜703は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜または酸化

50

タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜 703 は、水分や、水素、酸素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【0091】

不純物を除去することにより i 型化又は実質的に i 型化された酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、高純度化された酸化物半導体とゲート絶縁膜 703 との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜（GI）は、高品質化が要求される。

【0092】

例えば、 μ 波（周波数 2 . 45 GHz）を用いた高密度プラズマ CVD は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0093】

もちろん、ゲート絶縁膜 703 として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマ CVD 法など他の成膜方法を適用することができる。また、成膜後の熱処理によって膜質や、酸化物半導体との界面特性が改善される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、ゲート絶縁膜と酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0094】

バリア性の高い材料を用いた絶縁膜と、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜 703 を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性の高い絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性の高い絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜 703 内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するように窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

【0095】

例えば、第 1 のゲート絶縁膜としてスパッタリング法により膜厚 50 nm 以上 200 nm 以下の窒化珪素膜（ SiN_y （ $y > 0$ ））を形成し、第 1 のゲート絶縁膜上に第 2 のゲート絶縁膜として膜厚 5 nm 以上 300 nm 以下の酸化珪素膜（ SiO_x （ $x > 0$ ））を積層して、ゲート絶縁膜 703 としても良い。ゲート絶縁膜 703 の膜厚は、トランジスタに要求される特性によって適宜設定すればよく 350 nm 乃至 400 nm 程度でもよい。

【0096】

本実施の形態では、スパッタ法で形成された膜厚 50 nm の窒化珪素膜上に、スパッタ法で形成された膜厚 100 nm の酸化珪素膜を積層させた構造を有する、ゲート絶縁膜 703 を形成する。

【0097】

なお、ゲート絶縁膜 703 は後に形成される酸化物半導体と接する。酸化物半導体は、水素が含有されると特性に悪影響を及ぼすので、ゲート絶縁膜 703 は水素、水酸基および水分が含まれないことが望ましい。ゲート絶縁膜 703 に水素、水酸基及び水分がなるべく含まれないようにするためには、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極 702 が形成された基板 700 を予備加熱し、基板 700 に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、1

10

20

30

40

50

00 以上400 以下、好ましくは150 以上300 以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0098】

島状の酸化物半導体膜704は、ゲート絶縁膜703上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2nm以上200nm以下、好ましくは3nm以上50nm以下、さらに好ましくは3nm以上20nm以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

10

【0099】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜703の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0100】

酸化物半導体膜には、上述したように、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体、In-Ga-O系酸化物半導体や、In-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。

20

【0101】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn-O系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の組成比を有するターゲットを用いる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比を有するターゲット、または $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol数比]を有するターゲットを用いることができる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

30

【0102】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板700上に酸化物半導体膜を成膜する。成膜時に、基板温度を100 以上600 以下、好ましくは200 以上400 以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて成膜室を排気すると、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ま

40

50

しくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0103】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0104】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜703までが形成された基板700を予備加熱し、基板700に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100以上400以下、好ましくは150以上300以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われる絶縁膜707の成膜前に、導電膜705、導電膜706まで形成した基板700にも同様に行ってもよい。

10

【0105】

なお、島状の酸化物半導体膜704を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

20

【0106】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

30

【0107】

ウェットエッチングに用いるエッチング液として、ITO-07N(関東化学社製)を用いてもよい。

【0108】

島状の酸化物半導体膜704を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0109】

なお、次工程の導電膜を形成する前に逆スパッタを行い、島状の酸化物半導体膜704及びゲート絶縁膜703の表面に付着しているレジスト残渣などを除去することが好ましい。

40

【0110】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減するために、島状の酸化物半導体膜704に対して、窒素、酸素、超乾燥空気、または希ガス(アルゴン、ヘリウムなど)の雰囲気下において、島状の酸化物半導体膜704に加熱処理を施す。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下であることが望ましい。

50

【0111】

島状の酸化物半導体膜704に加熱処理を施すことで、島状の酸化物半導体膜704中の水分または水素を脱離させることができる。具体的には、300以上700以下、好ましくは300以上500以下で加熱処理を行えば良い。例えば、500、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0112】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0113】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0114】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分または水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0115】

以上の工程により、島状の酸化物半導体膜704中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の特性の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。

30

【0116】

なお、酸化物半導体膜を加熱する場合、酸化物半導体膜の材料や加熱条件にもよるが、その表面に板状結晶が形成されることがある。板状結晶は、酸化物半導体膜の表面に対して略垂直にc軸配向した単結晶体であることが好ましい。また、単結晶体でなくとも、各結晶が、酸化物半導体膜の表面に対して略垂直にc軸配向した多結晶体であることが好ましい。そして、上記多結晶体は、c軸配向していることに加えて、各結晶のab面が一致するか、a軸、或いは、b軸が一致していることが好ましい。なお、酸化物半導体膜の下地表面に凹凸がある場合、板状結晶は多結晶体となる。したがって、下地表面は可能な限り平坦であることが望まれる。

40

【0117】

次いで、図6(C)に示すように、ソース電極、ドレイン電極として機能する導電膜705、導電膜706と、上記導電膜705、導電膜706、及び島状の酸化物半導体膜704上に、絶縁膜707を形成する。

【0118】

導電膜705、導電膜706は、島状の酸化物半導体膜704を覆うように、スパッタ法や真空蒸着法で導電膜を形成したあと、エッチング等により該導電膜をパターニングすることで、形成することができる。

50

【0119】

導電膜705及び導電膜706は、島状の酸化物半導体膜704に接している。導電膜705、導電膜706となる導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、イットリウム等を用いることができる。

10

【0120】

また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成膜する3層構造などが挙げられる。

【0121】

また、導電膜705、導電膜706となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ混合酸化物、酸化インジウム酸化亜鉛混合酸化物、または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

20

【0122】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0123】

なお、導電膜のエッチングの際に、島状の酸化物半導体膜704がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、島状の酸化物半導体膜704の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0124】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッチングすることができるが、島状の酸化物半導体膜704も一部エッチングされる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5：2：2で混合したアンモニア過水を用いる。或いは、塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）などを含むガスを用いて、導電膜をドライエッチングしても良い。

30

【0125】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

40

【0126】

なお、絶縁膜707を形成する前に、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を島状の酸化物半導体膜704に対して行う。このプラズマ処理によって露出している島状の酸化物半導体膜704の表面の吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0127】

50

絶縁膜 707 は、水分や、水素、酸素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜 707 に水素が含まれると、その水素が酸化物半導体膜へ侵入し、又は水素が酸化物半導体膜中の酸素を引き抜き、島状の酸化物半導体膜 704 のバックチャネル部が低抵抗化（*n* 型化）してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁膜 707 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記絶縁膜 707 には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、島状の酸化物半導体膜 704 に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電膜 705、導電膜 706 及び島状の酸化物半導体膜 704 と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、島状の酸化物半導体膜 704 内、ゲート絶縁膜 703 内、或いは、島状の酸化物半導体膜 704 と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。また、島状の酸化物半導体膜 704 に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接島状の酸化物半導体膜 704 に接するのを防ぐことができる。

10

【0128】

本実施の形態では、スパッタ法で形成された膜厚 200 nm の酸化珪素膜上に、スパッタ法で形成された膜厚 100 nm の窒化珪素膜を積層させた構造を有する、絶縁膜 707 を形成する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。

20

【0129】

なお、絶縁膜 707 を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で 250、1 時間の加熱処理を行う。或いは、導電膜 705、導電膜 706 を形成する前に、水分または水素を低減させるための酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間の RTA 処理を行っても良い。酸素を含む絶縁膜 707 が設けられた後に加熱処理が施されることによって、先の加熱処理により、島状の酸化物半導体膜 704 に酸素欠損が発生していたとしても、絶縁膜 707 から島状の酸化物半導体膜 704 に酸素が供与される。そして、島状の酸化物半導体膜 704 に酸素が供与されることで、島状の酸化物半導体膜 704 において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。その結果、島状の酸化物半導体膜 704 を *i* 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、絶縁膜 707 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透光性を有する導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、島状の酸化物半導体膜 704 を *i* 型に近づけることができる。

30

40

【0130】

また、酸素雰囲気下で島状の酸化物半導体膜 704 に加熱処理を施すことで、酸化物半導体に酸素を添加し、島状の酸化物半導体膜 704 中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 100 以上 350 未満、好ましくは 150 以上 250 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスの純度を、6N（99.9999%）以上、好ましくは 7N（99.99999%）以上、（即ち酸素中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好

50

ましい。

【0131】

或いは、イオン注入法またはイオンドーピング法などを用いて、島状の酸化物半導体膜704に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45GHzのマイクロ波でプラズマ化した酸素を島状の酸化物半導体膜704に添加すれば良い。

【0132】

なお、絶縁膜707上に導電膜を形成した後、該導電膜をパターニングすることで、島状の酸化物半導体膜704と重なる位置にバックゲート電極を形成しても良い。バックゲート電極を形成した場合は、バックゲート電極を覆うように絶縁膜を形成するのが望ましい。

10

【0133】

バックゲート電極の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。例えば、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成した後、フォトリソグラフィ法などによりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工（パターニング）することで、バックゲート電極を形成すると良い。

【0134】

以上の工程により、トランジスタ708が形成される。

20

【0135】

トランジスタ708は、ゲート電極702と、ゲート電極702上のゲート絶縁膜703と、ゲート絶縁膜703上においてゲート電極702と重なっている島状の酸化物半導体膜704と、島状の酸化物半導体膜704上に形成された一对の導電膜705または導電膜706とを有する。さらに、トランジスタ708は、絶縁膜707を、その構成要素に含めても良い。図6(C)に示すトランジスタ708は、導電膜705と導電膜706の間において、島状の酸化物半導体膜704の一部がエッチングされたチャネルエッチ構造である。

【0136】

なお、トランジスタ708はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極702を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

30

【0137】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0138】

（実施の形態3）

本実施の形態では、トランジスタの構成例について説明する。なお、上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、本実施の形態での繰り返しの説明は省略する。なお、同じ箇所の詳細な説明も省略する。

40

【0139】

図7(A)に示すトランジスタ2450は、基板2400上にゲート電極2401が形成され、ゲート電極2401上にゲート絶縁膜2402が形成され、ゲート絶縁膜2402上に酸化物半導体膜2403が形成され、酸化物半導体膜2403上に、ソース電極2405a、及びドレイン電極2405bが形成されている。また、酸化物半導体膜2403、ソース電極2405a、及びドレイン電極2405b上に絶縁膜2407が形成されている。また、絶縁膜2407上に絶縁膜2409を形成してもよい。トランジスタ2450は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

【0140】

50

図 7 (B) に示すトランジスタ 2 4 6 0 は、基板 2 4 0 0 上にゲート電極 2 4 0 1 が形成され、ゲート電極 2 4 0 1 上にゲート絶縁膜 2 4 0 2 が形成され、ゲート絶縁膜 2 4 0 2 上に酸化物半導体膜 2 4 0 3 が形成され、酸化物半導体膜 2 4 0 3 上にチャネル保護膜 2 4 0 6 が形成され、チャネル保護膜 2 4 0 6 及び酸化物半導体膜 2 4 0 3 上に、ソース電極 2 4 0 5 a、及びドレイン電極 2 4 0 5 b が形成されている。また、ソース電極 2 4 0 5 a、及びドレイン電極 2 4 0 5 b 上に絶縁膜 2 4 0 9 を形成してもよい。トランジスタ 2 4 6 0 は、チャネル保護型 (チャネルストップ型ともいう) と呼ばれるボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。チャネル保護膜 2 4 0 6 は、他の絶縁膜と同様の材料及び方法を用いて形成することができる。

【 0 1 4 1 】

図 7 (C) に示すトランジスタ 2 4 7 0 は、基板 2 4 0 0 上に下地膜 2 4 3 6 が形成され、下地膜 2 4 3 6 上に酸化物半導体膜 2 4 0 3 が形成され、酸化物半導体膜 2 4 0 3、及び下地膜 2 4 3 6 上に、ソース電極 2 4 0 5 a、及びドレイン電極 2 4 0 5 b が形成され、酸化物半導体膜 2 4 0 3、ソース電極 2 4 0 5 a、及びドレイン電極 2 4 0 5 b 上にゲート絶縁膜 2 4 0 2 が形成され、ゲート絶縁膜 2 4 0 2 上にゲート電極 2 4 0 1 が形成されている。また、ゲート電極 2 4 0 1 上に絶縁膜 2 4 0 9 を形成してもよい。トランジスタ 2 4 7 0 は、トップゲート構造のトランジスタの一つである。

【 0 1 4 2 】

図 7 (D) に示すトランジスタ 2 4 8 0 は、基板 2 4 0 0 上に、ゲート電極 2 4 1 1 が形成され、ゲート電極 2 4 1 1 上に第 1 のゲート絶縁膜 2 4 1 3 が形成され、第 1 のゲート絶縁膜 2 4 1 3 上に酸化物半導体膜 2 4 0 3 が形成され、酸化物半導体膜 2 4 0 3、及び第 1 のゲート絶縁膜 2 4 1 3 上に、ソース電極 2 4 0 5 a、及びドレイン電極 2 4 0 5 b が形成されている。また、酸化物半導体膜 2 4 0 3、ソース電極 2 4 0 5 a、及びドレイン電極 2 4 0 5 b 上に第 2 のゲート絶縁膜 2 4 1 4 が形成され、第 2 のゲート絶縁膜 2 4 1 4 上にバックゲート電極 2 4 1 2 が形成されている。また、バックゲート電極 2 4 1 2 上に絶縁膜 2 4 0 9 を形成してもよい。

【 0 1 4 3 】

トランジスタ 2 4 8 0 は、トランジスタ 2 4 5 0 とトランジスタ 2 4 7 0 を併せた構造を有している。

【 0 1 4 4 】

バックゲート電極の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。バックゲート電極は、酸化物半導体膜 2 4 0 3 のチャネル形成領域と重なるように形成する。バックゲート電極は、電気的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極には、ゲート電極と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【 0 1 4 5 】

また、バックゲート電極と、ソース電極 2 4 0 5 a 及びドレイン電極 2 4 0 5 b とにより酸化物半導体膜 2 4 0 3 を完全に覆うことで、バックゲート電極側から酸化物半導体膜 2 4 0 3 に光が入射するのを防ぐことができる。よって、酸化物半導体膜 2 4 0 3 の光劣化を防ぎ、トランジスタの閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【 0 1 4 6 】

酸化物半導体膜 2 4 0 3 に接する絶縁膜 (本実施の形態においては、ゲート絶縁膜 2 4 0 2、絶縁膜 2 4 0 7、チャネル保護膜 2 4 0 6、下地膜 2 4 3 6、第 1 のゲート絶縁膜 2 4 1 3、第 2 のゲート絶縁膜 2 4 1 4 が相当する。) は、第 1 3 族元素および酸素を含む絶縁材料を用いることが好ましい。酸化物半導体材料には第 1 3 族元素を含むものが多く、第 1 3 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体に接する絶縁膜に用いることで、酸化物半導体との界面の状態を良好に保つことができる。

10

20

30

40

50

【 0 1 4 7 】

第 1 3 族元素を含む絶縁材料とは、絶縁材料に一または複数の第 1 3 族元素を含むことを意味する。第 1 3 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどの金属酸化物がある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上のものを示す。

【 0 1 4 8 】

例えば、ガリウムを含有する酸化物半導体膜に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体膜と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体膜と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体膜と絶縁膜の界面における水素のバイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体膜への水の侵入防止という点においても好ましい。

10

【 0 1 4 9 】

また、酸化物半導体膜 2 4 0 3 に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比（化学量論値）より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法またはイオンドーピング法を用いて行ってもよい。

20

【 0 1 5 0 】

例えば、酸化物半導体膜 2 4 0 3 に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_X ($X = 3 + \alpha$, $0 < \alpha < 1$) とすることができる。

30

【 0 1 5 1 】

また、酸化物半導体膜 2 4 0 3 に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_X ($X = 3 + \alpha$, $0 < \alpha < 1$) とすることができる。

【 0 1 5 2 】

また、酸化物半導体膜 2 4 0 3 に接する絶縁膜として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_X Al_{2-X} O_{3+\alpha}$ ($0 < X < 2$, $0 < \alpha < 1$) とすることができる。

【 0 1 5 3 】

酸素ドーピング処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体膜が接することにより、絶縁膜中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、または酸化物半導体膜と絶縁膜の界面における酸素欠損を低減し、酸化物半導体膜を i 型化または i 型に限りなく近い酸化物半導体とすることができる。

40

【 0 1 5 4 】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体膜 2 4 0 3 に接する絶縁膜のうち、上層に位置する絶縁膜または下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体膜 2 4 0 3 に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体膜 2 4 0 3 を挟む構成とすることで、上

50

記効果をより高めることができる。

【0155】

また、酸化物半導体膜2403の上層または下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が Ga_2O_x ($X = 3 + \alpha$ 、 $0 < \alpha < 1$)の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_x ($X = 3 + \alpha$ 、 $0 < \alpha < 1$)の酸化ガリウムとし、他方を組成が Al_2O_x ($X = 3 + \alpha$ 、 $0 < \alpha < 1$)の酸化アルミニウムとしても良い。

【0156】

また、酸化物半導体膜2403に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体膜2403の上層に組成が $Ga_xAl_{2-x}O_{3+\alpha}$ ($0 < X < 2$ 、 $0 < \alpha < 1$)の酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を形成してもよい。なお、酸化物半導体膜2403の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体膜2403の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

10

【0157】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0158】

20

(実施の形態4)

本実施の形態では、トランジスタのオフ電流の算出例について説明する。

【0159】

まず、オフ電流の算出に用いた特性評価回路の構成について、図8を用いて説明する。本実施の形態では、特性評価回路が、互いに並列に接続された複数の測定系801を備える。具体的に図8では、8つの測定系801が並列に接続されている特性評価回路を例示している。

【0160】

測定系801は、トランジスタ811と、トランジスタ812と、容量素子813と、トランジスタ814と、トランジスタ815とを含む。

30

【0161】

トランジスタ811は、電荷注入用のトランジスタである。そして、トランジスタ811は、その第1端子が、電位V1の与えられているノードに接続されており、その第2端子が、トランジスタ812の第1端子に接続されている。トランジスタ811のゲート電極は、電位Vext_aの与えられているノードに接続されている。

【0162】

トランジスタ812は、リーク電流評価用トランジスタである。なお、本実施の形態においてリーク電流とは、トランジスタのオフ電流を含んでいる。そして、トランジスタ812は、その第1端子が、トランジスタ811の第2端子に接続されており、その第2端子が、電位V2の与えられているノードに接続されている。トランジスタ812のゲート電極は、電位Vext_bの与えられているノードに接続されている。

40

【0163】

容量素子813の第1の電極は、トランジスタ811の第2端子及びトランジスタ812の第1端子に接続されている。容量素子813の第2の電極は、電位V2の与えられているノードに接続されている。

【0164】

トランジスタ814は、その第1端子が、電位V3の与えられているノードに接続されており、その第2端子が、トランジスタ815の第1端子に接続されている。トランジスタ814のゲート電極は、トランジスタ811の第2端子、トランジスタ812の第1端子、容量素子813の第1の電極に接続されている。なお、このトランジスタ814のゲート

50

ト電極が接続されている箇所を、ノード A とする。

【 0 1 6 5 】

トランジスタ 8 1 5 は、その第 1 端子が、トランジスタ 8 1 4 の第 2 端子に接続されており、その第 2 端子が、電位 V 4 の与えられているノードに接続されている。トランジスタ 8 1 5 のゲート電極は、電位 V e x t _ c の与えられているノードに接続されている。

【 0 1 6 6 】

そして、測定系 8 0 1 は、トランジスタ 8 1 4 の第 2 端子と、トランジスタ 8 1 5 の第 1 端子が接続されているノードの電位を、出力信号の電位 V o u t として出力する。

【 0 1 6 7 】

そして、本実施の形態では、トランジスタ 8 1 1 として、酸化物半導体を活性層に含み、なおかつ、活性層に含まれるチャネル形成領域のサイズがチャネル長 $L = 10 \mu m$ 、チャネル幅 $W = 10 \mu m$ であるトランジスタを用いる。

【 0 1 6 8 】

なお、チャネル形成領域とは、半導体膜のうち、ソース電極とドレイン電極の間において、ゲート絶縁膜を間に挟んでゲート電極と重なる領域に相当する。

【 0 1 6 9 】

また、トランジスタ 8 1 4 及びトランジスタ 8 1 5 として、酸化物半導体を活性層に含み、なおかつ、活性層に含まれるチャネル形成領域のサイズがチャネル長 $L = 3 \mu m$ 、チャネル幅 $W = 100 \mu m$ であるトランジスタを用いる。

【 0 1 7 0 】

また、トランジスタ 8 1 2 として、酸化物半導体を活性層に含み、活性層の上部にソース電極及びドレイン電極が接し、ソース電極及びドレイン電極と、ゲート電極とが重なるオーバーラップ領域を設けず、幅 $1 \mu m$ のオフセット領域を有するボトムゲート構造のトランジスタを用いる。オフセット領域を設けることにより、寄生容量を低減することができる。さらに、トランジスタ 8 1 2 として、活性層に含まれるチャネル形成領域が、下記の表 1 の条件 1 から条件 6 に示すような、異なるサイズを有するトランジスタを用いる。

【 0 1 7 1 】

【 表 1 】

	チャネル長 $L [\mu m]$	チャネル幅 $W [\mu m]$
条件 1	1.5	1×10^5
条件 2	3	1×10^5
条件 3	10	1×10^5
条件 4	1.5	1×10^6
条件 5	3	1×10^6
条件 6	10	1×10^6

【 0 1 7 2 】

なお、電荷注入用のトランジスタ 8 1 1 を測定系 8 0 1 に設けない場合には、容量素子 8 1 3 への電荷注入の際に、リーク電流評価用のトランジスタ 8 1 2 を一度オンにする必要がある。この場合、リーク電流評価用のトランジスタ 8 1 2 が、オンからオフの定常状態となるまでに時間を要するような素子だと、測定に時間を要する。図 8 に示すように、電荷注入用のトランジスタ 8 1 1 と、リーク電流評価用のトランジスタ 8 1 2 とを別々に測定系 8 0 1 に設けることにより、電荷注入の際に、リーク電流評価用のトランジスタ 8 1 2 を常にオフに保つことができる。よって、測定に要する時間を短縮化することができる。

【 0 1 7 3 】

また、電荷注入用のトランジスタ 8 1 1 と、リーク電流評価用のトランジスタ 8 1 2 とを測定系 8 0 1 に別々に設けることにより、それぞれのトランジスタを適切なサイズとすることができる。また、リーク電流評価用のトランジスタ 8 1 2 のチャネル幅 W を、電荷注入用のトランジスタ 8 1 1 のチャネル幅 W よりも大きくすることにより、リーク電流評価用のトランジスタ 8 1 2 のリーク電流以外の、特性評価回路内のリーク電流成分を相対的

に小さくすることができる。その結果、リーク電流評価用のトランジスタ 8 1 2 のリーク電流を高い精度で測定することができる。同時に、電荷注入の際に、リーク電流評価用のトランジスタ 8 1 2 を一度オンとする必要がないため、チャネル形成領域の電荷の一部がノード A に流れ込むことによるノード A の電位変動の影響もない。

【 0 1 7 4 】

一方、電荷注入用のトランジスタ 8 1 1 のチャネル幅 W を、リーク電流評価用のトランジスタ 8 1 2 のチャネル幅 W よりも小さくすることにより、電荷注入用のトランジスタ 8 1 1 のリーク電流を相対的に小さくすることができる。また、電荷注入の際に、チャネル形成領域の電荷の一部がノード A に流れ込むことによるノード A の電位変動の影響も小さい。

10

【 0 1 7 5 】

また、図 8 に示すように、複数の測定系 8 0 1 を並列に接続させた構造にすることにより、より正確に特性評価回路のリーク電流を算出することができる。

【 0 1 7 6 】

次に、図 8 に示す特性評価回路を用いた、トランジスタのオフ電流の具体的な算出方法について説明する。

【 0 1 7 7 】

まず、図 8 に示す特性評価回路のリーク電流測定方法について、図 9 を用いて説明する。図 9 は、図 8 に示す特性評価回路を用いたリーク電流測定方法を説明するためのタイミングチャートである。

20

【 0 1 7 8 】

図 8 に示す特性評価回路を用いたリーク電流測定方法は、書き込み期間及び保持期間に分けられる。それぞれの期間における動作について、以下に説明する。なお、書き込み期間及び保持期間の両期間において、電位 V_2 及び電位 V_4 を 0 V、電位 V_3 を 5 V、電位 V_{ext_c} を 0.5 V とする。

【 0 1 7 9 】

まず、書き込み期間において、電位 V_{ext_b} を、トランジスタ 8 1 2 がオフとなるような高さの電位 V_L (- 3 V) に設定する。また、電位 V_1 を書き込み電位 V_w に設定した後、電位 V_{ext_a} を、一定期間トランジスタ 8 1 1 がオンとなるような高さの電位 V_H (5 V) に設定する。上記構成により、ノード A に電荷が蓄積され、ノード A の電位は、書き込み電位 V_w と同等の値になる。次いで、電位 V_{ext_a} を、トランジスタ 8 1 1 がオフとなるような高さの電位 V_L に設定する。その後、電位 V_1 を電位 V_{SS} (0 V) に設定する。

30

【 0 1 8 0 】

次に、保持期間において、ノード A が保持する電荷量の変化に起因して生じるノード A の電位の変化量の測定を行う。電位の変化量から、トランジスタ 8 1 2 のソース電極とドレイン電極との間を流れる電流値を算出することができる。以上により、ノード A の電荷の蓄積とノード A の電位の変化量の測定とを行うことができる。

【 0 1 8 1 】

ノード A の電荷の蓄積及びノード A の電位の変化量の測定 (蓄積及び測定動作ともいう) は、繰り返し行う。まず、第 1 の蓄積及び測定動作を 15 回繰り返し行う。第 1 の蓄積及び測定動作では、書き込み期間に書き込み電位 V_w として 5 V の電位を入力し、保持期間に 1 時間の保持を行う。次に、第 2 の蓄積及び測定動作を 2 回繰り返し行う。第 2 の蓄積及び測定動作では、書き込み期間に書き込み電位 V_w を 3.5 V とし、保持期間に 50 時間の保持を行う。次に、第 3 の蓄積及び測定動作を 1 回行う。第 3 の蓄積及び測定動作では、書き込み期間に書き込み電位 V_w を 4.5 V とし、保持期間に 10 時間の保持を行う。蓄積及び測定動作を繰り返し行うことにより、測定した電流値が、定常状態における値であることを確認することができる。言い換えると、ノード A を流れる電流 I_A のうち、過渡電流 (測定開始後から時間経過とともに減少していく電流成分) を除くことができる。その結果、より高い精度でリーク電流を測定することができる。

40

50

【 0 1 8 2 】

一般に、ノード A の電位 V_A は、出力信号の電位 V_{out} の関数として次式のように表すことができる。

【 0 1 8 3 】

【 数 1 】

$$V_A = F(V_{out})$$

【 0 1 8 4 】

また、ノード A の電荷 Q_A は、ノード A の電位 V_A 、ノード A に接続される容量 C_A 、定数 (const) を用いて、次式のように表される。ノード A に接続される容量 C_A は、容量素子 813 の容量値と、容量素子 813 以外の容量が有する容量値の和である。

10

【 0 1 8 5 】

【 数 2 】

$$Q_A = C_A V_A + const$$

【 0 1 8 6 】

ノード A の電流 I_A は、ノード A に流れ込む電荷 (またはノード A から流れ出る電荷) の時間微分であるから、ノード A の電流 I_A は次式のように表現される。

【 0 1 8 7 】

20

【 数 3 】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

【 0 1 8 8 】

例えば、 Δt を約 54000 sec とする。ノード A に接続される容量 C_A と、出力信号の電位 V_{out} から、ノード A の電流 I_A を求めることができるため、特性評価回路のリーク電流を求めることができる。

【 0 1 8 9 】

次に、上記特性評価回路を用いた測定方法による出力信号の電位 V_{out} の測定結果及び該測定結果より算出した特性評価回路のリーク電流の値を示す。

30

【 0 1 9 0 】

図 10 に、一例として、条件 1、条件 2 及び条件 3 における上記測定 (第 1 の蓄積及び測定動作) に係る経過時間 T_{ime} と、出力信号の電位 V_{out} との関係を示す。図 11 に、上記測定に係る経過時間 T_{ime} と、該測定によって算出されたリーク電流との関係を示す。測定開始後から出力信号の電位 V_{out} が変動しており、定常状態に到るためには 10 時間以上必要であることがわかる。

【 0 1 9 1 】

また、図 12 に、上記測定により見積もられた条件 1 乃至条件 6 におけるノード A の電位とリーク電流の関係を示す。図 12 では、例えば条件 4 において、ノード A の電位が 3.0 V の場合、リーク電流は 28 yA / μm である。リーク電流にはトランジスタ 812 のオフ電流も含まれるため、トランジスタ 812 のオフ電流も 28 yA / μm 以下とみなすことができる。

40

【 0 1 9 2 】

以上のように、チャネル形成層としての機能を有し、高純度化された酸化物半導体層を含むトランジスタを用いた特性評価回路において、リーク電流が十分に低いため、該トランジスタのオフ電流が十分に小さいことが確認された。

【 0 1 9 3 】

(実施の形態 5)

本実施の形態では、本発明の一態様に係る駆動方法を用いた液晶表示装置の、駆動回路の

50

構成について説明する。

【0194】

図13に、液晶表示装置の構成を、ブロック図で一例として示す。なお、ブロック図では、構成要素を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

【0195】

図13に示す液晶表示装置600は、画素部611と、信号線駆動回路601と、走査線駆動回路608とを有している。信号線駆動回路601は、シフトレジスタ602、第1記憶回路603、第2記憶回路604、レベルシフタ605、DAC606、アナログバッファ607を有している。また、走査線駆動回路608は、シフトレジスタ609、デジタルバッファ610を有している。

10

【0196】

次いで、図13に示す液晶表示装置600の動作について説明する。シフトレジスタ602に、スタート信号SSP、クロック信号SCKが入力されると、シフトレジスタ602は、パルスが順次シフトするタイミング信号を生成する。

【0197】

第1記憶回路603には、画像信号IMGが入力される。画像信号IMGは、正の極性のパルスと、負の極性のパルスとを有している。そして、第1記憶回路603にタイミング信号が入力されると、該タイミング信号のパルスに従って、画像信号IMGがサンプリングされ、第1記憶回路603が有する複数の記憶素子に順に書き込まれる。すなわち、シリアルで信号線駆動回路601に入力された画像信号IMGが、第1記憶回路603にパラレルで書き込まれることになる。第1記憶回路603に書き込まれた画像信号IMGは、保持される。

20

【0198】

なお、第1記憶回路603が有する複数の記憶素子に順に画像信号IMGを書き込んでも良いが、第1記憶回路603が有する複数の記憶素子をいくつかのグループに分け、該グループごとに並行して画像信号IMGを入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ内の記憶素子数を分割数と呼ぶ。例えば4つの記憶素子ごとにグループに分けた場合、4分割で分割駆動することになる。

30

【0199】

第2記憶回路604には、ラッチ信号LPが入力される。第1記憶回路603への、画像信号IMGの書き込みが一通り終了した後、帰線期間において、第2記憶回路604に入力されるラッチ信号LPのパルスに従い、第1記憶回路603に保持されている画像信号IMGが、第2記憶回路604に一斉に書き込まれ、保持される。画像信号IMGを第2記憶回路604に送出し終えた第1記憶回路603では、再びシフトレジスタ602からのタイミング信号に従って、次の画像信号IMGの書き込みが順次行われる。この2順目の1ライン期間中には、第2記憶回路604に書き込まれ、保持されている画像信号IMGが、レベルシフタ605において、その電圧の振幅を調整された後、DAC606に送られる。DAC606では、入力された画像信号IMGがデジタルからアナログに変換される。そして、アナログに変換された画像信号IMGは、アナログバッファ607に送られる。DAC606から送られてきた画像信号IMGは、アナログバッファ607から信号線を介して画素部611に送られる。

40

【0200】

一方、走査線駆動回路608において、シフトレジスタ609は、スタート信号GSP、クロック信号GCKが入力されると、パルスが順次シフトする走査信号SCNを生成する。シフトレジスタ602から出力された走査信号SCNは、デジタルバッファ610から走査線を介して画素部611に送られる。

【0201】

画素部611が有する画素は、走査線駆動回路608から入力された走査信号SCNによ

50

り選択される。信号線駆動回路 601 から信号線を介して画素部 611 に送られた画像信号 I M G は、上記選択された画素に入力される。

【0202】

図 13 に示す液晶表示装置 600 では、スタート信号 S S P、クロック信号 S C K、ラッチ信号 L P などが、信号線駆動回路 601 の駆動信号に相当する。また、スタート信号 G S P、クロック信号 G C K などが、走査線駆動回路 608 の駆動信号に相当する。

【0203】

なお、静止画を表示する期間において、駆動信号及び電源電位の供給を停止するようにしても良い。上記構成により、画素部 611 への画像信号 I M G の書き込み回数を少なくし、液晶表示装置の消費電力を低減させることができる。

10

【0204】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【0205】

(実施の形態 6)

本実施の形態では、本発明の一態様に係る液晶表示装置の構成について説明する。

【0206】

図 14 に、本発明の一態様に係る液晶表示装置の、画素の断面図を一例として示す。図 14 に示すトランジスタ 1401 は、絶縁表面を有する基板 1400 上に形成されたゲート電極 1402 と、ゲート電極 1402 上のゲート絶縁膜 1403 と、ゲート絶縁膜 1403 上においてゲート電極 1402 と重なっている酸化物半導体膜 1404 と、酸化物半導体膜 1404 上に順に積層するように形成され、ソース電極またはドレイン電極として機能する導電膜 1405 及び導電膜 1406 とを有する。さらに、トランジスタ 1401 は、酸化物半導体膜 1404 上に形成された絶縁膜 1407 を、その構成要素に含めても良い。絶縁膜 1407 は、ゲート電極 1402 と、ゲート絶縁膜 1403 と、酸化物半導体膜 1404 と、導電膜 1405 及び導電膜 1406 とを覆うように形成されている。

20

【0207】

絶縁膜 1407 上には絶縁膜 1408 が形成されている。絶縁膜 1407、絶縁膜 1408 の一部には開口部が設けられており、該開口部において導電膜 1406 と接するように、画素電極 1410 が形成されている。

【0208】

また、絶縁膜 1408 上には、液晶素子のセルギャップを制御するためのスペーサ 1417 が形成されている。スペーサ 1417 は絶縁膜を所望の形状にエッチングすることで形成することが可能であるが、フィラーを絶縁膜 1408 上に分散させることでセルギャップを制御するようにしても良い。

30

【0209】

そして、画素電極 1410 上には、配向膜 1411 が形成されている。また、画素電極 1410 と対峙する位置には、対向電極 1413 が設けられており、対向電極 1413 の画素電極 1410 に近い側には配向膜 1414 が形成されている。配向膜 1411、配向膜 1414 は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜に圧力をかけながら、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで、行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜 1411、配向膜 1414 を直接形成することも可能である。

40

【0210】

そして、画素電極 1410 と、対向電極 1413 の間においてシール材 1416 に囲まれた領域には、液晶 1415 が設けられている。液晶 1415 の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いても良い。なお、シール材 1416 にはフィラーが混入されていても良い。

【0211】

50

また、画素電極 1410 と、対向電極 1413 と、液晶 1415 とで形成される液晶素子は、特定の波長領域の光を通すことができるカラーフィルタと重なっていても良い。カラーフィルタは、対向電極 1413 が形成されている基板（対向基板）1420 上に形成すれば良い。カラーフィルタは、顔料を分散させたアクリル系樹脂などの有機樹脂を基板 1420 上に塗布した後、フォトリソグラフィを用いて選択的に形成することができる。また、顔料を分散させたポリイミド系樹脂を基板 1420 上に塗布した後、エッチングを用いて選択的に形成することもできる。或いは、インクジェットなどの液滴吐出法を用いることで、選択的にカラーフィルタを形成することもできる。

【0212】

また、基板 1420 に光を遮蔽することができる遮蔽膜 1430 を形成する。図 14 に示すように、遮蔽膜 1430 を酸化物半導体膜 1404 と重なるように設けることで、酸化物半導体膜 1404 に基板 1420 側から光が入射するのを防ぐことができる。よって、酸化物半導体膜 1404 の光劣化により、トランジスタ 1401 の閾値電圧がシフトするなどの特性の劣化を防ぐことができる。また、遮蔽膜 1430 を画素間に設けることで、画素間における液晶 1415 の配向の乱れに起因するディスクリネーションが視認されるのを防ぐことができる。遮蔽膜には、カーボンブラック、二酸化チタンよりも酸化数が小さい低原子価酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

10

【0213】

また、図 14 に示すように、酸化物半導体膜 1404 を、ゲート電極 1402 と完全に重なる位置に形成することで、酸化物半導体膜 1404 に基板 1400 側から光が入射するのを防ぐことができる。よって、酸化物半導体膜 1404 の光劣化により、トランジスタ 1401 の閾値電圧がシフトするなどの特性の劣化を防ぐことができる。

20

【0214】

画素電極 1410 と対向電極 1413 には、例えば、酸化珪素を含む酸化インジウム酸化スズ混合酸化物（ITO）、酸化インジウム酸化スズ混合酸化物、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などの透明導電材料を用いることができる。

【0215】

また液晶の駆動方法としては、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、VA（Vertical Alignment）モード、MVA（Multi-domain Vertical Alignment）モード、IPS（In-Plane Switching）モード、OCB（Optically Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、PNLC（Polymer Network Liquid Crystal）モード、ゲストホストモードなどを適用することが可能である。

30

40

【0216】

また、配向膜を用いないブルー相を示す液晶を液晶 1415 に用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10 \mu\text{sec}$ 以上 $100 \mu\text{sec}$ 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

【0217】

図 15 は、本発明の一態様に係る液晶表示装置の構造を示す、斜視図の一例である。図 1

50

5 に示す液晶表示装置は、一対の基板間に画素部が形成されたパネル 1 6 0 1 と、第 1 の拡散板 1 6 0 2 と、プリズムシート 1 6 0 3 と、第 2 の拡散板 1 6 0 4 と、導光板 1 6 0 5 と、反射板 1 6 0 6 と、光源 1 6 0 7 と、回路基板 1 6 0 8 と、第 1 基板 1 6 1 1 とを有している。

【0218】

パネル 1 6 0 1 と、第 1 の拡散板 1 6 0 2 と、プリズムシート 1 6 0 3 と、第 2 の拡散板 1 6 0 4 と、導光板 1 6 0 5 と、反射板 1 6 0 6 とは、順に積層されている。光源 1 6 0 7 は、導光板 1 6 0 5 の端部に設けられており、導光板 1 6 0 5 内部に拡散された光源 1 6 0 7 からの光は、第 1 の拡散板 1 6 0 2、プリズムシート 1 6 0 3 及び第 2 の拡散板 1 6 0 4 によって、均一にパネル 1 6 0 1 に照射される。

10

【0219】

なお、本実施の形態では、第 1 の拡散板 1 6 0 2 と第 2 の拡散板 1 6 0 4 とを用いているが、拡散板の数はこれに限定されず、単数であっても 3 以上であっても良い。そして、拡散板は導光板 1 6 0 5 とパネル 1 6 0 1 の間に設けられていれば良い。よって、プリズムシート 1 6 0 3 よりもパネル 1 6 0 1 に近い側にのみ拡散板が設けられていても良いし、プリズムシート 1 6 0 3 よりも導光板 1 6 0 5 に近い側にのみ拡散板が設けられていても良い。

【0220】

またプリズムシート 1 6 0 3 は、断面が図 1 5 に示した鋸歯状の形状に限定されず、導光板 1 6 0 5 からの光をパネル 1 6 0 1 側に集光できる形状を有していれば良い。

20

【0221】

回路基板 1 6 0 8 には、パネル 1 6 0 1 に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図 1 5 では、回路基板 1 6 0 8 とパネル 1 6 0 1 とが、COF テープ 1 6 0 9 を介して接続されている。また、第 1 基板 1 6 1 1 が、COF (Chip On Film) 法を用いて COF テープ 1 6 0 9 に接続されている。

【0222】

図 1 5 では、光源 1 6 0 7 の駆動を制御する制御系の回路が回路基板 1 6 0 8 に設けられており、該制御系の回路と光源 1 6 0 7 とが FPC 1 6 1 0 を介して接続されている例を示している。ただし、上記制御系の回路はパネル 1 6 0 1 に形成されていても良く、この場合はパネル 1 6 0 1 と光源 1 6 0 7 とが FPC などにより接続されるようにする。

30

【0223】

なお、図 1 5 は、パネル 1 6 0 1 の端に光源 1 6 0 7 を配置するエッジライト型の光源を例示しているが、本発明の液晶表示装置は光源 1 6 0 7 がパネル 1 6 0 1 の直下に配置される直下型であっても良い。

【0224】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することができる。

【実施例 1】

【0225】

本発明の一態様に係る駆動方法を採用した液晶表示装置を用いることで、低消費電力の電子機器、高画質である画像の表示を行うことができる電子機器を提供することが可能である。

40

【0226】

液晶表示装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る駆動方法を採用した液晶表示装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等

50

）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１６に示す。

【０２２７】

図１６（Ａ）は携帯型ゲーム機であり、筐体７０３１、筐体７０３２、表示部７０３３、表示部７０３４、マイクロホン７０３５、スピーカー７０３６、操作キー７０３７、スティラス７０３８等を有する。本発明の一態様に係る駆動方法を採用した液晶表示装置は、表示部７０３３または表示部７０３４に用いることができる。表示部７０３３または表示部７０３４に、本発明の一態様に係る駆動方法を採用した液晶表示装置を用いることで、低消費電力の携帯型ゲーム機、高画質である画像の表示が可能な携帯型ゲーム機を提供することができる。なお、図１６（Ａ）に示した携帯型ゲーム機は、２つの表示部７０３３と表示部７０３４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【０２２８】

図１６（Ｂ）は携帯電話であり、筐体７０４１、表示部７０４２、音声入力部７０４３、音声出力部７０４４、操作キー７０４５、受光部７０４６等を有する。受光部７０４６において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る駆動方法を採用した液晶表示装置は、表示部７０４２に用いることができる。表示部７０４２に本発明の一態様に係る駆動方法を採用した液晶表示装置を用いることで、低消費電力の携帯電話、高画質である画像の表示が可能な携帯電話を提供することができる。

20

【０２２９】

図１６（Ｃ）は携帯情報端末であり、筐体７０５１、表示部７０５２、操作キー７０５３等を有する。図１６（Ｃ）に示す携帯情報端末は、モデムが筐体７０５１に内蔵されていても良い。本発明の一態様に係る駆動方法を採用した液晶表示装置は、表示部７０５２に用いることができる。表示部７０５２に本発明の一態様に係る駆動方法を採用した液晶表示装置を用いることで、低消費電力の携帯情報端末、高画質である画像の表示が可能な携帯情報端末を提供することができる。

【０２３０】

図１６（Ｄ）は表示装置であり、筐体７０１１、表示部７０１２、支持台７０１３等を有する。本発明の一態様に係る駆動方法を採用した液晶表示装置は、表示部７０１２に用いることができる。表示部７０１２に本発明の一態様に係る駆動方法を採用した液晶表示装置を用いることで、低消費電力の表示装置、高画質である画像の表示が可能な表示装置を提供することができる。なお、表示装置には、パーソナルコンピュータ用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

30

【０２３１】

本実施例は、上記実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【０２３２】

１００	画素
１０１	画素部
１０２	トランジスタ
１０３	液晶素子
１０４	画素電極
１０６	寄生容量
１０７	寄生容量
２００	基板
２０１	絶縁膜
２０２	導電膜
２０４	ゲート絶縁膜
２０５	半導体膜

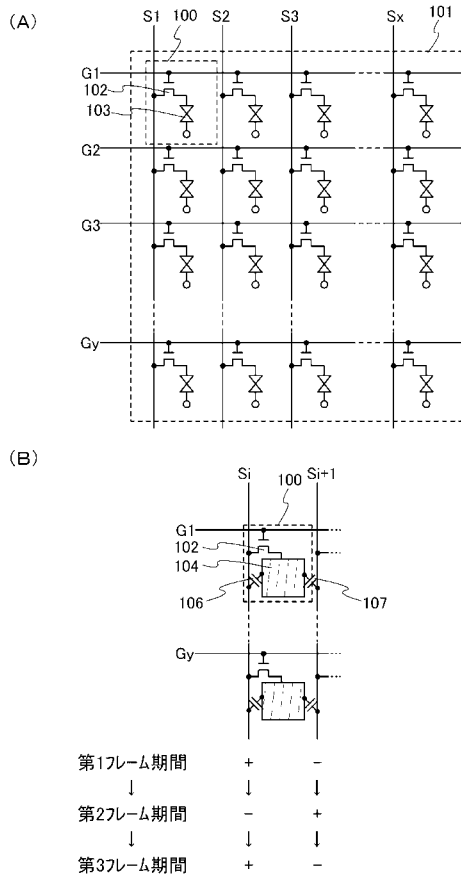
40

50

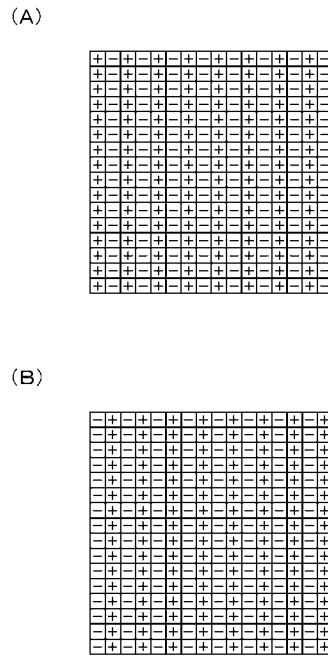
2 0 6	導 電 膜	
2 0 7	導 電 膜	
2 0 8	絶 縁 膜	
2 1 0	遮 蔽 膜	
6 0 0	液 晶 表 示 装 置	
6 0 1	信 号 線 駆 動 回 路	
6 0 2	シフトレジスタ	
6 0 3	記 憶 回 路	
6 0 4	記 憶 回 路	
6 0 5	レベルシフト	10
6 0 6	D A C	
6 0 7	アナログバッファ	
6 0 8	走査線駆動回路	
6 0 9	シフトレジスタ	
6 1 0	デジタルバッファ	
6 1 1	画素部	
7 0 0	基板	
7 0 1	絶 縁 膜	
7 0 2	ゲート電極	
7 0 3	ゲート絶縁膜	20
7 0 4	酸化物半導体膜	
7 0 5	導 電 膜	
7 0 6	導 電 膜	
7 0 7	絶 縁 膜	
7 0 8	トランジスタ	
8 0 1	測 定 系	
8 1 1	トランジスタ	
8 1 2	トランジスタ	
8 1 3	容量素子	
8 1 4	トランジスタ	30
8 1 5	トランジスタ	
1 4 0 0	基板	
1 4 0 1	トランジスタ	
1 4 0 2	ゲート電極	
1 4 0 3	ゲート絶縁膜	
1 4 0 4	酸化物半導体膜	
1 4 0 5	導 電 膜	
1 4 0 6	導 電 膜	
1 4 0 7	絶 縁 膜	
1 4 0 8	絶 縁 膜	40
1 4 1 0	画素電極	
1 4 1 1	配向膜	
1 4 1 3	対向電極	
1 4 1 4	配向膜	
1 4 1 5	液 晶	
1 4 1 6	シール材	
1 4 1 7	スペーサ	
1 4 2 0	基板	
1 4 3 0	遮 蔽 膜	
1 6 0 1	パネル	50

1 6 0 2	拡散板	
1 6 0 3	プリズムシート	
1 6 0 4	拡散板	
1 6 0 5	導光板	
1 6 0 6	反射板	
1 6 0 7	光源	
1 6 0 8	回路基板	
1 6 0 9	C O F テーブ	
1 6 1 0	F P C	
1 6 1 1	基板	10
2 4 0 0	基板	
2 4 0 1	ゲート電極	
2 4 0 2	ゲート絶縁膜	
2 4 0 3	酸化物半導体膜	
2 4 0 5 a	ソース電極	
2 4 0 5 b	ドレイン電極	
2 4 0 6	チャネル保護膜	
2 4 0 7	絶縁膜	
2 4 0 9	絶縁膜	
2 4 1 1	ゲート電極	20
2 4 1 2	バックゲート電極	
2 4 1 3	ゲート絶縁膜	
2 4 1 4	ゲート絶縁膜	
2 4 3 6	下地膜	
2 4 5 0	トランジスタ	
2 4 6 0	トランジスタ	
2 4 7 0	トランジスタ	
2 4 8 0	トランジスタ	
7 0 1 1	筐体	
7 0 1 2	表示部	30
7 0 1 3	支持台	
7 0 3 1	筐体	
7 0 3 2	筐体	
7 0 3 3	表示部	
7 0 3 4	表示部	
7 0 3 5	マイクロホン	
7 0 3 6	スピーカー	
7 0 3 7	操作キー	
7 0 3 8	スタイラス	
7 0 4 1	筐体	40
7 0 4 2	表示部	
7 0 4 3	音声入力部	
7 0 4 4	音声出力部	
7 0 4 5	操作キー	
7 0 4 6	受光部	
7 0 5 1	筐体	
7 0 5 2	表示部	
7 0 5 3	操作キー	

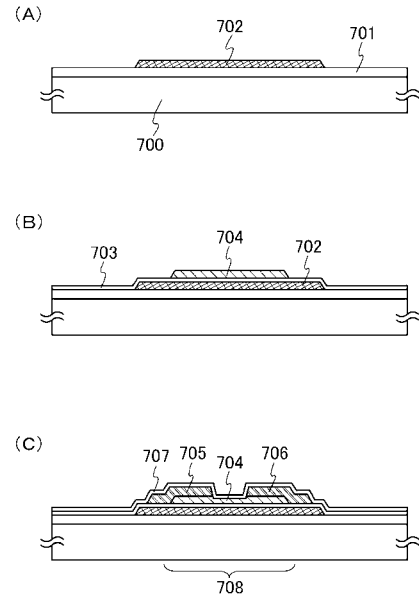
【 図 1 】



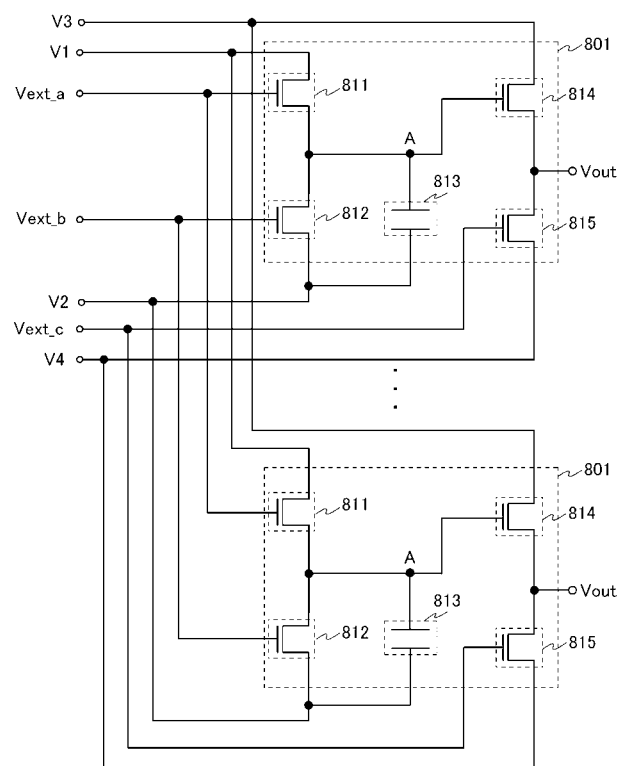
【 図 2 】



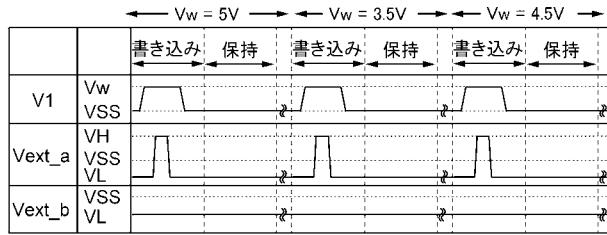
【 図 6 】



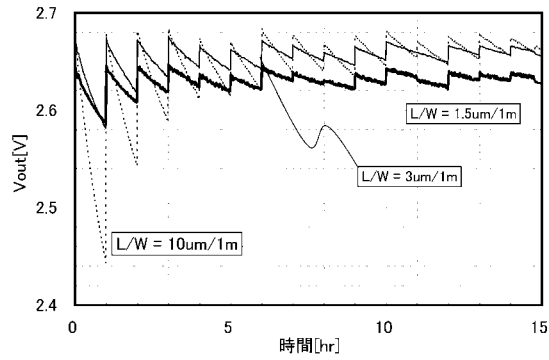
【圖 8】



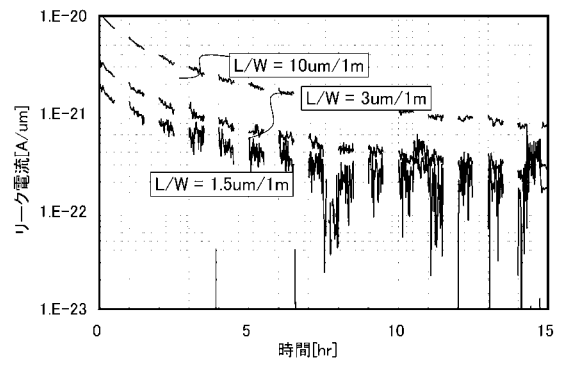
【図 9】



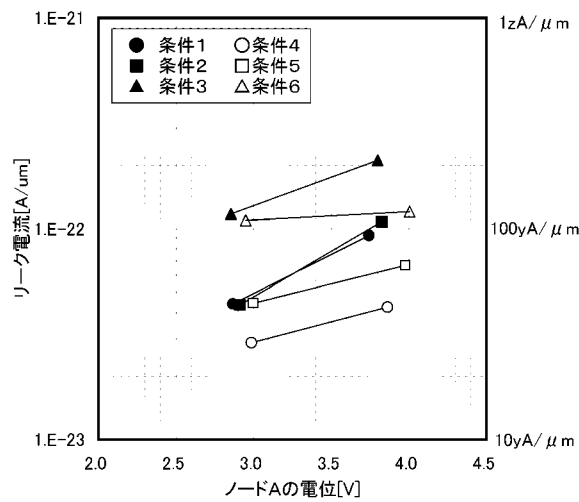
【図 10】



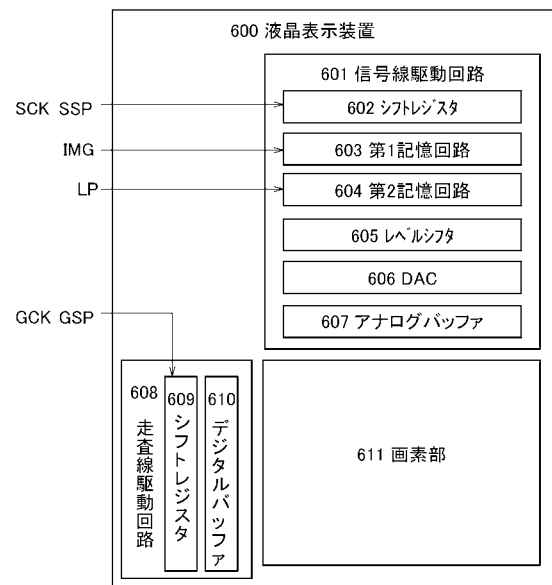
【図 11】



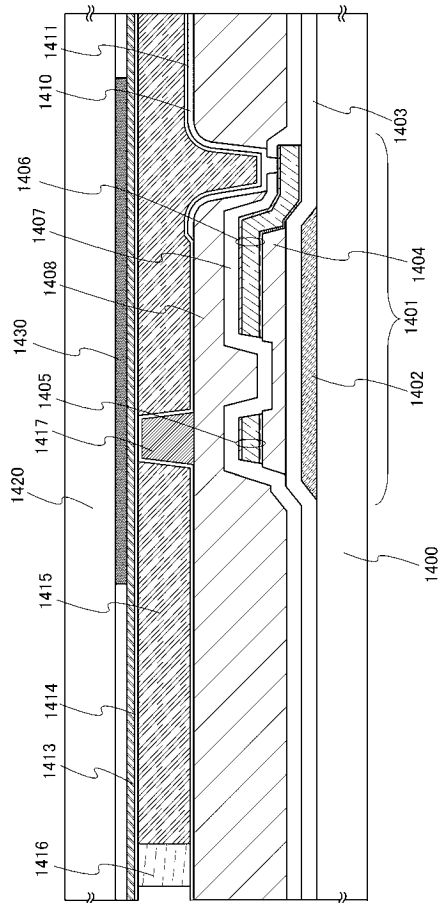
【図 12】



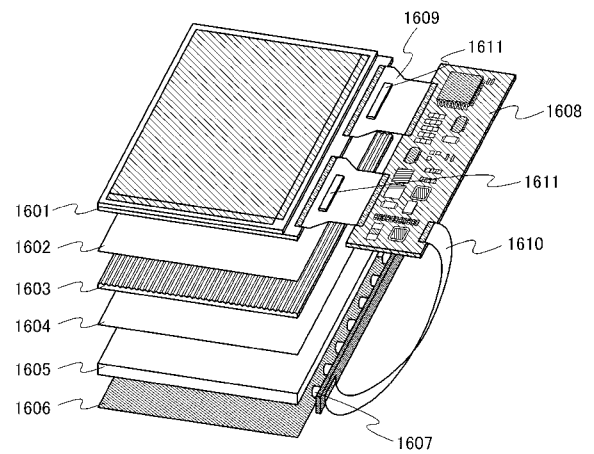
【図 13】



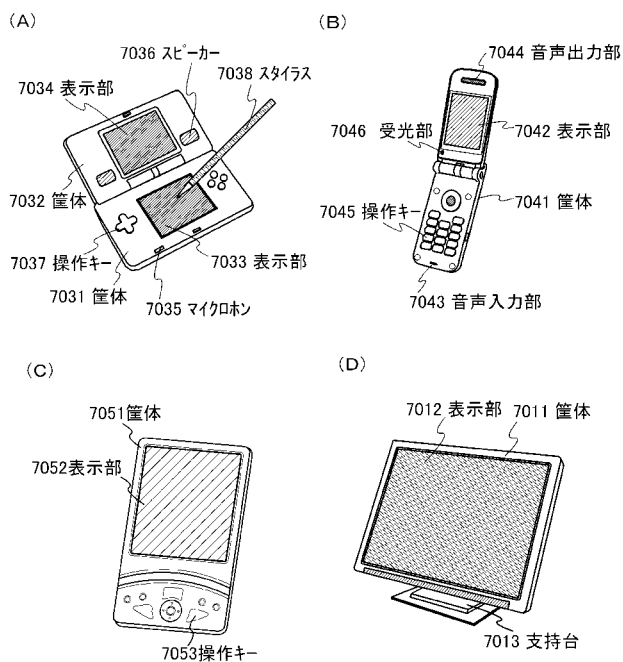
【図 14】



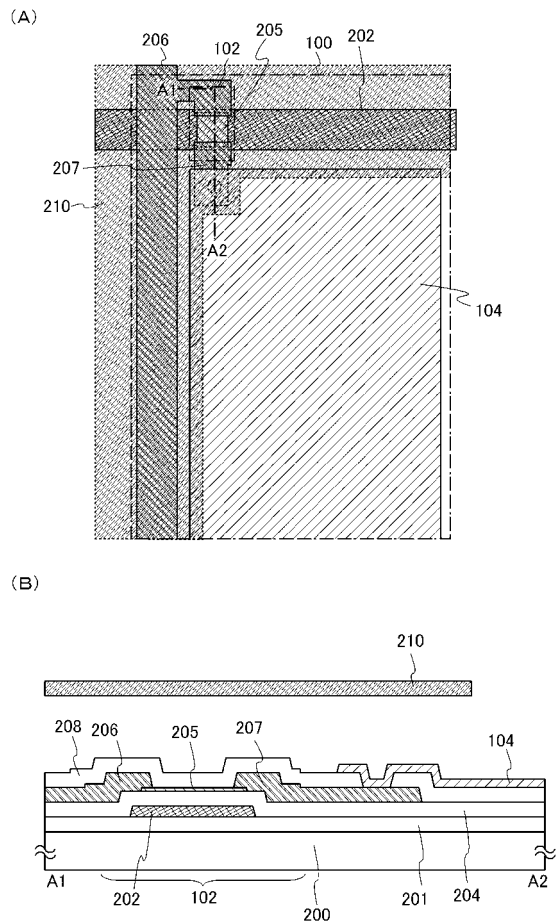
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 1 C
 G 0 9 G 3/20 6 1 1 A
 G 0 9 G 3/20 6 1 1 D
 G 0 9 G 3/20 6 4 2 E
 G 0 9 G 3/20 6 2 4 B
 G 0 2 F 1/1368
 G 0 2 F 1/133 5 5 0

F ターム(参考) 2H092 JA26 JA33 JA35 JA36 JA39 JA40 JA44 JB27 JB36 KA08
 KA10 KA12 KA19 KB05 KB24 MA04 MA05 MA08 MA18 MA19
 MA23 MA27 NA22 NA25 PA06 QA09
 2H193 ZA04 ZC04 ZC13 ZC16 ZC24 ZD16 ZD31 ZQ06 ZQ08 ZQ09
 ZQ11 ZQ13 ZQ16 ZQ22 ZQ26
 5C006 AA01 AA02 AA16 AA22 AC11 AC24 AC27 AC28 AC29 AC30
 AF03 AF04 AF42 AF43 AF44 AF51 AF52 AF53 AF68 AF69
 AF71 AF83 BB16 BC06 BC12 BF02 BF03 BF04 BF25 BF26
 BF42 EB01 FA04 FA12 FA14 FA25 FA36 FA48 FA54
 5C080 AA10 BB05 BB06 CC03 DD02 DD05 DD08 DD10 DD15 DD25
 DD26 EE01 EE19 EE29 EE30 FF03 FF11 FF13 GG11 GG13
 GG15 GG17 JJ02 JJ03 JJ04 JJ05 JJ06 KK04 KK07 KK23
 KK34 KK43 KK50
 5F110 AA06 BB01 CC01 CC07 DD01 DD02 DD03 DD12 DD13 DD14
 DD15 EE01 EE02 EE03 EE04 EE07 EE14 EE15 EE23 EE30
 EE42 EE44 FF01 FF02 FF03 FF04 FF09 FF28 FF30 FF35
 GG01 GG11 GG12 GG13 GG25 GG33 GG34 GG35 GG43 GG57
 GG58 HK02 HK03 HK04 HK07 HK21 HK22 HK32 HK33 HK42
 NN02 NN03 NN12 NN22 NN23 NN24 NN27 NN34 NN40 NN41
 NN72 NN73

专利名称(译)	用于驱动液晶显示装置的方法		
公开(公告)号	JP2012032799A	公开(公告)日	2012-02-16
申请号	JP2011142718	申请日	2011-06-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	三宅博之 穴戸英明 荒澤亮		
发明人	三宅 博之 穴戸 英明 荒澤 亮		
IPC分类号	G09G3/36 G02F1/133 H01L29/786 G09G3/20 G02F1/1368		
CPC分类号	G09G3/3648 G06F1/3265 G06F3/038 G09G3/3614 H01L27/1225 H01L29/02 Y02D10/153		
FI分类号	G09G3/36 G02F1/133.525 H01L29/78.618.B H01L29/78.618.G G09G3/20.621.B G09G3/20.641.C G09G3/20.611.A G09G3/20.611.D G09G3/20.642.E G09G3/20.624.B G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/JA26 2H092/JA33 2H092/JA35 2H092/JA36 2H092/JA39 2H092/JA40 2H092/JA44 2H092/JB27 2H092/JB36 2H092/KA08 2H092/KA10 2H092/KA12 2H092/KA19 2H092/KB05 2H092/KB24 2H092/MA04 2H092/MA05 2H092/MA08 2H092/MA18 2H092/MA19 2H092/MA23 2H092/MA27 2H092/NA22 2H092/NA25 2H092/PA06 2H092/QA09 2H193/ZA04 2H193/ZC04 2H193/ZC13 2H193/ZC16 2H193/ZC24 2H193/ZD16 2H193/ZD31 2H193/ZQ06 2H193/ZQ08 2H193/ZQ09 2H193/ZQ11 2H193/ZQ13 2H193/ZQ16 2H193/ZQ22 2H193/ZQ26 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AC29 5C006/AC30 5C006/AF03 5C006/AF04 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF68 5C006/AF69 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF25 5C006/BF26 5C006/BF42 5C006/EB01 5C006/FA04 5C006/FA12 5C006/FA14 5C006/FA25 5C006/FA36 5C006/FA48 5C006/FA54 5C080/AA10 5C080/BB05 5C080/BB06 5C080/CC03 5C080/DD02 5C080/DD05 5C080/DD08 5C080/DD10 5C080/DD15 5C080/DD25 5C080/DD26 5C080/EE01 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/FF13 5C080/GG11 5C080/GG13 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK04 5C080/KK07 5C080/KK23 5C080/KK34 5C080/KK43 5C080/KK50 5F110/AA06 5F110/BB01 5F110/CC01 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE07 5F110/EE14 5F110/EE15 5F110/EE23 5F110/EE30 5F110/EE42 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/FF35 5F110/GG01 5F110/GG11 5F110/GG12 5F110/GG13 5F110/GG25 5F110/GG33 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HK42 5F110/NN02 5F110/NN03 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN34 5F110/NN40 5F110/NN41 5F110/NN72 5F110/NN73 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB08 2H192/CB37 2H192/EA22 2H192/EA43 2H192/FB02 2H192/GD61		
优先权	2010150889 2010-07-01 JP		
其他公开文献	JP2012032799A5 JP5211208B2		

摘要(译)

要解决的问题：提出一种能够在防止图像质量劣化的同时实现功耗降低的液晶显示装置的驱动方法。像素具有液晶元件和控制向液晶元件提供图像信号的晶体管。晶体管包括带隙宽于硅半导体的半导体，并且本征载流子密度低于沟道形成区域中硅的本征载流子密度，并且截止态电流极小。然后，当反转像素时，具有相反极性的图像信号被输入到设置有像素电极的一对信号线。利用上述配置，即使电容元件未连接到液晶元件，也可以防止显示图像质量的劣化。点域1

