

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-27169

(P2012-27169A)

(43) 公開日 平成24年2月9日(2012.2.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 621B	5C080
	G09G 3/20 641P	
	G09G 3/20 623R	
審査請求 未請求 請求項の数 3 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2010-164496 (P2010-164496)  
 (22) 出願日 平成22年7月22日 (2010.7.22)

(71) 出願人 308036402  
 株式会社 JVCケンウッド  
 神奈川県横浜市神奈川区守屋町3丁目12番地  
 (74) 代理人 100085235  
 弁理士 松浦 兼行  
 (72) 発明者 伊藤 博友  
 神奈川県横浜市神奈川区守屋町3丁目12番地  
 Fターム(参考) 2H193 ZA04 ZA05 ZA19 ZB08 ZB16  
 ZC04 ZD23 ZF13 ZF32 ZF33  
 5C006 AC26 AF21 AF42 AF44 AF46  
 BB16 BC06 BF03 BF04 BF14  
 BF22 EB01 FA11 FA22

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

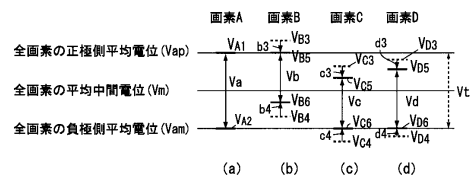
【課題】画素内のソースフォロワトランジスタの閾値電圧バラツキに起因する表示画像の均一性(ユニフォミティ)の悪化を最小限に抑制する。

【解決手段】補正階調算出部は、基準ランプ電圧の最大値をRmax、最小値をRmin、入力映像データをNビットとし、また、各画素毎に全画素の正極側電圧の平均値Vapに対する差分Xnと全画素の負極側電圧の平均値Vamに対する差分Ynの中間電位をVcorとすると、各画素の補正階調Dcorを次式で算出する(ただし、は係数)

$$Dcor = Vcor / \{ (Rmax - Rmin) / 2^N \} - \{ (Vap - Vam) / 2 \} - Vcor$$

これにより、画素B、C、Dの駆動電圧は、上式の右辺第二項で示された補正電圧である(b3 + b4)分、(c3 + c4)分、(d3 + d4)分ずつ小さくされる。

【選択図】図12



## 【特許請求の範囲】

## 【請求項 1】

2本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた、それぞれ液晶素子を備える複数の画素と、

前記複数組のデータ線に対してそれぞれ設けられており、各水平走査期間の始めにオンとされた後、オフに制御されるまで一組の前記2本のデータ線の一方に正極性映像信号を供給し、かつ、他方のデータ線に負極性映像信号を供給することを、前記複数組のデータ線に対して組単位で行う複数のアナログスイッチと、

複数本の前記ゲート線を水平走査期間毎に選択する垂直方向駆動を行う垂直方向駆動手段と、

黒レベルから白レベルまで連続的に1水平走査期間で変化し、かつ、互いにレベル変化方向が逆に設定された正極性用ランプ信号と負極性用ランプ信号とを発生するランプ信号発生手段と、

Nビット(Nは2以上の自然数)の映像データからなるデジタル映像信号を1ライン単位でラッチするラッチ手段と、

前記ラッチ手段によりラッチされている前記デジタル映像信号の1ラインの各画素の値と、1水平走査期間内で一巡するカウンタ値とを画素単位で比較し、一致した時一致パルスを出力して、前記複数のアナログスイッチのうち対応して設けられたアナログスイッチをオフとし、そのオフとされた前記アナログスイッチに接続された一組の前記データ線に、前記正極性用ランプ信号と前記負極性用ランプ信号の前記アナログスイッチのオフ直前の電位を出力し、そのデータ線に接続された前記画素の保持容量に前記電位をサンプリングして保持させる比較手段と、

前記複数の画素のそれぞれについて、前記正極性用ランプ信号をサンプリング保持した後、第1のソースフォロワトランジスタを通して前記液晶素子の画素駆動電極に印加する駆動電圧の全画素の平均値 $V_{ap}$ に対する差分を $X_n$ 、前記負極性用ランプ信号をサンプリング保持した後、第2のソースフォロワトランジスタを通して前記液晶素子の画素駆動電極に印加する駆動電圧の全画素の平均値 $V_{am}$ に対する差分を $Y_n$ 、係数を、前記正極性用ランプ信号及び負極性用ランプ信号の最大値を $R_{max}$ 、最小値を $R_{min}$ としたとき、次式

$$D_{cor} = \{ (Y_n - X_n) / 2 \} / \{ (R_{max} - R_{min}) / 2^N \} \\ - \quad \times | \{ (V_{ap} - V_{am}) / 2 \} - \{ (Y_n - X_n) / 2 \} |$$

により画素単位で算出した補正階調 $D_{cor}$ のデータを、前記Nビットのデジタル映像信号に画素単位で加算して前記ラッチ手段にラッチさせる補正階調加算手段と

を有することを特徴とする液晶表示装置。

## 【請求項 2】

前記複数の画素のそれぞれは、

対向する前記画素駆動電極と共通電極との間に液晶層が挟持された前記液晶素子と、

一組の前記2本のデータ線のうち、前記正極性用ランプ信号が供給される一方のデータ線に保持されている電位が前記正極性映像信号として供給され、その正極性用ランプ信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段と、

一組の前記2本のデータ線のうち、前記負極性用ランプ信号が供給される他方のデータ線に保持されている電位が前記負極性映像信号として供給され、その負極性用ランプ信号をサンプリングして一定期間保持する第2のサンプリング及び保持手段と、

前記第1のサンプリング及び保持手段と前記画素駆動電極との間に接続された前記第1のソースフォロワトランジスタと、

前記第2のサンプリング及び保持手段と前記画素駆動電極との間に接続された前記第2のソースフォロワトランジスタと、

同じ組の前記2本のデータ線のうちの一方のデータ線と前記画素駆動電極との間に接続され、画素書き込みモード時にはオフとされ、画素読み出しモード時にはオンとされる画素検査用スイッチング手段と、

前記画素読み出しモード時には、前記第1のソースフォロワトランジスタを通して前記

10

20

30

40

50

画素駆動電極に印加される前記第 1 のサンプリング及び保持手段に保持された前記正極性用ランプ信号の電圧、及び前記第 2 のソースフォロワトランジスタを通して前記画素駆動電極に印加される前記第 2 のサンプリング及び保持手段に保持された前記負極性用ランプ信号の電圧の一方を前記検査用スイッチング手段を介して前記一方のデータ線に読み出した後、他方のランプ信号の電圧を前記検査用スイッチング手段を介して前記一方のデータ線に読み出すスイッチング手段と

を備えることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

同一階調の N ビット ( N は 2 以上の自然数 ) からなるデジタル映像信号を 1 ライン単位でラッチするラッチステップと、

前記ラッチステップでラッチされている前記デジタル映像信号の 1 ラインの各画素の値と、 1 水平走査期間で一巡するカウンタ値とを画素単位で比較する比較ステップと、

2 本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた、それぞれ液晶素子を備える複数の画素のうち、前記比較ステップで一致の比較結果が得られた画素に接続されている一組のデータ線の一方に、黒レベル及び白レベルの一方から他方まで連続的に 1 水平走査期間内で変化する正極性用ランプ信号の前記一致の比較結果出力直前の時点の電位を出力してその画素の保持容量にサンプリング保持させると共に、前記第 2 のステップで一致の比較結果が得られた画素に接続されている一組のデータ線の他方に、前記正極性用ランプ信号とはレベル変化方向が逆方向に設定されて連続的に 1 水平走査期間内でレベルが変化する負極性用ランプ信号の前記一致の比較結果出力直前の時点の電位を出力してその画素の保持容量にサンプリング保持させる保持ステップと、

前記保持ステップにより各画素の保持容量に保持された前記正極性用ランプ信号及び負極性用ランプ信号のうち、前記正極性用ランプ信号の保持電圧を前記画素内の第 1 のソースフォロワトランジスタを通して同じ画素内の前記液晶素子の画素駆動電極に印加したときの第 1 の駆動電圧と、前記負極性用ランプ信号の保持電圧を前記画素内の第 2 のソースフォロワトランジスタを通して同じ画素内の前記液晶素子の画素駆動電極に印加したときの第 2 の駆動電圧のそれぞれを全画素について測定する測定ステップと、

前記測定ステップで測定された全画素の前記第 1 及び第 2 の駆動電圧に基づき、全画素の前記第 1 の駆動電圧の平均値  $V_{ap}$  と全画素の前記第 2 の駆動電圧の平均値  $V_{am}$  との中間電位  $\{ (V_{ap} - V_{am}) / 2 \}$  を算出する中間電位算出ステップと、

前記複数の画素のそれぞれについて、前記第 1 の駆動電圧の平均値  $V_{ap}$  に対する各画素の前記第 1 の駆動電圧の差分  $X_n$  と、前記第 2 の駆動電圧の平均値  $V_{am}$  に対する各画素の前記第 2 の駆動電圧の差分  $Y_n$  とを算出する差分算出ステップと、

前記中間電位算出ステップで算出された前記中間電位  $\{ (V_{ap} - V_{am}) / 2 \}$  と、前記差分算出ステップで算出された各画素毎の前記差分  $X_n$  及び  $Y_n$  とに基づいて、係数を、前記正極性用ランプ信号及び負極性用ランプ信号の最大値を  $R_{max}$ 、最小値を  $R_{min}$  としたとき、次式

$$D_{cor} = \{ (Y_n - X_n) / 2 \} / \{ (R_{max} - R_{min}) / 2^N \} \\ - \times | \{ (V_{ap} - V_{am}) / 2 \} - \{ (Y_n - X_n) / 2 \} |$$

により画素単位で補正階調  $D_{cor}$  を算出する補正階調算出ステップと、

前記補正階調  $D_{cor}$  のデータを、前記 N ビットのデジタル映像信号に画素単位で加算して表示されるべきデジタル映像信号として出力する加算出力ステップと

を含むことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及びその駆動方法に係り、特にアナログ駆動方式とデジタル駆動方式の長所を併せ持つ駆動方式によるアクティブマトリクス型の液晶表示装置及びその駆動方法に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品としてLCO S (Liquid Crystal on Silicon) 型の液晶表示装置が多く用いられている。このLCO S型の液晶表示装置は、透明電極、液晶層、マトリクス状に配置された反射電極、及びシリコン基板上に液晶駆動回路が形成された液晶駆動素子などが重なった構造を有しており、家庭用、事務用、及び産業用の情報表示端末における液晶プロジェクタやプロジェクションテレビなどに広く用いられている。

## 【0003】

従来の液晶表示装置は、複数本のデータ線(列信号線)と複数本のゲート線(行走査線)との各交差部にそれぞれ画素がマトリクス状に配置されている。各画素は、図13に示すように、画素選択トランジスタQ、信号保持容量Cs、及び液晶素子LCを備えている。画素選択トランジスタQは、ゲートがゲート線(行走査線)Gに接続され、ドレインがデータ線(列信号線)Dに接続されている。また、図13に示すように、液晶素子LCは、対向する反射電極(画素駆動電極)PEと対向電極(共通電極)CEとの間に液晶表示体(液晶層)LCMが挟持された構成とされている。

10

## 【0004】

液晶素子LCは、共通電極CEに固定電圧Vcomが印加され、反射電極(画素駆動電極)PEに映像信号に応じた様々な電圧が供給されることで、液晶表示体LCMの光変調率を制御し、映像として表示する。普通、液晶素子LCは交流駆動した方が信頼性の長期安定化が図れることから、共通電極CEの固定電圧Vcomに対して、反射電極(画素駆動電極)PEには映像信号に応じて光の変調率が同じになるような正側と負側の電圧を交互に与えて交流駆動を行っている。

20

## 【0005】

場合によっては、映像信号のダイナミックレンジ縮小などの目的で、正側と負側の電圧で駆動するタイミングに合わせて、共通電極のコモン電圧を切り替えたりする応用例もあるが、基本的な考え方は同じである。

## 【0006】

従来の液晶表示装置においては、通常、各画素への映像信号の書き込みは1フレームに1回行われ、1フレーム毎に交互に、共通電極CEに対して正側と負側の映像信号を信号保持容量Csに書き込んだ後、その保持電圧を反射電極(画素駆動電極)PEに印加して液晶素子LCを交流駆動することになる。なお、この場合の書き込み周波数の2倍の周波数で液晶を交流駆動する倍速駆動の例もあるが、周波数としては、60Hzが120Hzになる程度であり、いずれにしても高い周波数ではない。

30

## 【0007】

一方、液晶素子LCに対しては、より高い周波数で交流駆動することで、反射電極(画素駆動電極)PEと共通電極CEとの間の直流分をゼロにできれば、焼き付き防止など信頼性の向上につながり、画像の表示品質も高まる。

## 【0008】

これまで、画素選択トランジスタの寄生容量に起因するフィードスルーへの対策(例えば、特許文献1参照)や保持容量のリーク対策(例えば、特許文献2参照)など、書き込まれた信号分の劣化を防止する方法が開示されている。しかしながら、液晶をより高い周波数で交流駆動する取り組みはあまり検討されてこなかったようである。

40

## 【0009】

なお、同一の走査線に接続された複数個の画素毎に、各画素の保持容量をその走査線に対応する保持容量線と隣接する走査線に対応する別の保持容量線とに交互に接続し、画素駆動電極と共通電極の間の直流分を補償するための補償電圧を、保持容量線毎に反転させて与えることにより、共通電極線や共通電極の電位変動等に起因する画質劣化の発生を防止するようにした液晶表示装置は従来知られている(例えば、特許文献3参照)。

## 【先行技術文献】

50

## 【特許文献】

【0010】

【特許文献1】特開2006-10897号公報

【特許文献2】特開2002-250938号公報

【特許文献3】特開2004-354742号公報

## 【発明の概要】

【発明が解決しようとする課題】

【0011】

前述したように、液晶素子の焼き付き防止などの信頼性を高める手段として、高い周波数で液晶素子を交流駆動することが望ましいが、画素への書き込み時間などの制約から共通電極電圧に対して正側と負側の映像信号を交互に高速に書き込むことは難しく、従来は交流駆動の周波数はフレームレートあるいはその2倍ぐらいの周波数でしか行われていない。

10

【0012】

また、特許文献3記載の液晶表示装置では、補償電圧はフレーム毎にしか極性反転ができず、また、画像信号電圧は共通電極の電圧V<sub>com</sub>に対して正側と負側の2種類の電圧が必要である。

【0013】

なお、液晶表示素子の駆動方法としては、主に振幅変調を用いたアナログ駆動方式及びパルス幅変調を用いたデジタル駆動方式の2つがある。アナログ駆動方式は連続した階調表現に優れている長所を持つが、高精度な電氣的調整が必要な点や、液晶素子の高周波駆動が難しいために液晶素子の長期信頼性の点では課題を持つ。一方、デジタル駆動方式は、アナログ方式と比較して電氣的な調整が簡単である、高周波駆動を行うために液晶素子の長期信頼性を向上させる事が可能、といった長所を持つが、連続した階調表現では劣る。

20

【0014】

そこで、振幅変調による連続的な階調表現と液晶素子の高周波駆動による長期信頼性の両立を可能とする、上記のアナログ駆動方式とデジタル駆動方式の長所を併せ持つ第三の駆動方式が望まれている。また、この第三の駆動方式では、トランジスタの閾値電圧のバラツキに起因する表示画像の均一性(ユニフォミティ)の悪化を補正することが必要とされる。

30

【0015】

本発明は以上の点に鑑みなされたもので、画素内のソースフォロワトランジスタの閾値電圧のバラツキに起因する表示画像の均一性(ユニフォミティ)の悪化を最小限に抑制する液晶表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

上記の目的を達成するため、第1の発明の液晶表示装置は、2本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた、それぞれ液晶素子を備える複数の画素と、複数組のデータ線に対してそれぞれ設けられており、各水平走査期間の始めにオンとされた後、オフに制御されるまで一組の2本のデータ線の一方に正極性映像信号を供給し、かつ、他方のデータ線に負極性映像信号を供給することを、複数組のデータ線に対して組単位で行う複数のアナログスイッチと、複数本のゲート線を水平走査期間毎に選択する垂直方向駆動を行う垂直方向駆動手段と、黒レベルから白レベルまで連続的に1水平走査期間で変化し、かつ、互いにレベル変化方向が逆に設定された正極性用ランプ信号と負極性用ランプ信号とを発生するランプ信号発生手段と、Nビット(Nは2以上の自然数)の映像データからなるデジタル映像信号を1ライン単位でラッチするラッチ手段と、ラッチ手段によりラッチされているデジタル映像信号の1ラインの各画素の値と、1水平走査期間内で一巡するカウンタ値とを画素単位で比較し、一致した時一致パルスを出力して、複数のアナログスイッチのうち対応して設けられたアナロ

40

50

グスイッチをオフとし、そのオフとされたアナログスイッチに接続された一組のデータ線に、正極性用ランプ信号と負極性用ランプ信号のアナログスイッチのオフ直前の電位を出力し、そのデータ線に接続された画素の保持容量に電位をサンプリングして保持させる比較手段と、複数の画素のそれぞれについて、正極性用ランプ信号をサンプリング保持した後、第1のソースフォロワトランジスタを通して液晶素子の画素駆動電極に印加する駆動電圧の全画素の平均値  $V_{ap}$  に対する差分を  $X_n$ 、負極性用ランプ信号をサンプリング保持した後、第2のソースフォロワトランジスタを通して液晶素子の画素駆動電極に印加する駆動電圧の全画素の平均値  $V_{am}$  に対する差分を  $Y_n$ 、係数を  $\alpha$ 、正極性用ランプ信号及び負極性用ランプ信号の最大値を  $R_{max}$ 、最小値を  $R_{min}$  としたとき、次式

$$D_{cor} = \{ (Y_n - X_n) / 2 \} / \{ (R_{max} - R_{min}) / 2^N \} \\ - \alpha | \{ (V_{ap} - V_{am}) / 2 \} - \{ (Y_n - X_n) / 2 \} |$$

により画素単位で算出した補正階調  $D_{cor}$  のデータを、 $N$  ビットのデジタル映像信号に画素単位で加算してラッチ手段にラッチさせる補正階調加算手段とを有することを特徴とする。

#### 【0017】

また、上記の目的を達成するため、第2の発明の液晶表示装置は、第1の発明の複数の画素のそれぞれが、

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、一組の2本のデータ線のうち、正極性用ランプ信号が供給される一方のデータ線に保持されている電位が正極性映像信号として供給され、その正極性用ランプ信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段と、一組の2本のデータ線のうち、負極性用ランプ信号が供給される他方のデータ線に保持されている電位が負極性映像信号として供給され、その負極性用ランプ信号をサンプリングして一定期間保持する第2のサンプリング及び保持手段と、第1のサンプリング及び保持手段と画素駆動電極との間に接続された第1のソースフォロワトランジスタと、第2のサンプリング及び保持手段と画素駆動電極との間に接続された第2のソースフォロワトランジスタと、同じ組の2本のデータ線のうちの一方のデータ線と画素駆動電極との間に接続され、画素書き込みモード時にはオフとされ、画素読み出しモード時にはオンとされる画素検査用スイッチング手段と、画素読み出しモード時には、第1のソースフォロワトランジスタを通して画素駆動電極に印加される第1のサンプリング及び保持手段に保持された正極性用ランプ信号の電圧、及び第2のソースフォロワトランジスタを通して画素駆動電極に印加される第2のサンプリング及び保持手段に保持された負極性用ランプ信号の電圧の一方を検査用スイッチング手段を介して一方のデータ線に読み出した後、他方のランプ信号の電圧を検査用スイッチング手段を介して一方のデータ線に読み出すスイッチング手段とを備えることを特徴とする。

#### 【0018】

また、上記の目的を達成するため、第3の発明の液晶表示装置の駆動方法は、同一階調の  $N$  ビット ( $N$  は2以上の自然数) からなるデジタル映像信号を1ライン単位でラッチするラッチステップと、ラッチステップでラッチされているデジタル映像信号の1ラインの各画素の値と、1水平走査期間で一巡するカウンタ値とを画素単位で比較する比較ステップと、2本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた、それぞれ液晶素子を備える複数の画素のうち、比較ステップで一致の比較結果が得られた画素に接続されている一組のデータ線の一方に、黒レベル及び白レベルの一方から他方まで連続的に1水平走査期間内で変化する正極性用ランプ信号の一致の比較結果出力直前の時点の電位を出力してその画素の保持容量にサンプリング保持させると共に、第2のステップで一致の比較結果が得られた画素に接続されている一組のデータ線の他方に、正極性用ランプ信号とはレベル変化方向が逆方向に設定されて連続的に1水平走査期間内でレベルが変化する負極性用ランプ信号の一致の比較結果出力直前の時点の電位を出力してその画素の保持容量にサンプリング保持させる保持ステップと、保持ステップにより各画素の保持容量に保持された正極性用ランプ信号及び負極性用ランプ信号のうち、正極性用ランプ信号の保持電圧を画素内の第1のソースフォロワトランジスタ

10

20

30

40

50

タを通して同じ画素内の液晶素子の画素駆動電極に印加したときの第1の駆動電圧と、負極性用ランプ信号の保持電圧を画素内の第2のソースフォロワトランジスタを通して同じ画素内の液晶素子の画素駆動電極に印加したときの第2の駆動電圧のそれぞれを全画素について測定する測定ステップと、測定ステップで測定された全画素の第1及び第2の駆動電圧に基づき、全画素の第1の駆動電圧の平均値  $V_{ap}$  と全画素の第2の駆動電圧の平均値  $V_{am}$  との中間電位  $\{(V_{ap} - V_{am}) / 2\}$  を算出する中間電位算出ステップと、複数の画素のそれぞれについて、第1の駆動電圧の平均値  $V_{ap}$  に対する各画素の第1の駆動電圧の差分  $X_n$  と、第2の駆動電圧の平均値  $V_{am}$  に対する各画素の第2の駆動電圧の差分  $Y_n$  とを算出する差分算出ステップと、中間電位算出ステップで算出された中間電位  $\{(V_{ap} - V_{am}) / 2\}$  と、差分算出ステップで算出された各画素毎の差分  $X_n$  及び  $Y_n$  とに基づいて、係数を、正極性用ランプ信号及び負極性用ランプ信号の最大値を  $R_{max}$ 、最小値を  $R_{min}$  としたとき、次式

$$D_{cor} = \{ (Y_n - X_n) / 2 \} / \{ (R_{max} - R_{min}) / 2^N \} \\ - \times | \{ (V_{ap} - V_{am}) / 2 \} - \{ (Y_n - X_n) / 2 \} |$$

により画素単位で補正階調  $D_{cor}$  を算出する補正階調算出ステップ(S6,S7)と、

補正階調  $D_{cor}$  のデータを、Nビットのデジタル映像信号に画素単位で加算して表示されるべきデジタル映像信号として出力する加算出力ステップとを含むことを特徴とする。

【発明の効果】

【0019】

本発明によれば、画素内のソースフォロワトランジスタの閾値電圧のバラツキに起因する表示画像の均一性(ユニフォミティ)の悪化を最小限に抑制することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の液晶表示装置の一実施の形態の構成図である。

【図2】図1中の一画素の一例の等価回路図である。

【図3】図2の動作説明用タイミングチャートである。

【図4】正極性映像信号と負極性映像信号の一例の説明図である。

【図5】図1の動作説明用タイミングチャートである。

【図6】図2の画素中のソースフォロワトランジスタの入出力特性の一例を示す図である。

【図7】本発明の液晶表示装置及びその駆動方法の一実施の形態の要部のフローチャートである。

【図8】図1中の補正電圧算出部に一時保持された、全ての画素のうちの任意の4つの画素A、B、C、Dの駆動電圧の一例を示す図である。

【図9】図8の画素A、B、C、Dを正極側駆動電圧と負極側駆動電圧との差電位が一定となるように制御するときの補正電圧を加減算する様子を示す図である。

【図10】図8の画素A、B、C、Dを正極側駆動電圧と負極側駆動電圧との差電位が一定となるように制御したときの駆動電圧を示す図である。

【図11】図8の画素A、B、C、Dを正極側駆動電圧と負極側駆動電圧との差電位が一定となるように制御したときの各画素の駆動電圧の中間電位と全画素の平均中間電位との差を示す図である。

【図12】図8の画素A、B、C、Dに対して、本発明の一実施の形態により正極側駆動電圧と負極側駆動電圧とを制御したときの駆動電圧を示す図である。

【図13】従来の液晶表示素子の一例の等価回路図である。

【発明を実施するための形態】

【0021】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0022】

図1は、本発明になる液晶表示装置の一実施の形態の構成図を示す。同図に示すように、本実施の形態の液晶表示装置100は、シフトレジスタ回路101a及び101bと、

10

20

30

40

50

1ラインラッチ回路102と、コンパレータ103と、階調カウンタ104と、アナログスイッチ105と、水平方向にm個、垂直方向にn個それぞれマトリクス状に配置された画素106<sub>11</sub>~106<sub>nm</sub>と、タイミング発生器107と、極性切り替え制御回路108と、垂直シフトレジスタ及びレベルシフタ109と、インバータINVと、2個のAND回路AND-1及びAND-2を一組とするn組のAND回路とから構成される。更に、液晶表示装置100は、ランプ信号発生器110、補正電圧算出部111、補正階調算出部112及び補正階調加算部113を備えている。

#### 【0023】

シフトレジスタ回路101a及び101b、1ラインラッチ回路102、コンパレータ103、及び階調カウンタ104からなる水平ドライバ回路は、アナログスイッチ105と共にデータ線駆動回路を構成している。なお、コンパレータ103は、図1では図示の簡単のために一つのブロックで示しているが、実際には各画素列毎に設けられている。

10

#### 【0024】

図1に示すアナログスイッチ105は、各画素列毎に正極性用及び負極性用の2つ1組のサンプリング用アナログスイッチが配置された構成である。図1に示す画素106<sub>11</sub>~106<sub>nm</sub>は、2本を一組とするm組のデータ線(D1+とD1-、・・・、Dm+とDm-)と、n本のゲート線(G1、・・・、Gn)との交差部に配置されている。これらn・m個の106<sub>11</sub>~106<sub>nm</sub>(以下、画素を総称するときは、106と記す)は、それぞれ例えば図2に示す構成とされている。

20

#### 【0025】

図2は、本発明になる液晶表示装置における一画素の一例の等価回路図を示す。同図において、一つの画素106は、正極性、負極性の画素信号を書き込むための画素選択トランジスタQ1及びQ2と、各々の極性の画像信号電圧を並列的に保持する独立した2つの保持容量C1及びC2と、トランジスタQ3~Q6、Q9及びQ10と、反射電極(以下、画素駆動電極という)PE等からなる図13に示した液晶素子と同じ構成の液晶素子LCとからなる。なお、トランジスタQ1~Q6、Q9及びQ10は、Nチャンネル電界効果トランジスタ(FET)である。

#### 【0026】

トランジスタQ1及び保持容量C1は後述する正極性ランプ信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段を構成している。また、トランジスタQ2及び保持容量C2は後述する負極性ランプ信号をサンプリングして一定期間保持する第2のサンプリング及び保持手段を構成している。トランジスタQ3は第1のソースフォロワトランジスタであり、トランジスタQ4は第2のソースフォロワトランジスタであり、それぞれインピーダンス変換用ソースフォロワ回路を構成している。

30

#### 【0027】

また、トランジスタQ3のソースにドレインが接続されたトランジスタQ5と、トランジスタQ4のソースにドレインが接続されたトランジスタQ6とは、それぞれスイッチングトランジスタである。トランジスタQ5及びQ6の各ソースは液晶素子LCの画素駆動電極PEに接続されている。トランジスタQ9は、ソースフォロワ・バッファを形成する定電流負荷用トランジスタで、極性切り替えスイッチングトランジスタQ5、Q6の後段、すなわち画素駆動電極PEのノードに配置され、正極性・負極性のソースフォロワ回路双方の負荷として共通に機能する。

40

#### 【0028】

画素部データ線は、各画素について正極性用データ線D+、負極性用データ線D-の2本一組で構成され、図示しないデータ線駆動回路でサンプリングされた互いに極性の異なる映像信号が供給される。画素選択トランジスタQ1、Q2の各ドレイン端子は各々正極性用データ線Di+(図1のD1+~Dm+のいずれか1本)、負極性用データ線Di-(図1のD1-~Dm-のいずれか1本)に接続され、各ゲート端子は同一行について行走査線Gj(図1のゲート線G1~Gnのいずれか1本に相当)に接続されている。

#### 【0029】

50

更に、画素駆動電極 P E と正極性の映像信号書き込み用データ線 D i + の間に検査用スイッチング手段として、トランジスタ Q 1 0 が設けられている。同じ行にある複数の画素内の各トランジスタ Q 1 0 は、読み出し制御端子であるゲートが読み出し用スイッチの選択線 R D に共通配線されている。この選択線 R D を介してトランジスタ Q 1 0 のゲートに印加される選択制御信号は、通常の画像表示モード（以下、画素書き込みモードともいう）時には全画素行のトランジスタ Q 1 0 をオフ状態に制御し、画素検査モード（以下、画素読み出しモードともいう）時には検査対象の画素行のトランジスタ Q 1 0 を画素の行単位で順次オンとする。ここで、画素検査モードは、複数の画素がマトリクス状に配置された画素部から 1 画素ずつ画素値をデータ線に読み出して、1 画素ずつ欠陥の有無を検査するモードである。従って、画素検査モードでは、データ線には書き込み用映像信号は入力されず、画素部が読み出しモードとされる。

10

## 【 0 0 3 0 】

このような画素検査モードでの行選択手段は、映像信号の書き込みと同様に、シフトレジスタで構成される垂直方向駆動回路と同様な構成で実現される。また、信号書き込み用の垂直方向駆動回路のシフトレジスタを上記画素検査モードの行選択手段と共用することも可能である。

## 【 0 0 3 1 】

図 1 に戻って説明する。画素 1 0 6 は、垂直方向に n 行設けられ、水平方向には m 列設けられている。1 行目の m 個の画素 1 0 6<sub>11</sub> ~ 1 0 6<sub>1m</sub> にはゲート線 G 1 と、読み出し用スイッチの選択線 R D 1 とが共通に接続されている。n 行目の m 個の画素 1 0 6<sub>n1</sub> ~ 1 0 6<sub>nm</sub> にはゲート線 G n と、読み出し用スイッチの選択線 R D n とが共通に接続されている。他の各行 i の m 個の画素 1 0 6<sub>i1</sub> ~ 1 0 6<sub>im</sub> も同様に、各画素行毎に、ゲート線 G i と読み出し用スイッチの選択線 R D i とが共通に接続されている。

20

## 【 0 0 3 2 】

A N D 1 - 1 は、制御端子 W T / R D からの選択制御信号と、垂直シフトレジスタ及びレベルシフタ 1 0 9 の 1 行目の出力端子からの垂直方向駆動信号とを論理積演算してゲート線 G 1 へ出力する。A N D 1 - 2 は、制御端子 W T / R D からの選択制御信号をインバータ I N V で論理反転した信号と、垂直シフトレジスタ及びレベルシフタ 1 0 9 の 1 行目の出力端子からの垂直方向駆動信号とを論理積演算して読み出し用スイッチの選択線 R D 1 へ出力する。

30

## 【 0 0 3 3 】

A N D n - 1 は、制御端子 W T / R D からの選択制御信号と、垂直シフトレジスタ及びレベルシフタ 1 0 9 の n 行目の出力端子からの垂直方向駆動信号とを論理積演算してゲート線 G n へ出力する。A N D n - 2 は、制御端子 W T / R D からの選択制御信号をインバータ I N V で論理反転した信号と、垂直シフトレジスタ及びレベルシフタ 1 0 9 の n 行目の出力端子からの垂直方向駆動信号とを論理積演算して読み出し用スイッチの選択線 R D n へ出力する。

## 【 0 0 3 4 】

他の画素行 i の各画素回路も同様に、上記選択制御信号と垂直シフトレジスタ及びレベルシフタ 1 0 9 の i 行目の出力端子からの垂直方向駆動信号とを論理積演算してゲート線 G i へ出力する A N D 回路 A N D i - 1 と、上記選択制御信号をインバータ I N V で論理反転した信号と、垂直シフトレジスタ及びレベルシフタ 1 0 9 の i 行目の出力端子からの垂直方向駆動信号とを論理積演算して読み出し用スイッチの選択線 R D i へ出力する A N D 回路 A N D i - 2 に接続されている。これらの選択線 R D 1 ~ R D n は、同じ画素行の画素 1 0 6 内の図 2 に示したトランジスタ Q 1 0 のゲートに接続されている。

40

## 【 0 0 3 5 】

また、制御端子 W T / R D は、通常の画像表示モード（画素書き込みモード）時にはハイレベルの選択制御信号が供給され、画素検査モード（画素読み出しモード）時には、ローレベルの選択制御信号が供給される。垂直シフトレジスタ及びレベルシフタ 1 0 9 の各出力段に構成した A N D 回路（A N D 1 - 1、A N D 1 - 2、・・・、A N D n - 1、A N

50

D n - 2 ) のゲート機能により、通常の画像表示モード (画素書き込みモード) 時にはゲート線 G 1、・・・、G n 等に順次選択パルスが出力される。

【0036】

一方、画素検査モード (画素読み出しモード) 時は、AND 回路 (AND 1 - 1、AND 1 - 2、・・・、AND n - 1、AND n - 2) のゲート機能により、読み出し用スイッチの選択線 R D 1、・・・、R D n に順次選択パルスが出力される。これにより、制御端子 W T / R D を介して入力される選択制御信号によって、垂直シフトレジスタ及びレベルシフタ 109 を共用してモード切り替えを行うことができる。

【0037】

上記の画素検査モードでは、選択された画素行における画素 106 内の図 2 に示したトランジスタ Q 10 が、読み出し用スイッチの選択線 R D を介してゲートに印加される選択パルスによりオンされる。これにより、画素駆動電極 P E とデータ線間が導通状態となり、画素駆動電極電圧がデータ線に出力される。このとき、画素検査モードでの選択行の画素回路のバッファアンプ (の負荷素子) をアクティブとし、スイッチングトランジスタ Q 5、Q 6 のどちらか一方をオンとすると、その期間画素駆動電極はバッファ出力で駆動された状態となり、画素駆動電極に印加されている画素駆動電極電圧を電圧出力としてデータ線側に読み出すことが可能である。

【0038】

データ線側に読み出された画素駆動電極電圧は、図 1 の水平ドライバ回路を駆動することによって、アナログスイッチ 105 を介して映像データ共通入力端子 (図 1 の例では R e f \_ R a m p ( + ) ) に時系列信号として出力される。この時系列信号を検出することで画素回路の検査 (画素欠陥の検出) を行うことができる。

【0039】

従来のアクティブマトリクス型液晶表示装置では保持容量に保持した電荷の形で保持した電圧で画素を駆動する方式であるため、画素読み出し検査は電荷移動時の微小な電流変化を検出する高精度な検出アンプなどが要求されるのに対し、本実施形態による画素回路とその検査・読み出し手段の組み合わせでは、画素駆動電極の電圧、すなわちバッファアンプ出力により低出力インピーダンスで駆動される画素駆動電極の電圧そのものを読み出せる構成であるため、画素の欠陥検出や画素特性の検出をより容易に行うことができる。

【0040】

次に、この画素 106 の交流駆動制御の概要について図 3 のタイミングチャートと共に説明する。図 3 ( A ) は、垂直同期信号 V D を示し、図 3 ( B ) は、図 2 の画素 106 におけるトランジスタ Q 9 のゲートに印加される配線 B の負荷特性制御信号を示す。また、図 3 ( C ) は、上記画素 106 における正極性側駆動電圧を転送するスイッチングトランジスタ Q 5 のゲートに印加される配線 S + のゲート制御信号、同図 ( D ) は、上記画素 106 における負極性側駆動電圧を転送するスイッチングトランジスタ Q 6 のゲートに印加される配線 S - のゲート制御信号の各信号波形を示す。

【0041】

なお、図 4 は、画素に書込まれる正極性映像信号 I と、負極性映像信号 II の黒レベルから白レベルまでの関係を示す。正極性映像信号 I は、レベルが最小のとき黒レベル、最大のとき白レベルであるのに対し、負極性映像信号 II は、レベルが最小のとき白レベル、最大のとき黒レベルである。正極性映像信号 I と負極性映像信号 II の反転中心は、III で示される。

【0042】

図 4 では、正極性映像信号 I は、レベルが最小のとき最小階調の黒レベル、レベルが最大のとき最大階調の白レベルで、負極性映像信号 II は、レベルが最小のとき最大階調の白レベル、レベルが最大のとき最小階調の黒レベルの場合を示している。しかし、本発明の液晶表示装置の画素回路では、正極性映像信号 I は、レベルが最小のとき最大階調の白レベル、レベルが最大のとき最小階調の黒レベルで、負極性映像信号 II は、レベルが最小のとき最小階調の黒レベル、レベルが最大のとき最大階調の白レベルであってもよい。

10

20

30

40

50

## 【 0 0 4 3 】

図 2 において、図 3 ( C ) に示す配線 S+ のゲート制御信号がハイレベルの期間、正極性側スイッチングトランジスタ Q 5 がオンとなり、この期間に配線 B に供給される負荷特性制御信号を図 3 ( B ) に示すようにハイレベルとすると、ソースフォロワ・バッファ回路がアクティブとなり、画素駆動電極 P E ノードが正極性の映像信号レベルに充電される。画素駆動電極 P E の電位が完全に充電された状態となった時点で、配線 B の負荷特性制御信号をローレベルとし、かつ、そのとき配線 S+ のゲート制御信号もローレベルに切り替えると、画素駆動電極 P E はフローティングとなり、液晶容量に正極性駆動電圧が保持される。

## 【 0 0 4 4 】

一方、図 3 ( D ) に示す配線 S- のゲート制御信号がハイレベルの期間、負極性側スイッチングトランジスタ Q 6 がオンとなり、この期間に配線 B に供給される負荷特性制御信号を同図 ( B ) に示すようにハイレベルとすると、ソースフォロワ・バッファ回路がアクティブとなり、画素駆動電極 P E ノードが負極性の映像信号レベルに充電される。画素駆動電極 P E の電位が完全に充電された状態となった時点で、配線 B の負荷特性制御信号をローレベルとし、かつ、そのとき配線 S- のゲート制御信号もローレベルに切り替えると、画素駆動電極 P E はフローティングとなり、液晶容量に負極性駆動電圧が保持される。

## 【 0 0 4 5 】

以下、上記のスイッチングトランジスタ Q 5 及び Q 6 を交互にオンとするスイッチングに同期して、配線 B の負荷特性制御信号によりトランジスタ Q 9 を間欠的にアクティブとする動作を繰り返すことで、液晶素子 L C の画素駆動電極 P E には正極性と負極性の各映像信号で交流化された駆動電圧 V P E が図 3 ( E ) に示すように印加される。

## 【 0 0 4 6 】

また、図 3 ( F ) に示す V com は、液晶表示装置の対向基板に形成した共通電極 C E に印加する電圧を表している。液晶表示体 L C M の実質的な交流駆動電圧は、この共通電極 C E の印加電圧 V com と画素駆動電極 P E の印加電圧との差電圧である。本実施の形態では、図 3 ( F ) に示すように、共通電極 C E の印加電圧 V com は、画素駆動電極電位の反転基準レベル V c とほぼ等しい基準レベルに対して、画素極性切り替えと同期して反転されている。これにより、共通電極 C E の印加電圧 V com と画素駆動電極 P E の印加電圧との電位差の絶対値が常に同一となり、液晶表示体 L C M には図 3 ( G ) に示すような直流成分のない交流電圧 V L C が印加される。

## 【 0 0 4 7 】

また、配線 S+、S- に交互に供給されるゲート制御信号は、スイッチングトランジスタ Q 5、Q 6 を交互にオン状態として画素駆動部に正極性、負極性に反転する液晶駆動信号を与えることができる。従来 of アクティブマトリクス型液晶表示装置では、垂直走査周期でしか極性反転を実現できなかったのに対し、本実施の形態では画素回路そのものに極性反転機能を備えており、これを高速で制御することにより、垂直走査周波数の制約のない、高い周波数での交流駆動が可能である。

## 【 0 0 4 8 】

再び図 1 に戻って説明する。図 1 に示す極性切り替え制御回路 1 0 8 は、タイミング発生器 1 0 7 からのタイミング信号に基づいて、前述した配線 S+ に正極性用ゲート制御信号、配線 S- に負極性用ゲート制御信号、配線 B に負荷特性制御信号をそれぞれ出力する。

## 【 0 0 4 9 】

次に、図 1 の通常の画像表示モード (画素書き込みモード) 時の動作について、図 5 のタイミングチャートを併せ参照して説明する。図 1 において、図 5 ( A ) に示す水平同期信号 H D に同期した、同図 ( B ) に示す N ビット ( N は 2 以上の自然数 ) の画素データ ( DATA ) が時系列的に合成されたデジタル映像信号は、後述する補正階調加算部 1 1 3 を通してシフトレジスタ回路 1 0 1 a、1 0 1 b に入力されて 1 ライン分のデータとして順次展開され、1 ライン分の展開が終了した時点で、1 ラインラッチ回路 1 0 2 でラッチされ

10

20

30

40

50

る。

【 0 0 5 0 】

なお、図 5 ( B ) に示す画素データ(DATA)のうち、白地の一つ置きに示す水平方向の偶数列画素データDATA ( even ) がシフトレジスタ回路 1 0 1 a に供給され、斜線を付した残りの一つ置きに示す水平方向の奇数列画素データDATA ( odd ) がシフトレジスタ回路 1 0 1 b に供給される。これは、高解像度パネルでの高速動作への対応を容易とするためである。

【 0 0 5 1 】

1 ラインラッチ回路 1 0 2 は、シフトレジスタ回路 1 0 1 a から出力される奇数列画素データDATA ( odd ) と、シフトレジスタ回路 1 0 1 b から出力される偶数列画素データDATA ( even ) とからなる同じラインの 1 ライン期間の画素データDATAを図 5 ( D ) に模式的に示すように保持した後、各画素列のコンパレータ 1 0 3 の第 1 のデータ入力部に供給する。

10

【 0 0 5 2 】

階調カウンタ 1 0 4 は、図 5 ( E ) に示すクロックCount-CKをカウントして、同図 ( F ) に示すように複数の階調値が水平走査期間内で最小値から最大値まで一巡するカウント値 ( 基準階調データ ) C -outを水平走査期間毎に出力し、各画素列のコンパレータ 1 0 3 の第 2 のデータ入力部に供給する。コンパレータ 1 0 3 は、第 1 のデータ入力部の入力画素データDATAの値と第 2 のデータ入力部の入力基準階調データ C -outの値 ( 階調値 ) とを比較し、両者の値が一致したタイミングで一致パルスを生じて出力する。

20

【 0 0 5 3 】

アナログスイッチ 1 0 5 を構成する正極性用及び負極性用の 2 つ 1 組のサンプリング用アナログスイッチ S W + , S W - のうち、正極性用のサンプリング用アナログスイッチ S W + は、入力側共通配線にランプ信号発生器 1 1 0 から正極性用ランプ信号である基準ランプ電圧Ref\_Ramp(+)が印加される。一方、負極性用のサンプリング用アナログスイッチ S W - は、入力側共通配線にランプ信号発生器 1 1 0 から負極性用ランプ信号である基準ランプ電圧Ref\_Ramp(-)が印加される。

【 0 0 5 4 】

上記の基準ランプ電圧Ref\_Ramp(+)及びRef\_Ramp(-)のうち、Ref\_Ramp(+)は、図 5 ( I ) に示すように水平走査期間周期で映像の黒レベルから白レベルにレベルが上昇する方向に変化する周期的な掃引信号である。一方、上記の基準ランプ電圧Ref\_Ramp(-)は、図 5 ( J ) に示すように水平走査期間周期で映像の黒レベルから白レベルにレベルが減少する方向に変化する周期的な掃引信号である。従って、基準ランプ電圧Ref\_Ramp(+)とRef\_Ramp(-)は、所定の基準電位について反転関係となっている。

30

【 0 0 5 5 】

アナログスイッチ 1 0 5 は、図 5 ( G ) に示すSW-Start信号を受け、各水平走査期間の開始時点で一斉にオンとなった後、対応する画素のコンパレータ 1 0 3 から一致パルスを受けた時点でオフに移行するように画素単位に開閉制御される。

【 0 0 5 6 】

図 5 のタイミングチャートでは、一例として階調レベルkの画素データDATAに対応した画素列のアナログスイッチ 1 0 5 の開閉タイミングを、同図 ( H ) に示す波形SPkとして図示している。その結果、上記画素列のアナログスイッチ 1 0 5 を構成する正極性用及び負極性用の 2 つ 1 組のサンプリング用アナログスイッチが、上記一致パルスを受けて同時にオフした時点の基準ランプ電圧Ref\_Ramp(+)とRef\_Ramp(-)の対応レベル ( 図 5 ( I ) 、 ( J ) の点 P、点 Q ) が、同時にサンプリングされて、その画素列の画素データ線D(+ )、D(- )に出力される。この図 5 ( I )、( J ) の点 P、点 Q の基準ランプ電圧レベルは、階調レベルkの画素データDATAをデジタル - アナログ変換して得られたアナログ電圧である。

40

【 0 0 5 7 】

アナログスイッチ 1 0 5 は、各水平走査期間の初めにすべてが一斉にオンとされるが、

50

オフになるタイミング、すなわち基準ランプ電圧をサンプル・ホールドするタイミングはそのときに表示しようとする絵柄によって対応して設けられた画素毎に異なり、すべて同時の時もあれば別々のときもある。オフになる順序も固定されているわけではなく、絵柄によってその都度オフの順番は異なる。このような本実施の形態の液晶表示装置100では、ランプ信号を用いたDA変換方式の動作により直線性が良いなどの特長がある。

【0058】

ところで、図2の画素回路において、ソースフォロワトランジスタQ3及びQ4においては、おおよそ図6に示すように、ゲートへの入力電圧 $V_{in}$ が閾値電圧 $V_{th}$ 以上で、入力電圧に応じてソースから電圧が出力され、所定値以上の入力電圧で出力電圧 $V_{out}$ が飽和する入出力特性を有する。しかし、製造プロセスばらつきにより、上記の入出力特性の閾値電圧 $V_{th}$ はトランジスタ毎にバラツキを持つ。そのため、同一階調のデータ（同一値の基準ランプ電圧）を画素に与えても、画素毎のソースフォロワトランジスタQ3及びQ4の入出力特性のバラツキにより、正極性基準ランプ電圧をサンプリングして得られた画素駆動電極電圧と負極性基準ランプ電圧をサンプリングして得られた画素駆動電極電圧とに差が生じ、その結果、表示輝度のバラツキが生じてしまい、表示ユニフォミティは低下してしまう。

10

【0059】

本実施の形態の液晶表示装置100は、この表示ユニフォミティの低下を最小限に抑制する構成に特徴があり、以下、この構成及び動作について詳細に説明する。

【0060】

20

図7は、本発明になる液晶表示装置及びその駆動方法の一実施の形態の要部の動作説明用フローチャートを示す。なお、図7のフローチャートの動作開始前に、予め液晶表示装置100は、前述した画素書き込みモード（画像表示モード）で駆動されて全画素106に同一電圧が書き込まれており、すべての画素106内の図2に示した保持容量C1とC2とに、同じ階調の正極性サンプリング電圧と負極性サンプリング電圧とが基準電圧として保持されているものとする。

【0061】

続いて、液晶表示装置100は、前述した画素読み出しモード（画像検査モード）で駆動されて選択された行の画素106の各保持容量C1とC2の保持電圧（基準電圧）が読み出し専用配線を経由して読み出されるものとする。すなわち、画素読み出しモードとすると、選択された画素行における画素106内の図2に示したトランジスタQ10が、読み出し用スイッチの選択線RDを介してゲートに印加される選択パルスによりオンされる。また、トランジスタQ5は、そのゲートに印加されるハイレベルの正極性ゲート制御信号によりオンされる。

30

【0062】

これにより、保持容量C1に保持されていた基準電圧は、トランジスタQ3のゲート及びソース、トランジスタQ5のドレイン及びソースを介して液晶素子LCの画素駆動電極PEに正極性側の画素電極駆動電圧（以下、単に駆動電圧ともいう）として印加されて液晶素子LCを駆動する。その時の画素駆動電極に印加されている正極性側の駆動電圧は、電圧出力としてトランジスタQ10を通してデータ線Di+からパネルの読み出し専用配線に読み出される。従って、この正極性側の駆動電圧は、トランジスタQ3の閾値電圧のバラツキを反映した電圧である。

40

【0063】

図1の補正電圧算出部111は、図1の水平ドライバ回路を駆動することによって、アナログスイッチ105を介して映像データ共通入力端子（図1の例ではRef\_Ramp(+)）に時系列信号として出力される上記の各画素毎の正極性側の駆動電圧を一時保持する。

【0064】

続いて、正極性ゲート制御信号がローレベルとなりトランジスタQ5がオフにされると共に、トランジスタQ6が、そのゲートに印加されるハイレベルの負極性ゲート制御信号によりオンされる。これにより、保持容量C2に保持されていた基準電圧は、トランジス

50

タQ4のゲート及びソース、トランジスタQ6のドレイン及びソースを介して液晶素子LCの画素駆動電極PEに負極性側の駆動電圧として印加されて液晶素子LCを駆動する。その時の画素駆動電極に印加されている負極性側の駆動電圧は、電圧出力としてトランジスタQ10を通してデータ線Di+からパネルの読み出し専用配線に読み出される。従って、この負極性側の駆動電圧は、トランジスタQ4の閾値電圧のバラツキを反映した電圧である。

【0065】

図1の補正電圧算出部111は、図1の水平ドライバ回路を駆動することによって、アナログスイッチ105を介して映像データ共通入力端子(図1の例ではRef\_Ramp(+))に時系列信号として出力される各画素毎の負極性側の駆動電圧を一時保持する。

10

【0066】

なお、液晶素子LCの共通電極電圧Vcomはバラツキがないものとしており、液晶駆動電圧は駆動電圧に対応しているので、駆動電圧を測定し、その測定結果に基づいて後述する補正電圧Vcorを算出するものとする。ただし、上記測定結果から既知の共通電極電圧Vcomを差し引いた液晶駆動電圧に基づいて、補正電圧Vcorを算出してもよいことは勿論である。

【0067】

図8は、以上の動作により補正電圧算出部111に一時保持された、全ての画素106のうちの任意の4つの画素A、B、C、Dの駆動電圧の一例を示す。図8(a)は画素Aの正極性側の駆動電圧V<sub>A1</sub>、負極性側の駆動電圧V<sub>A2</sub>を示す。同様に、図8(b)は画素Bの正極性側の駆動電圧V<sub>B1</sub>、負極性側の駆動電圧V<sub>B2</sub>を、図8(c)は画素Cの正極性側の駆動電圧V<sub>C1</sub>、負極性側の駆動電圧V<sub>C2</sub>を、図8(d)は画素Dの正極性側の駆動電圧V<sub>D1</sub>、負極性側の駆動電圧V<sub>D2</sub>をそれぞれ示す。

20

【0068】

この状態において、補正電圧算出部111は、一時保持されていた全画素の正極性側の駆動電圧(以下、正極側電圧ともいう)の平均値Vapを算出する(図7のステップS1)。続いて、補正電圧算出部111は、一時保持されていた全画素の負極性側の駆動電圧(以下、負極側電圧ともいう)の平均値Vamを算出する(図7のステップS2)。図8の例では、画素Aの正極性側の駆動電圧V<sub>A1</sub>は全画素の正極側電圧の平均値(平均電位)Vapに一致している。また、画素Aの負極性側の駆動電圧V<sub>A2</sub>と画素Bの負極性側の駆動電圧V<sub>B2</sub>とは、全画素の負極側電圧の平均値(平均電位)Vamに一致している。しかし、それ以外の画素B、C、Dは、正極性側の駆動電圧は全画素の正極側電圧の平均値(平均電位)Vapに一致しておらず、また、画素C、Dの負極側の駆動電圧も全画素の負極側電圧の平均値(平均電位)Vamに一致していない。

30

【0069】

次に、補正電圧算出部111は、上記の全画素の正極側電圧の平均値Vapと全画素の負極側電圧の平均値Vamとの中間電位(=(Vap - Vam) / 2)を算出する(図7のステップS3)。続いて、補正電圧算出部111は、各画素106毎に全画素の正極側電圧の平均値Vapに対する差分(=Xn)を求め(図7のステップS4)、各画素106毎に全画素の負極側電圧の平均値Vamに対する差分(=Yn)を求める(同、ステップS5)。

40

【0070】

そして、補正電圧算出部111は、各画素106毎に上記の差分Xnと差分Ynの中間電位を補正電圧Vcorとして算出する(図7のステップS6)。この補正電圧Vcorは正極性側と負極性側とは、同じ階調に対して駆動電圧の電位変化が逆方向になるため、次式により算出される。

【0071】

$$V_{cor} = \{ Y_{n+} (- X_n) \} / 2 \quad (1)$$

ここで、上記の補正電圧Vcorに基づき、各画素の正極性側の駆動電圧と負極性側の駆動電圧とを補正すると、図9(b)~(d)に示すように、駆動電圧が全画素の平均値Vap、Vamに一致していない画素B、C、Dについて、補正電位b1、b2、c1、c2、

50

d 1、d 2 の加算又は減算により、図 10 ( b ) ~ ( d ) に示すように正極性側の駆動電圧と負極性側の駆動電圧との差電位が全画素の平均値  $V_{ap}$  及び  $V_{am}$  の差電位  $V_p (= V_t)$  に等しくなる。このとき、画素 B の正極性側の駆動電圧は  $V_{B3}$ 、負極性側の駆動電圧は  $V_{B4}$ 、画素 C の正極性側の駆動電圧は  $V_{C3}$ 、負極性側の駆動電圧は  $V_{C4}$ 、画素 D の正極性側の駆動電圧は  $V_{D3}$ 、負極性側の駆動電圧は  $V_{D4}$  になる。なお、図 10 ( a ) に示すように、元々画素 A の正極性側の駆動電圧  $V_{A1}$  は正極側電圧の平均値  $V_{ap}$  に一致しており、負極性側の駆動電圧  $V_{A2}$  は負極側電圧の平均値  $V_{am}$  に一致していたので、駆動電圧の変更はない。

【 0 0 7 2 】

ところで、液晶素子は前述したように信頼性などの面で交流駆動が必須であるが、交流駆動では液晶素子における光の変調率に差を生じさせないよう、正極性側と負極性側の駆動電圧の中間電位と全画素の平均中間電位  $V_m$  とを同一にする必要がある。

10

【 0 0 7 3 】

しかしながら、図 10 に示したように、各画素の正極性側の駆動電圧と負極性側の駆動電圧との差電位を、全画素の平均値  $V_{ap}$  及び  $V_{am}$  の差電位  $V_p$  に等しくなるように補正した場合、各画素の正極性側の駆動電圧と負極性側の駆動電圧との差電位  $V_p$  は全画素の平均値  $V_{ap}$  及び  $V_{am}$  から算出された電位であるため、図 11 に示すように、実際の各画素の正極性側と負極性側の駆動電圧の中間電位 ( 中心電位 )  $V_p / 2$  は、全画素の平均中間電位  $V_m (= V_t / 2)$  と異なる値となる。このため、上記の各画素の正極性側の駆動電圧と負極性側の駆動電圧との差電位を、全画素の平均値  $V_{ap}$  及び  $V_{am}$  の差電位  $V_p (= V_t)$  に等しくなるように補正する方法は、液晶素子における光変調率が各画素で同一にならず、その結果、表示画像を均一にすることが難しい。

20

【 0 0 7 4 】

そこで、本実施の形態では、補正階調算出部 1 1 2 が上記の補正電圧  $V_{cor}$  から、( 2 ) 式により上記の各画素の正極性側と負極性側の駆動電圧の中間電位のずれに起因する輝度変化を補正した補正階調  $D_{cor}$  を生成する ( 図 7 のステップ S 7 )。

【 0 0 7 5 】

すなわち、補正階調算出部 1 1 2 は、基準ランプ電圧の最大値を  $R_{max}$ 、最小値を  $R_{min}$ 、入力映像データを  $N$  ビットとすると、各画素の補正階調  $D_{cor}$  を次式で算出する。

【 0 0 7 6 】

$$D_{cor} = V_{cor} / \{ ( R_{max} - R_{min} ) / 2^N \} \\ - \quad \times | \{ ( V_{ap} - V_{am} ) / 2 \} - V_{cor} | \\ = \{ ( Y_n - X_n ) / 2 \} / \{ ( R_{max} - R_{min} ) / 2^N \} \\ - \quad \times | \{ ( V_{ap} - V_{am} ) / 2 \} - \{ ( Y_n - X_n ) / 2 \} | \quad ( 2 )$$

30

ここで、補正階調  $D_{cor}$  の符号は、階調の増減を示し、 $\alpha$  は液晶素子の特性、セル構造、配向膜などの要素に依存する係数を示す。係数  $\alpha$  は、一般的には液晶素子を構成するパラメータが決定された液晶表示装置では固定値であるが、液晶素子の温度特性に応じて可変としてもよい。

【 0 0 7 7 】

また、上記 ( 2 ) 式において、右辺第一項は、( 1 ) 式の補正電圧  $V_{cor}$  を  $N$  ビット映像データの階調に換算した値を示す。この右辺第一項に示す階調は、図 11 に示したように各画素の正極性側の駆動電圧と負極性側の駆動電圧との差電位は  $V_p$  で同じであるが、その差電位の中間電位  $V_p / 2$  が、全画素の正極性側の駆動電圧と負極性側の駆動電圧との中間電位  $V_m$  に対してずれている階調を示している。

40

【 0 0 7 8 】

一方、( 2 ) 式の右辺第二項は、全画素の正極性側の駆動電圧の平均値  $V_{ap}$  と全画素の負極性側の駆動電圧の平均値  $V_{am}$  との中間電位  $V_m (= ( V_{ap} - V_{am} ) / 2)$  から、各画素の前述した差分  $X_n$  と差分  $Y_n$  の中間電位を差し引いた値の絶対値 ( すなわち、全画素の正極性側駆動電圧及び負極性側駆動電圧の平均中間電位  $V_m$  と、各画素の正極性側駆動電圧及び負極性側駆動電圧の中間電位  $V_p / 2$  との差の絶対値である中間電位からのずれ量に

50

じた電圧分)に係数  $k$  を乗算した値を示す。右辺第二項の値を右辺第一項の階調から減算しているのは、液晶素子の光応答特性として、正極性側と負極性側の駆動電圧の中間電位がずれたときは、ずれていない正常状態と比較して直流成分が駆動電圧に上乘せされて明るくなるため、その輝度を補正するためである。

【0079】

図1に示す補正階調加算部113は、補正階調算出部112において各画素毎に算出された上記の補正階調Dcorのデータを、Nビットの入力映像データに画素単位で加算してシフトレジスタ回路101a及び101bに交互に供給する。1ラインラッチ回路102は、シフトレジスタ回路101aから出力される奇数列画素データDATA(odd)と、シフトレジスタ回路101bから出力される偶数列画素データDATA(even)とからなる同じラインの1ライン期間の画素データDATAを保持した後、各画素列のコンパレータ103の第1のデータ入力部に供給する。これにより、画像表示モード時には、前述したようにアナログスイッチ105からデータ線Di+、Di-に上記の補正階調Dcor分加算された各画素106のアナログ電圧が出力されて各画素106に保持される。

10

【0080】

図12は、本実施の形態により補正階調Dcorのデータが加算された画素データによる全ての画素106のうちの前述した4つの画素A、B、C、Dの駆動電圧の一例を示す。図12(a)は画素Aの正極性側の駆動電圧 $V_{A1}$ 、負極性側の駆動電圧 $V_{A2}$ を示す。また、図12(b)は画素Bの正極性側の駆動電圧 $V_{B5}$ 、負極性側の駆動電圧 $V_{B6}$ を、図12(c)は画素Cの正極性側の駆動電圧 $V_{C3}$ 、負極性側の駆動電圧 $V_{C4}$ を、図12(d)は画素Dの正極性側の駆動電圧 $V_{D3}$ 、負極性側の駆動電圧 $V_{D4}$ をそれぞれ示す。

20

【0081】

駆動電圧が全画素の平均値 $V_{ap}$ 又は $V_{am}$ に一致していない画素B、C、Dについては、図10(b)~(d)に示した補正電圧Vcorにより補正された正極性側の駆動電圧 $V_{B3}$ 、 $V_{C3}$ 、 $V_{D3}$ が、図12(b)~(d)に示すように補正電圧b3、c3、d3分減算されて $V_{B5}$ 、 $V_{C5}$ 、 $V_{D5}$ となる。また、図10(b)~(d)に示した補正電圧Vcorにより補正された負極性側の駆動電圧 $V_{B4}$ 、 $V_{C4}$ 、 $V_{D4}$ が、図12(b)~(d)に示すように補正電圧b4、c4、d4分加算されて $V_{B6}$ 、 $V_{C6}$ 、 $V_{D6}$ となる。この結果、図12(a)~(d)に示すように、正極性側の駆動電圧と負極性側の駆動電圧との差電位は、画素Aについては $V_a$ で変化しないが、画素B、C、Dについては、それぞれ $V_b$ 、 $V_c$ 、 $V_d$ に変化する。

30

【0082】

本実施の形態によれば、図12(b)~(d)に示す各画素毎に算出された正極性側の駆動電圧と負極性側の駆動電圧との差電位 $V_b$ 、 $V_c$ 、 $V_d$ の中間電位は、図11(b)~(d)に示した補正電圧Vcorのみにより補正されたときの正極性側の駆動電圧と負極性側の駆動電圧との差電位の中間電位と同様に、全画素の正極性側の駆動電圧 $V_{ap}$ と全画素の負極性側の駆動電圧 $V_{am}$ との中間電位 $V_m$ に一致しない。

【0083】

しかし、本実施の形態では、各画素毎に算出された正極性側の駆動電圧と負極性側の駆動電圧との差電位 $V_b$ 、 $V_c$ 、 $V_d$ は、補正電圧Vcorのみにより補正されたときの正極性側の駆動電圧と負極性側の駆動電圧との差電位に比べて、図12(b)~(d)に示すように、(2)式の右辺第二項で示された補正電圧である $(b3 + b4)$ 分、 $(c3 + c4)$ 分、 $(d3 + d4)$ 分ずつ小さくされることにより、中間電位からのずれ量に応じた電圧分に相当する輝度を打ち消す程度に暗くされる。その結果、本実施の形態によれば、各画素106毎のトランジスタQ3、Q4の閾値電圧 $V_{th}$ のバラツキに拘らず、全ての画素106の中間電位のずれによる輝度の不均一さが大幅に抑圧され、表示画像の均一性(ユニフォミティ)を改善することができる。

40

【0084】

なお、本発明は以上の実施の形態に限定されるものではなく、例えば、製品出荷後の液晶表示装置100には、補正電圧算出部111及び補正階調算出部112を設けず、製造

50

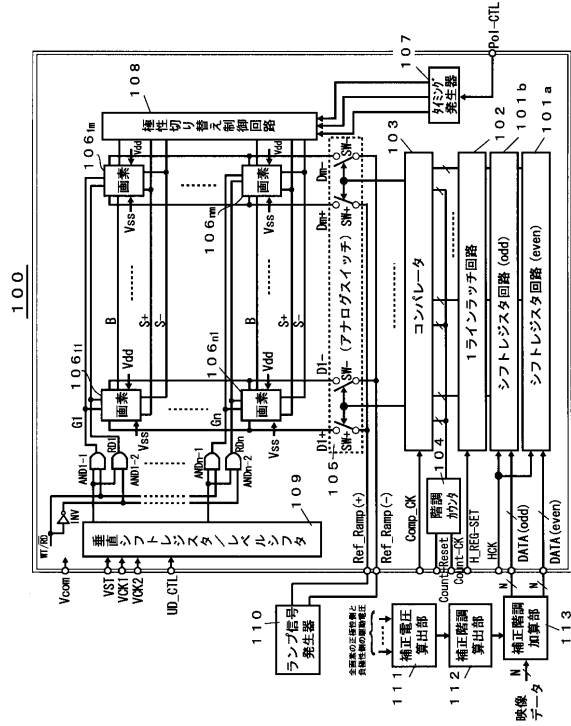
メーカー側で補正階調を画素単位で予め求めておき、それを入力映像データに画素単位で加算する補正階調加算部 1 1 3 だけを設けるようにしてもよい。

【符号の説明】

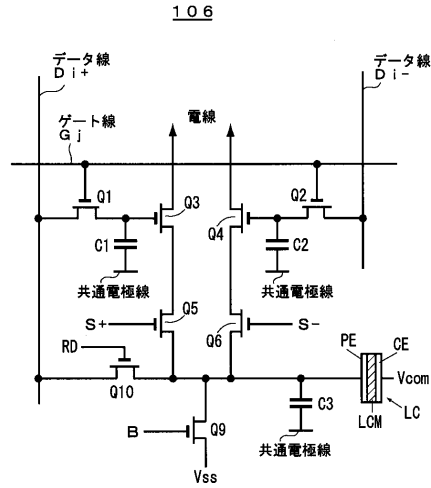
【 0 0 8 5 】

1 0 0	液晶表示装置	
1 0 1 a、1 0 1 b	シフトレジスタ回路	
1 0 2	1ラインラッチ回路	
1 0 3	コンパレータ	
1 0 4	階調カウンタ	
1 0 5	アナログスイッチ	10
1 0 6、1 0 6 <sub>11</sub> ~ 1 0 6 <sub>nm</sub>	画素	
1 0 7	タイミング発生器	
1 0 8	極性切り替え制御回路	
1 0 9	垂直シフトレジスタ/レベルシフタ	
1 1 0	ランプ信号発生器	
1 1 1	補正電圧算出部	
1 1 2	補正階調算出部	
1 1 3	補正階調加算部	
D1+ ~ Dm+、Di+、D1- ~ Dm-、Di-	データ線	
G1 ~ Gn、Gj	ゲート線	20
B	負荷特性制御信号線	
S+、S-	ゲート制御信号線	
PE	画素駆動電極	
CE	共通電極	
LCM	表示体(液晶層)	
LC	液晶素子	
Q1、Q2	画素選択トランジスタ	
Q3、Q4	ソースフォロワトランジスタ	
Q5、Q6	スイッチングトランジスタ	
Q9	定電流負荷用トランジスタ	30
Q10	検査モード用トランジスタ	
C1、C2	信号保持容量	

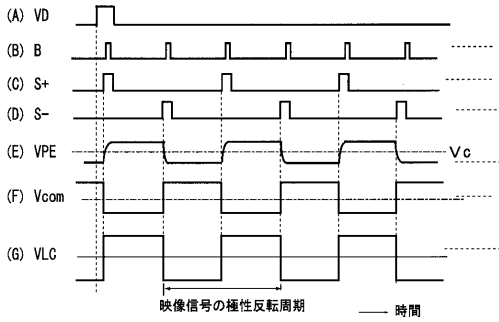
【図1】



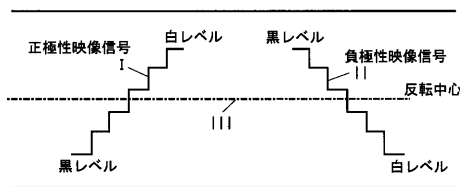
【図2】



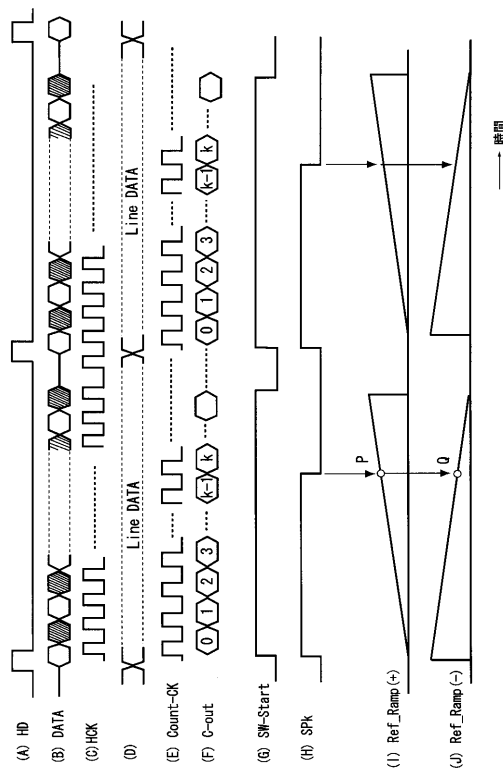
【図3】



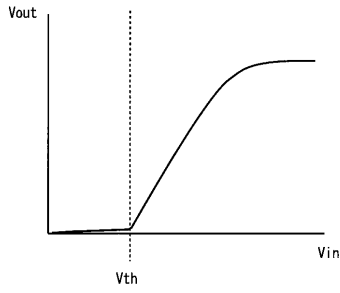
【図4】



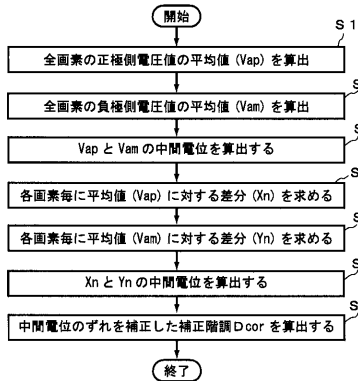
【図5】



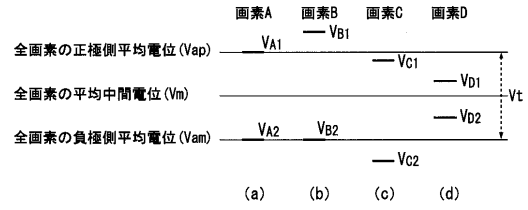
【 図 6 】



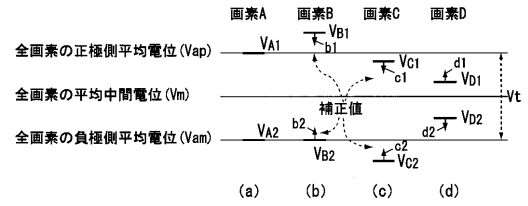
【 図 7 】



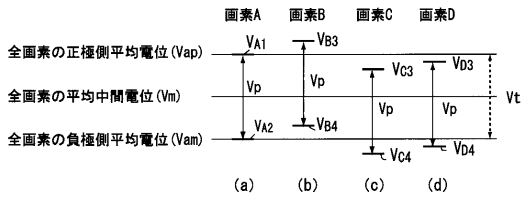
【 図 8 】



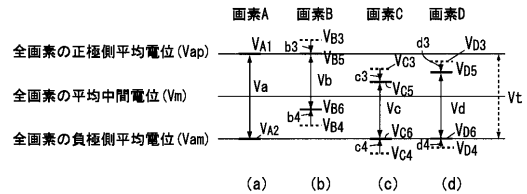
【 図 9 】



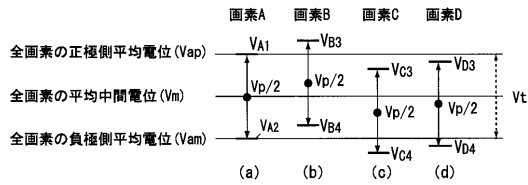
【 図 10 】



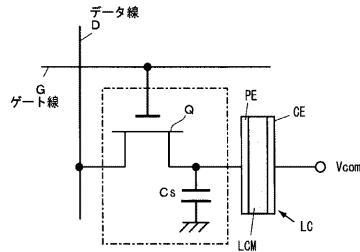
【 図 12 】



【 図 11 】



【 図 13 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 2 1 F
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5

Fターム(参考) 5C080 AA10 BB05 DD05 DD08 EE29 FF01 FF11 JJ02 JJ03 JJ04  
JJ05 JJ07

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2012027169A</a>	公开(公告)日	2012-02-09
申请号	JP2010164496	申请日	2010-07-22
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	伊藤博友		
发明人	伊藤 博友		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.641.P G09G3/20.623.R G09G3/20.642.A G09G3/20.621.F G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H193/ZA04 2H193/ZA05 2H193/ZA19 2H193/ZB08 2H193/ZB16 2H193/ZC04 2H193/ZD23 2H193/ZF13 2H193/ZF32 2H193/ZF33 5C006/AC26 5C006/AF21 5C006/AF42 5C006/AF44 5C006/AF46 5C006/BB16 5C006/BC06 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF22 5C006/EB01 5C006/FA11 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ07		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：为了最小化由于像素中的源极跟随器晶体管的阈值电压的变化导致的显示图像的均匀性的劣化。溶剂：当Rmax表示参考灯电压的最大值时，Rmin表示最小值，输入视频数据是N位，Vcor用于每个像素，并且表示所有像素的正电极侧电压的平均值Vap中的差Xn与负电极侧电压的平均值Vam中的差Yn之间的中间电位。在所有像素中，校正灰度计算部分通过使用以下公式计算每个像素的校正灰度Dcor： $Dcor = Vcor / \alpha ( Rmax - Rmin ) / 2$  <SP POS = "POST" > N </SP> <math>\alpha \times \frac{1}{2} ( Vap - Vam ) - Vcor</math> (其中“α”表示系数)。结果，像素B，C，D的驱动电压减小 ( b3 + b4 ) ， ( c3 + c4 ) 和 ( d3 + d4 ) 中的每一个，每个都是第二项中所示的校正电压。在上面的公式中的右侧。

