

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-22320

(P2012-22320A)

(43) 公開日 平成24年2月2日(2012.2.2)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 55 O L (全 55 頁)

(21) 出願番号 特願2011-155419 (P2011-155419)
(22) 出願日 平成23年7月14日 (2011.7.14)
(31) 優先権主張番号 10-2010-0067661
(32) 優先日 平成22年7月14日 (2010.7.14)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
三星電子株式会社
Samsung Electronics
Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞416
416, Maetan-dong, Yeongtong-gu, Suwon-si,
Gyeonggi-do, Republic of Korea
(74) 代理人 110000051
特許業務法人共生国際特許事務所
(72) 発明者 金 東 奎
大韓民国京畿道龍仁市水枝区豊徳川2洞三
星7次アパート705棟903号

最終頁に続く

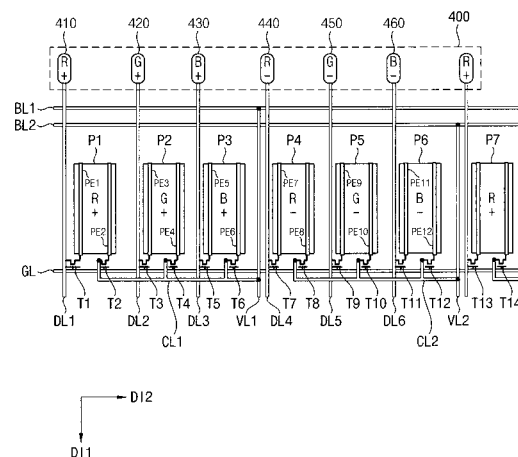
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 光漏れを防止することのできる液晶表示装置を提供する。

【解決手段】 基板と、前記基板上に配置されるゲート配線と、前記ゲート配線と絶縁され交差して前記基板上に配置される第1データ配線、第2データ配線、及び第1電源配線と、前記ゲート配線と前記第1データ配線に接続される第1スイッチング素子と、前記ゲート配線と前記第1電源配線に接続される第2スイッチング素子と、前記ゲート配線と前記第2データ配線に接続されている第3スイッチング素子と、前記ゲート配線と前記第1電源配線に接続されている第4スイッチング素子と、前記第1スイッチング素子、第2スイッチング素子、第3スイッチング素子、及び第4スイッチング素子とそれぞれ接続される第1画素電極、第2画素電極、第3画素電極、及び第4画素電極とを有する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に配置されるゲート配線と、

前記ゲート配線と絶縁され交差して前記基板上に配置される第 1 データ配線、第 2 データ配線、及び第 1 電源配線と、

前記ゲート配線と前記第 1 データ配線に接続される第 1 スイッチング素子と、

前記ゲート配線と前記第 1 電源配線に接続される第 2 スイッチング素子と、

前記ゲート配線と前記第 2 データ配線に接続されている第 3 スイッチング素子と、

前記ゲート配線と前記第 1 電源配線に接続されている第 4 スイッチング素子と、

10

前記第 1 スイッチング素子、第 2 スイッチング素子、第 3 スイッチング素子、及び第 4 スイッチング素子とそれぞれ接続される第 1 画素電極、第 2 画素電極、第 3 画素電極、及び第 4 画素電極とを有することを特徴とする液晶表示装置。

【請求項 2】

前記ゲート配線と平行に配置され前記第 1 電源配線と接続される第 1 バス配線をさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲート配線と絶縁され交差する第 3 データ配線、第 4 データ配線、及び第 2 電源配線と、

前記ゲート配線と前記第 3 データ配線に接続される第 5 スイッチング素子と、

20

前記ゲート配線と前記第 2 電源配線に接続される第 6 スイッチング素子と、

前記ゲート配線と前記第 4 データ配線に接続される第 7 スイッチング素子と、

前記ゲート配線と前記第 2 電源配線に接続される第 8 スイッチング素子と、

前記第 5 スイッチング素子、第 6 スイッチング素子、第 7 スイッチング素子、及び第 8 スイッチング素子とそれぞれ接続される第 5 画素電極、第 6 画素電極、第 7 画素電極、及び第 8 画素電極をさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記ゲート配線と平行に配置され前記第 2 電源配線と接続される第 2 バス配線をさらに有することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

30

前記第 1 電源配線には基準電圧に対して第 1 極性の電圧が印加され、前記第 2 電源配線には前記基準電圧に対して前記第 1 極性とは反対の第 2 極性の電圧が印加されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 6】

前記第 1 画素電極と接続される第 1 シールドパターンと、

前記第 2 画素電極と接続される第 2 シールドパターンとをさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記第 1 シールドパターンの一部が前記第 1 画素電極と重畳することを特徴とする請求項 6 に記載の液晶表示装置。

40

【請求項 8】

前記第 2 電源配線と接続される第 2 接続配線をさらに有し、

前記第 6 スイッチング素子は前記第 2 接続配線に接続され、前記第 8 スイッチング素子は前記第 2 接続配線に接続されたことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 9】

前記第 1 電源配線に接続される第 1 接続配線をさらに有し、

前記第 1 接続配線は、前記第 1 乃至第 4 画素電極と同一層に配置されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

前記ゲート配線と平行に配置され前記第 1 乃至第 4 画素電極の一部と重畳するストレー

50

ジ配線をさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 1】

前記第 1 画素電極と前記第 2 画素電極とは第 1 画素部を形成し、

前記第 1 画素部は、前記第 1 画素電極と前記第 2 画素電極間の間隔が相異なる第 1 領域及び第 2 領域を含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 2】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧とは、基準電圧に対して相互に反対の極性であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 3】

前記ゲート配線と絶縁され交差する第 3 データ配線、第 4 データ配線、及び第 2 電源配線と、

前記ゲート配線と前記第 3 データ配線に接続される第 5 スイッチング素子と、

前記ゲート配線と前記第 2 電源配線に接続される第 6 スイッチング素子と、

前記ゲート配線と前記第 4 データ配線に接続される第 7 スイッチング素子と、

前記ゲート配線と前記第 2 電源配線に接続される第 8 スイッチング素子と、

前記第 5 スイッチング素子、第 6 スイッチング素子、第 7 スイッチング素子、及び第 8 スイッチング素子とそれぞれ接続される第 5 画素電極、第 6 画素電極、第 7 画素電極、及び第 8 画素電極をさらに有することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 1 4】

前記第 2 電源配線に接続される第 2 接続配線をさらに有し、

前記第 6 スイッチング素子は前記第 2 接続配線に接続され、前記第 8 スイッチング素子は前記第 2 接続配線に接続されることを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 5】

前記ゲート配線と平行に配置され前記第 2 電源配線と接続される第 2 バス配線をさらに有することを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 6】

前記第 1 電源配線には基準電圧に対して第 1 極性の電圧が印加され、前記第 2 電源配線には前記基準電圧に対して前記第 1 極性とは反対の第 2 極性の電圧が印加されることを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 7】

前記第 1 画素電極と接続される第 1 シールドパターンと、

前記第 2 画素電極と接続される第 2 シールドパターンとをさらに有することを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 8】

前記第 1 電源配線に接続される第 1 接続配線をさらに有し、

前記第 1 シールドパターンの一部が前記第 1 画素電極と重畳することを特徴とする請求項 1 7 に記載の液晶表示装置。

【請求項 1 9】

前記第 1 接続配線は、前記第 1 乃至第 4 画素電極と同一層に配置されることを特徴とする請求項 1 7 に記載の液晶表示装置。

【請求項 2 0】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 1 9 に記載の液晶表示装置。

【請求項 2 1】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 1 7 に記載の液晶表示装置。

【請求項 2 2】

前記第 1 電源配線に接続される第 1 接続配線をさらに有し、

前記第 1 接続配線は、前記第 1 乃至第 4 画素電極と同一層に配置されることを特徴とする請求項 1 3 に記載の液晶表示装置。

10

20

30

40

50

【請求項 2 3】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 2 2 に記載の液晶表示装置。

【請求項 2 4】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 2 5】

前記第 1 画素電極と接続される第 1 シールドパターンと、

前記第 2 画素電極と接続される第 2 シールドパターンとをさらに有することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 2 6】

前記第 1 シールドパターンの一部が前記第 1 画素電極と重畳することを特徴とする請求項 2 5 に記載の液晶表示装置。

【請求項 2 7】

前記第 1 電源配線に接続される第 1 接続配線をさらに有し、

前記第 1 接続配線は、前記第 1 乃至第 4 画素電極と同一層に配置されることを特徴とする請求項 2 5 に記載の液晶表示装置。

【請求項 2 8】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 2 7 に記載の液晶表示装置。

【請求項 2 9】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 2 5 に記載の液晶表示装置。

【請求項 3 0】

前記第 1 電源配線に接続されている第 1 接続配線をさらに有し、

前記第 1 接続配線は、前記第 1 乃至第 4 画素電極と同一層に配置されることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 3 1】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 3 0 に記載の液晶表示装置。

【請求項 3 2】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 3 3】

前記第 1 画素電極と接続される第 1 シールドパターンと、

前記第 2 画素電極と接続される第 2 シールドパターンとをさらに有することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 3 4】

前記第 1 シールドパターンの一部が前記第 1 画素電極と重畳することを特徴とする請求項 3 3 に記載の液晶表示装置。

【請求項 3 5】

前記第 1 電源配線に接続される第 1 接続配線をさらに有し、

前記第 1 接続配線は、前記第 1 乃至第 4 画素電極と同一層に配置されることを特徴とする請求項 3 3 に記載の液晶表示装置。

【請求項 3 6】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 3 5 に記載の液晶表示装置。

【請求項 3 7】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 3 3 に記載の液晶表示装置。

10

20

30

40

50

【請求項 38】

前記第 1 電源配線に接続される第 1 接続配線をさらに有し、

前記第 1 接続配線は、前記第 1 乃至第 4 画素電極と同一層に配置されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 39】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 38 に記載の液晶表示装置。

【請求項 40】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 3 に記載の液晶表示装置。

10

【請求項 41】

前記第 1 電源配線に接続されている第 1 接続配線をさらに有し、

前記第 1 接続配線は、前記第 1 乃至第 4 画素電極と同一層に配置されることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 42】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 41 に記載の液晶表示装置。

【請求項 43】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 6 に記載の液晶表示装置。

20

【請求項 44】

前記第 1 画素電極に印加される電圧と前記第 2 画素電極に印加される電圧は、基準電圧に対して相互に反対の極性であることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 45】

前記ゲート配線と平行に配置され前記第 1 スイッチング素子の一部と重畳して第 1 ストレージキャパシタを形成し、前記第 2 スイッチング素子の一部と重畳して第 2 ストレージキャパシタを形成し、前記第 3 スイッチング素子の一部と重畳して第 3 ストレージキャパシタを形成し、前記第 4 スイッチング素子の一部と重畳して第 4 ストレージキャパシタを形成するストレージ配線をさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 46】

前記第 1 画素電極は、第 1 画素部の第 1 側に配置される下部の幹部 (stem) と、前記第 1 側から離隔した前記第 1 画素部の第 2 側に配置される上部の幹部とを含み、

前記第 2 画素電極は、前記第 1 画素部の第 2 側に配置される下部の幹部と、前記第 1 画素部の前記第 1 側に配置される上部の幹部とを含み、

前記第 1 シールドパターンは、前記第 2 画素電極上部の幹部の一部と重畳する前記第 1 データ配線に隣接する第 1 上部シールド、及び前記第 1 画素電極下部の幹部の一部と重畳する前記第 1 データ配線に隣接する前記第 1 上部シールドから離隔された第 1 下部シールドとを含み、

前記第 2 シールドパターンは、前記第 1 画素電極上部の幹部の一部と重畳する前記第 2 データ配線に隣接して配置される第 2 上部シールド、及び前記第 2 画素電極下部の幹部の一部と重畳する前記第 2 データ配線に隣接する前記第 2 下部シールドから離隔された第 2 下部シールドとを含むことを特徴とする請求項 6 に記載の液晶表示装置。

40

【請求項 47】

前記第 1 画素部の前記第 1 側から第 1 画素部の前記第 2 側まで延長して前記第 2 上部シールドと前記下部シールドとを接続する接続シールドをさらに有することを特徴とする請求項 46 に記載の液晶表示装置。

【請求項 48】

前記第 1 シールドパターンと前記第 2 シールドパターンは、前記ゲート配線と同じ層に配置された金属パターンとトレンチパターンの内のいずれかの一つを含むことを特徴とす

50

る請求項４６に記載の特徴とする液晶表示装置。

【請求項４９】

前記第３画素電極は、第２画素部の第１側に配置される下部の幹部と、前記第１側から離隔した前記第２画素部の第２側に配置される上部の幹部とを含み、

前記第４画素電極は、前記第２画素部の第２側に配置される下部の幹部と、前記第２画素部の前記第１側に配置される上部の幹部とを含み、

前記第１シールドパターンは、前記第４画素電極上部の幹部の一部と重畳する前記第２データ配線に隣接する第３上部シールドと、前記第３画素電極下部の幹部の一部と重畳する前記第２データ配線に隣接する前記第１上部シールドから離隔した第３下部シールドとを含み、

前記第２シールドパターンは、前記第３画素電極上部の幹部の一部と重畳する前記第１電源配線に隣接して配置される第４上部シールドと、前記第４画素電極下部の幹部の一部と重畳する前記第１電源配線に隣接する前記第４上部シールドから離隔した第４下部シールドとを含むことを特徴とする請求項４６に記載の液晶表示装置。

【請求項５０】

前記第１画素電極の前記下部の幹部と前記第２画素電極の前記上部の幹部は、第１幅であり、

前記第１画素電極の前記上部の幹部と前記第２画素電極の前記下部の幹部は第２幅であり、

前記第１幅は、上部表示領域部に配置される前記第１画素部の前記第２幅より大きく、前記第２幅は、下部表示領域部に配置される前記第１画素部の前記第１幅より大きいことを特徴とする請求項４６に記載の液晶表示装置。

【請求項５１】

前記第１画素電極と前記第２画素電極は第１画素部を形成し、前記第３画素電極及び前記第４画素電極は第２画素部を形成し、前記第５画素電極及び前記第６画素電極は第３画素部を形成し、前記第７画素電極及び前記第８画素電極は第４画素部を形成し、

前記第１画素部、前記第２画素部、前記第３画素部、及び前記第４画素部は、前記第２画素部と前記第３画素部間に配置される前記第２電源配線と前記第４画素部と前記第１画素部間に配置される前記第１電源配線とを有して縦列（column）で順次に繰り返されることを特徴とする請求項５に記載の液晶表示装置。

【請求項５２】

前記第１画素部と前記第２画素部間に配置される第５画素部と、前記第３画素部と前記第４画素部間に配置される第６画素部をさらに有することを特徴とする請求項５１に記載の液晶表示装置。

【請求項５３】

前記第１画素電極と第２画素電極は第１画素部を形成し、前記第３画素電極と第４画素電極は第２画素部を形成することを特徴とする請求項１に記載の液晶表示装置。

【請求項５４】

前記第１画素部と前記第２画素部は、相互に隣接することを特徴とする請求項４７に記載の液晶表示装置。

【請求項５５】

前記第１画素部の極性は前記第２画素部の極性と同一であることを特徴とする請求項５４に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置に関し、より詳細には光漏れを防止することのできる液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、現在最も広く用いられている平板表示装置のうちの一つとして、第1画素電極及び第2画素電極など電磁場生成電極が形成されている表示基板と、対向基板とを含む。

また、液晶表示装置は表示基板と対向基板との間に介在する液晶層を含む。

【0003】

液晶表示装置は、電磁場生成電極に電圧を印加して液晶層に電磁場を生成し、これを通じて液晶層の液晶分子の配向を制御することによって、入射光の偏光作用を通じて画像を表示する。

【0004】

液晶層内の液晶分子は、第1画素電極と第2画素電極間に形成された電磁場によって、垂直配方（vertical alignment、VA）モードで動作する。例えば、第1画素電極と第2画素電極間に電磁場が形成されない時、液晶表示パネルはブラック画像を具現し、第1画素電極と第2画素電極間に水平電磁場が形成される時、色々な階調を具現する。

【0005】

しかし、第1画素電極及び第2画素電極を含む第1画素部と隣接するように形成された第2画素部が第1画素部と異なる極性のデータ電圧が印加されるので、第1画素部及び前記第2画素部の間に光漏れが発生するという問題がある。

【発明の概要】

【発明が解決しようとする課題】

【0006】

そこで、本発明は上記従来の液晶表示装置における問題点に鑑みてなされたものであって、本発明の目的は、光漏れを防止することのできる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明による液晶表示装置は、基板と、前記基板上に配置されるゲート配線と、前記ゲート配線と絶縁され交差して前記基板上に配置される第1データ配線、第2データ配線、及び第1電源配線と、前記ゲート配線と前記第1データ配線に接続される第1スイッチング素子と、前記ゲート配線と前記第1電源配線に接続される第2スイッチング素子と、前記ゲート配線と前記第2データ配線に接続されている第3スイッチング素子と、前記ゲート配線と前記第1電源配線に接続されている第4スイッチング素子と、前記第1スイッチング素子、第2スイッチング素子、第3スイッチング素子、及び第4スイッチング素子とそれぞれ接続される第1画素電極、第2画素電極、第3画素電極、及び第4画素電極とを有することを特徴とする。

【発明の効果】

【0008】

本発明に係る液晶表示装置よれば、表示基板に含まれる隣接する画素部が同一の極性を有することによって光漏れを減少させることができ、また、隣接する画素部が1つの電源配線を共有することによって開口率を増加させることができるという効果がある。

【図面の簡単な説明】

【0009】

【図1】本発明の実施形態1に係る液晶表示装置の部分平面図である。

【図2】図1に示した液晶表示パネルの部分概略図である。

【図3】図1に示した液晶表示パネルの部分平面図である。

【図4】図3のI-I'線に沿って切断した断面図である。

【図5】図4に示した表示基板の製造方法を説明するための断面図である。

【図6】図4に示した表示基板の製造方法を説明するための断面図である。

【図7】図4に示した表示基板の製造方法を説明するための断面図である。

10

20

30

40

50

【図 8】図 4 に示した表示基板の製造方法を説明するための断面図である。

【図 9】本発明の実施形態 2 に係る液晶表示パネルの部分平面図である。

【図 10】図 9 の I I - I I ' 線に沿って切断した断面図である。

【図 11】図 10 に示した表示基板の製造方法を説明するための部分平面図である。

【図 12】図 10 に示した表示基板の製造方法を説明するための部分平面図である。

【図 13】図 10 に示した表示基板の製造方法を説明するための部分平面図である。

【図 14】図 10 に示した表示基板の製造方法を説明するための部分平面図である。

【図 15】本発明の実施形態 3 に係る液晶パネルの部分概略図である。

【図 16】図 15 に示した液晶表示パネルの部分平面図である。

【図 17】図 15 に示した I I I - I I I ' 線に沿って切断した断面図である。

10

【図 18】図 17 に示した表示基板の製造方法を説明するための部分平面図である。

【図 19】図 17 に示した表示基板の製造方法を説明するための部分平面図である。

【図 20】図 17 に示した表示基板の製造方法を説明するための部分平面図である。

【図 21】本発明の実施形態 4 に係る液晶表示パネルの部分概略図である。

【図 22】図 21 に示した液晶表示パネルの部分平面図である。

【図 23】本発明の実施形態 5 に係る液晶表示パネルの部分平面図である。

【図 24】本発明の実施形態 6 に係る液晶表示パネルの部分概略図である。

【図 25】図 24 に示した液晶表示パネルの部分平面図である。

【図 26】本発明の実施形態 7 に係る液晶表示パネルの部分概略図である。

【図 27】本発明の実施形態 8 に係る液晶表示パネルの部分概略図である。

20

【図 28】本発明の実施形態 9 に係る液晶表示パネルの部分概略図である。

【図 29】本発明の実施形態 10 に係る液晶表示パネルの部分概略図である。

【図 30】本発明の実施形態 11 に係る液晶表示パネルの部分概略図である。

【図 31】図 30 に示した液晶表示パネルの部分平面図である。

【図 32】図 31 に示した I V - I V ' 線に沿って切断した断面図である。

【図 33】本発明の実施形態 12 に係る液晶表示パネルの部分平面図である。

【図 34】本発明の実施形態 13 に係る液晶表示パネルの部分平面図である。

【図 35】本発明の実施形態 14 に係る液晶表示パネルの部分概略図である。

【図 36】本発明の実施形態 15 に係る液晶表示パネルの部分平面図である。

【発明を実施するための形態】

30

【0010】

次に、本発明に係る液晶表示装置を実施するための形態の具体例を図面を参照しながら説明する。

【0011】

<実施形態 1>

図 1 は本発明の実施形態 1 に係る液晶表示装置の部分平面図である。

図 1 を参照すると、液晶表示装置は、液晶表示パネル 1000 と、液晶表示パネル 1000 を駆動するためのゲート駆動部 1010 及びデータ駆動部 1030 を含む。

【0012】

液晶表示パネル 1000 は表示基板 100 と、表示基板 100 に対向結合される対向基板 (200、例えば、カラーフィルタ基板) 及び表示基板 100 と対向基板 200 との間に介在する液晶層 (図示せず) を含む。ここで、液晶表示パネル 1000 は表示領域 DA と表示領域 DA を囲む第 1 及び第 2 周辺領域 PA1、PA2 に区分される。

40

【0013】

表示領域 DA は、データ信号を伝達するデータ配線 DL 及びゲート信号を伝達するゲート配線 GL を含む。データ配線 DL は第 1 方向 DI1 に延長され、ゲート配線 GL は第 1 方向 DI1 と交差する第 2 方向 DI2 に延長する。

ここで、第 1 周辺領域 PA1 はデータ配線 DL の一端部に位置し、第 2 周辺領域 PA2 はゲート配線 GL の一端部に位置する。図 1 においては、表示領域 DA の左側に配置された第 2 周辺領域 PA2 を示したが、第 2 周辺領域 PA2 は表示領域 DA の右側にも配置さ

50

れ得る。

【0014】

ゲート駆動部1010は複数のステージが従属的に接続されたシフトレジスタを含み、ゲート配線GLに順次にゲート信号を出力する。このようなゲート駆動部1010は、少なくとも1つ以上のゲート駆動チップ1011からなる。ゲート駆動部1010は、第2周辺領域PA2に形成される。

また、ゲート駆動部1010は、表示領域DAの薄膜トランジスタと同一な工程によって、第2周辺領域PA2に形成された複数の薄膜トランジスタを含むことができる。これによって、部品実装空間を別に確保する必要がないので、液晶表示装置の薄型化が可能である。

10

【0015】

また、ゲート駆動チップ1011は印刷回路基板（図示せず）と液晶表示パネルとの間に配置されるテープキャリアパッケージTCP上に付着される。

前記データ駆動部1030は、ゲート信号に同期して、データ配線DLにアナログ形態のデータ信号を出力して、少なくとも1つ以上のデータ駆動チップ1031からなる。

【0016】

データ駆動チップ1031は、チップーオンーグラス（COG）形式で液晶表示パネル1000の第1周辺領域PA1に直接的に付着される。複数のデータ駆動チップ1031は可撓性フィルム1070に実装されて、液晶表示パネル1000に付着される。

可撓性フィルム1070はパワー配線1050を含むことができる。パワー配線1050は後述する第1バス配線及び第2バス配線に印加される電圧を伝達することができる。

20

また、パワー配線1050は、ゲート駆動部1010に提供される電圧を伝達することができる。

【0017】

図2は、図1に示した液晶表示パネルの部分概略図である。

図1及び図2を参照すると、液晶表示パネル1000は、パッド部400、複数のデータ配線（DL1、DL2、DL3、DL4、DL5、DL6）、第1バス配線BL1、第2バス配線BL2、第1電源配線VL1、第2電源配線VL2、ゲート配線GL、及び複数の画素部（P1、P2、P3、P4、P5、P6、P7）を含む。

【0018】

パッド部400は、データ駆動部1030から出力された複数のデータ電圧を受信する複数のパッド（410、420、430、440、450、460）を含む。

30

第1パッド410は第1データ配線DL1に接続され、第2パッド420は第2データ配線DL2に接続され、第3パッド430は第3データ配線DL3に接続され、第4パッド440は第4データ配線DL4に接続され、第5パッド450は第5データ配線DL5に接続され、第6パッド460は第6データ配線DL6に接続される。

【0019】

データ配線（DL1、DL2、DL3、DL4、DL5、DL6）のそれぞれは第1方向DI1に延長され、第2方向DI2に配列される。

第1バス配線BL1は第2方向DI2に延長され、液晶表示パネル1000の第1周辺領域PA1に配置される。第2バス配線BL2は第2方向DI2に延長され、第1バス配線BL1と隣接した第1周辺領域PA1に配置される。

40

【0020】

第1電源配線VL1は第1バス配線BL1に接続されて第1方向DI1に延長する。第2電源配線VL2は第2バス配線BL2に接続されて第1方向DI2に延長する。第1及び第2電源配線VL1、VL2の間には複数の画素部（P4、P5、P6）が配列され、第1及び第2電源配線VL1、VL2のそれぞれは複数の画素部（P1、P2、P3、P4、P5、P6）に電圧を提供する。

【0021】

ゲート配線GLは、第2方向DI2に延長する。

50

複数の画素部（P 1、P 2、P 3、P 4、P 5、P 6）は主要色画素を含む。主要色画素は赤色画素、緑色画素、及び青色画素である。

【0022】

第1画素部P 1は第1画素電極P E 1、第2画素電極P E 2、第1スイッチング素子T 1、及び第2スイッチング素子T 2を含む。

第1画素電極P E 1は第1スイッチング素子T 1を通じて第1データ配線D L 1とゲート配線G Lに接続される。第2画素電極P E 2は第1画素電極P E 1と離隔して、第2スイッチング素子T 2を通じて第1電源配線V L 1とゲート配線G Lに接続される。

第2スイッチング素子T 2は第1接続配線C L 1を通じて第1電源配線V L 1と接続される。

第1画素電極P E 1に印加される電圧と第2画素電極P E 2に印加される電圧は基準電圧に対して相互に反対の電圧極性を有することができる。

【0023】

第2画素部P 2は第3画素電極P E 3、第4画素電極P E 4、第3スイッチング素子T 3、及び第4スイッチング素子T 4を含む。

第3画素電極P E 3は第3スイッチング素子T 3を通じて第2データ配線D L 2とゲート配線G Lに接続される。第4画素電極P E 4は第3画素電極P E 3と離隔して、第4スイッチング素子T 4を通じて第1電源配線V L 1とゲート配線G Lに接続される。

第4スイッチング素子T 4は第1接続配線C L 1を通じて第1電源配線V L 1と接続される。

第3画素電極P E 3に印加される電圧と第4画素電極P E 4に印加される電圧は基準電圧に対して相互に反対の電圧極性を有する。

【0024】

第3画素部P 3は第5画素電極P E 5、第6画素電極P E 6、第5スイッチング素子T 5、及び第6スイッチング素子T 6を含む。

第5画素電極P E 5は第5スイッチング素子T 5を通じて第3データ配線D L 3とゲート配線G Lに接続される。第6画素電極P E 6は第5画素電極P E 5と離隔して、第6スイッチング素子T 6を通じて第1電源配線V L 1とゲート配線G Lに接続される。

第6スイッチング素子T 6は第1接続配線C L 1を通じて第1電源配線V L 1と接続される。

第5画素電極P E 5に印加される電圧と第6画素電極P E 6に印加される電圧は基準電圧に対して相互に反対の電圧極性を有する。

【0025】

第4画素部P 4は第7画素電極P E 7、第8画素電極P E 8、第7スイッチング素子T 7、及び第8スイッチング素子T 8を含む。

第7画素電極P E 7は第7スイッチング素子T 7を通じて第4データ配線D L 4とゲート配線G Lに接続される。第8画素電極P E 8は第7画素電極P E 7と離隔して、第8スイッチング素子T 8を通じて第2電源配線V L 2とゲート配線G Lに接続される。

第8スイッチング素子T 8は第2接続配線C L 2を通じて第2電源配線V L 2と接続される。

第7画素電極P E 7に印加される電圧と第8画素電極P E 8に印加される電圧とは基準電圧に対して相互に反対の電圧極性を有する。

【0026】

第5画素部P 5は第9画素電極P E 9、第10画素電極P E 10、第9スイッチング素子T 9、及び第10スイッチング素子T 10を含む。

第9画素電極P E 9は第9スイッチング素子T 9を通じて第5データ配線D L 5とゲート配線G Lに接続される。第10画素電極P E 10は第9画素電極P E 9と離隔して、第10スイッチング素子T 10を通じて第2電源配線V L 2とゲート配線G Lに接続される。

第10スイッチング素子T 10は第2接続配線C L 2を通じて第2電源配線V L 2と接

10

20

30

40

50

続される。

第9画素電極PE9に印加される電圧と第10画素電極PE10に印加される電圧は基準電圧に対して相互に反対の電圧極性を有することができる。

【0027】

第6画素部P6は第11画素電極PE11、第12画素電極PE12、第11スイッチング素子T11、及び第12スイッチング素子T12を含む。

第11画素電極PE11は第11スイッチング素子T11を通じて第6データ配線DL6とゲート配線GLに接続される。第12画素電極PE12は第11画素電極PE11と離隔して、第12スイッチング素子T12を通じて第2電源配線VL2とゲート配線GLに接続される。

第12スイッチング素子T12は第2接続配線CL2を通じて第2電源配線VL2と接続される。

第11画素電極PE11に印加される電圧と第12画素電極PE12に印加される電圧は基準電圧に対して相互に反対の電圧極性を有する。

【0028】

第1バス配線BL1には設定された第1電圧が印加され、第2バス配線BL2には設定された第2電圧が印加される。

第1及び第2バス配線BL1、BL2には第1電圧と第2電圧の中間電圧を基準としてフレーム単位で反転した電圧がそれぞれ印加される。

例えば、現在のフレームで第1バス配線BL1には設定された最小レベルの電圧が印加され、第2バス配線BL2には設定された最大レベルの電圧が印加されれば、次のフレームでは第1バス配線BL1には最大レベルの電圧が印加され、第2バス配線BL2には最小レベルの電圧が印加される。

【0029】

第1電源配線VL1は第1バス配線BL1と電氣的に接続されて第1バス配線BL1と同一な電圧が印加される。第2電源配線VL2は第2バス配線BL2と電氣的に接続されて第2バス配線BL2と同一な電圧が印加される。

例えば、第1電源配線VL1には最小レベルの電圧が印加され、第2電源配線VL2には最大レベルの電圧が印加される。これに対応して、第1、第2、及び第3データ配線(DL1、DL2、DL3)には最小レベルの電圧を基準として最小レベルの電圧より高い第2極性(+)の電圧が印加され、第4、第5及び第6データ配線(DL4、DL5、DL6)には最大レベルの電圧を基準として最大レベルの電圧より低い第1極性(-)の電圧が印加される。

【0030】

従って、本実施形態によれば、三つの画素部が1つの電源配線を共有し、同一の極性のデータ電圧が印加されることによって、ブラック状態の光漏れ発生を最小化することができる。また、電源配線の個数を減らすことによって、開口率を向上させることができる。

【0031】

以下では、図4に示す第3画素部P3を例として、本実施形態に係る表示基板100の画素構造及び製造方法を説明する。

図3は、図1に示した液晶表示パネルの部分平面図であり、図4は、図3のI-I'線に沿って切断した断面図である。

図2、図3及び図4を参照すると、液晶表示パネル1000は、表示基板100、対向基板200、及び液晶層300を含む。

【0032】

表示基板100は第1ベース基板101、第1金属パターン、第2金属パターン、及び透明電極パターンを含む。表示基板100は、第1金属パターンを覆うゲート絶縁膜102、第2金属パターンを覆うデータ絶縁膜及び透明電極パターンを覆う第1配向膜11をさらに含む。データ絶縁膜は保護絶縁膜103及び有機絶縁膜104を含む多層構造で形成されたり、保護絶縁膜103からなされた単層構造で形成される。

【0033】

第1金属パターンは、ゲート配線GL、第5ゲート電極GE5、第6ゲート電極GE6、第1シールド部SH1、及び第2シールド部SH2を含む。

第2金属パターンは、第1電源配線VL1、第3データ配線DL3、第5ソース電極SE5、第5ドレイン電極DE5、第6ソース電極SE6、及び第6ドレイン電極DE6を含む。

透明電極パターンは、第5画素電極PE5、第6画素電極PE6、及び第1接続配線CL1を含む。

ゲート配線GLは、第2方向DI2に延長する。第5及び第6ゲート電極GE5、GE6はゲート配線GLから突出する。

10

【0034】

第1シールド部SH1は第3画素部P3にデータ電圧を伝達する自己データ配線(self data line)、即ち、第3データ配線DL3と隣接するように配置される。第1シールド部SH1は、第3データ配線DL3の電界(電場)が第1ベース基板101を媒介として漏洩するのを遮断し、また、光を遮断する。

第1シールド部SH1は相互離隔された第1上部シールドSU1及び第1下部シールドSD1を含む。第1上部シールドSU1は、第3画素部P3が定義される画素領域の上部領域に第3データ配線DL3と隣接するように配置され、第1下部シールドSD1は第3画素部P3が定義される画素領域の下部領域に第3データ配線DL3と隣接するように配置される。

20

【0035】

第2シールド部SH2は第1電源配線VL1と隣接するように配置される。

第2シールド部SH2は、第1電源配線VL1の電界が第1ベース基板101を媒介として漏洩するのを遮断し、また、光を遮断する。

第2シールド部SH2は相互離隔された第2上部シールドSU2、第2下部シールドSD2、及び第1下部シールドSD1と第2上部シールドSU2を接続する接続シールドSCとを含む。

または、第2シールド部SH2は隣接する隣の画素部にデータ電圧を伝達する隣のデータ配線と隣接するように配置される。例えば、図2に示した第2画素部P2の場合、第2シールド部SH2は第3画素部P3にデータ電圧を伝達する第3データ配線DL3と隣接するように配置される。第1上部シールドSU1の端部は第2方向DI2に延長され第2上部シールドSU2と隣接するように配置され、第1下部シールドSD1は端部から第2方向DI2に延長されて第2下部シールドSD2と隣接するように配置される。

30

【0036】

第1上部シールドSU1は第7コンタクトホールC7を通じて第6画素電極PE6と電氣的に接続され、第6画素電極PE6と重畳し、第2下部シールドSD2は第5コンタクトホールC5を通じて第6画素電極PE6と電氣的に接続されて第6画素電極PE6と重畳する。

第1上部シールドSU1は第3データ配線DL3と第6画素電極PE6との間で発生する光漏れを遮断し、第2下部シールドSD2は第1電源配線VL1と第6画素電極PE6との間で発生する光漏れを遮断する。

40

【0037】

第1下部シールドSD1は第2コンタクトホールC2を通じて第5画素電極PE5と電氣的に接続されて第5画素電極PE5と重畳し、第2上部シールドSU2は第6コンタクトホールC6を通じて第5画素電極PE5と電氣的に接続されて第5画素電極PE5と重畳する。

第1下部シールドSD1は第3データ配線DL3と第5画素電極PE5との間で発生する光漏れを遮断し、第2上部シールドSU2は第1電源配線VL1と第5画素電極PE5との間で発生する光漏れを遮断する。

【0038】

50

第3データ配線DL3は第1方向DI1に延長する。第5ソース電極SE5は第3データ配線DL3から突出され、第5ゲート電極GE5上に配置される。

第5ドレイン電極DE5は第5ソース電極SE5と離隔されて配置され、第1コンタクトホールC1を通じて第5画素電極PE5と電氣的に接続される。

【0039】

第6ソース電極SE6は第1接続配線CL1と第3コンタクトホールC3を通じて電氣的に接続され、第6ゲート電極GE6上に配置される。第1接続配線CL1は第1電源配線VL1と電氣的に接続される。第6ドレイン電極DE6は第6ソース電極SE6と離隔して配置され、第4コンタクトホールC4を通じて第6画素電極PE6と電氣的に接続される。

10

【0040】

表示基板100は半導体層150をさらに含む。

半導体層150は非晶質シリコン層151及び不純物がドーピングされた非晶質シリコン層152を含む。ソース電極及びドレイン電極は半導体層150上に位置し、ソース電極とドレイン電極との間に露出した半導体層150によって、スイッチング素子のチャネルが定義される。

第5及び第6画素電極PE5、PE6は交互に配置されて第3データ配線DL3と第1電源配線VL1から相異なる電圧を受信し、これによって、第5画素電極PE5と第6画素電極PE6間に形成された水平電気場によって液晶層300の液晶分子が配列されて階調を表現することができる。

20

【0041】

第5及び第6画素電極PE5、PE6のそれぞれはデータ配線又は電源配線と重畳した幹部E1と、幹部E1から約45°（または、約-45°）の角度で画素領域側に延長された枝部E2を含む。

第5及び第6画素電極PE5、PE6のそれぞれの幹部E1はデータ配線又は電源配線と重畳することによってデータ配線又は電源配線の電界が上側に漏洩するのを遮断し、また、画素電極とデータ配線（または、電源配線）間での光漏れを遮断することができる。

光漏れは、印加されるデータ電圧の極性が変わる第3画素部P3と第4画素部P4間と、第6画素部P6と第7画素部P7間で更に発生しうるので、第3画素部P3と第4画素部P4間と、第6画素部P6と第7画素部P7間を例として説明する。

30

【0042】

具体的には、表示領域DAには第1方向DI1に複数の画素行が配列される。

フレームが変わる時、以前データ電圧と極性が反対のデータ電圧が画素部に第1方向DI1に順次に提供される。

従って、表示領域DAの上部の画素行では、反対極性のデータ電圧がフレーム初期に直に印加され、表示領域DAの下部の画素行では反対極性のデータ電圧がフレーム後期に印加されるので、上部画素行では第3画素部P3及び第6画素部P6の右側の部分から光漏れがさらに発生し、下部の画素行では第4画素部P4及び第6画素部P6と隣接する第7画素部P7の左側の部分から光漏れがさらに発生しう。同様の原理で、表示領域DAの中間にある中間画素行の画素部は左側及び右側の部分で等しい量の光漏れが発生する。つまり、中間画素行の画素部の画素電極の幹部幅は左側及び右側が実質的に同一に形成しう。

40

【0043】

従って、表示領域DAの各領域での光漏れを効果的に防止するためには、表示領域DAの上部の画素行では第3画素部P3及び第6画素部P6の右側の部分に対応する画素電極の幹部幅を広く形成し、第4画素部P4及び第7画素部P7の左側の部分に対応する画素電極の幹部幅を狭く形成する。

一方、下部の画素行に近づくにつれ、第3画素部P3及び第6画素部P6の右側の部分に対応する画素電極の幹部幅を狭く形成し、第4画素部P4及び第7画素部P7の左側の部分に対応する画素電極の幹部幅を広く形成する。

50

結果的に、表示領域 D A の幹部の幅を表示領域 D A の領域によって異なるように形成することによって、表示領域 D A にフレーム毎に反転されるデータ電圧が印加される時、データ電圧が表示領域 D A の上部及び下部に時間的な差を置いて印加されることによって、いずれか 1 つの領域に局部的に発生する光漏れを効果的に防止することができる。

【0044】

図 3 を参照すると、枝部 E 2 は第 1 領域 A 1 には第 5 及び第 6 画素電極 P E 5、P E 6 の離隔距離を相対的に狭く配置し、第 2 領域 A 2 には第 5 及び第 6 画素電極 P E 5、P E 6 の離隔距離を相対的に広く配置する。

例えば、第 1 領域 A 1 は画素領域の中央部（接続シールド S C が配置された部分）、右側上部（第 6 コンタクトホール C 6 が配置された部分）及び左側下部を含み、第 2 領域 A 2 は画素領域で第 1 領域 A 1 を除いた残りの領域である。このような方式で画素領域をマルチドメインに分割して駆動することができる。

【0045】

第 1 配向膜 1 1 は、第 5 及び第 6 画素電極 P E 5、P E 6 を含む透明電極パターン上に形成されて液晶層 3 0 0 の液晶分子を垂直配向させる。

【0046】

対向基板 2 0 0 は、第 2 ベース基板 2 0 1 を含む。第 2 ベース基板 2 0 1 上には遮光パターン 2 2 0、カラーフィルタ 2 3 0、オーバーコーティング層 2 5 0 及び第 2 配向膜 2 1 を含む。

遮光パターン 2 2 0 は第 1 金属パターン及び第 2 金属パターンが形成された領域に対応して配置され、遮光パターン 2 2 0 は光を遮断する。例えば、第 3 データ配線 D L 3、第 1 電源配線 V L 1、ゲート配線 G L、及びスイッチング素子 T 5、T 6 が形成された領域に対応して配置される。

【0047】

カラーフィルタ 2 3 0 は、第 5 及び第 6 画素電極 P E 5、P E 6 が形成された画素領域に対応して配置される。カラーフィルタ 2 3 0 は赤色フィルタ、緑色フィルタ、及び青色フィルタを含むことができる。例えば、第 1 画素部 P 1 は赤色フィルタを含み、第 2 画素部 P 2 は緑色フィルタを含み、第 3 画素部 P 3 は青色フィルタを含む。

【0048】

オーバーコーティング層 2 5 0 は、第 2 ベース基板 2 0 1 上にカラーフィルタ 2 3 0 及び遮光パターン 2 2 0 を覆うように形成する。オーバーコーティング層 2 5 0 は絶縁物で作られ、カラーフィルタ 2 3 0 が露出するのを防止し、平坦面を提供する。オーバーコーティング層 2 5 0 は省略することもできる。

本実施形態では遮光パターン 2 2 0 及びカラーフィルタ 2 3 0 が対向基板 2 0 0 に形成されるのを示したが、遮光パターン 2 2 0 及びカラーフィルタ 2 3 0 は表示基板 1 0 0 に形成することもできる。

【0049】

第 2 配向膜 2 1 は、オーバーコーティング層 2 5 0 上に形成されて液晶層 3 0 0 の液晶分子を垂直配向させる。

液晶層 3 0 0 は、表示基板 1 0 0 と対向基板 2 0 0 間に介在する。液晶層 3 0 0 は誘電率異方性を有する液晶分子を含み、液晶分子は電界（電場）がない状態で、その長軸が 2 つの基板（1 0 0、2 0 0）の表面に対して垂直を形成するように配向されている。

液晶層 3 0 0 内の液晶の配列は、第 5 画素電極 P E 5 と第 6 画素電極 P E 6 間に形成された電場によって変更される。その結果、液晶層 3 0 0 の光透過率が電場の強さによって変更される。

【0050】

例えば、第 5 画素電極 P E 5 と第 6 画素電極 P E 6 との電位差が最大であれば、表示基板 1 0 0 及び対向基板 2 0 0 の表面に水平電場（electric field）が生成されてホワイトモードが具現される。一方、第 5 画素電極 P E 5 と第 6 画素電極 P E 6 との電位差が殆どない場合、表示基板 1 0 0 及び対向基板 2 0 0 の表面に電場が殆ど生成さ

10

20

30

40

50

れずブラックモードが具現される。

【0051】

即ち、初期に表示基板100及び対向基板200の表面に対して垂直に配向されていた液晶層300の液晶分子が電場に応答してその長軸が電場の方向に、水平の方向に傾いて、液晶分子の傾きによって液晶層300に入射光の偏光の変化の度合いが変わる。このような偏光の変化は偏光子によって透過率変化で示され、これを通じて液晶表示パネルは画像を表示する。

このように垂直配向された液晶分子を用いると、液晶表示装置のコントラスト比を大きくし、広視野角を具現することができる。また、1つの画素部に相異なる極性の2つの電圧を印加することによって、駆動電圧を高め、応答速図を速くすることができる。

10

【0052】

図5～図8は、図3に示した表示基板の製造方法を説明するための部分平面図である。

図3及び図5を参照すると、第1ベース基板101上に第1金属層を形成し、第1金属層をパターニングして第1金属パターンを形成する。第1金属パターンはゲート配線GL、第5ゲート電極GE5、第6ゲート電極GE6、第1シールド部SH1、及び第2シールド部SH2を含む。

【0053】

ゲート配線GLは、第2方向DI2に延長され、第5及び第6ゲート電極GE5、GE6はゲート配線GLから画素領域側に突出させる。

【0054】

第1シールド部SH1は、第1方向DI1に延長された第1上部シールドSU1と第1下部シールドSD1とを含む。第1上部シールドSU1の上段部は、第2方向DI2に延長され、第1下部シールドSD1の下段部は第2方向DI2に延長される。

第2シールド部SH2は、第1方向DI1に延長された第2上部シールドSU2と第2下部シールドSD2とを含み、第1下部シールドSD1と第2上部シールドSU2とを接続するように第2方向DI2に延長された接続シールドSCをさらに含むことができる。

20

【0055】

第1金属パターンが形成された第1ベース基板101上にゲート絶縁膜102を第1金属パターンを覆うように形成する。ゲート絶縁膜102は窒化ケイ素SiNx及び酸化ケイ素SiOxが積層された多層構造を有することができる。ゲート絶縁膜102は酸窒化ケイ素(SiON; silicon oxynitride)の単一層構造を有することができる。ここで、酸窒化ケイ素SiON層は、積層される方向によって酸素濃度分布を有するが、酸素濃度は酸化物半導体パターンと隣接するほど高くなる。

30

【0056】

図3、図4及び図6を参照すると、ゲート絶縁膜102上に半導体層150及び第2金属層を形成し、半導体層150及び第2金属層をパターニングして第2金属パターンを形成する。半導体層150は非晶質シリコン層151及び不純物がドーピングされた非晶質シリコン層152を含むことができる。

【0057】

また、半導体層150は酸化物半導体層を含むことができる。

40

酸化物半導体層はインジウムIn、亜鉛Zn、ガリウムGa、朱錫Sn、又はハフニウムHfの内の少なくとも1つを含むアモルファス酸化物からなる。より具体的には、インジウムIn、亜鉛Zn及びガリウムGaを含むアモルファス酸化物、又はインジウムIn、亜鉛Zn及びハフニウムHfを含むアモルファス酸化物からなる。酸化物半導体に酸化インジウム亜鉛InZnO、酸化インジウムガリウムInGaO、酸化インジウム錫InSnO、酸化亜鉛錫ZnSnO、酸化ガリウム錫GaSnO及び酸化ガリウム亜鉛GaZnO等の酸化物が含まれ、酸化物半導体の特性を向上させるために周期律表上の3族、4族、5族、または、転移元素が追加で含まれる。

【0058】

このような酸化物半導体層は水素化非晶質ケイ素に比べて、電荷の有効移動図(eff

50

ective mobility) が 2 倍～100 倍程度大きく、オン・オフ電流比が 10 : 5～10 : 8 の値を有することによって、優れた半導体特性を有している。また、酸化物半導体の場合、バンドギャップ (band gap) が約 3.0 eV～3.5 eV であるので、可視光に対して漏洩光電流が発生しない。従って、酸化物半導体層を含むスイッチング素子の下部には光遮断膜を形成する必要がないので、開口率を向上させることができる。

【0059】

また、第 2 金属層を形成する前に別途のマスクを利用してゲート絶縁膜 102 上に半導体層を形成してゲート電極の上にだけ半導体パターンを形成することができる。

第 2 金属パターンは、第 3 データ配線 DL3、第 5 ソース電極 SE5、第 5 ドレイン電極 DE5、第 6 ソース電極 SE6、第 6 ドレイン電極 DE6、及び第 1 電源配線 VL1 を含む。

【0060】

第 3 データ配線 DL3 は第 1 方向 DI1 に延長され、第 1 シールド部 SH1 と隣接するように形成される。具体的には第 3 データ配線 DL3 は第 1 上部シールド SU1 と第 1 下部シールド SD1 と隣接するように形成される。

【0061】

第 1 電源配線 VL1 は第 1 方向 DI1 に延長され、第 2 シールド部 SH2 と隣接するように形成される。具体的には第 1 電源配線 VL1 は第 2 上部シールド SU1 と第 2 下部シールド SD2 と隣接するように形成される。

【0062】

第 5 ソース電極 SE5 は第 3 データ配線 DL3 から突出して第 5 ゲート電極 GE5 上に形成される。第 5 ドレイン電極 DE5 は第 5 ソース電極 SE5 と離隔して第 5 ゲート電極 GE5 上に形成して一定の長さ延長する。第 6 ソース電極 SE6 は第 6 ゲート電極 GE6 上に形成して第 6 ドレイン電極 DE6 は第 6 ソース電極 SE6 と離隔して第 6 ゲート電極 GE6 上に形成して一定の長さが延長される。

【0063】

図 3 及び図 7 を参照すると、第 2 金属パターンが形成された第 1 ベース基板 101 上に第 2 金属パターンを保護絶縁膜 103 を形成する。

保護絶縁膜 103 は、酸化ケイ素 SiO_x 及び窒化ケイ素 SiN_x を含む多層構造、または、単一層構造を有することができる。保護絶縁膜 103 は半導体層を覆うように配置することによって、薄膜トランジスタ特性の劣化が防止される。

【0064】

保護絶縁膜 103 及びゲート絶縁膜 102 をエッチングして第 1、第 2、第 3、第 4、第 5、第 6、第 7、及び第 8 コンタクトホール (C1、C2、C3、C4、C5、C6、C7、C8) を形成する。

次いで、第 1、第 2、第 3、第 4、第 5、第 6、第 7、及び第 8 コンタクトホール (C1、C2、C3、C4、C5、C6、C7、C8) が形成された第 1 ベース基板 101 上に有機絶縁膜 104 を形成する。有機絶縁膜 104 をパターンニングして第 1、第 2、第 3、第 4、第 5、第 6、第 7、及び第 8 コンタクトホール (C1、C2、C3、C4、C5、C6、C7、C8) に対応する領域の有機絶縁膜 104 を除去する。

【0065】

結果的に、第 1、第 2、第 3、第 4、第 5、第 6、第 7、及び第 8 コンタクトホール (C1、C2、C3、C4、C5、C6、C7、C8) を通じて第 1 金属パターン及び第 2 金属パターンが部分的に露出する。

【0066】

図 3 及び図 8 を参照すると、第 1、第 2、第 3、第 4、第 5、第 6、第 7、及び第 8 コンタクトホール (C1、C2、C3、C4、C5、C6、C7、C8) が形成された第 1 ベース基板 101 上に透明導電層を形成し、透明導電層をパターンニングして透明電極パターンを形成する。透明導電層は ITO (indium tin oxide) 及び IZO

10

20

30

40

50

(indium zinc oxide)等の透明な導電物質を含む。

透明電極パターンは、第5画素電極PE5、第6画素電極PE6、及び第1接続配線CL1を含む。

【0067】

第5画素電極PE5は第1コンタクトホールC1を通じて第5スイッチング素子T5の第5ドレイン電極DE5と電氣的に接続され、第6画素電極PE6は第4コンタクトホールC4を通じて第6スイッチング素子T6の第6ドレイン電極DE6と電氣的に接続される。

第5及び第6画素電極PE5、PE6は第3データ配線DL3及び第1電源配線VL1と部分的に重畳する幹部E1と幹部E1から約45°（または、約-45°）に傾いて、画素領域側に延びた枝部E2を含む。第5及び第6画素電極PE5、PE6の枝部E2は交互に配置される。

【0068】

第5画素電極PE5は第2コンタクトホールC2を通じて第1下部シールドSD1と電氣的に接続され、第6コンタクトホールC6を第2上部シールドSU1と電氣的に接続される。

第6画素電極PE6は第5コンタクトホールC5を通じて第2下部シールドSD2と電氣的に接続され、第7コンタクトホールC7を通じて第1上部シールドSU1と電氣的に接続される。

【0069】

第1接続配線CL1は第1電源配線VL1と第8コンタクトホールC8とを通じて電氣的に接続され、第2方向DI2に延長される。第1接続配線CL1は第6ソース電極SE6側に突出して第3コンタクトホールC3を通じて第6ソース電極SE6と電氣的に接続される。

従って、第6スイッチング素子T6は第1接続配線CL1に印加された電圧を第6画素電極PE6に伝達する。

透明電極パターンが形成された第1ベース基板101上に第1配向膜211を形成する。

【0070】

<実施形態2>

図9は、本発明の実施形態2に係る液晶表示パネルの部分平面図であり、図10は、図6のII-II'線に沿って切断した断面図である。

【0071】

図2、図9及び図10を参照すると、液晶表示パネル1000Aは表示基板100A、対向基板200及び液晶層300を含む。

本実施形態に係る液晶表示パネル1000Aは実施形態1の液晶表示パネル1000と比較する時、第1シールド部SH1、第2シールド部SH2、及び接続電極パターンCEPを除いた構成要素は実質的に同一である。以下では、同一な構成要素に対して反復する詳細な説明は省略する。

【0072】

第1及び第2シールド部SH1、SH2のそれぞれはゲート絶縁膜102、保護絶縁膜103、及び有機絶縁膜104が除去されたトレンチ(Trench)構造で形成される。

【0073】

接続電極パターンCEPは第1金属パターンであってもよい。接続電極パターンCEPは画素領域の中央の部分から第2方向DI2に延長して形成され、画素領域の下部に配置された第5画素電極PE5と上部に配置された第5画素電極PE5を電氣的に接続する。接続電極パターンCEPは第9コンタクトホールC9を通じて第3データ配線DL3と部分的に重畳した第5画素電極PE5と電氣的に接続され、第10コンタクトホールC10を通じて第1電源配線VL1と部分的に重畳した第5画素電極PE5と電氣的に接続され

10

20

30

40

50

る。

【0074】

第1シールド部SH1は第3画素部P3にデータ電圧を伝達する自己データ配線（self data line）、即ち、第3データ配線DL3と隣接するように配置される。

第1シールド部SH1は第1上部トレンチTU1及び第1下部トレンチTD1を含み、第1上部トレンチTU1及び第1下部トレンチTD1はゲート絶縁膜102、保護絶縁膜103及び有機絶縁膜104が除去されて形成される。第1上部トレンチTU1には第3データ配線DL3の上部と部分的に重畳する第6画素電極PE6が形成され、第1下部トレンチTD1には第3データ配線DL3の下部と部分的に重畳する第5画素電極PE5が形成される。

10

【0075】

第2シールド部SH2は第1電源配線VL1と隣接するように配置される。または、第2シールド部SH2は隣り合った隣の画素部にデータ電圧を伝達する隣のデータ配線と隣接するように配置することができる。

第2シールド部SH2は第2上部トレンチTU2と第2下部トレンチTD2とを含み、第2上部トレンチTU2及び第2下部トレンチTD2はゲート絶縁膜102、保護絶縁膜103及び有機絶縁膜104が除去されて形成される。第2上部トレンチTU2には第1電源配線VL1の上部と重畳する第5画素電極PE5が形成され、第2下部トレンチTD2には第1電源配線VL1の下部と重畳する第6画素電極PE6とが形成される。

20

【0076】

図9に示すように、第1上部トレンチTU1は上段部で第2方向DI2に第2上部トレンチTU2と隣接するように延長され、第1下部トレンチTD1は下段部で第2方向DI2で第2下部トレンチTD2と隣接するように延長される。

【0077】

第1及び第2シールド部SH1、SH2は実施形態1と同様にデータ配線又は電源配線の電界（電場）が漏洩するのを遮断し、また、データ配線又は電源配線と画素電極との間の光漏れを防止することができる。さらに、本実施形態の第1及び第2シールド部SH1、SH2はトレンチ内に画素電極が形成される構造を有することによって、第1金属パターンで形成された実施形態1に比べて開口率を向上させることができる。

30

【0078】

図11～図14は、図10に示した表示基板の製造方法を説明するための部分平面図である。以下では、実施形態1と同一の構成要素に対しては反復する説明を省略する。

図10及び図11を参照すると、第1ベース基板101上に第1金属層を形成し、第1金属層をパターンニングして第1金属パターンを形成する。第1金属パターンはゲート配線GL、第5ゲート電極GE5、第6ゲート電極GE6、及び接続電極パターンCEPを含む。

【0079】

ゲート配線GLは第2方向DI2に延長され、第5及び第6ゲート電極GE5、GE6はゲート配線GLから画素領域側に突出して形成する。

40

接続電極パターンCEPは画素領域の中央の部分に第2方向DI2に延長して形成する。接続電極パターンCEPは画素領域を上部と下部に区画する。画素領域は後続する工程によって形成される第5及び第6画素電極PE5、PE6が形成される領域である。

第1金属パターンが形成された第1ベース基板101上にゲート絶縁膜102を第1金属パターンを覆うように形成する。

【0080】

図10及び図12を参照すると、ゲート絶縁膜102上に半導体層及び第2金属層を形成し、半導体層及び第2金属層をパターンニングして第2金属パターンを形成する。

第2金属パターンは第3データ配線DL3、第5ソース電極SE5、第5ドレイン電極DE5、第6ソース電極SE6及び第6ドレイン電極DE6及び第1電源配線VL1を含

50

む。

【0081】

図10及び図13を参照すると、第2金属パターンが形成された第1ベース基板101上に第2金属パターンを覆うように保護絶縁膜103を形成する。

保護絶縁膜103及びゲート絶縁膜102をエッチングして第1、第3、第4、第8、第9、及び第10コンタクトホール(C1、C3、C4、C8、C9、C10)を形成する。また、保護絶縁膜103及びゲート絶縁膜102をエッチングして第3データ配線DL3と隣接した画素領域に第1上部トレンチTU1及び第1下部トレンチTD1を形成し、第1電源配線VL1と隣接した画素領域に第2上部トレンチTU2及び第2下部トレンチTD2を形成する。

10

【0082】

次に、コンタクトホール(C1、C3、C4、C8、C9、C10)及びトレンチ(TU1、TD1、TU2、TD2)が形成された第1ベース基板101上に有機絶縁膜104を形成する。有機絶縁膜104をパターニングしてコンタクトホール(C1、C3、C4、C8、C9、C10)及びトレンチ(TU1、TD1、TU2、TD2)に対応する領域の有機絶縁膜104を除去する。

結果的に、コンタクトホール(C1、C3、C4、C8、C9、C10)を通じて第1金属パターン及び第2金属パターンが部分的に露出され、トレンチ(TU1、TD1、TU2、TD2)を通じて第1ベース基板101が露出する。

【0083】

20

図10及び図14を参照すると、コンタクトホール(C1、C3、C4、C8、C9、C10)及びトレンチ(TU1、TD1、TU2、TD2)が形成された第1ベース基板101上に透明導電層を形成し、透明導電層をパターニングして透明電極パターンを形成する。

透明電極パターンは第5画素電極PE5、第6画素電極PE6、及び第1接続配線CL1を含む。

【0084】

第5画素電極PE5は第1コンタクトホールC1を通じて第5スイッチング素子T5の第5ドレイン電極DE5と電氣的に接続され、第6画素電極PE6は第4コンタクトホールC4を通じて第6スイッチング素子T6の第6ドレイン電極DE6と電氣的に接続される。

30

第5及び第6画素電極PE5、PE6は第3データ配線DL3及び第1電源配線VL1と部分的に重畳する幹部E1と幹部E1から約45°(または、約-45°)に傾いて画素領域側に延びた枝部E2を含む。第5及び第6画素電極PE5、PE6の枝部E2は相互に配置される。

【0085】

接続電極パターンCEPを中心に画素領域の下部に形成された第5画素電極PE5は第9コンタクトホールC9を通じて接続電極パターンCEPと電氣的に接続され、接続電極パターンCEPを中心に画素領域の上部に形成された第5画素電極PE5は第10コンタクトホールC10を通じて接続電極パターンCEPと電氣的に接続される。これによって、画素領域の上部及び下部に形成された第5画素電極PE5は相互電氣的に接続される。一方、第6画素電極PE6は1つに接続された構造で画素領域の上部及び下部に形成される。

40

【0086】

第1シールド部SH1の第1上部トレンチTU1には第3データ配線DL3の上部と部分的に重畳する第6画素電極PE6が形成されて第1シールド部SH1の第1下部トレンチTD1には第3データ配線DL3の下部と部分的に重畳する第5画素電極PE5が形成される。

第2シールド部SH2の第2上部トレンチTU2には第1電源配線VL1の上部と重畳する第5画素電極PE5が形成され、第2シールド部SH2の第2下部トレンチTD2に

50

は第1電源配線V L 1の下部と重畳する第6画素電極P E 6が形成される。

【0087】

第1接続配線C L 1は第1電源配線V L 1と第8コンタクトホールC 8を通じて電氣的に接続され、第2方向D I 2に延長する。第1接続配線C L 1は第6ソース電極S E 6側に突出して第3コンタクトホールC 3を通じて第6ソース電極S E 6と電氣的に接続される。

本実施形態によれば、第1及び第2シールド部S H 1、S H 2は画素電極が形成されたトレンチを有することによって開口率を向上させることができる。

【0088】

<実施形態3>

図15は、本発明の実施形態3に係る液晶表示パネルの部分概略図である。

図15を参照すると、液晶表示装置は液晶表示パネル1000Bを含む。液晶表示パネル1000Bは実施形態1に係る液晶表示パネル1000と比較する時、ストレージ配線S T Lをさらに含む。

ストレージ配線S T Lは第2方向D I 2に延長され、ゲート配線G Lと隣接するように配置される。ストレージ配線S T Lにはストレージ電圧が印加される。

ストレージ電圧はフレームに関わりなく、一定のレベルの直流電圧(D C ; d i r e c t c u r r e n t)であってもよい。

【0089】

ストレージ配線S T Lには基準電圧が印加される。第1電源配線V L 1には基準電圧に対して第1極性(−)の電圧が印加され、第2電源配線V L 2には基準電圧に対して第2極性(+)の電圧が印加される。

これに対応して、第1、第2、及び第3データ配線(D L 1、D L 2、D L 3)には第1電源配線V L 1に印加された電圧より高いレベルの第2極性(+)の電圧が印加され、第4、第5、及び第6データ配線(D L 4、D L 5、D L 6)には第2電源配線V L 2に印加された電圧より低いレベルの第1極性(−)の電圧が印加される。

例えば、ストレージ配線S T Lは画素部の第1、第2、第3、第4、第5、及び第6画素部(P 1、P 2、P 3、P 4、P 5、P 6)に含まれたスイッチング素子の延長部と部分的に重畳してストレージキャパシタを定義することができる。ストレージキャパシタによって、画素部に印加される電圧変動が減少することによって表示品質を向上させることができる。

【0090】

以下では、図15に示した第3画素部P 3を例として、本実施形態に係る画素構造及び製造方法を説明する。

図16は、図15に示した液晶表示パネルの部分平面図であり、図17は、図15に示したI I I − I I I ' 線に沿って切断した断面図である。

【0091】

図16及び図17を参照すると、液晶表示パネル1000Bは表示基板100B、対向基板200及び液晶層300を含む。液晶表示パネル1000Bは実施形態1の液晶表示パネル1000と比較する時、実質的に同一の構成要素に対しては、詳細な説明を省略し、実施形態1と同一の表示基板100Bの構成要素に対しては反復する説明を簡略にする。

【0092】

表示基板100Bは第1ベース基板101、ゲート配線G L、ストレージ配線S T L、第1シールド部S H 1、第2シールド部S H 2、第3データ配線D L 3、第1電源配線V L 1、第4データ配線D L 4、第5画素電極P E 5、第6画素電極P E 6、第7画素電極P E 7、第8画素電極P E 8、第1接続配線C L 1を含む。

【0093】

ゲート配線G Lは第2方向D I 2に延長する。第5ゲート電極G E 5及び第6ゲート電極G E 6はゲート配線G Lから突出する。

ストレージ配線 S T L は第 2 方向 D I 2 に延長され、ゲート配線 G L と隣接するように配置される。

【0094】

第 1 シールド部 S H 1 は、第 3 画素部 P 3 にデータ電圧を伝達する自己データ配線 (s e l f d a t a l i n e) 、即ち、第 3 データ配線 D L 3 と隣接するように配置される。

第 1 シールド部 S H 1 は第 3 データ配線 D L 3 の上部と隣接した第 1 上部シールド S U 1 及び第 3 データ配線 D L 3 の下部と隣接した第 1 下部シールド S D 1 を含む。第 2 シールド部 S H 2 は第 1 電源配線 V L 1 (または、電源配線) と隣接するように配置される。第 2 シールド部 S H 2 は第 1 電源配線 V L の上部と隣接した第 2 上部シールド S U 2 及び第 1 電源配線 V L 1 の下部と隣接した第 2 下部シールド S D 2 を含む。

第 1 及び第 2 シールド部 S H 1 、 S H 2 は図 9 及び図 10 のように、第 1 上部トレンチ T U 1 、第 1 下部トレンチ T D 1 、第 2 上部トレンチ T U 2 、及び第 2 下部トレンチ T D 2 で形成することができる。

【0095】

第 3 データ配線 D L 3 は第 1 方向 D I 1 に延長する。第 5 ソース電極 S E 5 は第 3 データ配線 D L 3 に突出して第 5 ゲート電極 G E 5 上に配置される。第 5 ドレイン電極 D E 5 は第 5 ソース電極 S E 5 と離隔して、ストレージ配線 S T L と部分的に重畳し、第 1 コンタクトホール C 1 を通じて第 5 画素電極 P E 5 と電氣的に接続される。第 5 ドレイン電極 D E 5 は延長部を含み、延長部はストレージ配線 S T L と部分的に重畳して第 1 ストレージキャパシタ C S T 1 を形成する。

【0096】

第 6 ソース電極 S E 6 は第 1 接続配線 C L 1 と第 3 コンタクトホール C 3 を通じて電氣的に接続され、第 6 ゲート電極 G E 6 上に配置される。第 1 接続配線 C L 1 は第 1 電源配線 V L 1 と電氣的に接続される。第 6 ドレイン電極 D E 6 は第 6 ソース電極 S E 6 と離隔して、ストレージ配線 S T L と部分的に重畳し、第 4 コンタクトホール C 4 を通じて第 6 画素電極 P E 6 と電氣的に接続される。第 6 ドレイン電極 D E 6 は延長部を含み、延長部はストレージ配線 S T L と部分的に重畳して第 2 ストレージキャパシタ C S T 2 を形成する。

【0097】

第 4 データ配線 D L 4 は第 1 方向 D I 1 に延長する。第 7 画素電極 P E 7 は第 7 スイッチング素子 (図 15 の符号 T 7) を通じて第 4 データ配線 D L 4 と電氣的に接続され、第 8 画素電極 P E 8 は第 8 スイッチング素子 (図 15 の符号 T 8) を通じて第 2 接続配線 C L 2 と電氣的に接続される。

第 3 データ配線 D L 3 は第 5 画素電極 P E 5 の幹部によって重畳し、第 4 データ配線 D L 4 は第 7 画素電極 P E 7 の幹部によって重畳することができる。これによって、相異なる極性を有する第 3 及び第 4 画素部 P 3 、 P 4 の間で発生する光漏れを防止することができる。

【0098】

また、第 1 電源配線 V L 1 と第 4 データ配線 D L 4 間の間隔を十分に離隔させて配置する。第 1 電源配線 V L 1 と第 4 データ配線 D L 4 間隔は、約 $7\mu\text{m}$ ~ 約 $13\mu\text{m}$ であってもよい。これによって、相異なる極性を有する第 3 及び第 4 画素部 P 3 、 P 4 の間で発生する光漏れを防止することができる。

第 1 接続配線 C L 1 及び第 2 接続配線 (図 15 の符号 C L 2) はゲート配線 G L と重畳するように形成する。これによって、液晶表示パネルの開口率を増加させることができる。

【0099】

図 18 ~ 図 20 は、図 17 に示した表示基板の製造方法を説明するための部分平面図である。以下では、実施形態 1 と同一の構成要素に対しては反復する説明を省略する。

図 17 及び図 18 を参照すると、第 1 ベース基板 101 上に第 1 金属層を形成し、第 1

10

20

30

40

50

金属層をパターンニングして第1金属パターンを形成する。第1金属パターンはゲート配線GL、第5ゲート電極GE5、第6ゲート電極GE6、ストレージ配線STL、第1シールド部SH1及び第2シールド部SH2を含む。

【0100】

ストレージ配線STLは第2方向DI2に延長され、ゲート配線GLと隣接するように形成する。

第1金属パターンが形成された第1ベース基板101上にゲート絶縁膜102が第1金属パターンを覆うように形成する。

【0101】

図17及び図19を参照すると、ゲート絶縁膜102上に半導体層及び第2金属層を形成し、半導体層及び第2金属層をパターンニングして第2金属パターンを形成する。第2金属パターンは第3データ配線DL3、第4データ配線DL4、第5ソース電極SE5、第5ドレイン電極DE5、第6ソース電極SE6、第6ドレイン電極DE6、及び第1電源配線VL1を含む。

【0102】

第5ドレイン電極DE5は第5ソース電極SE5と離隔して、第5ドレイン電極DE5の延長部はストレージ配線STLと部分的に重畳する。第6ドレイン電極DE6は第6ソース電極SE6と離隔して、第6ドレイン電極DE6の延長部はストレージ配線STLと部分的に重畳する。

【0103】

図17及び図20を参照すると、第2金属パターンが形成された第1ベース基板101上に第2金属パターンを覆う保護絶縁膜103を形成する。保護絶縁膜103及びゲート絶縁膜102をエッチングして第1、第2、第3、第4、第5、第6、第7、及び第8コンタクトホール(C1、C2、C3、C4、C5、C6、C7、C8)を形成する。

第1ベース基板101上に有機絶縁膜104を形成する。有機絶縁膜104をパターンニングして第1、第2、第3、第4、第5、第6、第7、及び第8コンタクトホール(C1、C2、C3、C4、C5、C6、C7、C8)に対応する領域の有機絶縁膜104を除去する。図示していないが、第1及び第2シールド部SH1、SH2は実施形態2のように、ゲート絶縁膜102、保護絶縁膜103、及び有機絶縁膜104を除去して第1上部トレンチTU1、第1下部トレンチTD1、第2上部トレンチTU2、及び第2下部トレンチTD2で形成することができる。

【0104】

第1、第2、第3、第4、第5、第6、第7、及び第8コンタクトホール(C1、C2、C3、C4、C5、C6、C7、C8)が形成された第1ベース基板101上に透明導電層を形成し、透明導電層をパターンニングして透明電極パターンを形成する。透明電極パターンは第5画素電極PE5、第6画素電極PE6、第7画素電極PE7、第8画素電極PE8、及び第1接続配線CL1を含む。

【0105】

第5画素電極PE5の幹部は第3データ配線DL3と重畳するように形成し、第7画素電極PE7の幹部は第1電源配線VL1と重畳するように形成する。

第1接続配線CL1はゲート配線GL上に形成してゲート配線GLと重畳させる。

【0106】

本実施形態によれば、一定のレベルの直流電圧が印加されるストレージ配線を形成することによって、画素部の電圧変動を減少させ表示品質を向上させることができる。また、相異なる極性を有する画素部の間のデータ配線及び電源配線を画素電極で重畳させることによって、光漏れを防止することができる。また、電源配線とスイッチング素子を接続する接続配線をゲート配線と重畳させることによって、開口率を向上させることができる。

【0107】

<実施形態4>

図21は、本発明の実施形態4に係る液晶表示パネルの部分概略図である。

図 21 を参照すると、液晶表示パネル 1000C は、複数のデータ配線 (DL1、DL2、DL3、DL4、DL5、DL6、DL7、DL8、DL9、DL10、DL11、DL12)、第 1 バス配線 BL1、第 2 バス配線 BL2、第 1 電源配線 VL1、第 2 電源配線 VL2、第 1 ゲート配線 GL1、第 2 ゲート配線 GL2、及び複数の画素部 (P1、P2、P3、P4、P5、P6、P7、P8、P9、P10、P11、P12) を含む。複数の画素部 (P1、P2、P3、P4、P5、P6、P7、P8、P9、P10、P11、P12) は主要色画素を含む。

【0108】

実施形態 1 のように、第 1 ～第 6 画素部 (P1 ～ P6) は第 1 ～第 12 画素電極 (PE1 ～ PE12) を含む。第 1 ～第 12 画素電極 (PE1 ～ PE12) は第 1 ～第 12 スイッチング素子 (T1 ～ T12) を通じて第 1 ～第 6 データ配線 (DL1 ～ DL6) と電源配線 VL1、VL2、及び第 1 ゲート配線 GL1 に電氣的に接続される。第 1 ～第 6 画素部 (P1 ～ P6) の詳細な接続構造に対する説明は省略する。

第 2 ゲート配線 GL2 は、第 2 方向 DI2 に延長される。

【0109】

図 21 に示すように、第 1 及び第 2 ゲート配線 GL1、GL2 は液晶表示パネルの周辺領域で相互接続される。この場合、ゲート駆動部から出力されたゲート信号は相互接続された第 1 及び第 2 ゲート配線 GL1、GL2 には同時に印加される。

または、第 1 及び第 2 ゲート配線 GL1、GL2 が相互分離される。この場合、ゲート駆動部は第 1 及び第 2 ゲート配線 GL1、GL2 のそれぞれにゲート信号を同一のタイミングに同時に出力する。これによって、第 1 及び第 2 ゲート配線 GL1、GL2 と電氣的に接続された 2 つの画素行を同時に駆動させることができる。

【0110】

第 7 画素部 P7 は第 13 画素電極 PE13、第 14 画素電極 PE14、第 13 スイッチング素子 T13 及び第 14 スイッチング素子 T14 を含む。

第 13 画素電極 PE13 は第 13 スイッチング素子 T13 を通じて第 7 データ配線 DL7 と第 2 ゲート配線 GL2 に接続される。第 7 データ配線 DL7 は第 1 データ配線 DL1 と第 2 データ配線 DL2 間に配置され、第 2 データ配線 DL2 と隣接するように配置される。第 14 画素電極 PE14 は第 13 画素電極 PE13 と離隔して、第 14 スイッチング素子 T14 を通じて第 1 電源配線 VL1 と第 2 ゲート配線 GL2 に接続される。第 14 スイッチング素子 T14 は第 1 接続配線 CL1 を通じて第 1 電源配線 VL1 と接続される。

【0111】

第 8 画素部 P8 は第 15 画素電極 PE15、第 16 画素電極 PE16、第 15 スイッチング素子 T15 及び第 16 スイッチング素子 T16 を含む。

第 15 画素電極 PE15 は第 15 スイッチング素子 T15 を通じて第 8 データ配線 DL8 と第 2 ゲート配線 GL2 に接続される。第 8 データ配線 DL8 は第 2 データ配線 DL2 と第 3 データ配線 DL3 間に配置され、第 3 データ配線 DL3 と隣接するように配置される。第 16 画素電極 PE16 は第 15 画素電極 PE15 と離隔して、第 16 スイッチング素子 T16 を通じて第 1 電源配線 VL1 と第 2 ゲート配線 GL2 に接続される。第 16 スイッチング素子 T16 は第 1 接続配線 CL1 を通じて第 1 電源配線 VL1 と接続される。

【0112】

第 9 画素部 P9 は第 17 画素電極 PE17、第 18 画素電極 PE18、第 17 スイッチング素子 T17 及び第 18 スイッチング素子 T18 を含む。

第 17 画素電極 PE17 は第 17 スイッチング素子 T17 を通じて第 9 データ配線 DL9 と第 2 ゲート配線 GL2 に接続される。第 9 データ配線 DL9 は第 3 データ配線 DL3 と第 1 電源配線 VL1 間に配置され、第 1 電源配線 VL1 と隣接するように配置される。第 18 画素電極 PE18 は第 17 画素電極 PE17 と離隔して、第 18 スイッチング素子 T18 を通じて第 1 電源配線 VL1 と第 2 ゲート配線 GL2 に接続される。第 18 スイッチング素子 T18 は第 1 接続配線 CL1 を通じて第 1 電源配線 VL1 と接続される。

【0113】

第10画素部P10は第19画素電極PE19、第20画素電極PE20、第19スイッチング素子T19及び第20スイッチング素子T20を含む。

第19画素電極PE19は第19スイッチング素子T19を通じて第10データ配線DL10と第2ゲート配線GL2に接続される。第10データ配線DL10は第4データ配線DL4と第5データ配線DL5間に配置され、第5データ配線DL5と隣接するように配置される。第20画素電極PE20は第19画素電極PE19と離隔して、第20スイッチング素子T20を通じて第2電源配線VL2と第2ゲート配線GL2に接続される。第20スイッチング素子T20は第2接続配線CL2を通じて第2電源配線VL2と接続される。

【0114】

10

第11画素部P11は第21画素電極PE21、第22画素電極PE22、第21スイッチング素子T21及び第22スイッチング素子T22を含む。

第21画素電極PE21は第21スイッチング素子T21を通じて第11データ配線DL11と第2ゲート配線GL2に接続される。第11データ配線DL11は第5データ配線DL5と第6データ配線DL6間に配置され、第6データ配線DL6と隣接するように配置される。第22画素電極PE22は第21画素電極PE21と離隔して、第22スイッチング素子T22を通じて第2電源配線VL2と第2ゲート配線GL2に接続される。第22スイッチング素子T22は第2接続配線CL2を通じて第2電源配線VL2と接続される。

【0115】

20

第12画素部P12は第23画素電極PE23、第24画素電極PE24、第23スイッチング素子T23及び第24スイッチング素子T24を含む。

第23画素電極PE23は第23スイッチング素子T23を通じて第12データ配線DL12と第2ゲート配線GL2に接続される。第12データ配線DL12は第6データ配線DL6と第2電源配線VL2間に配置され、第2電源配線VL2と隣接するように配置される。第24画素電極PE24は第23画素電極PE23と離隔して、第24スイッチング素子T24を通じて第2電源配線VL2と第2ゲート配線GL2に接続される。第24スイッチング素子T24は第2接続配線CL2を通じて第2電源配線VL2と接続される。

【0116】

30

第1電源配線VL1には基準電圧に対して第1極性(−)の電圧が印加され、第2電源配線VL2には基準電圧に対して第2極性(+)の電圧が印加される。第1、第2、第3、第7、第8、及び第9データ配線(DL1、DL2、DL3、DL7、DL8、DL9)には第1電源配線VL1に印加された電圧より高いレベルの電圧、即ち、第2極性(+)の電圧が印加され、第4、第5、第6、第10、第11及び第12データ配線(DL4、DL5、DL6、DL10、DL11、DL12)には第2電源配線VL2に印加された電圧より低いレベルの電圧、即ち、第1極性(−)の電圧が印加される。

【0117】

本実施形態によれば、1つの画素列が2つのデータ配線によってデータ電圧を印加され、2つの画素行が2つのゲート配線によって1つのゲート信号を印加受けることによって、1水平周期1Hの間、2つの画素行が駆動される。即ち、液晶表示パネル1000Cは、高速駆動を可能とする。また、三つの画素部が1つの電源配線を共有して同一の極性のデータ電圧が印加されることによって、ブラック状態の光漏れの発生を最小化することができる。また、電源配線の個数を減らすことによって開口率を向上させることができる。

40

【0118】

図22は図21に示した液晶表示パネルの部分平面図である。

以下では、実施形態1と同一の構成要素については反復する説明を簡略、又は、省略する。

図21及び図22を参照すると、液晶表示パネル1000Cは第3データ配線DL3、第9データ配線DL9、第1電源配線VL1、第1ゲート配線GL1、及び第3画素部P

50

3を含む。

【0119】

第3データ配線DL3及び第9データ配線DL9は第1方向DI1に延長され、第3データ配線DL3と第9データ配線DL9間に第3画素部P3が配置される。第1電源配線VL1は第9データ配線DL9と隣接するように配置される。

第1ゲート配線GL1は第2方向DI2に延長する。

【0120】

第3画素部P3は第5スイッチング素子T5、第5画素電極PE5、第6スイッチング素子T6、第6画素電極PE6、第1シールド部SH1及び第2シールド部SH2を含む。

10

第5スイッチング素子T5は第1ゲート配線GL1と接続された第5ゲート電極GE5と、第3データ配線DL3と接続された第5ソース電極SE5、及び第5ソース電極SE5と離隔して第5画素電極PE5と第1コンタクトホールC1を通じて接続された第5ドレイン電極DE5を含む。

【0121】

第6スイッチング素子T6は第1ゲート配線GL1と接続された第6ゲート電極GE6、第1電源配線VL1と電氣的に接続された第1接続配線CL1を通じて接続された第6ソース電極SE6、及び第6ソース電極SE6と離隔して第6画素電極PE6と第4コンタクトホールC4を通じて接続された第6ドレイン電極DE6を含む。第6ソース電極SE6は第3コンタクトホールC3を通じて第1接続配線CL1と接続される。

20

【0122】

第1シールド部SH1は自身の画素部、即ち、第3画素部P3にデータ電圧を伝達する第3データ配線DL3と隣接するように配置され、第1上部シールドSU1及び第1下部シールドSD1を含む。

【0123】

第2シールド部SH2は隣の画素部、即ち、第3画素部P3と第1方向DI1に接する第9画素部P9にデータ電圧を伝達する第9データ配線DL9と隣接するように配置され、第2上部シールドSU2及び第2下部シールドSD2を含む。第1及び第2シールド部SH1、SH2は金属パターンであり、例えば、第1ゲート配線GL1と同一の金属層から形成された金属パターンであってもよい。

30

【0124】

本実施形態に係る表示基板の製造方法は、図5～図8を参照として説明した実施形態1の表示基板の製造方法と実質的に同一である。

但し、第9データ配線DL9は第3データ配線DL3を含む第2金属パターンを形成する段階で形成されてもよい。よって、本実施形態に係る表示基板の製造方法は省略する。

【0125】

＜実施形態5＞

図23は、本発明の実施形態5に係る液晶表示パネルの部分平面図である。

図21及び図23を参照すると、液晶表示パネル1000Dは実施形態4と比較する時、第1及び第2シールド部SH1、SH2が実施形態2のトレンチ構造を有するのを除いては実質的に同一である。

40

【0126】

液晶表示パネル1000Dは第1及び第2シールド部SH1、SH2及び接続電極パターンCEPを含む。第1及び第2シールド部SH1、SH2は実施形態2の図10を参照して説明する。

【0127】

第1シールド部SH1は自身の画素部、即ち、第3画素部P3にデータ電圧を伝達する第3データ配線DL3と隣接するように配置され、第1上部トレンチTU1及び第1下部トレンチTD1を含む。第1上部トレンチTU1及び第1下部トレンチTD1はゲート絶縁膜102、保護絶縁膜103及び有機絶縁膜104が除去されて形成される。第1上部

50

トレンチ T U 1 には第 3 データ配線 D L 3 の上部と部分的に重畳する第 6 画素電極 P E 6 が形成され、第 1 下部トレンチ T D 1 には第 3 データ配線 D L 3 の下部と部分的に重畳する第 5 画素電極 P E 5 が形成される。

【0128】

第 2 シールド部 S H 2 は隣の画素部、即ち、第 3 画素部 P 3 と第 1 方向 D I 1 に接する第 9 画素部 P 9 にデータ電圧を伝達する第 9 データ配線 D L 9 と隣接するように配置され、第 2 上部トレンチ T U 2 と第 2 下部トレンチ T D 2 を含む。第 2 上部トレンチ T U 2 及び第 2 下部トレンチ T D 2 はゲート絶縁膜 1 0 2、保護絶縁膜 1 0 3 及び有機絶縁膜 1 0 4 が除去されて形成される。第 2 上部トレンチ T U 2 には第 9 データ配線 D L 9 の上部と重畳する第 5 画素電極 P E 5 が形成され、第 2 下部トレンチ T D 2 には第 9 データ配線 D L 9 の下部と重畳する第 6 画素電極 P E 6 が形成される。

10

【0129】

接続電極パターン C E P は第 1 金属パターンであってもよい。接続電極パターン C E P は画素領域の中央の部分に第 2 方向 D I 2 に延長され、画素領域の下部に配置された第 5 画素電極 P E 5 と上部に配置された第 5 画素電極 P E 5 とを電氣的に接続する。接続電極パターン C E P は第 9 コンタクトホール C 9 を通じて、第 3 データ配線 D L 3 と部分的に重畳した第 5 画素電極 P E 5 と電氣的に接続され、第 1 0 コンタクトホール C 1 0 を通じて第 9 データ配線 D L 9 と部分的に重畳した第 5 画素電極 P E 5 と電氣的に接続される。

【0130】

第 1 及び第 2 シールド部 S H 1、S H 2 は実施形態 1 と同一のデータ配線又は電源配線の電界（電場）が漏洩するのを遮断し、また、データ配線又は電源配線と画素電極との間の光漏れを防止することができる。さらに、本実施形態の第 1 及び第 2 シールド部 S H 1、S H 2 はトレンチ内に画素電極が形成される構造を有することによって、第 1 金属パターンで形成された実施形態 1 に比べて開口率を向上させることができる。

20

【0131】

本実施形態に係る表示基板の製造方法は、図 1 1 ～図 1 4 を参照として説明した実施形態 2 の表示基板の製造方法と実質的に同一である。

ただ、第 9 データ配線 D L 9 は第 3 データ配線 D L 3 を含む第 2 金属パターンを形成する段階で形成されることができる。よって、本実施形態に係る表示基板の製造方法は省略する。

30

【0132】

<実施形態 6>

図 2 4 は、本発明の実施形態 6 に係る液晶表示パネルの部分概略図である。

図 2 4 を参照すると、液晶表示パネル 1 0 0 0 E は、実施形態 4 の液晶表示パネル 1 0 0 0 C と比較する時、第 1 ストレージ配線 S T L 1 及び第 2 ストレージ配線 S T L 2 をさらに含む。

【0133】

第 1 ストレージ配線 S T L 1 は第 2 方向 D I 2 に延長され、第 1 ゲート配線 G L 1 と隣接するように配置される。第 1 ストレージ配線 S T L 1 は第 1 ゲート配線 G L 1 と電氣的に接続された画素行の画素部に含まれたスイッチング素子の延長部と部分的に重畳してストレージキャパシタを形成する。

40

【0134】

第 2 ストレージ配線 S T L 2 は第 2 方向 D I 2 に延長され、第 2 ゲート配線 G L 2 と隣接するように配置される。第 2 ストレージ配線 S T L 2 は第 2 ゲート配線 G L 2 と電氣的に接続された画素行の画素部に含まれたスイッチング素子の延長部と部分的に重畳してストレージキャパシタを形成する。ストレージキャパシタによって画素部の電圧変動を減少させて表示品質を向上させることができる。

【0135】

図 2 4 に示すように、第 1 及び第 2 ゲート配線 G L 1、G L 2 は液晶表示パネルの周辺領域で相互接続される。この場合、ゲート駆動部から出力されたゲート信号は相互接続さ

50

れた第1及び第2ゲート配線GL1、GL2には同時に印加される。

または、第1及び第2ゲート配線GL1、GL2が相互分離される。この場合、ゲート駆動部は第1及び第2ゲート配線GL1、GL2のそれぞれにゲート信号を同一のタイミングで同時に出力する。これによって、第1及び第2ゲート配線GL1、GL2と電氣的に接続された2つの画素行を同時に駆動させることができる。

【0136】

本実施形態に係る画素は、実施形態1の第1金属パターンで形成された第1及び第2シールド部SH1、SH2を含み、または、実施形態2とトレンチ構造の第1及び第2シールド部SH1、SH2を含むことができる。

【0137】

図25は、図24に示した液晶表示パネルの部分平面図である。

以下では実施形態5と同一の構成要素に対しては反復する説明を簡略に、または、省略する。

図24及び図25を参照すると、液晶表示パネル1000Eは第3データ配線DL3、第9データ配線DL9、第1電源配線VL1、第1ゲート配線GL1、第1ストレージ配線STL1、及び第3画素部P3を含む。

第1ゲート配線GL1は第2方向DI2に延長される。

【0138】

第1ストレージ配線STL1は第2方向DI2に延長され、第1ゲート配線GL1と隣接するように配置される。

第3画素部P3は第5スイッチング素子T5、第5画素電極PE5、第6スイッチング素子T6、第6画素電極PE6、第1シールド部SH1及び第2シールド部SH2を含む。

【0139】

第5スイッチング素子T5は第1ゲート配線GL1と接続された第5ゲート電極GE5と、第3データ配線DL3と接続された第5ソース電極SE5、及び第5ソース電極SE5と離隔した第5ドレイン電極DE5とを含む。

第5ドレイン電極DE5の延長部は第1ストレージ配線STL1と部分的に重畳して、第5画素電極PE5と第1コンタクトホールC1を通じて接続される。第5ドレイン電極DE5の延長部、延長部と部分的に重畳した第1ストレージ配線STL1及びその間に配置されたゲート絶縁膜によって第1ストレージキャパシタCST1が形成される。

【0140】

第6スイッチング素子T6は第1ゲート配線GL1と接続された第6ゲート電極GE6、第1電源配線VL1と電氣的に接続された第1接続配線CL1を通じて接続された第6ソース電極SE6、及び第6ソース電極SE6と離隔した第6ドレイン電極DE6を含む。

第6ドレイン電極DE6の延長部は第1ストレージ配線STL1と部分的に重畳して、第6画素電極PE6と第4コンタクトホールC4を通じて接続される。第6ソース電極SE6は第3コンタクトホールC3を通じて第1接続配線CL1と接続される。第6ドレイン電極DE6の延長部及び延長部と部分的に重畳した第1ストレージ配線STL1によって第2ストレージキャパシタCST2が形成される。

【0141】

本実施形態に係る表示基板の製造方法は、図18～図20を参照で説明した実施形態3の表示基板の製造方法と実質的に同一である。

即ち、第1金属パターンは第1ゲート配線GL1、第2ゲート配線GL2、第1ストレージ配線STL1、及び第2ストレージ配線STL2を含み、第2金属パターンが第1～第16データ配線(DL1～DL16)を含む。よって、本実施形態に係る表示基板の製造方法は省略する。

【0142】

<実施形態7>

10

20

30

40

50

図 26 は、本発明の実施形態 7 に係る液晶表示パネルの概念図である。

図 1 及び図 26 を参照すると、液晶表示パネル 1000F は、パッド部 400、複数のデータ配線 (DL1、DL2、DL3、DL4、DL5、DL6、DL7、DL8)、第 1 バス配線 BL1、第 2 バス配線 BL2、第 1 電源配線 VL1、第 2 電源配線 VL2、ゲート配線 GL、及び複数の画素部 (P1、P2、P3、P4、P5、P6、P7、P8) を含む。

以下では、実施形態 1 と同一の構成要素に対しては反復する説明を簡略にする。

【0143】

パッド部 400 は、液晶表示パネル 1000F の第 1 周辺領域 PA1 に配置されてデータ配線と接続された複数のパッドを含む。

10

データ配線 (DL1、DL2、DL3、DL4、DL5、DL6、DL7、DL8) のそれぞれは第 1 方向 DI1 に延長され、第 2 方向 DI2 に配列される。

【0144】

第 1 バス配線 BL1 は第 2 方向 DI2 に延長され、液晶表示パネル 1000F の第 1 周辺領域 PA1 に配置される。

第 2 バス配線 BL2 は第 2 方向 DI2 に延長され、第 1 バス配線 BL1 と隣接した第 1 周辺領域 PA1 に配置される。

【0145】

第 1 電源配線 VL1 は第 1 バス配線 BL1 に接続されて第 1 方向 DI1 に延長する。第 2 電源配線 VL2 は第 2 バス配線 BL2 に接続されて第 1 方向 DI2 に延長する。

20

第 1 電源配線 VL1 と第 2 電源配線 VL2 間には複数の画素部 (P5、P6、P7、P8) が配列され、第 1 及び第 2 電源配線 VL1、VL2 のそれぞれは複数の画素部 (P1、P2、P3、P4、P5、P6、P7、P8) に電圧を提供する。

ゲート配線 GL は、第 2 方向 DI2 に延長される。

【0146】

複数の画素部 (P1、P2、P3、P4、P5、P6、P7、P8) は主要色画素及び多元色 (multi-primary color) 画素を含む。

主要色画素は赤色画素、緑色画素及び青色画素を含み、多元色画素はホワイト、イエロー、シアン及びマゼンタ画素などを含むことができる。

本実施形態では、多元色画素はホワイト画素の場合を例とする。多元色画素をさらに含む場合、液晶表示パネルの透過率が向上され、色再現性範囲 (色域) が広くなり、人の目で容認できるすべての色を再現することができる。

30

【0147】

第 1 画素部 P1 は第 1 画素電極 PE1、第 2 画素電極 PE2、第 1 スイッチング素子 T1 及び第 2 スイッチング素子 T2 を含む。

第 1 画素電極 PE1 は第 1 スイッチング素子 T1 を通じて第 1 データ配線 DL1 とゲート配線 GL に接続される。第 2 画素電極 PE2 は、第 1 画素電極 PE1 と離隔して、第 2 スイッチング素子 T2 を通じて第 1 電源配線 VL1 とゲート配線 GL に接続される。第 2 スイッチング素子 T2 は第 1 接続配線 CL1 を通じて第 1 電源配線 VL1 と接続される。

【0148】

40

第 2 画素部 P2 は第 3 画素電極 PE3、第 4 画素電極 PE4、第 3 スイッチング素子 T3 及び第 4 スイッチング素子 T4 を含む。

第 3 画素電極 PE3 は第 3 スイッチング素子 T3 を通じて第 2 データ配線 DL2 とゲート配線 GL に接続される。第 4 画素電極 PE4 は第 3 画素電極 PE3 と離隔して、第 4 スイッチング素子 T4 を通じて第 1 電源配線 VL1 とゲート配線 GL に接続される。第 4 スイッチング素子 T4 は第 1 接続配線 CL1 を通じて第 1 電源配線 VL1 と接続される。

【0149】

第 3 画素部 P3 は第 5 画素電極 PE5、第 6 画素電極 PE6、第 5 スイッチング素子 T5 及び第 6 スイッチング素子 T6 を含む。

第 5 画素電極 PE5 は第 5 スイッチング素子 T5 を通じて第 3 データ配線 DL3 とゲー

50

ト配線 G L に接続される。第 6 画素電極 P E 6 は第 5 画素電極 P E 5 と離隔して、第 6 スイッチング素子 T 6 を通じて第 1 電源配線 V L 1 とゲート配線 G L に接続される。第 6 スイッチング素子 T 6 は第 1 接続配線 C L 1 を通じて第 1 電源配線 V L 1 と接続される。

【0150】

第 4 画素部 P 4 は第 7 画素電極 P E 7、第 8 画素電極 P E 8、第 7 スイッチング素子 T 7 及び第 8 スイッチング素子 T 8 を含む。

第 7 画素電極 P E 7 は第 7 スイッチング素子 T 7 を通じて第 4 データ配線 D L 4 とゲート配線 G L に接続される。第 8 画素電極 P E 8 は第 7 画素電極 P E 7 と離隔して、第 8 スイッチング素子 T 8 を通じて第 1 電源配線 V L 1 とゲート配線 G L に接続される。第 8 スイッチング素子 T 8 は第 1 接続配線 C L 1 を通じて第 1 電源配線 V L 1 と接続される。

10

【0151】

第 5 画素部 P 5 は第 9 画素電極 P E 9、第 10 画素電極 P E 10、第 9 スイッチング素子 T 9 及び第 10 スイッチング素子 T 10 を含む。

第 9 画素電極 P E 9 は第 9 スイッチング素子 T 9 を通じて第 5 データ配線 D L 5 とゲート配線 G L に接続される。第 10 画素電極 P E 10 は第 9 画素電極 P E 9 と離隔して、第 10 スイッチング素子 T 10 を通じて第 2 電源配線 V L 2 とゲート配線 G L に接続される。第 10 スイッチング素子 T 10 は第 2 接続配線 C L 2 を通じて第 2 電源配線 V L 2 と接続される。

【0152】

第 6 画素部 P 6 は第 11 画素電極 P E 11、第 12 画素電極 P E 12、第 11 スイッチング素子 T 11 及び第 12 スイッチング素子 T 12 を含む。

20

第 11 画素電極 P E 11 は第 11 スイッチング素子 T 11 を通じて第 6 データ配線 D L 6 とゲート配線 G L に接続される。第 12 画素電極 P E 12 は第 11 画素電極 P E 11 と離隔して、第 12 スイッチング素子 T 12 を通じて第 2 電源配線 V L 2 とゲート配線 G L に接続される。第 12 スイッチング素子 T 12 は第 2 接続配線 C L 2 を通じて第 2 電源配線 V L 2 と接続される。

【0153】

第 7 画素部 P 7 は第 13 画素電極 P E 13、第 14 画素電極 P E 14、第 13 スイッチング素子 T 13 及び第 14 スイッチング素子 T 14 を含む。

第 13 画素電極 P E 13 は第 13 スイッチング素子 T 13 を通じて第 7 データ配線 D L 7 とゲート配線 G L に接続される。第 14 画素電極 P E 14 は第 15 画素電極 P E 15 と離隔して、第 14 スイッチング素子 T 14 を通じて第 2 電源配線 V L 2 とゲート配線 G L に接続される。第 14 スイッチング素子 T 14 は第 2 接続配線 C L 2 を通じて第 2 電源配線 V L 2 と接続される。

30

【0154】

第 8 画素部 P 8 は第 15 画素電極 P E 15、第 16 画素電極 P E 16、第 15 スイッチング素子 T 15 及び第 16 スイッチング素子 T 16 を含む。

第 15 画素電極 P E 15 は第 15 スイッチング素子 T 15 を通じて第 8 データ配線 D L 8 とゲート配線 G L に接続される。第 16 画素電極 P E 16 は第 15 画素電極 P E 15 と離隔して、第 16 スイッチング素子 T 16 を通じて第 2 電源配線 V L 2 とゲート配線 G L に接続される。第 16 スイッチング素子 T 16 は第 2 接続配線 C L 2 を通じて第 2 電源配線 V L 2 と接続される。

40

【0155】

第 1 電源配線 V L 1 には基準電圧に対して第 1 極性 (−) の電圧が印加されて、第 2 電源配線 V L 2 には基準電圧に対して第 2 極性 (+) の電圧が印加される。

第 1、第 2、第 3 及び第 4 データ配線 (D L 1、D L 2、D L 3、D L 4) には第 1 電源配線 V L 1 に印加された電圧より高いレベルの第 2 極性 (+) の電圧が印加され、第 5、第 6、第 7 及び第 8 データ配線 (D L 5、D L 6、D L 7、D L 8) には第 2 電源配線 V L 2 に印加された電圧より低いレベルの第 1 極性 (−) の電圧が印加される。

例えば、第 1 極性 (−) は基準電圧のレベルより小さいレベルの電圧であり、第 2 極性

50

(+)は基準電圧のレベルより高いレベルの電圧であってもよい。

【0156】

本実施形態によれば、4つの画素部が1つの電源配線を共有し、同一の極性のデータ電圧が印加されることによって、ブラック状態の光漏れ発生を最小化することができる。また、電源配線の個数を減らすことによって、開口率を向上させることができる。

【0157】

本実施形態に係る第4画素部P4の画素構造は、図3に示した実施形態1の第3画素部P3と同一であってもよい。図3に示した第3画素部P3のように、本実施形態に係る画素部は第1及び第2シールド部SH1、SH2を含み、また、第1及び第2シールド部SH1、SH2は金属パターンで形成される。

10

この場合、本実施形態に係る表示基板の製造方法は、図5～図8を参照した実施形態1に係る表示基板の製造方法と実質的に同一であってもよい。ただ、第1及び第2電源配線VL1、VL2のそれぞれが4つの画素部を単位で配列される。

【0158】

また、本実施形態に係る第4画素部P4の構造は、図9に示した実施形態2の第3画素部P3と同一であってもよい。図9に示した第3画素部P3のように、本実施形態に係る画素部は第1及び第2シールド部SH1、SH2を含むことができ、また、第1及び第2シールド部SH1、SH2はトレンチ構造で形成される。

この場合、本実施形態に係る表示基板の製造方法は、図11～図14を参照した実施形態2に係る表示基板の製造方法と実質的に同一であってもよい。ただ、第1及び第2電源配線VL1、VL2のそれぞれが4つの画素部を単位で配列される。

20

【0159】

<実施形態8>

図27は、本発明の実施形態8に係る液晶表示パネルの部分概略図である。

図27を参照すると、液晶表示パネル1000Gは実施形態7と比較する時、ストレージ配線STLをさらに含む。

【0160】

ストレージ配線STLは第2方向DI2に延長され、ゲート配線GLと隣接するように配置される。ストレージ配線STLにはストレージ電圧が印加される。ストレージ電圧はフレームに関りなく一定のレベルの直流電圧であってもよい。

30

【0161】

例えば、ストレージ配線STLは画素行の第1、第2、第3、第4、第5、第6、第7、及び第8画素部(P1、P2、P3、P4、P5、P6、P7、P8)に含まれた第1～第16スイッチング素子(T1～T16)の延長部と部分的に重畳して複数のストレージキャパシタを形成する。ストレージキャパシタによって画素部の電圧変動を減少することによって表示品質を向上させることができる。

【0162】

本実施形態に係る第4画素部P4は、図16に示した実施形態3の第3画素部P3と同一であってもよい。図16に示した第3画素部P3のように、本実施形態に係る第4画素部P4の第7スイッチング素子の延長部はストレージ配線STLと部分的に重畳して第1ストレージキャパシタを形成し、第8スイッチング素子の延長部はストレージ配線STLと部分的に重畳して第2ストレージキャパシタを形成することができる。

40

この場合、本実施形態に係る表示基板の製造方法は、図18～図20を参照した実施形態3に係る表示基板の製造方法と実質的に同一であってもよい。ただ、第1及び第2電源配線VL1、VL2のそれぞれが4つの画素部を単位で配列される。

【0163】

また、本実施形態に係る画素部は実施形態1のように、金属パターンの第1及び第2シールド部SH1、SH2を含み、

この場合、本実施形態に係る表示基板の製造方法は実施形態1に係る表示基板の製造方法と実質的に同一であってもよい。

50

また、本実施形態に係る画素部は実施形態 2 のように、トレンチ構造の第 1 及び第 2 シールド部 S H 1、S H 2 を含み、

この場合、本実施形態に係る表示基板の製造方法は実施形態 2 に係る表示基板の製造方法と実質的に同一であってもよい。

【0164】

<実施形態 9>

図 28 は、本発明の実施形態 9 に係る液晶表示パネルの概念図である。

図 28 を参照すると、液晶表示パネル 1000H は複数のデータ配線 (D L 1、D L 2、D L 3、D L 4、D L 5、D L 6、D L 7、D L 8、D L 9、D L 10、D L 11、D L 12、D L 13、D L 14、D L 15、D L 16)、第 1 バス配線 B L 1、第 2 バス配線 B L 2、第 1 電源配線 V L 1、第 2 電源配線 V L 2、第 1 ゲート配線 G L 1、第 2 ゲート配線 G L 2、及び複数の画素部 (P 1、P 2、P 3、P 4、P 5、P 6、P 7、P 8、P 9、P 10、P 11、P 12、P 13、P 14、P 15、P 16) を含む。

【0165】

複数の画素部 (P 1、P 2、P 3、P 4、P 5、P 6、P 7、P 8、P 9、P 10、P 11、P 12、P 13、P 14、P 15、P 16) は、主要色画素及び多元色画素を含む。主要色画素は赤色画素、緑色画素及び青色画素を含み、多元色画素はホワイト、イエロー、シアン及びマゼンタ画素などを含むことができる。本実施形態では多元色画素はホワイト画素の場合を例とする。

【0166】

図 26 に示した実施形態 7 のように、第 1～第 8 画素部 (P 1～P 8) は第 1～第 16 画素電極 (P E 1～P E 16) を含む。第 1～第 16 画素電極 (P E 1～P E 16) は第 1～第 16 スイッチング素子 (T 1～T 16) を通じて第 1～第 8 データ配線 (D L 1～D L 8) と第 1 及び第 2 電源配線 V L 1、V L 2 及び第 1 ゲート配線 G L 1 に電氣的に接続される。本実施形態では第 1～第 8 画素部 (P 1～P 8) の詳細な接続構造に対する説明は省略する。

【0167】

第 2 ゲート配線 G L 2 は第 2 方向 D I 2 に延長され、第 1 ゲート配線 G L 1 と電氣的に接続される。図 28 に示すように、第 1 及び第 2 ゲート配線 G L 1、G L 2 は液晶表示パネルの周辺領域で相互接続される。この場合、ゲート駆動部から出力されたゲート信号は相互接続された第 1 及び第 2 ゲート配線 G L 1、G L 2 には同時に印加される。

または、第 1 及び第 2 ゲート配線 G L 1、G L 2 が相互分離することができる。この場合、ゲート駆動部は第 1 及び第 2 ゲート配線 G L 1、G L 2 のそれぞれにゲート信号を同一のタイミングで同時に出力する。これによって、第 1 及び第 2 ゲート配線 G L 1、G L 2 と電氣的に接続された 2 つの画素行を同時に駆動させることができる。

【0168】

第 9 画素部 P 9 は第 17 画素電極 P E 17、第 18 画素電極 P E 18、第 17 スイッチング素子 T 17 及び第 18 スイッチング素子 T 18 を含む。

第 17 画素電極 P E 17 は第 17 スイッチング素子 T 17 を通じて第 9 データ配線 D L 9 と第 2 ゲート配線 G L 2 に接続される。第 9 データ配線 D L 9 は第 1 データ配線 D L 1 と第 2 データ配線 D L 2 間に配置され、第 2 データ配線 D L 2 と隣接するように配置される。第 18 画素電極 P E 18 は第 17 画素電極 P E 17 と離隔して、第 18 スイッチング素子 T 18 を通じて第 1 電源配線 V L 1 と第 2 ゲート配線 G L 2 に接続される。第 18 スイッチング素子 T 18 は第 1 接続配線 C L 1 を通じて第 1 電源配線 V L 1 と接続される。

【0169】

第 10 画素部 P 10 は第 19 画素電極 P E 19、第 20 画素電極 P E 20、第 19 スイッチング素子 T 19 及び第 20 スイッチング素子 T 20 を含む。

第 19 画素電極 P E 19 は第 19 スイッチング素子 T 19 を通じて第 10 データ配線 D L 10 と第 2 ゲート配線 G L 2 に接続される。第 10 データ配線 D L 10 は第 2 データ配線 D L 2 と第 3 データ配線 D L 3 間に配置され、第 3 データ配線 D L 3 と隣接するように

配置される。第20画素電極PE20は第19画素電極PE19と離隔して、第20スイッチング素子T20を通じて第1電源配線VL1と第2ゲート配線GL2に接続される。第20スイッチング素子T20は第1接続配線CL1を通じて第1電源配線VL1と接続される。

【0170】

第11画素部P11は第21画素電極PE21、第22画素電極PE22、第21スイッチング素子T21及び第22スイッチング素子T22を含む。

第21画素電極PE21は第21スイッチング素子T21を通じて第11データ配線DL11と第2ゲート配線GL2に接続される。第11データ配線DL11は第3データ配線DL3と第4データ配線DL4間に配置され、第4データ配線DL4と隣接するように配置される。第22画素電極PE22は第20画素電極PE20と離隔して、第22スイッチング素子T22を通じて第1電源配線VL1と第2ゲート配線GL2に接続される。第22スイッチング素子T22は第1接続配線CL1を通じて第1電源配線VL1と接続される。

【0171】

第12画素部P12は第23画素電極PE23、第24画素電極PE24、第23スイッチング素子T23及び第24スイッチング素子T24を含む。

第23画素電極PE23は第23スイッチング素子T23を通じて第12データ配線DL12と第2ゲート配線GL2に接続される。第12データ配線DL12は第4データ配線DL4と第1電源配線VL1間に配置され、第1電源配線VL1と隣接するように配置される。第24画素電極PE24は第23画素電極PE23と離隔して、第24スイッチング素子T24を通じて第1電源配線VL1と第2ゲート配線GL2に接続される。第24スイッチング素子T24は第1接続配線CL1を通じて第1電源配線VL1と接続される。

【0172】

第13画素部P13は第25画素電極PE25、第26画素電極PE26、第25スイッチング素子T25及び第26スイッチング素子T26を含む。

第25画素電極PE25は第25スイッチング素子T25を通じて第13データ配線DL13と第2ゲート配線GL2に接続される。第13データ配線DL13は第5データ配線DL5と第6データ配線DL6間に配置され、第6データ配線DL6と隣接するように配置される。第26画素電極PE26は第25画素電極PE25と離隔して、第26スイッチング素子T26を通じて第2電源配線VL2と第2ゲート配線GL2に接続される。第26スイッチング素子T26は第2接続配線CL2を通じて第2電源配線VL2と接続される。

【0173】

第14画素部P14は第27画素電極PE27、第28画素電極PE28、第27スイッチング素子T27及び第28スイッチング素子T28を含む。

第27画素電極PE27は第27スイッチング素子T27を通じて第14データ配線DL14と第2ゲート配線GL2に接続される。第14データ配線DL14は第6データ配線DL6と第7データ配線DL7間に配置され、第7データ配線DL7と隣接するように配置される。第28画素電極PE28は第27画素電極PE27と離隔して、第28スイッチング素子T28を通じて第2電源配線VL2と第2ゲート配線GL2に接続される。第28スイッチング素子T28は第2接続配線CL2を通じて第2電源配線VL2と接続される。

【0174】

第15画素部P15は第29画素電極PE29、第30画素電極PE30、第29スイッチング素子T29及び第30スイッチング素子T30を含む。

第29画素電極PE29は第29スイッチング素子T29を通じて第15データ配線DL15と第2ゲート配線GL2に接続される。第15データ配線DL15は第7データ配線DL7と第8データ配線DL8間に配置され、第8データ配線DL8と隣接するように

10

20

30

40

50

配置される。第30画素電極PE30は第29画素電極PE29と離隔して、第30スイッチング素子T30を通じて第2電源配線VL2と第2ゲート配線GL2に接続される。第30スイッチング素子T30は第2接続配線CL2を通じて第2電源配線VL2と接続される。

【0175】

第16画素部P16は第31画電極PE31、第32画素電極PE32、第31スイッチング素子T31及び第32スイッチング素子T32を含む。

第31画素電極PE31は第31スイッチング素子T31を通じて第16データ配線DL16と第2ゲート配線GL2に接続される。第16データ配線DL16は第8データ配線DL8と第2電源配線VL2間に配置され、第2電源配線VL2と隣接するように配置される。第32画素電極PE32は第31画素電極PE31と離隔して、第32スイッチング素子T32を通じて第2電源配線VL2と第2ゲート配線GL2に接続される。第32スイッチング素子T32は第2接続配線CL2を通じて第2電源配線VL2と接続される。

【0176】

第1電源配線VL1には基準電圧に対して第1極性(−)の電圧が印加され、第2電源配線VL2には基準電圧に対して第2極性(+)の電圧が印加される。

第1、第2、第3、第4、第9、第10、第11、及び第12データ配線(DL1、DL2、DL3、DL4、DL9、DL10、DL11、DL12)には第1電源配線VL1に印加された電圧より高いレベルの第2極性(+)の電圧が印加され、第5、第6、第7、第8、第13、第14、第15、及び第16データ配線(DL5、DL6、DL7、DL8、DL13、DL14、DL15、DL16)には第2電源配線VL2に印加された電圧より低いレベルの第1極性(−)の電圧が印加される。

【0177】

本実施形態によれば、1つの画素列が2つのデータ配線によってデータ電圧を印加され、2つの画素行が1つのゲート信号を印加されることによって、1水平周期1Hの間、2つの画素行が駆動されることとなる。即ち、液晶表示パネル1000Hは高速駆動を可能とすることができる。また、4つの画素部が1つの電源配線を共有して同一の極性のデータ電圧が印加されることによって、ブラック状態の光漏れ発生を最小化することができる。また、電源配線の個数を減らすことによって、開口率を向上させることができる。

【0178】

本実施形態に係る第4画素部P4の画素構造は、図22に示した実施形態4の第3画素部P3と同一であってもよい。図22に示した第3画素部P3のように、本実施形態に係る画素部は第1及び第2シールド部SH1、SH2を含み、また、第1及び第2シールド部SH1、SH2は金属パターンで形成することができる。

この場合、本実施形態に係る表示基板の製造方法は、図5～図8を参照した実施形態1に係る表示基板の製造方法と実質的に同一であってもよい。ただ、第1及び第2電源配線VL1、VL2それぞれが4つの画素部を単位で配列される。

【0179】

また、本実施形態に係る第4画素部P4の構造は、図23に示した実施形態5の第3画素部P3と同一であってもよい。図23に示した第3画素部P3のように、本実施形態に係る画素部は第1及び第2シールド部SH1、SH2を含み、また、第1及び第2シールド部SH1、SH2はトレンチ構造で形成することができる。

この場合、本実施形態に係る表示基板の製造方法は、図11～図14を参照した実施形態2に係る表示基板の製造方法と実質的に同一であってもよい。ただ、第1及び第2電源配線VL1、VL2のそれぞれが4つの画素部を単位で配列される。

【0180】

<実施形態10>

図29は、本発明の実施形態10に係る液晶表示パネルの部分概略図である。

図29を参照すると、液晶表示パネル1000Iは実施形態9の液晶表示パネル100

10

20

30

40

50

0 Hと比較する時、第1ストレージ配線STL1及び第2ストレージ配線STL2をさらに含む。

【0181】

第1ストレージ配線STL1は第1ゲート配線GL1と平行に第1ゲート配線GL1と隣接するように配置される。第1ストレージ配線STL1は第1ゲート配線GL1と電氣的に接続された画素行の画素部に含まれたスイッチング素子の延長部と部分的に重畳してストレージキャパシタを形成する。

【0182】

第2ストレージ配線STL2は第2ゲート配線GL2と平行であり、第2ゲート配線GL2と隣接するように配置される。第2ストレージ配線STL2は第2ゲート配線GL2と電氣的に接続された画素行の画素部に含まれたスイッチング素子の延長部と部分的に重畳してストレージキャパシタを形成する。

ストレージキャパシタによって画素部の電圧変動を減少させて表示品質を向上させることができる。

【0183】

図29に示すように、第1及び第2ゲート配線GL1、GL2は液晶表示パネルの周辺領域で相互接続される。この場合、ゲート駆動部から出力されたゲート信号は、相互接続された前記第1及び第2ゲート配線GL1、GL2には同時に印加される。

または、第1及び第2ゲート配線GL1、GL2が相互分離することができる。この場合、ゲート駆動部は第1及び第2ゲート配線GL1、GL2のそれぞれにゲート信号を同一のタイミングで同時に出力する。これによって、第1及び第2ゲート配線GL1、GL2と電氣的に接続された2つの画素行を同時に駆動させることができる。

【0184】

本実施形態に係る画素部それぞれは、実施形態1の金属パターンの第1及び第2シールド部SH1、SH2、または、実施形態2のトレンチ構造の第1及び第2シールド部SH1、SH2を含むことができる。

【0185】

本実施形態に係る表示基板の製造方法は、図18～図20を参照で説明した実施形態3の表示基板の製造方法と実質的に同一である。即ち、第1金属パターンは第1ゲート配線GL1、第2ゲート配線GL2、第1ストレージ配線STL1及び第2ストレージ配線STL2を含み、第2金属パターンが第1～第16データ配線(DL1～DL16)を含む。

本実施形態に係る表示基板の製造方法は省略する。

【0186】

<実施形態11>

図30は、本発明の実施形態11に係る液晶表示パネルの部分概略図である。

図1及び図30を参照すると、液晶表示パネル1000Jは、パッド部400、第1バス配線BL1、第2バス配線BL2、第1電源配線(VL11、VL12)、第2電源配線(VL21、VL22)、複数のデータ配線(DL1、DL2、…、DL6)、複数の接続電極(CT1、CT2)、ゲート配線GL、及び複数の画素部(P1、P2、…、P6)を含む。

【0187】

パッド部400は、データ駆動部1030から出力された複数のデータ電圧を受信する複数のパッド(410、420、430、440、450、460)を含む。

第1バス配線BL1は、第2方向DI2に延長され、液晶表示パネル1000Jの第1周辺領域PA1に配置される。第2バス配線BL2は第2方向DI2に延長され、第1バス配線BL1と隣接した第1周辺領域PA1に配置される。

【0188】

第1電源配線(VL11、VL12)のそれぞれは第1バス配線BL1に接続されて第1方向DI1に延長する。第1電源配線(VL11、VL12)のそれぞれは2つの画素部と電氣的に接続されて電圧を提供する。例えば、第1電源配線VL1は第1画素部P1

と第1画素部P1と第2方向DI2に隣接した第2画素部P2との間に配置され、第1及び第2画素部P1、P2に電圧を提供する。

【0189】

第2電源配線(VL21、VL22)のそれぞれは第2バス配線BL2に接続されて第1方向DI2に延長する。第2電源配線(VL21、VL22)のそれぞれは1つの画素部と電氣的に接続されて電圧を提供する。例えば、第2電源配線VL21は第3画素部P3と第3画素部P3と第2方向DI2に隣接した第4画素部P4との間に配置され、第3画素部P3に電圧を提供する。

【0190】

データ配線(DL1、DL2、DL3、DL4、DL5、DL6)は、第1方向DI1に延長され、第2方向DI2に配列される。第1データ配線DL1は第1パッド410と直接接続され、第2データ配線DL2は第1接続電極CT1を通じて第3パッド430と接続され、第3データ配線DL3は第2接続電極CT2を通じて第2パッド420と接続される。同様の方式で、第4データ配線DL4は第4パッド440と直接接続され、第5データ配線DL5は第1接続電極CT1を通じて第6パッド460と接続され、第6データ配線DL6は第2接続電極CT2を通じて第5パッド450と接続される。第1及び第2接続電極CT1、CT2は透明電極パターンであってもよい。

ゲート配線GLは、第2方向DI2に延長される。

【0191】

画素部(P1、P2、P3、P4、P5、P6)は主要色画素を含む。主要色画素は赤色画素、緑色画素及び青色画素である。

【0192】

第1画素部P1は第1画素電極PE1、第2画素電極PE2、第1スイッチング素子T1及び第2スイッチング素子T2を含む。

第1画素電極PE1は第1スイッチング素子T1を通じて第1データ配線DL1とゲート配線GLに接続される。第2画素電極PE2は第1画素電極PE1と離隔して、第2スイッチング素子T2を通じて第1電源配線VL11とゲート配線GLに接続される。

【0193】

第2画素部P2は第3画素電極PE3、第4画素電極PE4、第3スイッチング素子T3及び第4スイッチング素子T4を含む。

第4画素電極PE4は第4スイッチング素子T4を通じて第2データ配線DL2とゲート配線GLに接続される。第3画素電極PE3は第4画素電極PE4と離隔して、第3スイッチング素子T3を通じて第1電源配線VL11とゲート配線GLに接続される。

【0194】

第3画素部P3は第5画素電極PE5、第6画素電極PE6、第5スイッチング素子T5及び第6スイッチング素子T6を含む。

第5画素電極PE5は第5スイッチング素子T5を通じて第3データ配線DL3とゲート配線GLに接続される。第6画素電極PE6は第5画素電極PE5と離隔して、第6スイッチング素子T6を通じて第2電源配線VL21とゲート配線GLに接続される。

【0195】

第4画素部P4は第7画素電極PE7、第8画素電極PE8、第7スイッチング素子T7及び第8スイッチング素子T8を含む。

第7画素電極PE7は第7スイッチング素子T7を通じて第4データ配線DL4とゲート配線GLに接続される。第8画素電極PE8は第7画素電極PE7と離隔して、第8スイッチング素子T8を通じて第2電源配線VL22とゲート配線GLに接続される。

【0196】

第5画素部P5は第9画素電極PE9、第10画素電極PE10、第9スイッチング素子T9及び第10スイッチング素子T10を含む。

第10画素電極PE10は第10スイッチング素子T10を通じて第5データ配線DL5とゲート配線GLに接続される。第9画素電極PE9は第10画素電極PE10と離隔

10

20

30

40

50

して、第 9 スイッチング素子 T 9 を通じて第 2 電源配線 V L 2 2 とゲート配線 G L に接続される。

【0197】

第 6 画素部 P 6 は第 1 1 画素電極 P E 1 1、第 1 2 画素電極 P E 1 2、第 1 1 スイッチング素子 T 1 1 及び第 1 2 スイッチング素子 T 1 2 を含む。

第 1 1 画素電極 P E 1 1 は第 1 1 スイッチング素子 T 1 1 を通じて第 6 データ配線 D L 6 とゲート配線 G L に接続される。第 1 2 画素電極 P E 1 2 は第 1 1 画素電極 P E 1 1 と離隔して、第 1 2 スイッチング素子 T 1 2 を通じて第 1 電源配線 V L 1 2 とゲート配線 G L に接続される。

【0198】

第 1 電源配線 V L 1 には基準電圧に対して第 1 極性 (−) の電圧が印加され、第 2 電源配線 V L 2 には基準電圧に対して第 2 極性 (+) の電圧が印加される。

第 1、第 2 及び第 6 データ配線 (D L 1、D L 2、D L 6) には第 1 電源配線 V L 1 に印加された電圧より高いレベルの第 2 極性 (+) の電圧が印加され、第 3、第 4 及び第 5 データ配線 (D L 3、D L 4、D L 5) には第 2 電源配線 V L 2 に印加された電圧より低いレベルの第 1 極性 (−) の電圧が印加される。例えば、第 1 極性 (−) は基準電圧のレベルより小さいレベルの電圧であり、第 2 極性 (+) は基準電圧のレベルより高いレベルの電圧であってもよい。

【0199】

本実施形態によれば、隣接した画素部に同一の極性のデータ電圧が印加されることによって、ブラック状態の光漏れ発生を最小化することができる。また、電源配線を共有することによって電源配線の個数を減らすことによって、開口率を向上させることができる。

【0200】

図 3 1 は、図 3 0 に示した液晶表示パネルの部分平面図であり、図 3 2 は、図 3 1 に示した I V − I V ' 線に沿って切断した断面図である。

図 3 1 及び図 3 2 を参照すると、液晶表示パネル 1 0 0 0 J は表示基板 1 0 0 J、対向基板 2 0 0 及び液晶層 3 0 0 を含む。対向基板 2 0 0 及び液晶層 3 0 0 は実施形態 1 と実質的に同一なので詳細な説明は省略する。

【0201】

表示基板 1 0 0 J は、第 1 ベース基板 1 0 1、第 1 金属パターン、第 2 金属パターン、及び透明電極パターンを含む。表示基板 1 0 0 は第 1 金属パターンを覆うゲート絶縁膜 1 0 2、第 2 金属パターンを覆うデータ絶縁膜、及び透明電極パターンを覆う第 1 配向膜 1 1 をさらに含む。データ絶縁膜は保護絶縁膜 1 0 3 及び有機絶縁膜 1 0 4 を含む多層構造で形成されたり、保護絶縁膜 1 0 3 からなる単層構造で形成される。

【0202】

第 1 金属パターンはゲート配線 G L、ゲート配線 G L と接続された複数のスイッチング素子 (T 1、T 2、T 3、T 4、T 5、T 6) の制御電極、第 1 シールド部 S H 1 及び第 2 シールド部 S H 2 を含む。

第 2 金属パターンはデータ配線 (D L 1、D L 2、D L 3)、データ配線 (D L 1、D L 2、D L 3) に接続されたスイッチング素子 (T 1、T 2、T 3、T 4、T 5、T 6) の入力電極、ソース電極とそれぞれ離隔されたスイッチング素子 (T 1、T 2、T 3、T 4、T 5、T 6) の出力電極、第 1 電源配線 V L 1 1 及び第 2 電源配線 V L 2 1 を含む。透明電極パターンは複数の画素電極 (P E 1、P E 2、P E 3、P E 4、P E 5、P E 6) 及び図 3 0 に示した第 1 及び第 2 接続電極 C T 1、C T 2 を含む。

【0203】

以下では第 1 画素部 P 1 を例として本実施形態の画素構造を説明する。

第 1 画素部 P 1 は、第 1 スイッチング素子 T 1、第 1 画素電極 P E 1、第 2 スイッチング素子 T 2、第 2 画素電極 P E、第 1 シールド部 S H 1 及び第 2 シールド部 S H 2 を含む。

第 1 スイッチング素子 T 1 は第 1 データ配線 D L 1 とゲート配線 G L に接続され、第 1

10

20

30

40

50

コンタクトホール C 1 を通じて第 1 画素電極 P E 1 と接続される。第 2 スイッチング素子 T 2 は第 1 電源配線 V L 1 1 とゲート配線 G L に接続され、第 4 コンタクトホール C 4 を通じて第 2 画素電極 P E 2 と接続される。

【0204】

第 1 及び第 2 画素電極 P E 1、P E 2 は交互に配置されて第 1 データ配線 D L 1 及び第 1 電源配線 V L 1 1 から相異なる極性の電圧を印加される。第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 の間に水平電場が形成される時、色々な階調を具現する。

【0205】

第 1 画素部 P 1 の下部において、第 1 画素電極 P E 1 は中央線で第 1 データ配線 D L 1 と部分的に重畳するように延長する第 1 幹部を有する。また、第 1 画素部 P 1 の下部で第 1 画素電極 P E 1 はゲート配線 G L への延長方向を基準として、約 45 度傾いて第 1 幹部から延長する第 1 枝部を有する。

【0206】

第 1 画素部 P 1 の下部で、第 2 画素電極 P E 2 は中央線まで第 1 電源配線 V L 1 1 と部分的に重畳するように延長する第 2 幹部を有する。また、第 1 画素部 P 1 の下部で第 2 画素電極 P E 2 はゲート配線 G L の延長方向を基準として約 -45 度傾いて第 2 幹部から延長する第 2 枝部を有する。

【0207】

中央線の上部で、第 1 画素電極 P E 1 は中央線から第 1 画素部 P 1 の上部まで第 1 電源配線 V L 1 1 と部分的に重畳するように延長する第 3 幹部を有する。また、第 1 画素部 P 1 の上部で第 1 画素電極 P E 1 はゲート配線 G L の延長方向を基準として約 135 度傾いて第 1 枝部から延長されたり第 3 幹部から延長する第 3 枝部を有する。

【0208】

中央線の上部で、第 2 画素電極 P E 2 は中央線から第 1 画素部 P 1 の上部まで第 1 データ配線 D L 1 と部分的に重畳するように延長する第 4 幹部を有する。また、第 1 画素部 P 1 の上部で第 2 画素電極 P E 2 はゲート配線 G L の延長方向を基準として約 135 度傾いて第 2 枝部から延長されたり第 4 幹部から約 -45 度傾いて延長する第 4 枝部を有する。

【0209】

一方、図 1 に示した表示領域 D A 中、第 1 周辺領域 P A 1 に近接した領域を表示領域 D A の上部で示す。

表示領域 D A の上部では各画素部の第 1 部分に形成された画素電極の幹部が広く形成され、第 2 部分に形成された画素電極の幹部が狭く形成されることができる。

反面、下部では各画素部の第 2 部分に形成された画素電極の幹部が広く形成され、第 1 部分に形成された画素電極の幹部が狭く形成される。ここで、第 1 部分は表示領域 D A の右側の部分であってもよく、第 2 部分は前記表示領域 D A の左側の部分であってもよい。

【0210】

図 30 を参照すると、光漏れは印加されるデータ電圧の極性が変わる第 2 画素部 P 2 と第 3 画素部 P 3 との間と、第 5 画素部 P 5 と第 6 画素部 P 6 との間でさらに発生することがあるので第 2 画素部 P 2 と第 3 画素部 P 3 との間と、第 5 画素部 P 5 と第 6 画素部 P 6 の間を例とする。

【0211】

具体的には、図 30 の画素行が第 1 方向 D I 1 に複数個並べてあるなら、フレームが変わる時、以前データ電圧と極性が反対のデータ電圧が画素部に第 1 方向 D I 1 で順次に提供される。従って、表示領域 D A の上部画素行では反対極性のデータ電圧がフレーム初期にすぐに印加され、表示領域 D A の下部の画素行では反対極性のデータ電圧がフレーム後期に印加されるので、上部画素行では第 2 画素部 P 2 及び第 5 画素部 P 5 の右側の部分で光漏れがさらに発生し、下部の画素行では第 3 画素部 P 3 及び第 6 画素部 P 6 の左側の部分で光漏れがさらに発生する可能性がある。同じ原理で、表示領域 D A の中間にある中間画素行では各画素部の左側及び右側の部分で等しい量の光漏れが発生する可能性がある。

【0212】

従って、表示領域 D A の各領域での光漏れを効果的に防止するために、表示領域 D A の上部画素行では第 2 画素部 P 2 及び第 5 画素部 P 5 の右側の部分に対応する画素電極の幹部の幅を広く形成し、第 3 画素部 P 3 及び前記第 6 画素部 P 6 の左側の部分に対応する画素電極の幹部の幅を狭く形成する。

一方、下部の画素行に行くにつれ第 2 画素部 P 2 及び第 5 画素部 P 5 の右側の部分に対応する画素電極の幹部の幅を狭く形成し、第 3 画素部 P 3 及び第 6 画素部 P 6 の左側の部分に対応する画素電極の幹部の幅を広く形成する。

【0213】

結果的に、表示領域 D A の各画素部の各画素電極の幹部の幅を領域別に異なるようにすることで、表示領域 D A にフレーム別に反転するデータ電圧が印加する時、データ電圧が表示領域 D A の上部及び下部に時間的な差を置いて印加することによって、いずれか 1 つの領域に局部的に発生する可能性がある光漏れを効果的に防止することができる。

【0214】

第 1 シールド部 S H 1 は自身の画素部の画素電極と電氣的に接続されたデータ配線と隣接するように配置され、第 2 シールド部 S H 2 は自身の画素部の画素電極と電氣的に接続された電源配線と隣接するように配置されて、第 1 及び第 2 シールド部 S H 1、S H 2 は自身の画素部の画素電極と電氣的に接続される。

【0215】

具体的には、第 1 画素部 P 1 において、第 1 シールド部 S H 1 は第 1 画素部 P 1 にデータ電圧を伝達する第 1 データ配線 D L 1 と隣接するように配置され、第 1 上部シールド S U 1 及び第 1 下部シールド S D 1 を含む。

第 2 シールド部 S H 2 は第 1 画素部 P 1 に電圧を伝達する第 1 電源配線 V L 1 1 と隣接するように配置され、第 2 上部シールド S U 2、第 2 下部シールド S D 2 及び接続シールド S C を含む。接続シールド S C は第 1 下部シールド S D 1 と第 2 上部シールド S U 1 を接続するように第 2 方向 D I 2 に延長され、第 1 画素部 P 1 を上部及び下部に分ける。

【0216】

第 1 上部シールド S U 1 は第 1 データ配線 D L 1 と重畳する第 2 画素電極 P E 2 の第 4 幹部と部分的に重畳し、第 1 下部シールド S D 1 は第 1 データ配線 D L 1 と重畳する第 1 画素電極 P E 1 の第 1 幹部と部分的に重畳し、第 2 上部シールド S U 2 は第 1 電源配線 V L 1 1 と重畳する第 1 画素電極 P E 1 の第 3 幹部と部分的に重畳し、第 2 下部シールド S D 2 は第 1 電源配線 V L 1 1 と重畳する第 2 画素電極 P E 2 の第 2 幹部と部分的に重畳する。

【0217】

第 1 下部シールド S D 1 は第 2 コンタクトホール C 2 を通じて第 1 画素電極 P E 1 と接続され、第 2 上部シールド S U 2 は第 6 コンタクトホール C 6 を通じて第 1 画素電極 P E 1 と接続される。第 1 上部シールド S U 1 は第 7 コンタクトホール C 7 を通じて第 2 画素電極 P E 2 と接続され、第 2 下部シールド S D 2 は第 5 コンタクトホール C 5 を通じて第 2 画素電極 P E 2 と接続される。

【0218】

第 1 下部シールド S D 1 は第 1 画素電極 P E 1 と重畳し、第 1 画素電極 P E 1 と同一の電圧が印加されるので、第 1 データ配線 D L 1 と第 1 画素電極 P E 1 との間で発生する光漏れを遮断することができる。

また、第 1 上部シールド S U 1 は第 2 画素電極 P E 2 と重畳して第 2 画素電極 P E 2 と同一の電圧が印加されるので第 1 データ配線 D L 1 と第 2 画素電極 P E 2 との間に発生する光漏れを遮断することができる。

【0219】

また、第 2 下部シールド S D 2 は第 2 画素電極 P E 2 と重畳し、第 2 画素電極 P E 2 と同一の電圧が印加されるので、第 1 電源配線 V L 1 1 と第 2 画素電極 P E 2 との間で発生する光漏れを遮断することができる。

また、第 2 上部シールド S U 2 は第 1 画素電極 P E 1 と重畳して第 1 画素電極 P E 1 と

同一の電圧が印加されるので、第1電源配線V L 1 1と第1画素電極P E 1の間で発生する光漏れを遮断することができる。

【0220】

次に、図32を参照すると、第1画素部P 1と第2画素部P 2の境界領域に形成された金属パターン及び透明電極パターンは次のように具現することができる。

第2下部シールドS D 2の幅である第1距離d 1 1、第2下部シールドS D 2と第1電源配線V L 1 1の下に形成された半導体層1 5 0との間の距離である第2距離d 1 2、半導体層1 5 0の幅である第3距離d 1 3、半導体層1 5 0と第1下部シールドS D 1との間の距離である第4距離d 1 4、第2下部シールドS D 2の幅である第5距離d 1 5はそれぞれ約5 μ m、3 μ m、9 μ m、3 μ m、5 μ mであってもよい。また、第2画素電極P E 2と第4画素電極P E 4との間の距離P Dは約6. 5 μ mであってもよい。従って、不透明幅O A 1は約25 μ mであってもよい。

10

【0221】

第2画素部P 2と第3画素部P 3との間の境界領域に形成された金属パターン及び透明電極パターンは次のように具現することができる。

第2下部シールドS D 2の幅である第1距離d 2 1、第2下部シールドS D 2と第2データ配線D L 2の下に形成された半導体層1 5 0との間の距離である第2距離d 2 2、第2データ配線D L 2の下に形成された半導体層1 5 0の幅である第3距離d 2 3、第2データ配線D L 2下に形成された半導体層1 5 0と第3データ配線D L 3下に形成された半導体層1 5 0との間の距離である第4距離d 2 4、第3データ配線D L 3の下に形成された半導体層1 5 0の幅である第5距離d 2 5、第3データ配線D L 3下に形成された半導体層1 5 0と第1下部シールドS D 1との間の距離である第6距離d 2 6、第1下部シールドS D 1の幅である第7距離d 2 7は、それぞれ約4 μ m、2 μ m、6 μ m、6 μ m、6 μ m、2 μ m、4 μ mであってもよい。また、第3画素電極P E 3と第5画素電極P E 5との間の距離P Dは約6. 5 μ mであってもよい。従って、不透明幅O A 2は約30 μ mであってもよい。

20

【0222】

ここで、第2及び第3データ配線D L 2、D L 3を銅(Cu)のような低抵抗物質で膜厚をより厚く形成することができるなら、不透明幅O A 1は約25 μ mで維持することができる。

30

【0223】

本実施形態によると、画素列の間に配置される第1及び第2電源配線V L 1 1、V L 1 2によって、第1バス配線B L 1及び第2バス配線B L 2が液晶表示パネル1 0 0 0 Jの第1周辺領域P A 1に形成される。

従って、表示領域D Aに横(第2方向)に形成された横電源配線が除去されて開口率を増加させることができ、横電配線の配線抵抗による電圧降下で表示領域D Aの一側から発生する画素電極の充電率低下を防止することができる。

【0224】

また、第2データ配線D L 2と第3パッド4 3 0とを接続する第1接続電極C T 1と、第3データ配線D L 3と第2パッド4 2 0とを接続する第2接続電極C T 2は電氣的に分離しながら位置的に交差するので、隣接する画素部は第1電源配線V L 1 1を共有して同一の極性のデータ電圧を提供される。これによって、隣接する画素部間のブラック状態での光漏れを防止し、第1電源配線V L 1 1の個数が減り開口率を増加させることができる。

40

【0225】

<実施形態12>

図33は、本発明の実施形態12に係る液晶表示パネルの部分平面図である。

図33を参照すると、液晶表示パネル1 0 0 0 Kは実施形態11の液晶表示パネル1 0 0 0 Jと比較する時、第1シールド部S H 1、第2シールド部S H 2、及び接続電極パターンC E Pを除いた構成要素は実質的に同一である。

50

以下では、同一の構成要素に対して反復する詳細な説明は省略する。

第1及び第2シールド部SH1、SH2は、図32を参照して第1画素部P1を例として説明する。

【0226】

第1シールド部SH1は自身の画素部、即ち第1画素部P1にデータ電圧を伝達する第1データ配線DL1と隣接するように配置され、第1上部トレンチTU1及び第1下部トレンチTD1を含む。

第1上部トレンチTU1及び第1下部トレンチTD1は、ゲート絶縁膜102、保護絶縁膜103、及び有機絶縁膜104が除去されて形成される。第1上部トレンチTU1には第1データ配線DL1の上部と部分的に重畳する第2画素電極PE2が形成され、第1下部トレンチTD1には第1データ配線DL1の下部と部分的に重畳する第1画素電極PE1が形成される。

【0227】

第2シールド部SH2は第1画素部P1に電圧を伝達する第1電源配線VL11と隣接するように配置され、第2上部トレンチTU2と第2下部トレンチTD2を含む。

第2上部トレンチTU2及び第2下部トレンチTD2はゲート絶縁膜102、保護絶縁膜103、及び有機絶縁膜104が除去されて形成される。第2上部トレンチTU2には第1電源配線VL11の上部と重畳する第1画素電極PE1が形成され、第2下部トレンチTD2には第1電源配線VL11の下部と重畳する第2画素電極PE2が形成される。

【0228】

接続電極パターンCEPは第1金属パターンであってもよい。接続電極パターンCEPは画素領域の中央の部分に第2方向DI2に延長され、画素領域の下部に配置された第1画素電極PE1と画素領域の上部に配置された第1画素電極PE1を電氣的に接続する。接続電極パターンCEPは第9コンタクトホールC9を通じて第1データ配線DL1と部分的に重畳した第1画素電極PE1と電氣的に接続され、第10コンタクトホールC10を通じて第1電源配線VL11と部分的に重畳した第1画素電極PE1と電氣的に接続される。

【0229】

第1及び第2シールド部SH1、SH2は、実施形態1と同一のデータ配線又は電源配線の電界（電場）が漏洩するのを遮断し、また、データ配線又は電源配線と画素電極との間の光漏れを防止することができる。同時に、本実施形態の第1及び第2シールド部SH1、SH2はトレンチ内に画素電極が形成される構造を有することによって第1金属パターンで形成された実施形態1に比べて開口率を向上させることができる。

【0230】

<実施形態13>

図34は、本発明の実施形態13に係る液晶表示パネルの部分平面図である。

図34を参照すると、液晶表示パネル1000Lは実施形態11に係る液晶表示パネル1000Jと比較する時、第1金属パターンで形成されたストレージ配線STLをさらに含む。

【0231】

ストレージ配線STLは第2方向DI2に延長されゲート配線GLと隣接するように配置される。ストレージ配線STLにはストレージ電圧が印加される。ストレージ電圧はフレームに関りなく一定のレベルの直流電圧であってもよい。

【0232】

例えば、ストレージ配線STLは第1画素部P1に含まれた第1スイッチング素子T1のドレイン電極から延長された延長部と部分的に重畳して第1ストレージキャパシタCST1を形成し、第2スイッチング素子T2のドレイン電極から延長された延長部と部分的に重畳して第2ストレージキャパシタCST2を形成する。第1及び第2ストレージキャパシタCST1、CST2によって、第1画素部P1に印加された電圧の変動を減少させることによって表示品質を向上させることができる。

【0233】

本実施形態に係る画素部は、実施形態1のように第1金属パターンで形成された第1及び第2シールド部SH1、SH2を含み、実施形態2のようにトレンチ構造の第1及び第2シールド部SH1、SH2を含むことができる。

【0234】

＜実施形態14＞

図35は、本発明の実施形態14に係る液晶表示パネルの部分概略図である。

図1及び図35を参照すると、液晶表示パネル1000Mはパッド部400、複数のデータ配線(DL1、DL2、DL3、DL4、DL5、DL6、DL7、DL8)、第1バス配線BL1、第2バス配線BL2、第1電源配線VL1、第2電源配線VL2、第1ゲート配線GL1、第2ゲート配線GL2、第3ゲート配線GL3、第4ゲート配線、及び複数の画素部(P1、P2、P3、P4、P5、P6、P7、P8)を含む。複数の画素部(P1、P2、P3、P4、P5、P6、P7、P8)は主要色画素を含む。主要色画素は赤色画素、緑色画素及び青色画素を含むことができる。

【0235】

パッド部400は、液晶表示パネル1000Mの第1周辺領域PA1に配置されてデータ配線と接続された複数のパッドを含む。

データ配線(DL1、DL2、DL3、DL4、DL5、DL6、DL7、DL8)のそれぞれは、第1方向DI1に延長され、第2方向DI2で配列される。

【0236】

第1バス配線BL1は第2方向DI2に延長され、液晶表示パネル1000Mの第1周辺領域PA1に配置される。第2バス配線BL2は第2方向DI2に延長され、第1バス配線BL1と隣接した第1周辺領域PA1に配置される。

【0237】

第1電源配線VL1は第1バス配線BL1に接続されて第1方向DI1に延長する。第2電源配線VL2は第2バス配線BL2に接続されて前記第1方向DI1に延長する。第1電源配線VL1は隣接した2つの画素列の間に配置されて画素列の画素部P1、P3に電圧を提供し、第2電源配線VL2は隣接した2つの画素列の間に配置されて画素列の画素部P5、P7に電圧を提供する。

【0238】

第1、第2、第3、及び第4ゲート配線(GL1、GL2、GL3、GL4)は第2方向DI2に延長され、第1方向DI1で配列される。第1、第2、第3、及び第4ゲート配線(GL1、GL2、GL3、GL4)は相互に電氣的に接続されて同一のゲート信号が印加される。

【0239】

図35に示すように、第1、第2、第3、及び第4ゲート配線(GL1、GL2、GL3、GL4)は液晶表示パネルの周辺領域で相互接続される。この場合、ゲート駆動部から出力されたゲート信号は相互接続された第1、第2、第3、及び第4ゲート配線(GL1、GL2、GL3、GL4)には同時に印加される。

または、第1、第2、第3、及び第4ゲート配線(GL1、GL2、GL3、GL4)が相互分離することができる。この場合、ゲート駆動部は第1、第2、第3、及び第4ゲート配線(GL1、GL2、GL3、GL4)のそれぞれにゲート信号を同一のタイミングに同時に出力する。これによって、第1、第2、第3及び第4ゲート配線GL1、GL2、GL3、GL4と電氣的に接続された2つの画素行を同時に駆動させることができる。

【0240】

複数の画素部(P1、P2、P3、P4、P5、P6、P7、P8)は主要色画素を含む。主要色画素は赤色画素、緑色画素及び青色画素を含むことができる。

【0241】

第1画素部P1は第1画素電極PE1、第2画素電極PE2、第1スイッチング素子T

1 及び第 2 スイッチング素子 T 2 を含む。

第 1 画素電極 P E 1 は第 1 スイッチング素子 T 1 を通じて第 1 データ配線 D L 1 と第 1 ゲート配線 G L 1 に接続される。第 2 画素電極 P E 2 は第 1 画素電極 P E 1 と離隔して、第 2 スイッチング素子 T 2 を通じて第 1 電源配線 V L 1 と第 2 ゲート配線 G L 2 に接続される。

【0242】

第 2 画素部 P 2 は第 1 画素部 P 1 と第 1 方向 D I 1 に隣接し、第 3 画素電極 P E 3、第 4 画素電極 P E 4、第 3 スイッチング素子 T 3 及び第 4 スイッチング素子 T 4 を含む。

第 3 画素電極 P E 3 は第 3 スイッチング素子 T 3 を通じて第 2 データ配線 D L 2 と第 4 ゲート配線 G L 4 に接続される。第 4 画素電極 P E 4 は第 3 画素電極 P E 3 と離隔して、第 4 スイッチング素子 T 4 を通じて第 1 電源配線 V L 1 と第 3 ゲート配線 G L 3 に接続される。

【0243】

第 3 画素部 P 3 は第 1 画素部 P 1 と第 2 方向 D I 2 に隣接し、第 5 画素電極 P E 5、第 6 画素電極 P E 6、第 5 スイッチング素子 T 5 及び第 6 スイッチング素子 T 6 を含む。

第 5 画素電極 P E 5 は第 5 スイッチング素子 T 5 を通じて第 4 データ配線 D L 4 と第 1 ゲート配線 G L 1 に接続される。第 6 画素電極 P E 6 は第 5 画素電極 P E 5 と離隔して、第 6 スイッチング素子 T 6 を通じて第 1 電源配線 V L 1 と第 2 ゲート配線 G L 2 に接続される。

【0244】

第 4 画素部 P 4 は第 2 画素部 P 2 と第 2 方向 D I 2 に隣接し、第 7 画素電極 P E 7、第 8 画素電極 P E 8、第 7 スイッチング素子 T 7 及び第 8 スイッチング素子 T 8 を含む。

第 7 画素電極 P E 7 は第 7 スイッチング素子 T 7 を通じて第 3 データ配線 D L 3 と第 4 ゲート配線 G L 4 に接続される。第 8 画素電極 P E 8 は第 7 画素電極 P E 7 と離隔して、第 8 スイッチング素子 T 8 を通じて第 1 電源配線 V L 1 と第 3 ゲート配線 G L 3 に接続される。

【0245】

第 5 画素部 P 5 は第 3 画素部 P 3 と第 2 方向 D I 2 に隣接し、第 9 画素電極 P E 9、第 10 画素電極 P E 10、第 9 スイッチング素子 T 9 及び第 10 スイッチング素子 T 10 を含む。

第 9 画素電極 P E 9 は第 9 スイッチング素子 T 9 を通じて第 5 データ配線 D L 5 と第 1 ゲート配線 G L 1 に接続される。第 10 画素電極 P E 10 は第 9 画素電極 P E 9 と離隔して、第 10 スイッチング素子 T 10 を通じて第 2 電源配線 V L 2 と第 2 ゲート配線 G L 2 に接続される。

【0246】

第 6 画素部 P 6 は第 5 画素部 P 5 と第 1 方向 D I 1 に隣接し、第 11 画素電極 P E 11、第 12 画素電極 P E 12、第 11 スイッチング素子 T 11 及び第 12 スイッチング素子 T 12 を含む。

第 11 画素電極 P E 11 は第 11 スイッチング素子 T 11 を通じて第 6 データ配線 D L 6 と第 4 ゲート配線 G L 4 に接続される。第 12 画素電極 P E 12 は第 11 画素電極 P E 11 と離隔して、第 12 スイッチング素子 T 12 を通じて第 2 電源配線 V L 2 と第 3 ゲート配線 G L 3 に接続される。

【0247】

第 7 画素部 P 7 は第 5 画素部 P 5 と第 2 方向 D I 2 に隣接し、第 13 画素電極 P E 13、第 14 画素電極 P E 14、第 13 スイッチング素子 T 13 及び第 14 スイッチング素子 T 14 を含む。

第 13 画素電極 P E 13 は第 13 スイッチング素子 T 13 を通じて第 8 データ配線 D L 8 と第 1 ゲート配線 G L 1 に接続される。第 14 画素電極 P E 14 は第 13 画素電極 P E 13 と離隔して、第 14 スイッチング素子 T 14 を通じて第 2 電源配線 V L 2 と第 2 ゲート配線 G L 2 に接続される。

【0248】

第8画素部P8は第7画素部P7と第1方向DI1に隣接し、第15画素電極PE15、第16画素電極PE16、第15スイッチング素子T15及び第16スイッチング素子T16を含む。

第15画素電極PE15は第15スイッチング素子T15を通じて第7データ配線VL7と第4ゲート配線GL4に接続される。第16画素電極PE16は第15画素電極PE15と離隔して、第16スイッチング素子T16を通じて第2電源配線VL2と第3ゲート配線GL3に接続される。

【0249】

第1電源配線VL1には基準電圧に対して第1極性(−)の電圧が印加され、第2電源配線VL2には基準電圧に対して第2極性(+)の電圧が印加される。第1、第2、第3、及び第4データ配線(DL1、DL2、DL3、DL4)には第1電源配線VL1に印加された電圧より高いレベルの第2極性(+)の電圧が印加され、第5、第6、第7、及び第8データ配線(DL5、DL6、DL7、DL8)には第2電源配線VL2に印加された電圧より低いレベルの第1極性(−)の電圧が印加される。例えば、第1極性(−)は基準電圧のレベルより小さいレベルの電圧であり、第2極性(+)は基準電圧のレベルより高いレベルの電圧であってもよい。

【0250】

本実施形態によれば、1つの画素列が2つのデータ配線によってデータ電圧を印加され、2つの画素行がよっつのゲート配線によって1つのゲート信号を印加されることによって、1水平周期1Hの間、2つの画素行が駆動される。即ち、液晶表示パネル1000Mは高速駆動を可能となる。また、2つの画素部が1つの電源配線を共有して同一の極性のデータ電圧が印加されることによって、ブラック状態での光漏れ防止を最小化することができる。また、電源配線の個数を減らすことによって、開口率を向上させることができる。

【0251】

本実施形態に係る画素部は、実施形態1及び実施形態2のように第1及び第2シールド部SH1、SH2を含むことができる。本実施形態に係る第1シールド部SH1は自身の画素部の画素電極と電氣的に接続されたデータ配線と隣接するように配置され、第2シールド部SH2は自身の画素部と隣り合った隣の画素部の画素電極と電氣的に接続されたデータ配線と隣接するように配置され、第1及び第2シールド部SH1、SH2は自身の画素部の画素電極と電氣的に接続される。

【0252】

即ち、実施形態1と同様に第1及び第2シールド部SH1、SH2を第1金属パターンで形成できて、また、実施形態2のように第1及び第2シールド部SH1、SH2をトレンチ構造で形成することができる。また、実施形態3のように、第1～第4ゲート配線とそれぞれ隣接した第1～第4ストレージ配線を含むことができる。

【0253】

<実施形態15>

図36は、本発明の実施形態15に係る液晶表示パネルの部分平面図である。

図36を参照すると、液晶表示パネル1000Nは複数のデータ配線(DL1、DL2、DL3、DL4)、ゲート配線GL、第1電源配線VL1、第2電源配線VL2、及び複数の画素部(P1、P2、P3)を含む。

【0254】

データ配線(DL1、DL2、DL3、DL4)は第1方向DI1に延長され、第2方向DI2に配列される。

ゲート配線GLは第2方向DI2に延長する。

第1電源配線VL1は第2方向DI2に延長され、ゲート配線GLと隣接するように配置される。

第2電源配線VL2は第2方向DI2に延長され、第1電源配線VL1と隣接するよう

に配置される。

【0255】

第1画素部P1は第1画素電極PE1、第2画素電極PE2、第1スイッチング素子T1、第2スイッチング素子T2、接続電極パターンCEP、第1シールド部SH1及び第2シールド部SH2を含む。

第1画素電極PE1は第1スイッチング素子T1を通じて第1データ配線DL1とゲート配線GLに接続される。第2画素電極PE2は第1画素電極PE1と離隔して、第2スイッチング素子T2を通じて第1電源配線VL1とゲート配線GLに接続される。

【0256】

接続電極パターンCEPは第1金属パターンであってもよい。接続電極パターンCEPは画素領域の中央の部分に第2方向D12に延長され、画素領域の下部に配置された第1画素電極PE1と上部に配置された第1画素電極PE1を電氣的に接続する。

接続電極パターンCEPは第9コンタクトホールC9を通じて第1データ配線DL1と部分的に重畳する第1画素電極PE1と電氣的に接続され、第10コンタクトホールC10を通じて第2データ配線DL2と部分的に重畳する第1画素電極PE1と電氣的に接続される。

【0257】

ここで図10を参照すると、第1シールド部SH1は第1画素部P1にデータ電圧を伝達する自己データ配線(self data line)、即ち、第1データ配線DL1と隣接するように配置される。第1シールド部SH1は第1上部トレンチTU1及び第1下部トレンチTD1を含み、第1上部トレンチTU1及び第1下部トレンチTD1はゲート絶縁膜102、保護絶縁膜103、及び有機絶縁膜104が除去されて形成される。

第1上部トレンチTU1には第1データ配線DL1の上部と部分的に重畳する第2画素電極PE2が形成され、第1下部トレンチTD1には第1データ配線DL1の下部と部分的に重畳する第1画素電極PE1が形成される。

【0258】

第2シールド部SH2は隣り合った隣の画素部にデータ電圧を伝達する隣のデータ配線、即ち第2データ配線DL2と隣接するように配置される。第2シールド部SH1は第2上部トレンチTU2と第2下部トレンチTD2を含み、第2上部トレンチTU2及び第2下部トレンチTD2はゲート絶縁膜102、保護絶縁膜103、及び有機絶縁膜104が除去されて形成される。

第2上部トレンチTU2には第2データ配線DL2の上部と重畳する第1画素電極PE1が形成され、第2下部トレンチTD2には第2データ配線DL2の下部と重畳する第2画素電極PE2が形成される。

【0259】

第1及び第2シールド部SH1、SH2は実施形態1と同一のデータ配線又は電源配線の電界(電場)が漏洩するのを遮断したり、データ配線又は電源配線と画素電極との間の光漏れを防止することができる。同時に、本実施形態の第1及び第2シールド部SH1、SH2はトレンチ内に画素電極が形成される構造を有することによって第1金属パターンで形成された実施形態1に比べて開口率を向上させることができる。

【0260】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【産業上の利用可能性】

【0261】

本発明は、液晶表示装置及びこれを含むすべての電子機器に好適に利用することができる。

【符号の説明】

【0262】

11 第1配向膜

10

20

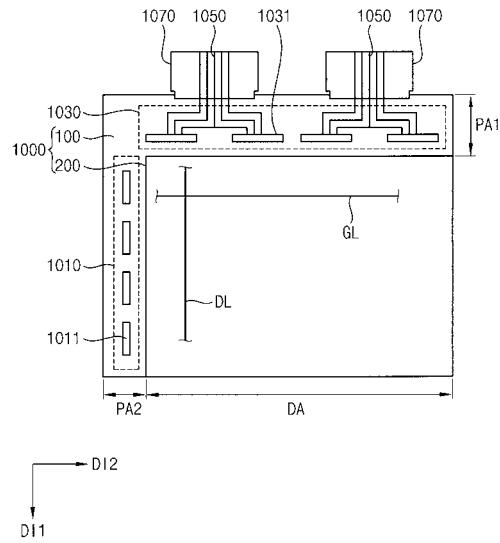
30

40

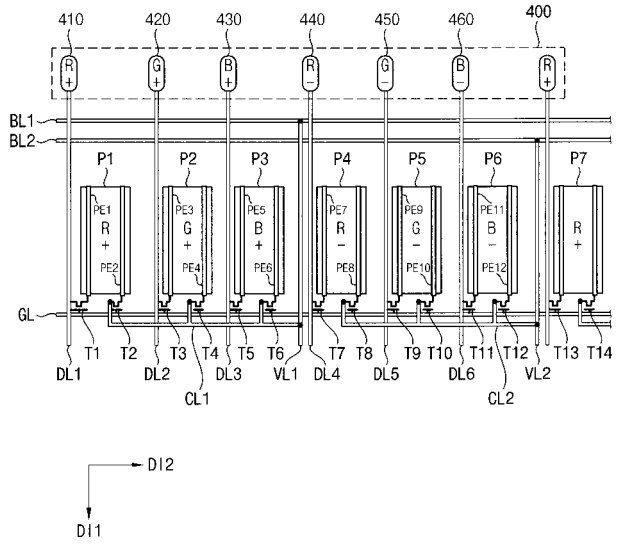
50

2 1	第 2 配向膜	
1 0 0	表示基板	
1 0 1	第 1 ベース基板	
1 0 2	ゲート絶縁膜	
1 0 3	保護絶縁膜	
1 0 4	有機絶縁膜	
2 0 0	対向基板	
2 0 1	第 2 ベース基板	
2 3 0	カラーフィルタ	
2 5 0	オーバーコーティング層	10
3 0 0	液晶層	
4 0 0	パッド部	
1 0 0 0	液晶表示パネル	
1 0 1 0	ゲート駆動部	
1 0 1 1	ゲート駆動チップ	
1 0 3 0	データ駆動部	
1 0 3 1	データ駆動チップ	
1 0 5 0	パワー配線	
1 0 7 0	可撓性フィルム	
1 0 3 1	データ駆動チップ	20
B L 1、B L 2	(第 1 及び第 2) バス配線	
C L 1、C L 2	(第 1 及び第 2) 接続配線	
D L 1～D L 6	(第 1～第 6) データ配線	
G L	ゲート配線	
P 1～P 6	(第 1～第 6) 画素部	
P E 1～P E 6	(第 1～第 6) 画素電極	
S H 1、S H 2	(第 1 及び第 2) シールド部	
S U 1、S U 2	(第 1 及び第 2) 上部シールド	
S D 1、S D 2	(第 1 及び第 2) 下部シールド	
T U 1、T U 2	(第 1 及び第 2) 上部トレンチ	30
T D 1、T D 2	(第 1 及び第 2) 下部トレンチ	
V L 1 及び V L 2	(第 1 及び第 2) 電源配線	

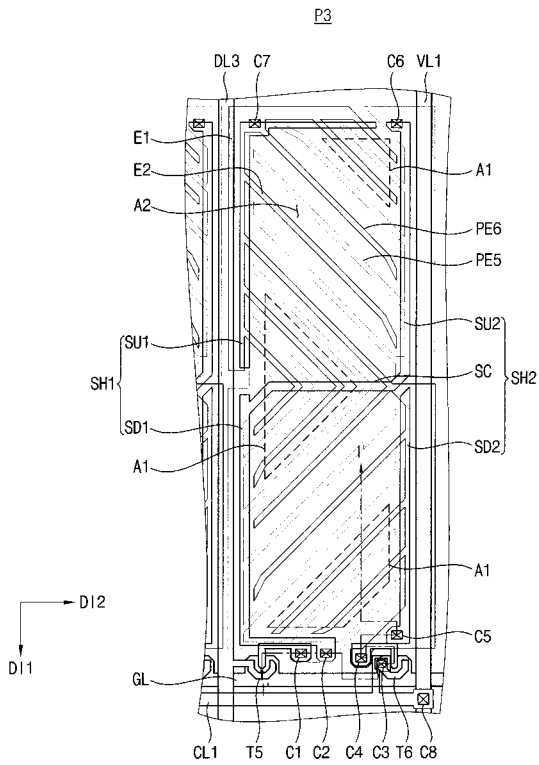
【図 1】



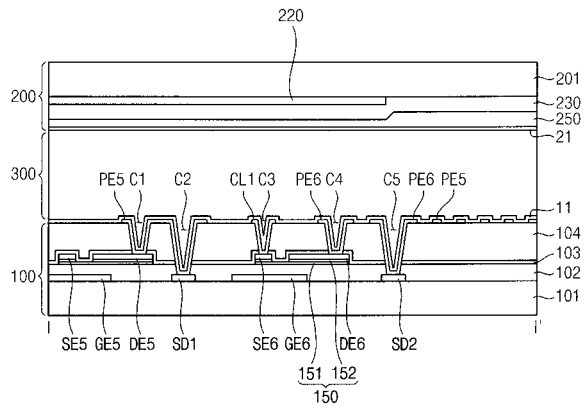
【図 2】



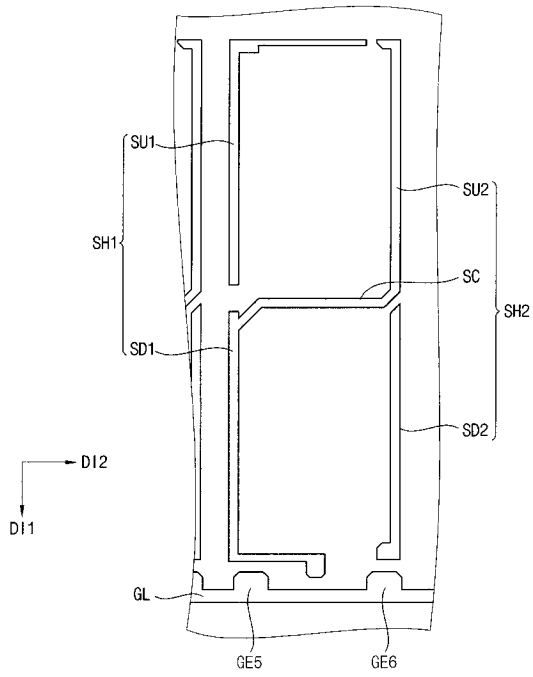
【図 3】



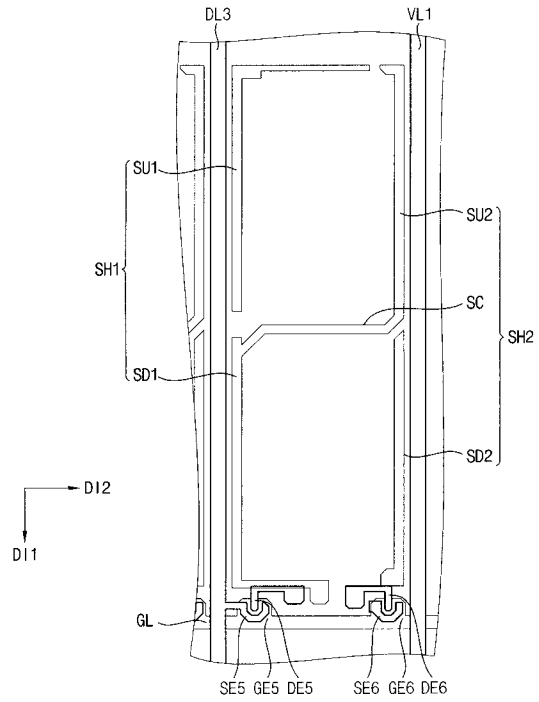
【図 4】



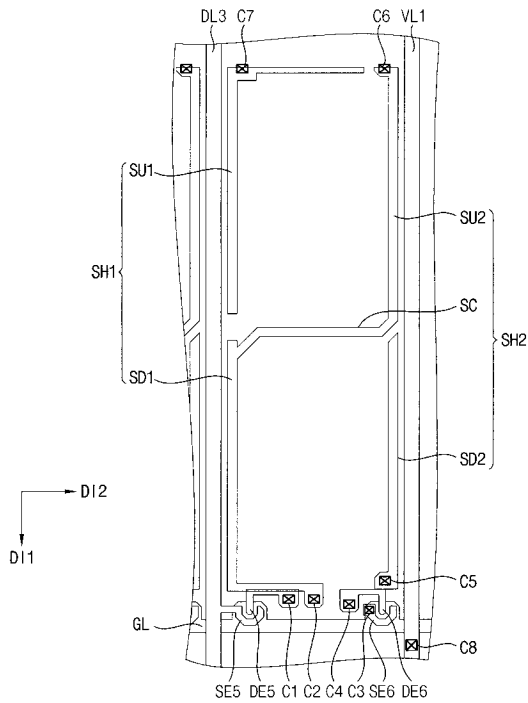
【図 5】



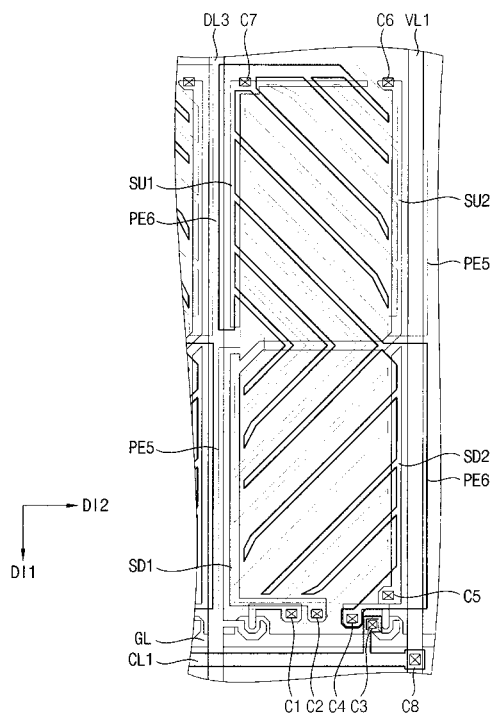
【図 6】



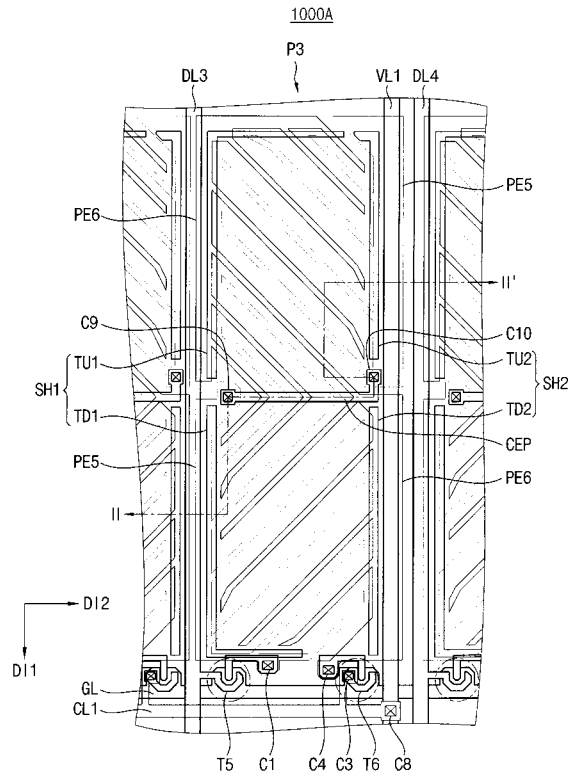
【図 7】



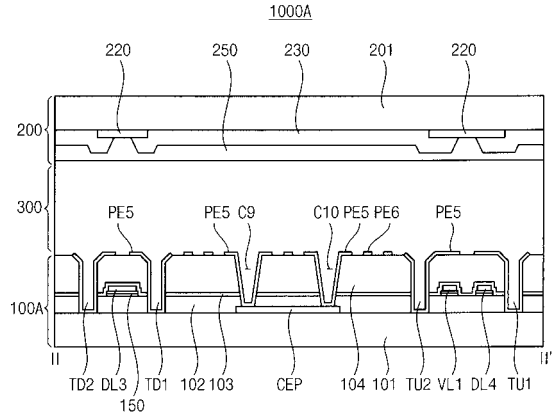
【図 8】



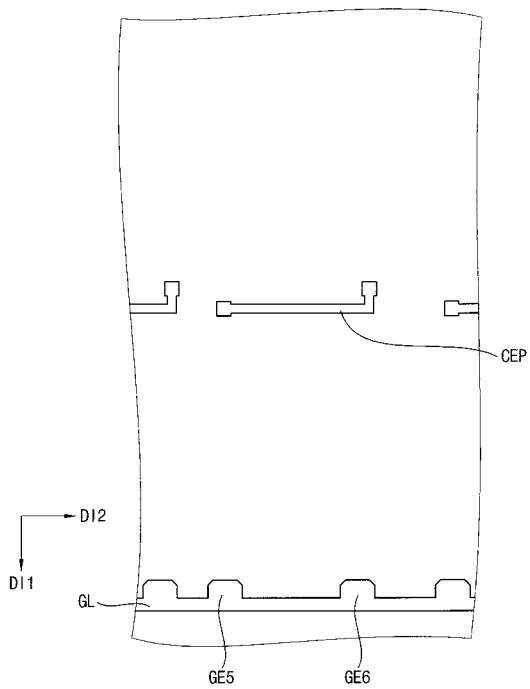
【図 9】



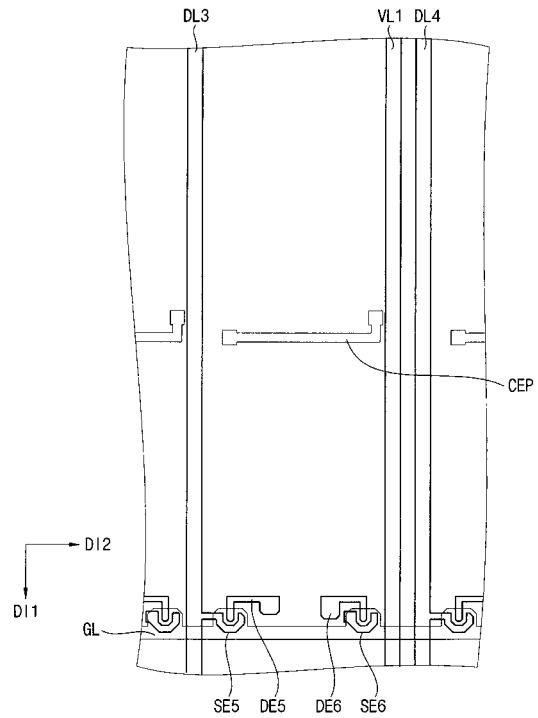
【図 10】



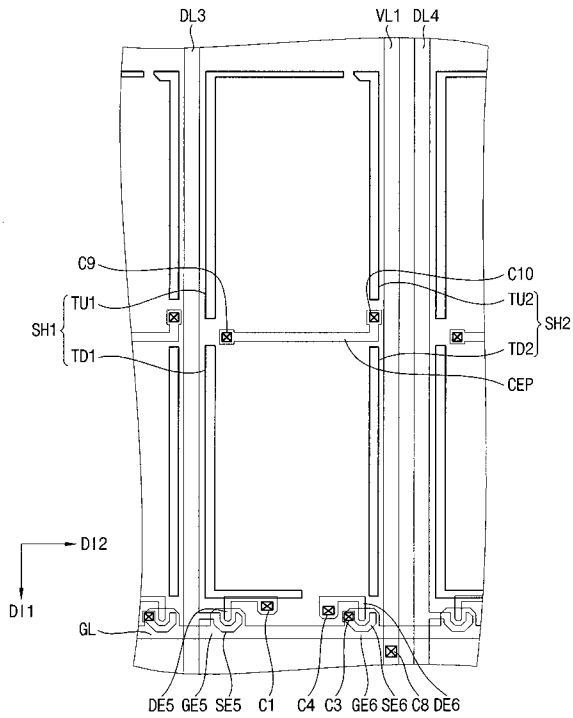
【図 11】



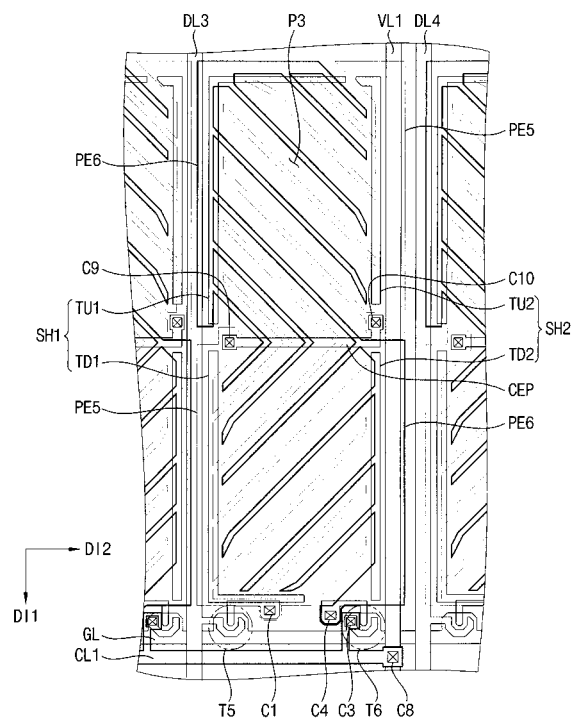
【図 12】



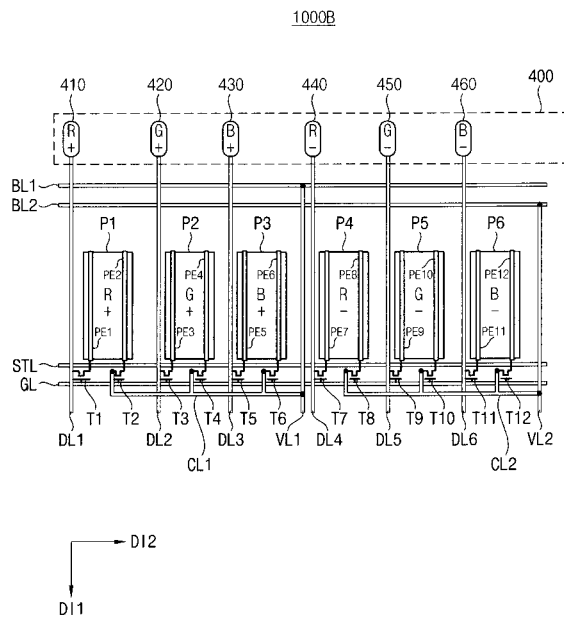
【図 13】



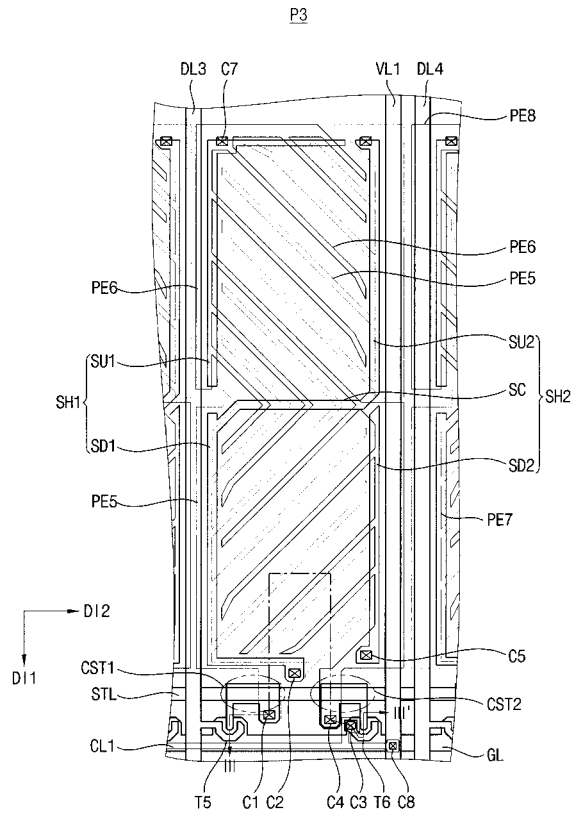
【図 14】



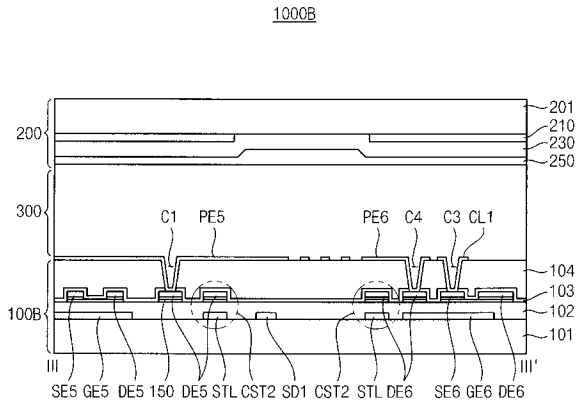
【図 15】



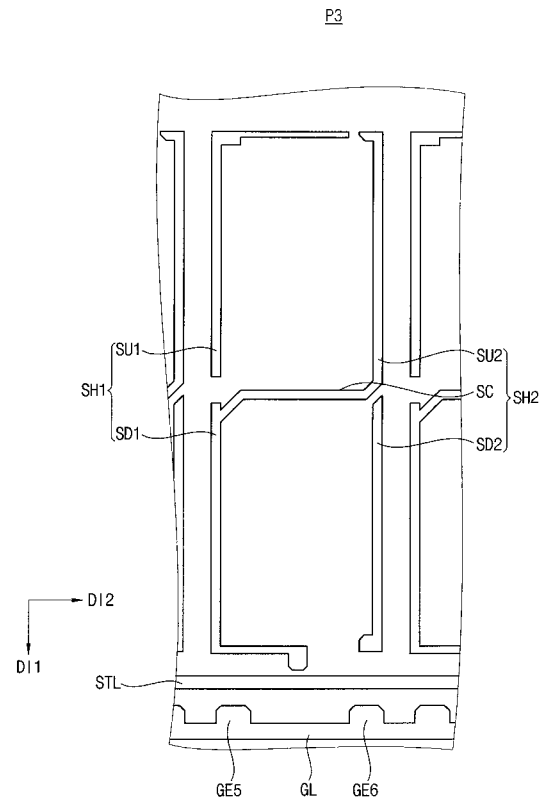
【図 16】



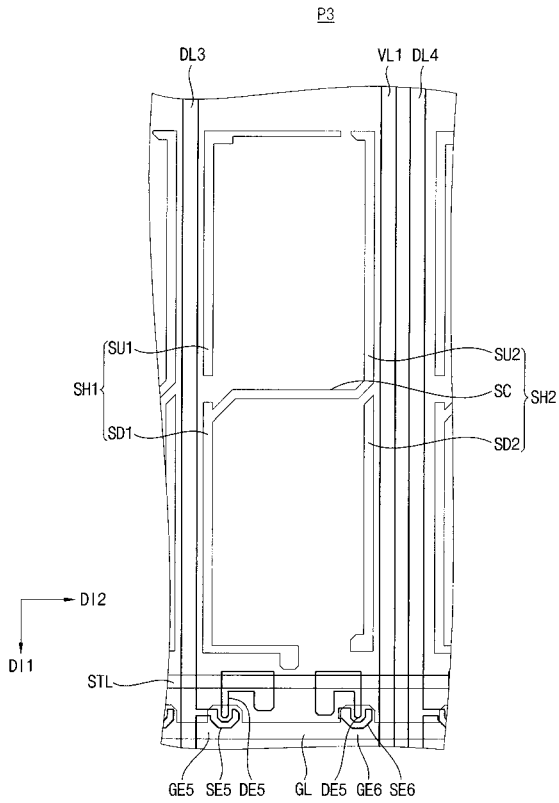
【図 17】



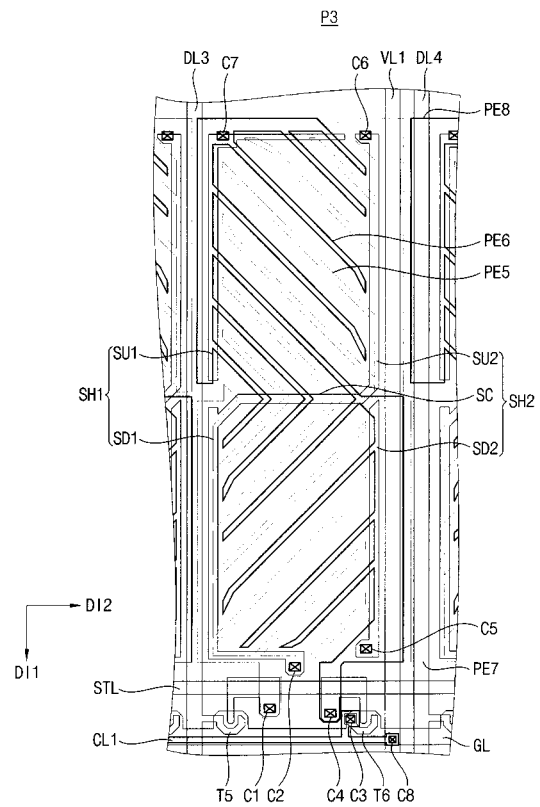
【図 18】



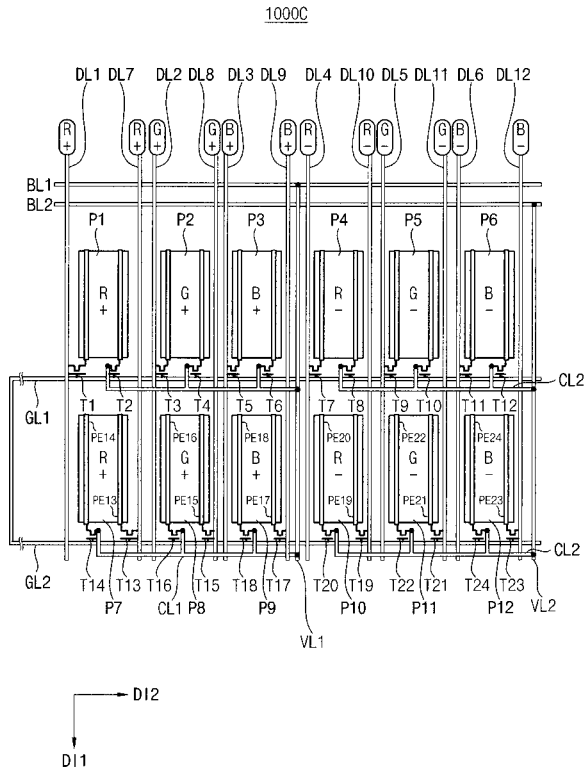
【図 19】



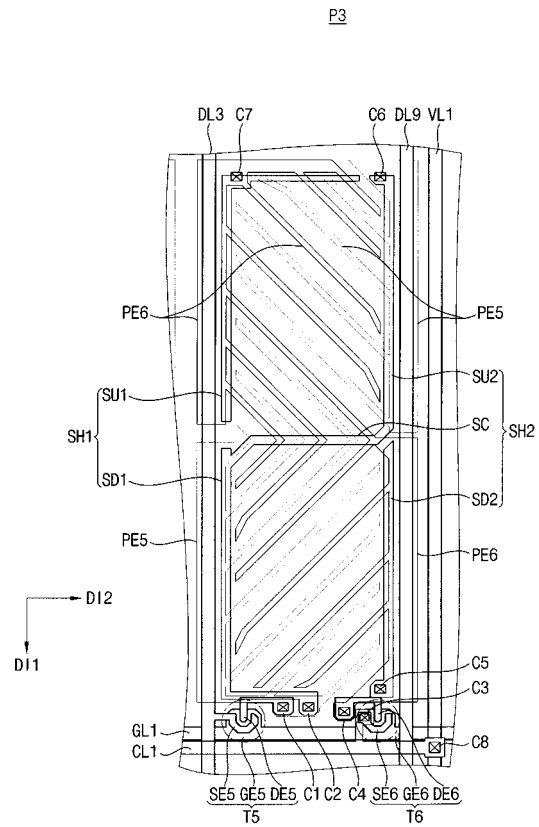
【図 20】



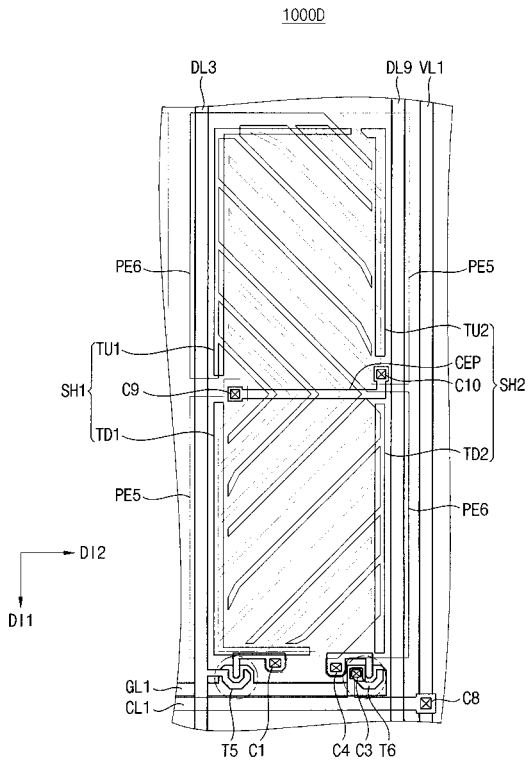
【図 2 1】



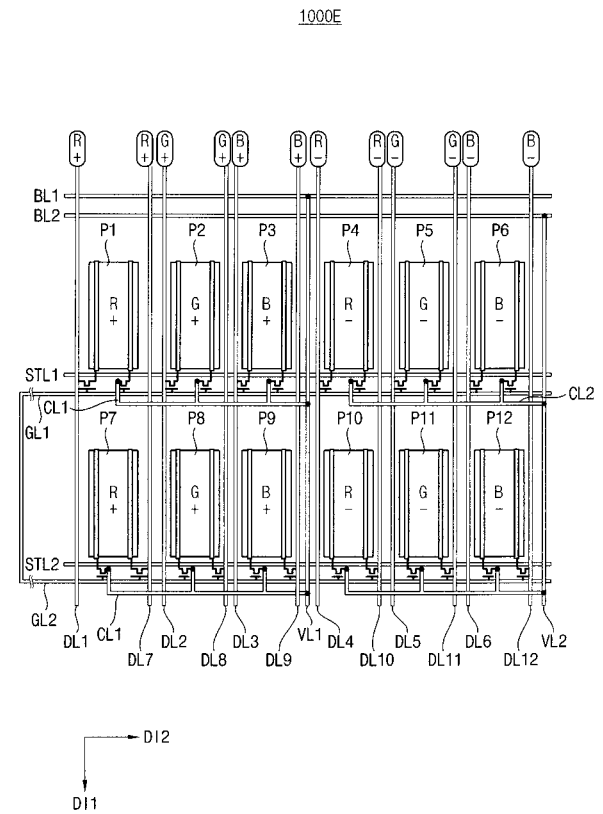
【図 2 2】



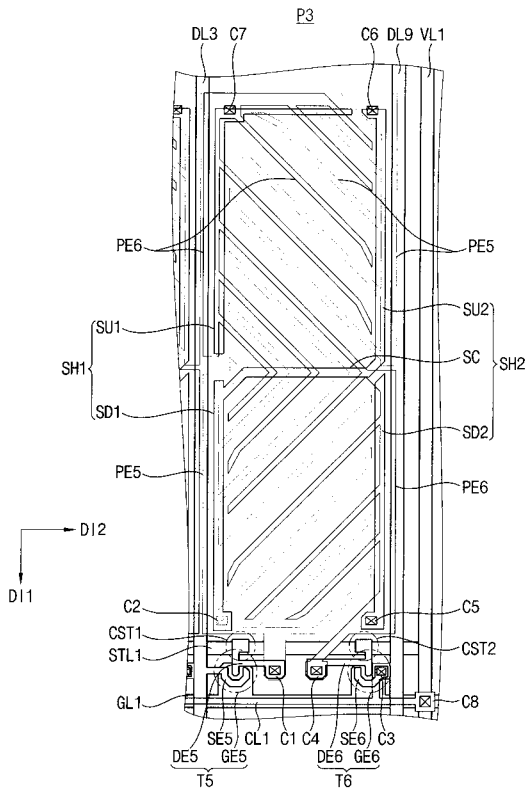
【図 2 3】



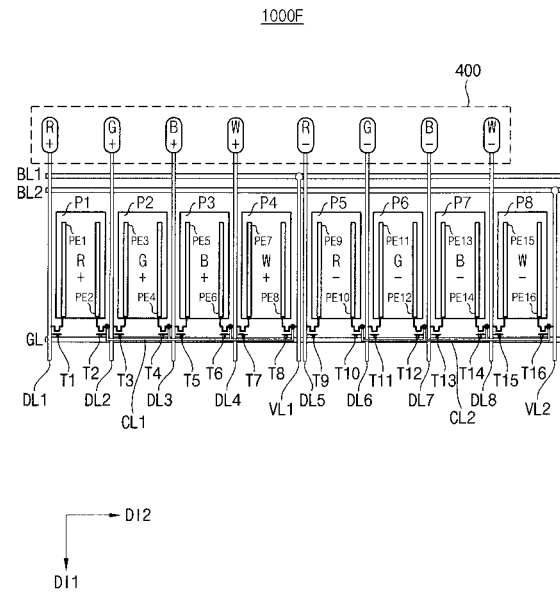
【図 2 4】



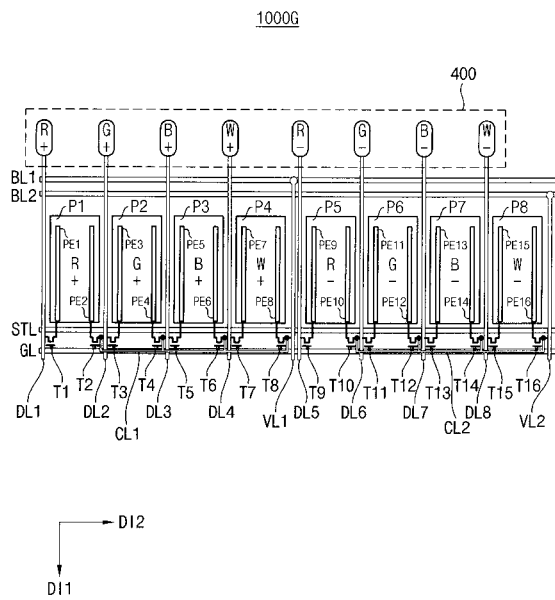
【図 25】



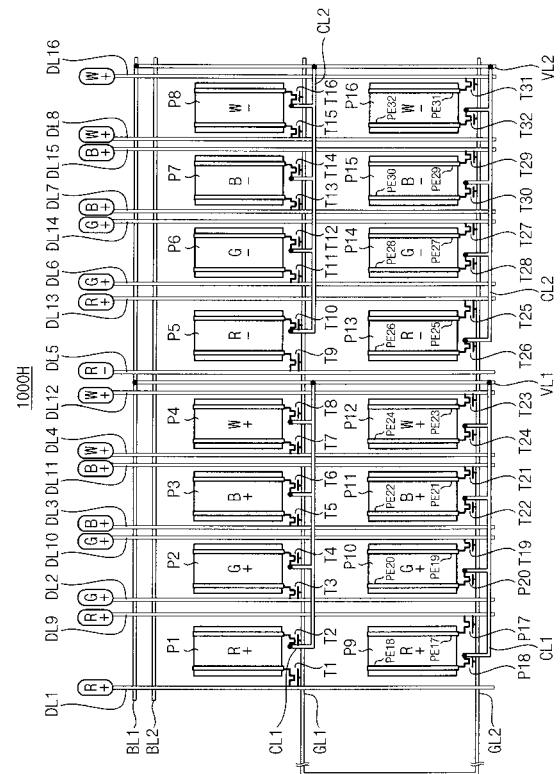
【図 26】



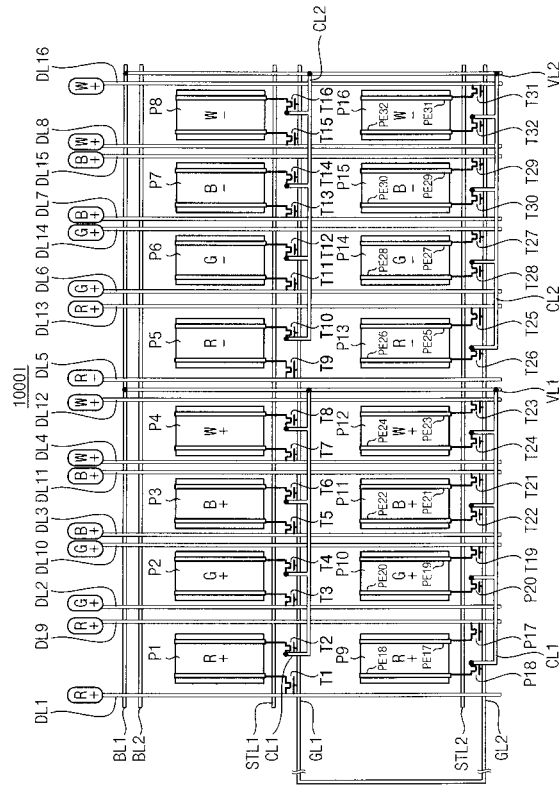
【図 27】



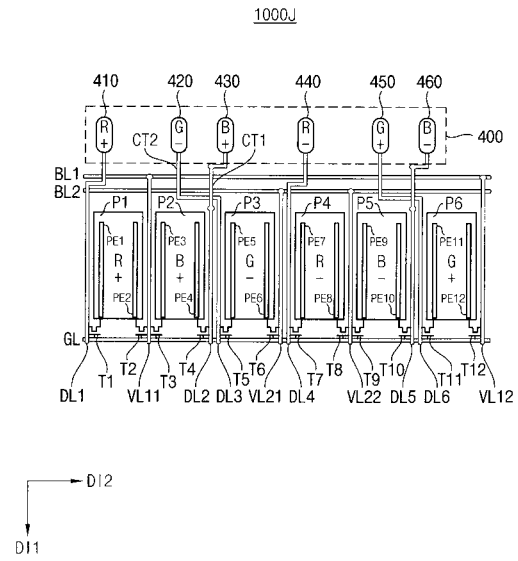
【図 28】



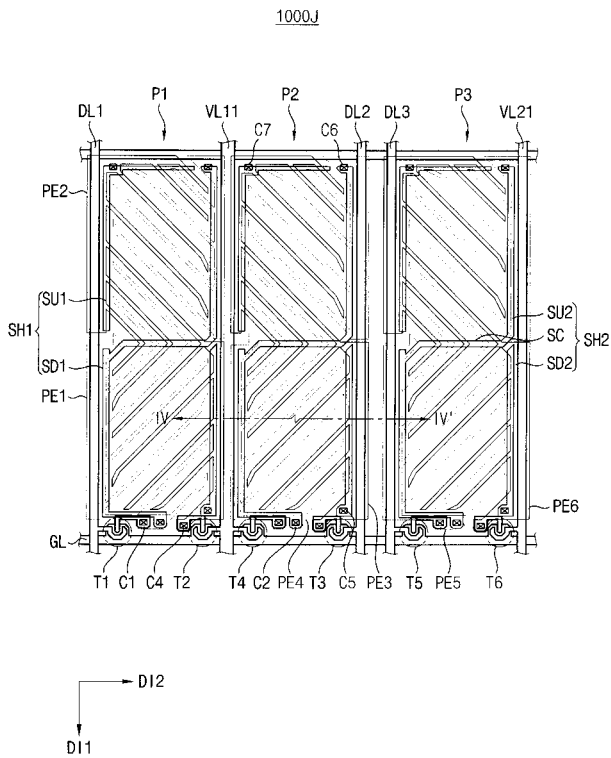
【図 29】



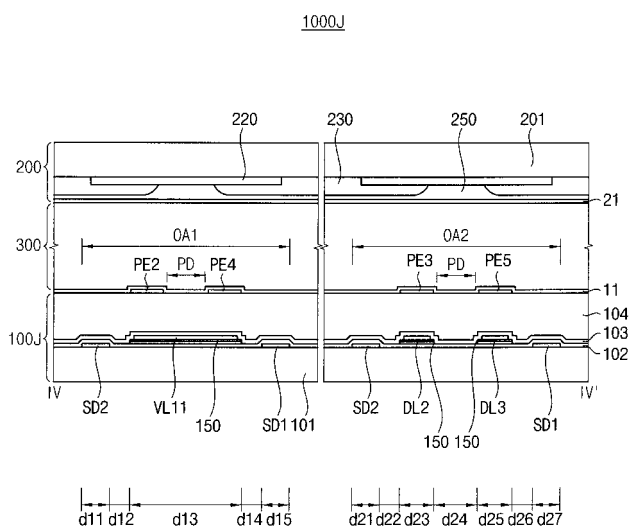
【図 30】



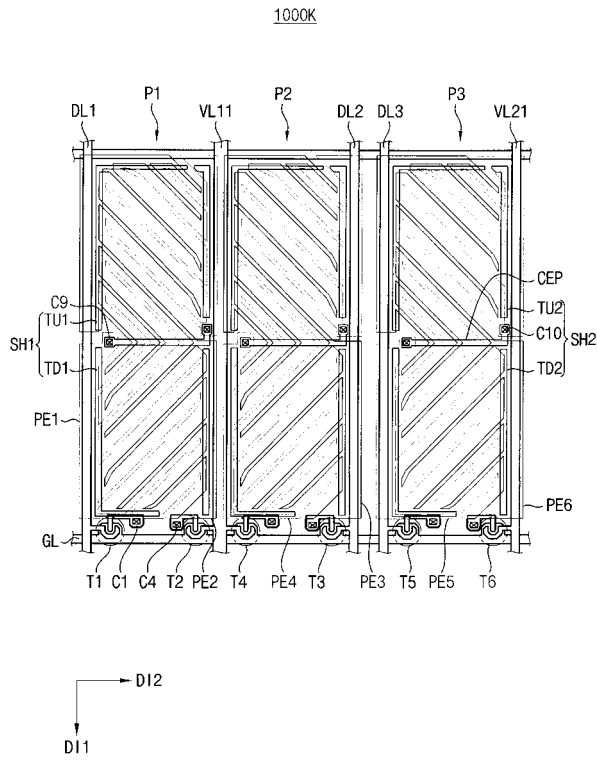
【図 31】



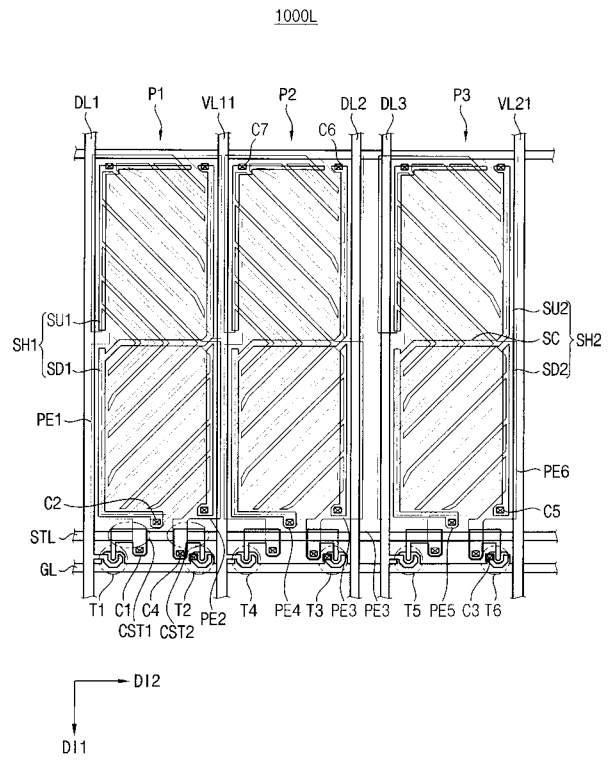
【図 32】



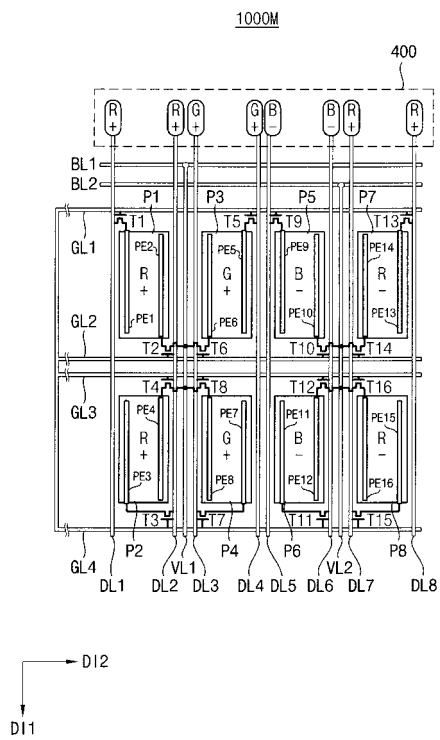
【図 3 3】



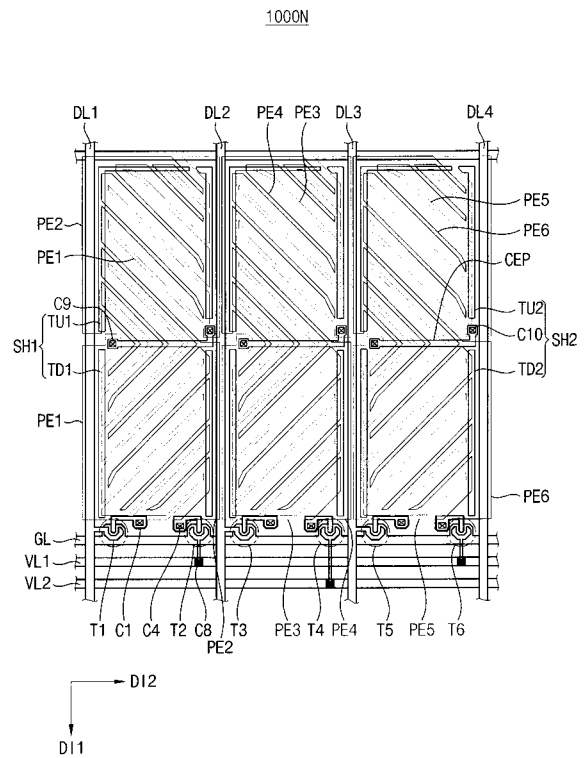
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

(72)発明者 鄭 美 恵

大韓民国京畿道水原市長安区亭子洞大林振興アパート 8 2 4 棟 1 4 0 2 号

(72)発明者 奇 桐 賢

大韓民国忠清南道天安市西北区双龍 3 洞住公 9 団地アパート 4 1 0 棟 1 1 0 5 号

(72)発明者 趙 世 衡

大韓民国ソウル特別市松坡区新川洞 1 7 番地パークリオアパート 1 0 1 棟 1 0 0 1 号

(72)発明者 羅 恵 錫

大韓民国京畿道水原市靈通区靈通 2 洞ビョッチョクゴル 8 団地アパート 8 1 1 棟 6 0 6 号

F ターム(参考) 2H092 GA14 JA26 JA46 JB05 JB42 JB52 JB54 JB57 JB58 JB69

KA05 KA08 KA12 KA24 KB04 KB14 KB24 MA13 NA04 NA07

QA09

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2012022320A5	公开(公告)日	2014-08-28
申请号	JP2011155419	申请日	2011-07-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金東奎 鄭美惠 奇桐賢 趙世衡 羅惠錫		
发明人	金 東 奎 鄭 美 惠 奇 桐 賢 趙 世 衡 羅 惠 錫		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/134363 G02F1/136209 G02F1/136213 G02F1/13624 G02F1/136286 G02F1/1393 G09G3/3614 G09G2300/0426 G09G2300/0452 G02F1/134327 G02F1/13458 G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB42 2H092/JB52 2H092/JB54 2H092/JB57 2H092/JB58 2H092/JB69 2H092/KA05 2H092/KA08 2H092/KA12 2H092/KA24 2H092/KB04 2H092/KB14 2H092/KB24 2H092/MA13 2H092/NA04 2H092/NA07 2H092/QA09 2H192/AA24 2H192/BB03 2H192/BC31 2H192/CB05 2H192/CB12 2H192/CB37 2H192/DA12 2H192/EA04 2H192/EA22 2H192/EA43 2H192/FA46 2H192/GA02 2H192/JA34		
优先权	1020100067661 2010-07-14 KR		
其他公开文献	JP2012022320A JP5951198B2		

摘要(译)

能够防止漏光的液晶显示装置。基板，布置在基板上的栅极布线，以及与栅极布线绝缘并相交并布置在基板上的第一数据布线，第二数据布线和第一电源布线。连接到栅极布线和第一数据布线的的第一开关元件，连接到栅极布线和第一电源布线的第二开关元件，连接到栅极布线和第二数据布线的第三开关元件，连接至栅极布线和第一电源布线的第四开关元件，第一开关元件，第二开关元件，第三开关元件和第四开关元件 并且分别连接到第一像素电极，第二像素电极，第三像素电极和第四像素电极。 [选择图]图2