

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-221400

(P2011-221400A)

(43) 公開日 平成23年11月4日(2011.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H090
G02F 1/133 (2006.01)	G02F 1/133 505	2H092
G02F 1/1337 (2006.01)	G02F 1/1337	2H193

審査請求 未請求 請求項の数 14 O L (全 19 頁)

(21) 出願番号	特願2010-92420 (P2010-92420)	(71) 出願人	000002185
(22) 出願日	平成22年4月13日 (2010. 4. 13)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100098785
			弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	井ノ上 雄一
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

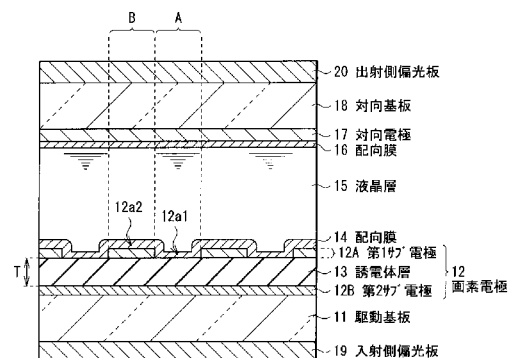
(54) 【発明の名称】 液晶表示装置、液晶表示装置の製造方法

(57) 【要約】

【課題】良好な電圧応答特性を保持しつつ、透過率を向上させることが可能な液晶表示装置を提供する。

【解決手段】液晶表示装置1では、画素電極12が、液晶層15の側から順に、第1サブ電極12A、誘電体層13および第2サブ電極12Bを有する。第1サブ電極12Aおよび第2サブ電極12Bへ供給する電位 V_a 、 V_b を適宜設定することで、液晶層15のうちのスリット直上の領域Aへの印加電圧と、スリットのない領域Bへの印加電圧との大小関係を目的に応じて自在に制御可能となる。映像表示時には、液晶層15全体で電界歪みを軽減するような駆動を行い、スリット位置に起因した局所的な透過率低下を抑制する。製造プロセス（プレチルト付与工程）では、プレチルト付与に有利な電界歪み（横電界）を発生させる。

【選択図】図2



【特許請求の範囲】

【請求項 1】

液晶層と、
 前記液晶層を挟んで対向配置された一对の基板と、
 前記一对の基板のうち一方の基板の前記液晶層側に設けられた複数の画素電極と、
 前記複数の画素電極に対向して、他方の基板に設けられた対向電極とを備え、
 各画素電極は、前記液晶層の側から順に、1または複数のスリットを有する第1のサブ電極と、誘電体層と、少なくとも前記スリットに対向する領域に配置された第2のサブ電極とを有する
 液晶表示装置。

10

【請求項 2】

各画素電極および前記対向電極に対し電位供給を行う駆動部を備え、
 前記液晶層は、前記第1のサブ電極と前記対向電極との電位差に応じた電圧が印加される第1領域と、前記第2のサブ電極と前記対向電極との電位差に応じた電圧が印加される第2領域とを含み、
 前記駆動部は、前記液晶層の前記第1領域および前記第2領域に印加される各電圧同士の差が低減されるように、前記対向電極、前記第1および第2のサブ電極のそれぞれに電位供給を行う
 請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記駆動部は、以下の式(1)および式(2)を満足するように電位供給を行う
 請求項 2 に記載の液晶表示装置。

$$0.8 \{ V_a \times (C_{INS} + C_{LC}) / C_{INS} \} < V_b \quad \dots \dots \dots (1)$$

$$V_b < 1.2 \{ V_a \times (C_{INS} + C_{LC}) / C_{INS} \} \quad \dots \dots \dots (2)$$

但し、

V_a : 第1のサブ電極と対向電極との間の電位差

V_b : 第2のサブ電極と対向電極との間の電位差

C_{INS} : 第1および第2のサブ電極間の静電容量

C_{LC} : 第1のサブ電極および対向電極間の静電容量とする。

30

【請求項 4】

更に、以下の式(3)を満足する請求項 3 に記載の液晶表示装置。

$$V_b = V_a \times (C_{INS} + C_{LC}) / C_{INS} \quad \dots \dots \dots (3)$$

【請求項 5】

更に、以下の式(4)を満足する請求項 3 に記載の液晶表示装置。

$$V_b = V_a \quad \dots \dots \dots (4)$$

【請求項 6】

各画素電極において、前記第1のサブ電極は複数のスリットを有する
 請求項 1 ないし請求項 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】

前記第2のサブ電極は、前記第1のサブ電極の全域に渡って設けられている
 請求項 6 に記載の液晶表示装置。

40

【請求項 8】

前記液晶層では、前記画素電極および前記対向電極の近傍においてプレチルトが付与されている
 請求項 1 に記載の液晶表示装置。

【請求項 9】

一对の基板のうち一方の基板に複数の画素電極を形成する工程と、
 他方の基板に対向電極を形成する工程と、
 前記一对の基板間に液晶層を封止する工程と、

50

前記画素電極と前記対向電極とを通じて前記液晶層に電圧を印加しつつ、前記液晶層を露光することにより、前記液晶層にプレチルトを付与する工程とを含み、
前記複数の画素電極を形成する工程では、
各画素電極として前記一方の基板側から、第２のサブ電極と、誘電体層と、第２のサブ電極に対向して１または複数のスリットを有する第１のサブ電極とをこの順に形成する
液晶表示装置の製造方法。

【請求項１０】

前記液晶層は、前記第１のサブ電極および前記対向電極間の電位差に応じた電圧が印加される第１領域と、前記第２のサブ電極および前記対向電極間の電位差に応じた電圧が印加される第２領域とを含み、

10

前記プレチルトを付与する工程では、前記液晶層の前記第１領域および前記第２領域に互いに異なる電圧を印加する

請求項９に記載の液晶表示装置の製造方法。

【請求項１１】

以下の式（５）を満足するように、前記液晶層に電圧を印加する

請求項１０に記載の液晶表示装置の製造方法。

$$V_b \neq V_a \times (C_{INS} + C_{LC}) / C_{INS} \quad \dots \dots \dots (5)$$

但し、

V_a ：第１のサブ電極と対向電極との間の電位差

V_b ：第２のサブ電極と対向電極との間の電位差

20

C_{INS} ：第１および第２のサブ電極間の静電容量

C_{LC} ：第１のサブ電極および対向電極間の静電容量とする。

【請求項１２】

更に、以下の式（６）を満足する

請求項１１に記載の液晶表示装置の製造方法。

$$V_b = V_a \quad \dots \dots \dots (6)$$

【請求項１３】

前記複数の画素電極を形成する工程では、

前記第１のサブ電極に複数のスリットを形成する

30

請求項９ないし請求項１２のいずれか１項に記載の液晶表示装置の製造方法。

【請求項１４】

前記第２のサブ電極を前記第１のサブ電極の全域に渡って形成する

請求項１３に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、例えばＶＡモードの液晶を用いた液晶表示装置およびその製造方法に関する。

【背景技術】

40

【０００２】

近年、液晶表示装置（ＬＣＤ：Liquid Crystal Display）では、例えばＶＡ（Vertical Alignment）モードの液晶が用いられている。このような液晶表示装置では、画素電極を有する基板と対向電極を有する基板と間に、垂直配向膜を介して液晶層が封止されるが、この液晶層が、負の誘電率異方性、即ち液晶分子の誘電率がその短軸方向よりも長軸方向において小さい、という性質を有している。このような構造により、液晶は、電圧無印加時（オフ状態）には液晶分子の長軸方向が基板面に対して垂直な方向に沿った配向となるが、電圧印加時（オン状態）には、その電圧の大きさに応じて液晶分子が倒れた（傾いた）配向となる。

【０００３】

50

ところが、電圧無印加の状態において液晶層に電圧が印加されると、基板面に垂直に配向していた液晶分子が倒れるが、その倒れる方向は任意である。このため、液晶分子の配向が乱れ、電圧に対する応答が遅くなる、あるいは所望の透過率を得にくい等の弊害が生じる。

【 0 0 0 4 】

そこで、電圧応答時における液晶分子の倒れる方向を規制するために、予め液晶分子を特定の方向に傾けて配列させておく（いわゆるプレチルトを付与する）手法が利用されている。即ち、例えば配向膜を布等で擦り一定方向に沿った溝を形成するラビング方式や、電極に所定の間隔でスリットやリブ（突起）等を設けた M V A（Multi-domain Vertical Alignment）方式、P V A（Patterned Vertical Alignment）方式等である。また、この他にも、一方の基板側を垂直配向、もう一方の基板側を水平配向とした H A N 型（ハイブリッド配向型）のものも提案されている（例えば、特許文献 1）。

10

【 0 0 0 5 】

更に最近では、画素電極に複数のスリットを設け、対向電極をベタ形成（スリットなし）すると共に、ポリマーにより液晶分子をプレチルト状態に保持した P S A（Polymer Stained Alignment）方式も提案されている（特許文献 2）。このようなプレチルトを用いた手法によれば、液晶分子の電圧に対する応答特性を改善できる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

20

【 特許文献 1 】 特開 2 0 0 3 - 2 0 2 5 7 5 号 公 報

【 特許文献 2 】 米国特許 7 1 4 5 6 2 2 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、上記特許文献 2 の手法では、電圧応答特性を改善することはできるものの、液晶層のうち、画素電極のスリットに対応する部分（スリットの直上）では、他の部分（スリットのない部分）に比べ十分な電圧が印加されにくい。また、特にスリットのエッジ付近において電界歪み（横電界）が生じるために、液晶が捩れながら配向する。このため、駆動時には、スリット位置に対応して暗線（局所的に光透過量の少ない部分）が生じ、高透過率を得にくいという問題がある。

30

【 0 0 0 8 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、良好な電圧応答特性を保持しつつ、透過率を向上させることが可能な液晶表示装置および液晶表示装置の製造方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の液晶表示装置は、液晶層と、液晶層を挟んで対向配置された一对の基板と、一对の基板のうち一方の基板の液晶層側に設けられた複数の画素電極と、複数の画素電極に対向して他方の基板に設けられた対向電極とを備えたものである。各画素電極は、液晶層の側から順に、1または複数のスリットを有する第 1 のサブ電極と、誘電体層と、少なくとも第 1 のサブ電極のスリットに対向する領域に配置された第 2 のサブ電極とを有している。

40

【 0 0 1 0 】

本発明の液晶表示装置の製造方法は、一对の基板のうち一方の基板に複数の画素電極を形成する工程と、他方の基板に対向電極を形成する工程と、一对の基板間に液晶層を封止する工程と、画素電極と対向電極とを通じて液晶層に電圧を印加しつつ液晶層を露光することにより、液晶層にプレチルトを付与する工程とを含むものである。複数の画素電極を形成する工程では、各画素電極として一方の基板側から、第 2 のサブ電極と、誘電体層と、第 2 のサブ電極に対向して 1 または複数のスリットを有する第 1 のサブ電極とをこの順

50

に形成する。

【 0 0 1 1 】

本発明の液晶表示装置および液晶表示装置の製造方法では、画素電極を、スリットを有する第 1 のサブ電極と、少なくともそのスリットに対向配置された第 2 のサブ電極との 2 層電極構造とすると共に、これら第 1 および第 2 のサブ電極間に誘電体層を設ける。このため、例えば各電極への供給電位を適宜設定することによって、液晶層のうちスリット直上の領域に印加される電圧と、スリットのない領域に印加される電圧との大小関係を自在に制御可能となる。従って、映像表示時には、液晶層全体で電界歪みを軽減するような駆動が可能となり、この結果、例えばスリット位置に起因した局所的な透過率低下が抑制される。一方、製造プロセスでは、プレチルト付与に有利な電界歪み（横電界）を発生させることができるようになる。

10

【 0 0 1 2 】

具体的には、映像表示時においては（液晶表示装置では）、駆動部が、各画素電極および対向電極に対し、例えば次のような電位供給を行うことが望ましい。即ち、液晶層のスリット直上の第 1 領域への印加電圧（第 1 のサブ電極と対向電極との電位差に応じた電圧）と、スリットのない第 2 領域への印加電圧（第 2 のサブ電極と対向電極との電位差に応じた電圧）との差が低減されるように、より望ましくは同等となるように電位供給を行うのがよい。

【 0 0 1 3 】

一方、製造プロセスでは（液晶表示装置の製造方法では）、プレチルト付与工程において、液晶層に対し、例えば次のような電圧を印加することが望ましい。即ち、スリット直上の第 1 領域への印加電圧（第 1 のサブ電極と対向電極との電位差に応じた電圧）と、スリットのない第 2 領域への印加電圧（第 2 のサブ電極と対向電極との電位差に応じた電圧）とを互いに異なるようにするのがよい。

20

【発明の効果】

【 0 0 1 4 】

本発明の液晶表示装置およびその製造方法によれば、画素電極が、スリットを有する第 1 のサブ電極と、誘電体層と、少なくともそのスリットに対向する第 2 のサブ電極とを有するので、液晶層における電界分布を目的に応じて制御可能となる。例えば、映像表示時には電界歪みを抑制して局所的に透過率が下がることを抑制する一方、製造プロセスでは、電界歪みを発生させてプレチルト付与を効率的に行うことができる。よって、良好な電圧応答特性を保持しつつ、透過率を向上させることが可能となる。

30

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】本発明の一実施の形態に係る液晶表示装置の全体構成を表すブロック図である。

【図 2】図 1 に示した画素の一部領域の断面図である。

【図 3】液晶分子のプレチルト角を説明するための模式図である。

【図 4】図 2 に示した第 1 サブ電極および第 2 サブ電極の平面図である。

【図 5】図 2 に示した画素電極および対向電極への電位供給の概要を説明するための断面模式図である。

40

【図 6】図 5 に示した画素電極および対向電極間の回路構成図である。

【図 7】図 1 に示した液晶表示装置の製造方法（プレチルト付加工程）を説明するための断面模式図である。

【図 8】実施例 1 の電界分布（等電位分布）を表した特性図である。

【図 9】実施例 1 の電界分布（等電位分布）を表した特性図である。

【図 10】比較例に係る液晶表示装置における画素の一部領域の断面図である。

【図 11】比較例の電界分布（等電位分布）を表した特性図、および液晶分子の配向状態を表す平面模式図である。

【図 12】実施例 2 の第 2 サブ電極への供給電位と透過率との関係（ $T = 200 \text{ nm}$ ）を表す特性図である。

50

【図 1 3】実施例 2 の第 2 サブ電極への供給電位と透過率との関係 ($T = 400 \text{ nm}$) を表す特性図である。

【図 1 4】実施例 2 の第 2 サブ電極への供給電位と透過率との関係 ($T = 1000 \text{ nm}$) を表す特性図である。

【図 1 5】実施例 3 の電界分布 (等電位分布) を表した特性図である。

【図 1 6】実施例 3 の透過率分布の測定結果を表した平面図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

10

実施の形態 (画素電極を、2つの電極で誘電体膜を挟んだ積層構造とした例)

1. 液晶表示装置の構成
2. 液晶表示装置の製造方法 (プレチルト付与時の電位 V_a , V_b の設定例)
3. 液晶表示装置の作用 (映像表示時の電位 V_a , V_b の設定例)

【0017】

< 実施の形態 >

[液晶表示装置 1 の構成]

図 1 は、本発明の一実施の形態に係る液晶表示装置 (液晶表示装置 1) の全体構成を表すものである。液晶表示装置 1 は、例えば液晶表示パネル 2、バックライト 3、データドライバ 5 1、ゲートドライバ 5 2、タイミング制御部 6 1 およびバックライト駆動部 6 2 を備え、外部入力信号 D_{in} に基づいて映像表示を行うものである。

20

【0018】

バックライト 3 は、液晶表示パネル 2 に向けて光を照射する光源であり、液晶表示パネル 2 の背面 (後述の入射側偏光板 1 9 側の面) 側に配置される。このバックライト 3 は、例えば LED (Light Emitting Diode: 発光ダイオード) や CCF L (Cold Cathode Fluorescent Lamp) 等を含むものである。バックライト駆動部 6 2 は、そのバックライト 3 の点灯動作 (発光動作) を制御するものである。

【0019】

30

タイミング制御部 6 1 は、ゲートドライバ 5 2、データドライバ 5 1 およびバックライト駆動部 6 2 の駆動タイミングを制御すると共に、外部入力信号 D_{in} に基づく映像信号をデータドライバ 5 1 へ供給するものである。

【0020】

ゲートドライバ 5 2 は、タイミング制御部 6 1 によるタイミング制御に従って、液晶表示パネル 2 内の各画素 1 0 を駆動するものである。データドライバ 5 1 は、タイミング制御部 6 1 から供給される映像信号 (外部入力信号 D_{in} に基づく映像信号) に対して D/A 変換を施すと共に、その D/A 変換後の映像信号を液晶表示パネル 2 の各画素 1 0 へ出力するものである。ゲートドライバ 5 2 およびデータドライバ 5 1 からの各駆動信号により選択された画素 1 0 に、映像信号に応じて設定された電位 V_a , V_b (詳細は後述) がそれぞれ供給されるようになっている。

40

【0021】

液晶表示パネル 2 は、ゲートドライバ 5 2 から供給される駆動信号およびデータドライバ 5 1 から供給される映像信号に基づき、バックライト 3 から発せられる光を変調するものである。この液晶表示パネル 2 は、全体としてマトリクス状に配置された複数の画素 1 0 を含む。

【0022】

図 2 は、液晶表示パネル 2 の断面構成を表すものである。但し、図 2 では、画素 1 0 の一部領域のみを示している。液晶表示パネル 2 は、駆動基板 1 1 と対向基板 1 8 との間に液晶層 1 5 を挟み込んだものであり、駆動基板 1 1 および対向基板 1 8 の外側には、入射

50

側偏光板 19 および出射側偏光板 20 が貼り合わせられている。駆動基板 11 の液晶層 15 側の面には、画素電極 12 が画素毎に配設されており、この画素電極 12 の表面を覆って配向膜 14 が形成されている。対向基板 18 の液晶層 15 側の面には、有効表示領域のほぼ全面に渡って対向電極 17 が配設され、この対向電極 17 の表面を覆って配向膜 16 が形成されている。

【0023】

駆動基板 11 は、例えばガラス基板上に画素 10 を駆動するための駆動回路、例えば前述したゲートドライバ 52、データドライバ 51、タイミング制御部 61 およびバックライト制御部 62 等が配設されたものである。この駆動基板 11 上において、各画素電極 12 には、ゲートドライバ 52 およびデータドライバ 51 からの各駆動信号が伝送されるゲート線やソース線等の配線と、TFT（薄膜トランジスタ）（いずれも図示せず）等が接続されている。この TFT は、画素 10 毎に 1 つあるいは 2 つ配設されている。詳細は後述するが、本実施の形態において画素電極 12 は、第 1 サブ電極 12A および第 2 サブ電極 12B の 2 つの電極層を有する。このため、これらの第 1 サブ電極 12A および第 2 サブ電極 12B へ互いに同一の電位を供給する場合には、TFT は 1 つとする。第 1 サブ電極 12A および第 2 サブ電極 12B へ互いに異なる電位を供給する場合には、第 1 サブ電極 12A および第 2 サブ電極 12B に TFT および配線が別々に設けられる。

10

【0024】

対向基板 18 は、ガラス基板の表面（対向電極 17 側の面または出射側偏光板 20 側の面）に、例えば赤（R）、緑（G）、青（B）のフィルタが配列してなるカラーフィルタ（図示せず）を有するものである。

20

【0025】

対向電極 17 は、例えばITO等の透明導電膜からなり、各画素 10 に共通の電極として（全ての画素電極 12 と対向して）設けられている。この対向電極 17 は、所定の電位、例えばグランド電位に保持されている。

【0026】

配向膜 14、16 は、例えば垂直配向膜であり、液晶層 15 内の液晶分子（詳細には配向膜 14、16 近傍の液晶分子）を、その長軸方向（ダイレクタ）が基板面に対してほぼ垂直となるように配向させるものである。このような配向膜 14、16 としては、例えばポリイミドやポリシロキサン等の垂直配向剤が用いられる。

30

【0027】

液晶層 15 は、例えば垂直配向型の液晶分子を含むものである。この液晶層 15 では、液晶分子が、例えば長軸および短軸をそれぞれ中心軸として回転対称な形状をなし、負の誘電率異方性（長軸方向における誘電率が短軸方向よりも小さい性質）を示す。

【0028】

この液晶層 15 では、図 3 に示したように、配向膜 14、16 との界面近傍の液晶分子（液晶分子 15a）が、配向膜 14、16 からの規制により長軸方向 D1 が基板面に略垂直となるように配向しつつ、その垂直方向から僅かに傾いた状態で保持されている。即ち、液晶層 15 の配向膜 14、16 との界面近傍では、いわゆるプレチルトが付与されており、液晶分子 15a の垂直方向からの傾き角（プレチルト角） θ は、例えば $0^{\circ} \sim 3^{\circ}$ 程度である。このようなプレチルトは、液晶層 15 の配向膜 14、16 との界面近傍においてポリマーによって保持されており、この界面近傍の液晶分子の配向に倣って他の液晶分子（例えば液晶層 15 の厚み方向における中央付近の液晶分子）も同等の方向に配向している。

40

【0029】

入射側偏光板 19 および出射側偏光板 20 は、例えば互いにクロスニコルの状態で配置されており、バックライト 3 からの光を電圧無印加状態（オフ状態）では遮断、電圧印加状態（オン状態）では透過させるようになっている。即ち、ノーマリーブラックとなるように、入射側偏光板 19 および出射側偏光板 20 が駆動基板 11 および対向基板 18 に貼り合わせられている。

50

【0030】

(画素電極12の構成)

画素電極12は、駆動基板11の側から順に、第2サブ電極12B、誘電体層13および第1サブ電極12Aを積層したものである。

【0031】

図4(A)は、第1サブ電極12Aの平面構成を模式的に表したものである。第1サブ電極12Aには、複数の線状のスリット12a1が所定のパターンで設けられている。例えば、スリット12a1は、電極面内の複数の方向(ここでは4つの方向A1~A4)に沿って延在して設けられている。このようなスリットパターンを有することにより、画素10内に配向方向の異なる領域が形成(配向分割)されるため、視野角特性が向上する。このような第1サブ電極12Aは、例えばITO(インジウム錫酸化物)等の透明導電膜からなり、厚みは例えば50nm~200nmである。スリット12a1の幅Sは、例えば2nm~8nmであり、このスリット12a1と同方向に延在する電極部分12a2の幅Lは、例えば2nm~8nmである。

10

【0032】

尚、スリット12a1のパターンとしては、このような4方向に沿って延在するパターンに限らず、例えばストライプ状やV字状など様々なパターンを採用できる。また、スリット12a1の幅Sやその数、電極部分12a2の幅Lやその数についても任意に設定可能である。

【0033】

20

図4(B)は、第2サブ電極12Bの平面構成を模式的に表したものである。第2サブ電極12Bは、第1サブ電極12Aの全域に渡って設けられており、ここでは、スリットや間隙等のない電極となっている。以下では、このような第2サブ電極12Bを、“ベタ電極”と称して説明する。但し、第2サブ電極12Bは、少なくとも第1サブ電極12Aのスリット12a1に対向する領域(スリット12a1の直下の領域)に形成されていればよい。つまり、第2サブ電極12Bは、必ずしもベタ電極でなければならない訳ではなく、第1サブ電極12Aの電極部分12a2に対向する領域(電極部分12a2の直下の領域)には、スリットや間隙等が設けられていてもよい。このような第2サブ電極12Bは、例えばITO等の透明導電膜からなり、厚みは例えば50nm~200nmである。尚、図4(A)、(B)のI-I線における断面構成が図2における第1サブ電極12Aおよび第2サブ電極12Bの構成に対応している。

30

【0034】

誘電体層13は、画素10毎に、あるいは有効表示領域の全域に渡って、第1サブ電極12Aおよび第2サブ電極12B間に挿設されている。この誘電体層13は、例えば窒化シリコン(SiN)等の無機絶縁膜あるいは有機絶縁膜よりなり、誘電率が例えば3~7である場合には、厚みが例えば0.01μm~10μmであり、望ましくは0.1μm~3μmである。

【0035】

上記のように、画素電極12は、誘電体層13を介して第1サブ電極12Aおよび第2サブ電極12Bが積層された2層電極構造を有する。このような電極構造において、液晶層15に近い側の第1サブ電極12Aが複数のスリット12a1を有し、液晶層15に遠い側の第2サブ電極12Bがベタ電極となっている。

40

【0036】

これらの第1サブ電極12Aおよび第2サブ電極12Bにはそれぞれ、前述のタイミング制御部61、ゲートドライバ52およびデータドライバ51の駆動により、互いに同一のまたは異なる電位を供給可能である。例えば、図5に示したように、第1サブ電極12Aには電位Va、第2サブ電極12Bには電位Vbがそれぞれ供給可能であると共に、対向電極17は、例えばグランド電位に設定されている。これにより、液晶層15のスリット12a1の直上の領域(領域A)には、対向電極17と第2サブ電極12Bとの電位差(Vb)に応じた電圧が印加されるようになっている。一方、液晶層15の電極部分12

50

a 2 の直上の領域（領域 B）には、対向電極 1 7 と第 1 サブ電極 1 2 A との電位差（ V_a ）に応じた電圧が印加されるようになっている。図 6 に、領域 A、B における回路構成を示す。但し、 C_{LC} を第 1 サブ電極 1 2 A および対向電極 1 7 間の静電容量、 C_{INS} を第 1 サブ電極 1 2 A および第 2 サブ電極 1 2 B 間の静電容量とする。静電容量 C_{LC} は、電極部分 1 2 a 2 の中心部、静電容量 C_{INS} は、スリット 1 2 a 1 の中心部をそれぞれ想定したものである。

【0037】

電位 V_a 、 V_b は、互いに同一であってもよいし異なってもよいが、同一電位とする場合には、上述のように、TFT は各画素 1 0 に 1 つ配設されていればよい。一方、電位 V_a 、 V_b を同一電位に限らず、互いに異なる電位にも設定可能にする場合には、各画素 1 0 に 2 つの TFT を配設すればよい。

10

【0038】

このような画素電極 1 2 の電極構造により、後述する製造プロセス（プレチルト付与時）および映像表示時の各場合に依りて、第 1 サブ電極 1 2 A および第 2 サブ電極 1 2 B のそれぞれに所望の電位が供給されるようになっている。

【0039】

[液晶表示装置 1 の製造方法]

(1 . パネル封止工程)

液晶表示装置 1 は、例えば次のようにして製造することができる。即ち、まず、駆動基板 1 1 の表面に、2 つの TFT を公知の薄膜プロセスにより形成した後、その TFT が形成された表面を覆うように、絶縁膜よりなる平坦化膜を成膜する。この平坦化膜上に、第 2 サブ電極 1 2 B を例えば蒸着法やスパッタ法により成膜した後、フォトリソグラフィ法により画素 1 0 毎に矩形状にパターンニングする。続いて、この第 2 サブ電極 1 2 B 上に、誘電体層 1 3 を例えばプラズマ CVD 法により、所望の厚みとなるように成膜する。次いで、誘電体層 1 3 上に、第 1 サブ電極 1 2 A を、例えば蒸着法やスパッタ法により成膜した後、フォトリソグラフィ法により複数のスリット 1 2 a 1 をパターン形成する。尚、誘電体層 1 3 および平坦化膜にはコンタクトホールを設け、このコンタクトホールを介して第 1 サブ電極 1 2 A および第 2 サブ電極 1 2 B をそれぞれ、駆動基板 1 1 上に形成された TFT に電氣的に接続するようにする。このようにして形成した画素電極 1 2 の表面、具体的には、第 1 サブ電極 1 2 A の電極部分 1 2 a 2 の表面、およびスリット 1 2 a 1 により露出した誘電体層 1 3 の表面を覆うように、垂直配向剤を例えばスピンコート法により塗布し、ベークすることにより、配向膜 1 4 を形成する。

20

30

【0040】

一方、対向基板 1 8 の表面に、対向電極 1 7 を例えば蒸着法やスパッタ法により成膜した後、この対向電極 1 7 の表面に垂直配向剤を、例えばスピンコート法により塗布し、ベークすることにより、配向膜 1 6 を形成する。

【0041】

この後、駆動基板 1 1 の周縁領域に、例えば UV 硬化性や熱硬化性のシール部を印刷し、このシール部に囲まれた領域に、例えば UV 硬化性のモノマーを混入させた液晶を滴下注入することにより液晶層 1 5 を形成する。この後、駆動基板 1 1 上に、対向基板 1 8 を、例えば感光性のアクリル樹脂よりなるスペーサを介して重ね合わせ、シール部を硬化させる。このようにして、駆動基板 1 1 および対向基板 1 8 間に液晶層 1 5 が封止されたパネル封止体が形成される。

40

【0042】

(2 . プレチルト付加工程)

続いて、上記のようにして形成したパネル封止体において、液晶層 1 5 に電圧を印加しつつ露光（UV 照射）することにより、液晶層 1 5 にプレチルトを付加する。具体的には、図 7（A）に示したように、対向電極 1 7 をグランド電位に保持しつつ、画素電極 1 2 の第 1 サブ電極 1 2 A に電位 V_a 、第 2 サブ電極 1 2 B に電位 V_b をそれぞれ供給する。但し、この際、領域 A、B のそれぞれに印加される電圧が異なるように、電位 V_a 、 V_b

50

を設定する。具体的には、電位 V_a , V_b を以下の式 (5) を満足するように設定すればよい。

$$V_b \neq V_a \times (C_{INS} + C_{LC}) / C_{INS} \quad \dots \dots \dots (5)$$

【 0 0 4 3 】

これにより、液晶層 1 5 には、電界歪み (横電界) が発生し、液晶分子 1 5 a がスリット 1 2 a 1 のパターンに応じて傾倒し易くなる。そして、この液晶分子 1 5 a が傾いた状態で、UV 照射を行うことにより、液晶層 1 5 に混入したモノマーが、配向膜 1 4 , 1 6 との界面近傍において硬化する。この後、図 7 (B) に示したように、第 1 サブ電極 1 2 A および第 2 サブ電極 1 2 B をグランド電位とし、液晶層 1 5 を電圧無印加状態に戻すと、その界面近傍に形成されたポリマーが液晶分子 1 5 a を垂直方向から僅かに傾けた状態で保持する。このようにして、液晶分子 1 5 a には、図 3 に示したようなプレチルト角 θ が付与される。

10

【 0 0 4 4 】

尚、電位 V_a , V_b は、上記式 (5) に満足するものであれば、互いに異なってもよいが、互いに同一となるように、即ち以下の式 (6) を満足するように設定してもよい。式 (6) を満足する場合、上述したように第 1 サブ電極 1 2 A および第 2 サブ電極 1 2 B を駆動するための TFT を 1 つ配設すれば足りるため、装置構成が簡易化する。

$$V_b = V_a \quad \dots \dots \dots (6)$$

【 0 0 4 5 】

図 8 (A) ~ (C) および図 9 (A) , (B) に、上記の式 (5) を満足する電位 V_a , V_b により、液晶層 1 5 に形成される電界分布 (等電位分布) についての実施例 (実施例 1) を示す。但し、各図において、 X (μm) は基板面においてスリット 1 2 a 1 の延在方向と直交する方向におけるスケールを示している。 Z (μm) は、液晶層 1 5 の厚み方向におけるスケールであり、 $Z = 0$ を第 1 サブ電極 1 2 A 側 (配向膜 1 4 側) 、 $Z = 3.5 \mu m$ を対向電極側 (配向膜 1 6 側) とする。

20

【 0 0 4 6 】

実施例 1 では、上記のようなパネル封止体において、第 1 サブ電極 1 2 A のスリット 1 2 a 1 の幅 S を $4 \mu m$ 、電極部分 1 2 a 2 の幅 L を $4 \mu m$ とし、誘電体層 1 3 には誘電率 $\epsilon = 6$ および厚み $T = 200 nm$ の SiN を用いた。配向膜 1 4 , 1 6 は、垂直配向膜 (JALS2131 - R6 : JSR 製) を、第 1 サブ電極 1 2 A 上に塗布し、ホットプレート上で $80^\circ C$ 、80 秒間乾燥させた後、窒素雰囲気下のクリーンオープン内で $200^\circ C$ 、60 分間バークすることにより形成した。液晶層 1 5 としては、誘電率 $\epsilon () = 6.2$ 、 $\epsilon () = 3.0$ 、厚みが $3.5 \mu m$ の VA 液晶を用い、アクリルモノマー (A - BP - 2E : 新中村化学製) を 0.3 wt % 混入した。また、このような構成により、静電容量 C_{LC} は $15.8 \times 10^{-12} F$ 、静電容量 C_{INS} は $267 \times 10^{-12} F$ (面積は $1 \mu m^2$ 換算) となった。尚、真空の誘電率 ϵ_0 は $8.9 \times 10^{-12} F$ とした。

30

【 0 0 4 7 】

このようなパネル封止体に対し、電位 V_a を $10 V$ (一定) に設定し、電位 V_b を変化させつつ液晶層 1 5 に電圧を印加した。具体的には、電位 V_b の電位 V_a に対する比 (V_b / V_a) を、それぞれ 0、0.5、0.75、1、1.2 となるように設定した。実施例 1 では、上記式 (5) を満足して電位 V_a , V_b を設定することにより、液晶層 1 5 には、プレチルト付与に有効な電界歪みが生じ、また電位 V_a , V_b の比率によって、電界歪みの発生具合が異なることがわかる。ここでは、図 8 (C) に示した $V_b / V_a = 0.75$ の場合が、プレチルト形成に理想的な電界分布となっている。但し、電位 V_a , V_b の組み合わせは、これに限定されず、所望のプレチルト角、液晶層 1 5 の液晶材料や厚み、モノマー材料、第 1 サブ電極 1 2 A のスリット 1 2 a 1 および電極部分 1 2 a 2 のスケール、誘電体層 1 3 の材料や厚み等に応じて、適宜設定すればよい。

40

【 0 0 4 8 】

上記のようにしてプレチルト付与後のパネル封止体の駆動基板 1 1 の裏面に、入射側偏光板 1 9、対向基板 1 8 の表面に出射側偏光板 2 0 を、互いにクロスニコル配置となるよ

50

うに貼り合わせる。これにより、図 1 に示した液晶表示装置 1 が完成する。

【0049】

[液晶表示装置 1 の作用]

(映像表示動作)

液晶表示装置 1 では、以下の要領で画素電極 12 と対向電極 17 との間に、外部入力信号 Din に基づく駆動電圧を印加することにより、映像が表示される。具体的には、タイミング制御部 61 の制御に応じて、ゲートドライバ 52 が、各画素 10 に接続されたゲート線に走査信号を順次供給すると共に、データドライバ 51 が、外部入力信号 Din に基づく映像信号を、所定のソース線に供給する。これにより、映像信号が供給されたソース線と走査信号が供給されたゲート線との交差点に位置する画素 10 が選択され、その画素 10 に駆動電圧が印加されることとなる。

10

【0050】

選択された画素 10 では、駆動電圧が印加されると、液晶層 15 に含まれる液晶分子 15a の配向状態が、画素電極 12 と対向電極 17 との間の電位差に応じて変化する。具体的には、電圧無印加状態から駆動電圧が印加されることにより、配向膜 14, 16 の近傍に位置する液晶分子 15a が倒れ、その動作に倣うように、液晶層 15 の厚み方向中央部に向かって、順次液晶分子 15a が倒れていく。この際、液晶分子 15a にプレチルト角が付与されていることにより、液晶分子 15a がその自らの傾き方向に倒れ易くなることから、駆動電圧に対する応答時間が短くなる。その結果、液晶層 15 における光学的特性が変化し、バックライト 3 から液晶表示パネル 2 へ入射した光は、変調されて出射する。液晶表示装置 1 では、このようにして映像が表示される。

20

【0051】

ここで、比較例に係る液晶表示装置の映像表示動作について説明する。図 10 は、比較例に係る液晶表示装置の画素の一部領域の断面構成を表したものである。この液晶表示装置は、駆動基板 101 と対向基板 107 との間に液晶層 104 を挟み込んだものであり、駆動基板 101 および対向基板 107 の外側には、入射側偏光板 108 および出射側偏光板 109 が貼り合わせられている。駆動基板 101 の液晶層 104 側の面には、画素電極 102 が画素毎に配設されており、この画素電極 102 の表面を覆って配向膜 103 が形成されている。対向基板 107 の液晶層 104 側の面には、有効表示領域のほぼ全面に渡って対向電極 106 が配設され、この対向電極 106 の表面を覆って配向膜 105 が形成されている。即ち、比較例の液晶表示装置では、画素電極 103 が、複数のスリット 102a1 を有する、いわゆるファインスリット構造が採用されている。

30

【0052】

図 11 (A) に、上記比較例の映像表示時における電界分布、図 11 (B) は、その際の液晶分子 (液晶分子 104a) の配向状態を模式的に示す。但し、図 11 (B) において、Y (μm) は基板面においてスリット 12a1 の延在方向におけるスケールを示しており、Y 軸において破線で囲った部分よりも上方が画素電極 102 のスリット 102a1、下方が電極部分 102a2 に対応している。また、液晶分子 104a を、円形部分と棒状部分とを用いて模式的に表しているが、棒状部分は液晶分子の長軸方向 (ダイレクタ) を示し、円形部分はその長軸方向先端 (液晶分子の “頭”) を示している。例えば、円形部分のみで示されている液晶分子 104a は、基板面に対してほぼ垂直な方向に沿って立っている姿勢であることを表しており、棒状部分がより長く示されている液晶分子 104a 程、基板面に垂直な方向からより大きな角度で倒れていることを表している。尚、画素電極以外の構成条件およびプロセス条件は、上記実施例 1 と同様とした。

40

【0053】

比較例では、図 11 (A), (B) に示したように、液晶層 104 において、スリット 102a1 の直上の領域 A と、電極部分 102a2 の直上の領域 B との間で、印加電圧に差が発生し易い (電界歪みが生じ易い)。このため、領域 A では、領域 B に比べ、液晶分子 104a が倒れにくい。この結果、映像表示の際には、領域 A では領域 B に比べて透過光量が少なくなることから、スリット位置に起因して局部的に輝度の低い箇所 (暗線) が

50

生じ、透過率が低下してしまう。また、輝度分布も不均一なものとなるため、表示画質が低下する。

【0054】

これに対し、本実施の形態では、画素電極12が、複数のスリット12a1を有する第1サブ電極12Aと、ベタ形成された第2サブ電極12Bとの2層電極構造とされ、これらの第1サブ電極12Aおよび第2サブ電極12B間に誘電体層13が挿設されている。これにより、対向電極17、第1サブ電極12Aおよび第2サブ電極12Bの各電極への供給電位を適宜設定することにより、液晶層15のうち領域Aへ印加される電圧と、領域Bへ印加される電圧との大小関係を自在に制御可能となる。

【0055】

従って、映像表示の際には、液晶層15全体で電界歪みの発生を軽減させるような駆動が可能となる。このため、本実施の形態では、例えばスリット12a1のパターンに起因して透過率が低下することが抑制される。

【0056】

(映像表示時における電位V_a、V_bの設定)

詳細には、領域Aおよび領域Bにそれぞれ印加される電圧同士の差が低減されるように、第1サブ電極12Aへ供給する電位V_aと、第2サブ電極12Bに供給する電位V_bとをそれぞれ設定する。尚、ここでは、例えば電位V_aを映像信号に基づく電位とし、この電位V_aの値に応じて電位V_bを設定する場合を例に挙げて説明するが、逆に電位V_bを映像信号に基づく電位として、これに応じて電位V_aを設定するようにしてもよい。

【0057】

電位V_bは、以下の式(1)および式(2)を満足するように設定するとよい。理想的には、以下の式(3)を満足することが望ましい。式(1)、(2)を満足することにより、上述の単層構造の画素電極102を有する比較例(図8)よりも高透過率を得られる。更に、式(3)を満足することにより、領域A、B間の各電圧を略同一とすることができ、また、輝度分布が均一化されるため、良好な表示画質を実現できる。

$$0.8 \{ V_a \times (C_{INS} + C_{LC}) / C_{INS} \} = V_b \quad \dots \dots \dots (1)$$

$$V_b = 1.2 \{ V_a \times (C_{INS} + C_{LC}) / C_{INS} \} \quad \dots \dots \dots (2)$$

$$V_b = V_a \times (C_{INS} + C_{LC}) / C_{INS} \quad \dots \dots \dots (3)$$

【0058】

ここで、上記式(1)、(2)の導出について説明する。図12～図14に、実施例2として、電位V_aを10V(一定)とした場合の、電位V_bと透過率との関係を示す。尚、画素電極12、液晶層15、配向膜14、16についての構成条件およびプロセス条件については、上記実施例1と同様とした。但し、誘電体層13の厚みTを、図12では200nm、図13では400nm、図14では1000nmとした。また、透過率は、出射光量/入射光量とし、最大透過率を1として記載している。尚、上述の単層構造の画素電極102を有する比較例(図10)における透過率は、画素電極102に電位10V(一定)を供給した場合、各図に点線で示したように0.88となった。また、T=200nmのとき、C_{LC}=15.8×10⁻¹²F、C_{INS}=267×10⁻¹²F、T=400nmのとき、C_{LC}=15.8×10⁻¹²F、C_{INS}=134×10⁻¹²F、T=1000nmのときには、C_{LC}=15.8×10⁻¹²F、C_{INS}=26.7×10⁻¹²Fとなった。

【0059】

実施例2では、誘電体層13の厚みTの大きさに応じて静電容量C_{INS}が変化するため、電位V_bに対する透過率特性は異なってくるが、いずれのケースにおいても、比較例の透過率(0.88)を上回る透過率を実現することが望ましい。表1に、誘電体層13の厚みTが200nm、400nm、1000nmの各場合における理想的な電位(上記式(3)を満たす電位)V_{b0}、透過率が0.88となる電位(比較例と同等の透過率となる電位)V_{b1}、およびこれらの比(V_{b1}/V_{b0})を示す。

【 0 0 6 0 】

【 表 1 】

T (nm)	200	400	600
理想的な Vb0	10.6	11.2	13
Vb1 (透過率 0.88)	8.2	8.9	9.6
Vb1/Vb0	0.77	0.80	0.75

【 0 0 6 1 】

10

表 1 に示したように、厚み $T = 200 \text{ nm}$ の場合、電位 V_{b0} が 10.6 V 、電位 V_{b1} が 8.2 V となり、厚み $T = 400 \text{ nm}$ の場合、電位 V_{b0} が 11.2 V 、電位 V_{b1} が 8.9 V となり、厚み $T = 1000 \text{ nm}$ の場合、電位 V_{b0} が 13.0 V 、電位 V_{b1} が 9.6 V となった。また、 V_{b1}/V_{b0} は、それぞれ 0.77 、 0.80 、 0.75 となり、理想的な電位 V_{b0} に対する電位 V_{b1} の変動幅はそれぞれ、 23% 、 20% 、 25% となった。これらの結果から、比較例よりも高透過率を実現するためには、理想的な電位 V_{b0} に対する変動幅が 20% 以内となるように、電位 V_b を設定することが望ましいことがわかる。即ち、上記式 (3) によって与えられる電位 V_b が理想的な値ではあるが、その 0.8 倍以上 1.2 倍以下であれば (つまり、上記式 (1) , (2) を満足すれば)、比較例よりも高透過率を実現可能となる。

20

【 0 0 6 2 】

図 15 (A) ~ (D) には、上記の式 (1) , (2) を満足する電位 V_a , V_b により、液晶層 15 に形成される電界分布 (等電位分布) についての実施例 (実施例 3) を示す。但し、各図において、 $X (\mu\text{m})$ は基板面においてスリット 12a1 の延在方向と直交する方向におけるスケールを示している。 $Z (\mu\text{m})$ は、液晶層 15 の厚み方向におけるスケールであり、 $Z = 0$ を第 1 サブ電極 12A 側 (配向膜 14 側)、 $Z = 3.5 \mu\text{m}$ を対向電極側 (配向膜 16 側) とする。また、液晶表示パネル 2 において、第 1 サブ電極 12A、誘電体層 13、配向膜 14 , 16 および液晶層 15 の構成要件およびプロセス条件を上記実施例 1 と同様とした。これにより、実施例 3 においても、 $C_{LC} = 15.8 \times 10^{-12} \text{ F}$ 、 $C_{INS} = 267 \times 10^{-12} \text{ F}$ となった。

30

【 0 0 6 3 】

このような液晶表示パネル 2 に対し、電位 V_a を 10 V (一定) に設定し、電位 V_b を変化させつつ液晶層 15 に電圧を印加した。具体的には、電位 V_b の電位 V_a に対する比 (V_b/V_a) を、それぞれ 1 、 1.05 、 1.1 、 1.2 となるように設定した。図 15 (A) ~ (D) に示したように、上記式 (1) , (2) を満足して電位 V_a , V_b を設定することにより、液晶層 15 では、上記比較例における電界分布 (図 11 (A)) と比べ、領域 A , B 間での電圧差が低減され、電界歪みが軽減されていることがわかる。これにより、スリット 12a1 に起因して生じる暗線の発生が抑制され、高透過率が実現される (図 16 (A) ~ (D))。図 16 (A) ~ (D) は、実施例 3 における XY 平面における透過率分布の測定結果である。

40

【 0 0 6 4 】

また、ここでは、図 15 (B) に示した $V_b/V_a = 1.05$ ($V_b = 10.5 \text{ V}$) の場合が、上記式 (3) を満たす $V_b = 10.6 \text{ V}$ と近く、ほぼ理想的な電界分布 (フラットな電界分布) となっている。但し、電位 V_a , V_b の組み合わせは、これに限定されず、映像信号に基づく電位、液晶層 15 の液晶材料や厚み、モノマー材料、第 1 サブ電極 12A のスリット 12a1 および電極部分 12a2 のスケール、誘電体層 13 の材料や厚み等に応じて、適宜設定すればよい。

【 0 0 6 5 】

尚、上記式 (3) の代わりに、上記製造プロセスにおいて式 (6) を満足するように電位 V_a , V_b を設定する場合と同様の理由から、電位 V_a , V_b を互いに等しく、即ち、

50

以下の式(4)を満足するようにしてもよい。

$$V_b = V_a \quad \dots \dots \dots (4)$$

【0066】

以上説明したように、本実施の形態では、画素電極12が、第1サブ電極12Aと第2サブ電極12Bとの2層電極構造とすると共に、これらの第1サブ電極12Aおよび第2サブ電極12B間に誘電体層13を設ける。このため、第1サブ電極12Aおよび第2サブ電極12Bへ供給する電位 V_a 、 V_b を適宜設定することで、液晶層15のうちのスリット直上の領域Aへの印加電圧と、スリットのない領域Bへの印加電圧との大小関係を目的に応じて自在に制御可能となる。例えば、映像表示時には、スリット12a1からの影響を極力低減して液晶層15全体で電界歪みを軽減するような駆動を行うことができ、この結果、例えばスリット位置に起因した局部的な透過率低下を抑制できる。一方で、製造プロセス(プレチルト付与工程)においては、スリット12a1の機能を効果的に発揮させ、プレチルト付与に有利な電界歪み(横電界)を発生させることができる。よって、良好な電圧応答特性を保持しつつ、透過率を向上させることが可能となる。

10

【0067】

以上、実施の形態および実施例を挙げて本発明を説明したが、本発明はこれらの実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、第1サブ電極12Aへの供給電位 V_a を10V(一定)とし、この電位 V_a と上記式(1)~(6)のいずれかに基づいて、電位 V_b を設定する場合を例に挙げて説明したが、電位 V_a は勿論10Vに限らず、他の値としてもよい。

20

【0068】

また、映像表示時には、電位 V_a を映像信号に基づく電位として説明したが、映像信号に基づく電位を電位 V_b としてもよく、あるいは、映像信号に応じて電位 V_a 、 V_b の双方を上記(1)~(4)に基づいて適切な値にそれぞれ設定してもよい。

【0069】

更に、本発明の液晶表示装置における各層の材料や厚み、寸法等は、上述したものに限定されない。例えば、液晶層15や誘電体層13については、その材料や厚み等の選定の仕方により、各電極間の静電容量 C_{LC} 、 C_{INS} が変化するが、上記式(1)~(6)のいずれかに基づいて電位 V_a 、 V_b を設定すればよい。また、第1サブ電極12Aでは、スリットの幅 S と電極部分の幅 L とが互いに等しい($S = L = 4 \mu m$)である場合を例に挙げて説明したが、スリットの幅 S と電極部分の幅 L とは互いに異なってもよい。

30

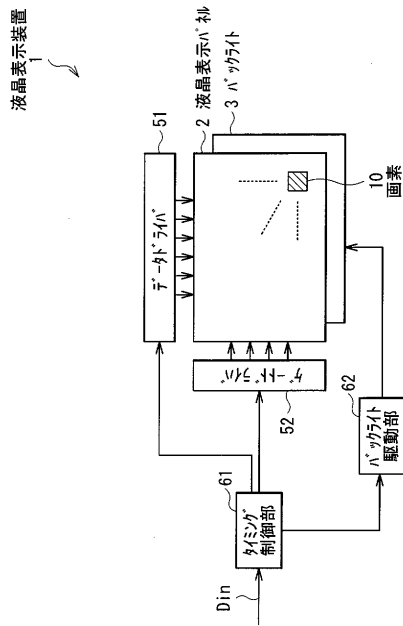
【符号の説明】

【0070】

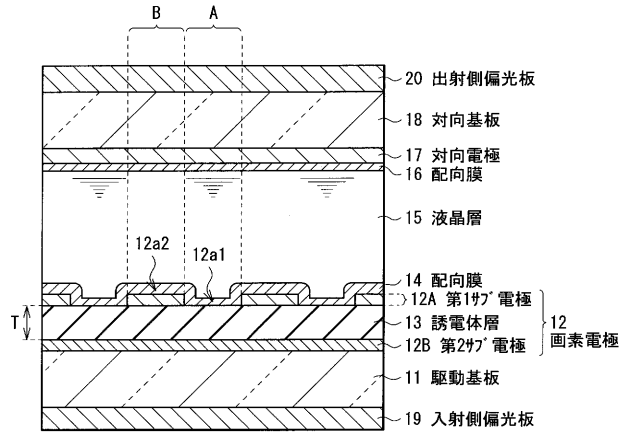
1...液晶表示装置、2...液晶表示パネル、3...バックライト、10...画素、11...駆動基板、12...画素電極、12A...第1サブ電極、12a1...スリット、12a2...電極部分、12B...第2サブ電極、13...誘電体層、14, 16...配向膜、15...液晶層、15a...液晶分子、17...対向電極、18...対向基板、19...入射側偏光板、20...出射側偏光板、51...データドライバ、52...ゲートドライバ、61...タイミング制御部、62...バックライト駆動部、 V_a 、 V_b ...電位、 C_{LC} 、 C_{INS} ...静電容量、 θ ...プレチルト角、D1...長軸方向(ダイレクタ)。

40

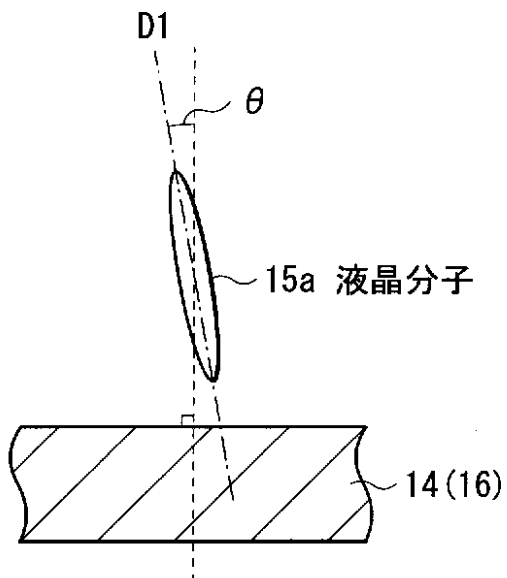
【図 1】



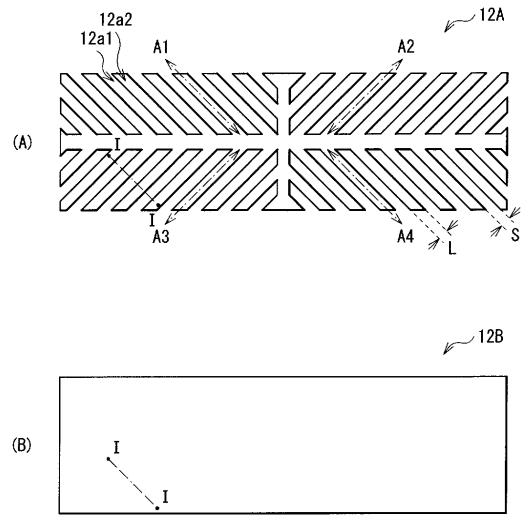
【図 2】



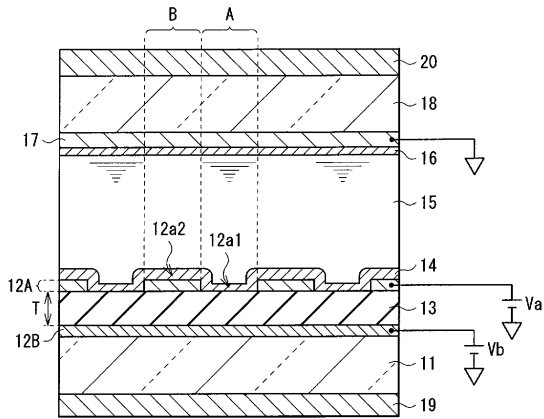
【図 3】



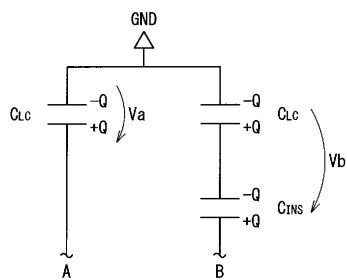
【図 4】



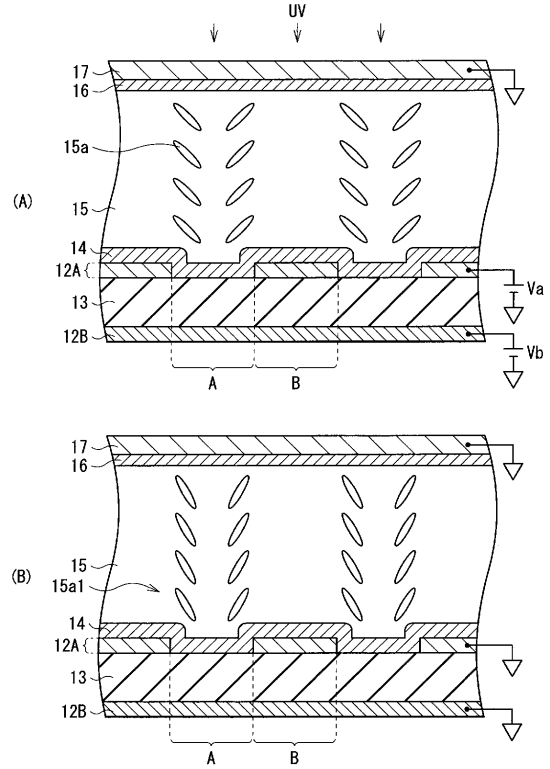
【図 5】



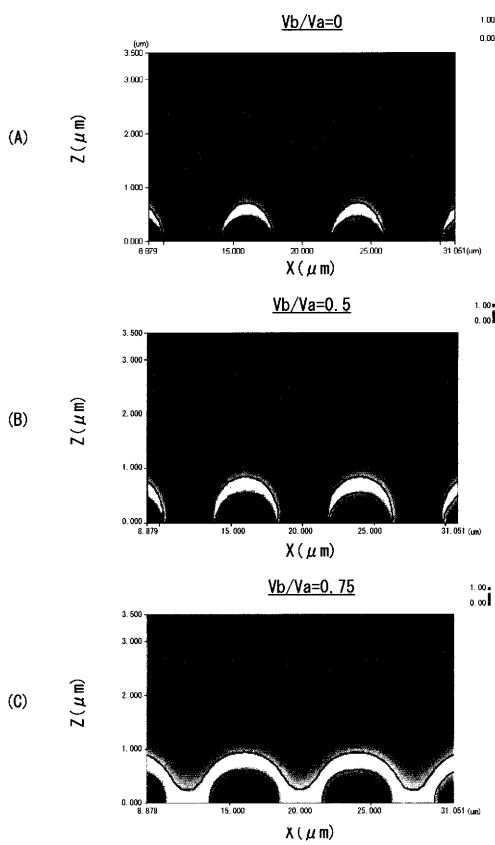
【図 6】



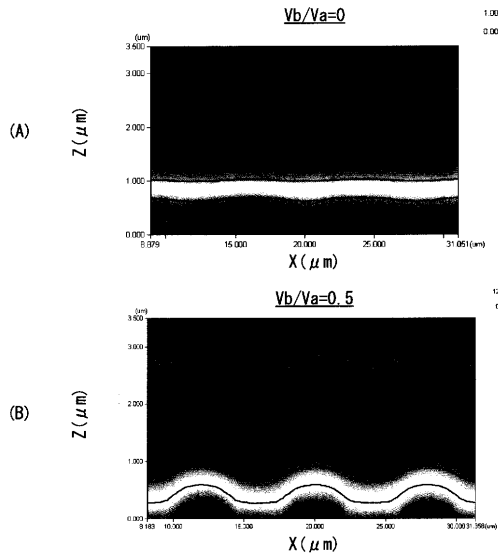
【図 7】



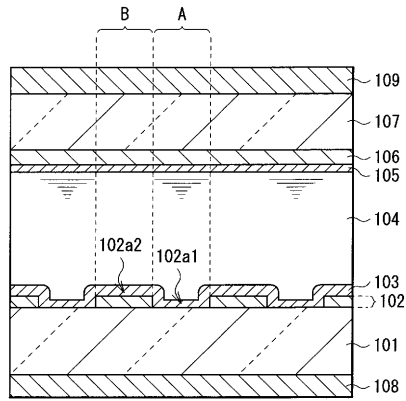
【図 8】



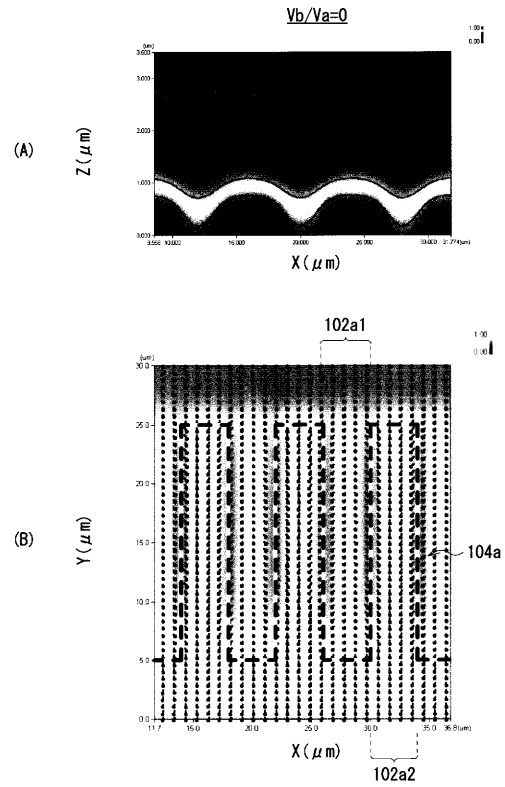
【図 9】



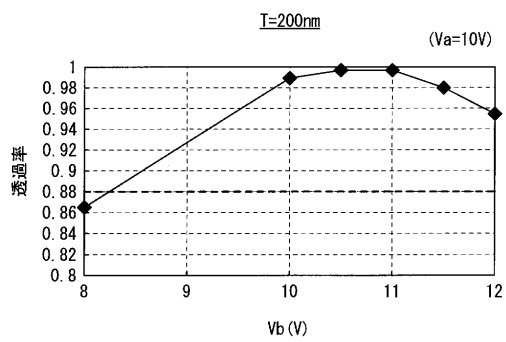
【図 10】



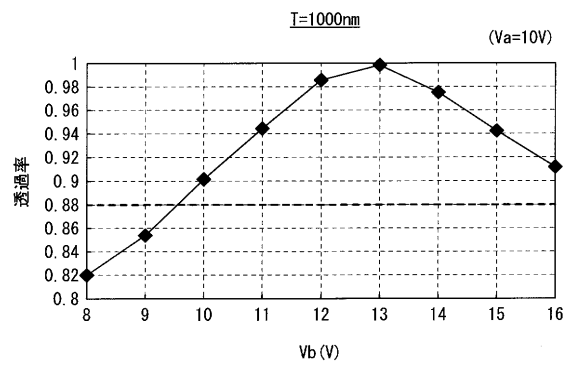
【図 11】



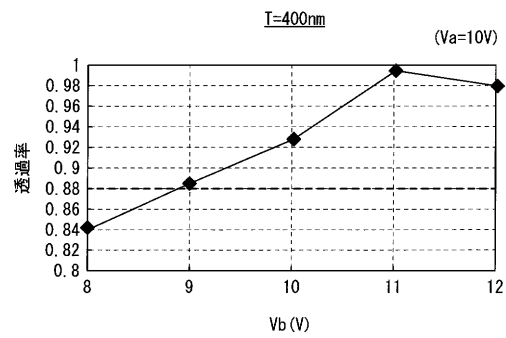
【図 12】



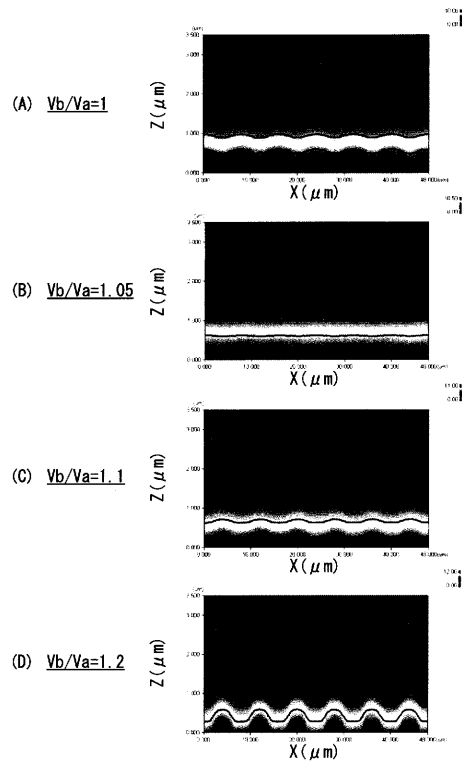
【図 14】



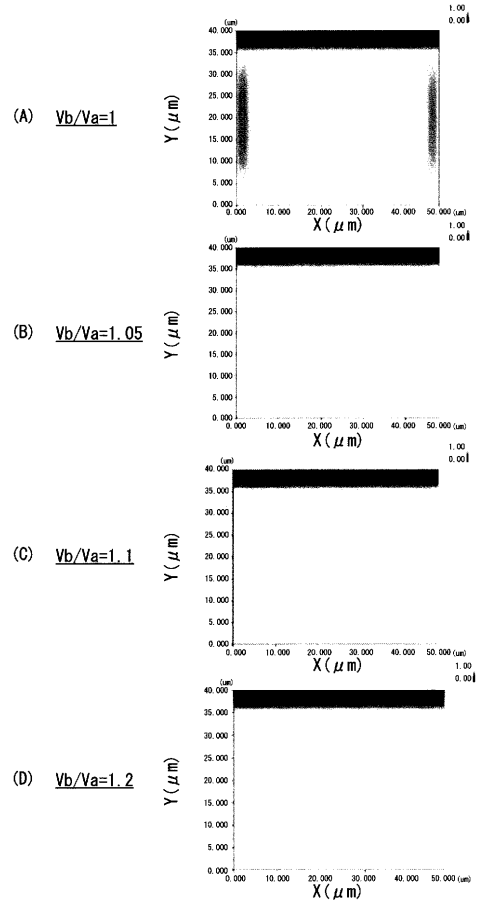
【図 13】



【図 15】



【図 16】



フロントページの続き

(72)発明者 諏訪 俊一

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 宮川 幹司

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 仲村 真彦

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 2H090 HA15 HA16 HC10 HD14 KA07 LA01 LA04 MA01 MA10 MA15

MB14

2H092 GA14 GA17 JA24 JB05 JB56 NA04 NA05 PA02 PA06 QA09

2H193 ZA04 ZD32 ZE40 ZP03 ZP04 ZQ11 ZQ43 ZQ44 ZQ47

专利名称(译)	液晶显示装置，液晶显示装置的制造方法		
公开(公告)号	JP2011221400A	公开(公告)日	2011-11-04
申请号	JP2010092420	申请日	2010-04-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	井ノ上雄一 諏訪俊一 宮川幹司 仲村真彦		
发明人	井ノ上 雄一 諏訪 俊一 宮川 幹司 仲村 真彦		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1337		
FI分类号	G02F1/1343 G02F1/133.505 G02F1/1337		
F-TERM分类号	2H090/HA15 2H090/HA16 2H090/HC10 2H090/HD14 2H090/KA07 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA10 2H090/MA15 2H090/MB14 2H092/GA14 2H092/GA17 2H092/JA24 2H092/JB05 2H092/JB56 2H092/NA04 2H092/NA05 2H092/PA02 2H092/PA06 2H092/QA09 2H193/ZA04 2H193/ZD32 2H193/ZE40 2H193/ZP03 2H193/ZP04 2H193/ZQ11 2H193/ZQ43 2H193/ZQ44 2H193/ZQ47 2H290/AA35 2H290/BB49 2H290/BB73 2H290/BF38 2H290/CA46		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够提高透射率的液晶显示器，同时保持优异的电
压响应特性。ŽSOLUTION：像素电极12从液晶显示器1中的液晶层15侧
依次具有第一子电极12A，电介质层13和第二子电极12B。施加到区域的
电压之间的大小关系通过任选地设置提供给第一子电极12A的电位Va和
Vb，可以根据目的控制液晶层15中的狭缝正上方和没有液晶层15中的狭
缝的区域B的施加电压。和第二子电极12B。当显示图像时，执行驱动以
减小整个液晶层15中的电场畸变，以抑制由于狭缝位置引起的局部透射
率的降低。在制造过程（预倾斜赋予过程）中，产生有利于赋予预倾斜
的电场畸变（横向电场）。Ž

